

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 547 120**

51 Int. Cl.:

H04N 5/335 (2011.01)

H01L 27/146 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **04.03.2009 E 09721232 (8)**

97 Fecha y número de publicación de la concesión europea: **15.07.2015 EP 2266310**

54 Título: **Sensor de imagen CMOS con factor de llenado mejorado y corriente de oscuridad reducida**

30 Prioridad:

17.03.2008 US 49901

45 Fecha de publicación y mención en BOPI de la traducción de la patente:
01.10.2015

73 Titular/es:

**BAE SYSTEMS IMAGING SOLUTIONS INC.
(100.0%)
1841 Zanker Road, Suite 50
San Jose, CA 95112, US**

72 Inventor/es:

LIU, XINQIAO

74 Agente/Representante:

DE ELZABURU MÁRQUEZ, Alberto

ES 2 547 120 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Sensor de imagen CMOS con factor de llenado mejorado y corriente de oscuridad reducida

Antecedentes de la invención

5 El desarrollo de cámaras digitales baratas ha provocado la incorporación de cámaras en una serie de otros productos. Por ejemplo, los teléfonos celulares y PDA están equipados comúnmente con cámaras. Aunque las cámaras iniciales proporcionadas con los dispositivos eran de resolución limitada, recientes mejoras en las matrices de imágenes CMOS han provocado cámaras con más de dos millones de píxeles para tales aplicaciones.

10 Se podrían obtener mejoras adicionales en la resolución y coste de tales cámaras si se pudiera reducir el tamaño de los píxeles en la matriz de imágenes. El coste de la cámara está directamente relacionado con el área de silicio ocupada por la matriz de imágenes y la circuitería anexa.

La matriz de imágenes ocupa la mayoría de esta área. Por lo tanto, para aumentar el número de píxeles o para disminuir el coste de una cámara con el número actual de píxeles, se debe reducir el área de silicio. El área de silicio, a su vez, se determina por el tamaño de los píxeles en la matriz de imágenes.

15 Una matriz de imágenes CMOS típica incluye una matriz bidimensional de sensores de píxeles que se organizan como una pluralidad de filas y columnas de sensores de píxeles. Cada sensor de píxel mide la intensidad de luz en un punto correspondiente en la imagen para luz de un color particular. Cada sensor de píxel incluye un fotodiodo que convierte la luz a una carga electrónica que se almacena en el fotodiodo hasta que se lee el fotodiodo. Cada píxel también incluye uno o más transistores que se usan para generar una señal que es proporcional a la carga almacenada y para acoplar esa señal a un canal principal correspondiente durante el proceso de lectura.

20 El área del fotodiodo determina la sensibilidad de luz del sensor de píxel, por lo tanto, modificaciones en la matriz de imágenes que reducen el tamaño del área activa del fotodiodo también reducen la sensibilidad de luz de la matriz. Por consiguiente, son de interés esquemas para reducir el sensor de píxel sin disminuir la sensibilidad de luz de la cámara. Por ejemplo, en un esquema, un número de fotodiodos comparten el mismo convertidor de carga a voltaje para reducir el área de silicio dedicada a circuitería de procesamiento en lugar de conversión de luz.

25 Para reducir el área de cada sensor de píxel aún más o bien deben ser reducidos los niveles de ruido de los fotodiodos individuales o bien debe ser reducido el espacio muerto alrededor de cada fotodiodo. En general, cada fotodiodo es un implante de un primer tipo de semiconductor en un sustrato de un segundo tipo de semiconductor. Los pozos están separados unos de otros. El espacio entre los fotodiodos es espacio muerto realmente en que ni recoge eficientemente la carga ni proporciona espacio para circuitería de procesamiento.

30 De manera similar, todos los fotodiodos presentan una corriente de "oscuridad". Es decir, incluso en ausencia de luz, se acumula carga en el fotodiodo en alguna proporción. En la práctica, los fotodiodos se reinician justo antes de que una imagen sea proyectada sobre la matriz de imágenes para extraer cualquier carga acumulada. No obstante, hay siempre algo de retardo entre el reinicio y la exposición de imagen durante la cual se acumula la carga de la corriente de oscuridad. Además, la corriente de oscuridad continúa acumulándose incluso en presencia de luz de la exposición. Finalmente, la corriente de oscuridad se acumula desde el momento que el obturador se cierra en la cámara a la vez que se leen los píxeles. Por lo tanto, la corriente de oscuridad representa un límite inferior en la sensibilidad de luz de la matriz, dado que, según disminuyen los niveles de luz, se alcanza un punto en el cual la corriente de oscuridad es de la magnitud o mayor que la corriente de "luz".

40 La fabricación de CMOS moderna usa tecnología de barrera de aislamiento superficial (STI) para aislar transistores y fotodiodos individuales. La interfaz entre la STI y la pared lateral del fotodiodo es conocido que tiene la más alta tasa de generación de corriente de oscuridad. Por lo tanto, a medida que se reduce el área de píxel para disminuir el tamaño del área de imágenes, la relación de la corriente de oscuridad a corriente de luz aumenta.

Un sensor de imagen de la técnica anterior es conocido a partir de la US 2007/0210239. Un dispositivo de recogida de imágenes de la técnica anterior es conocido a partir de la US 2005/0269604.

45 Compendio de la invención

Según la presente invención en un primer aspecto, se proporciona un fotosensor como se expone por la Reivindicación 1. En un segundo aspecto, se proporciona una matriz de imágenes que utiliza el mismo, como se expone por la Reivindicación 8.

50 En un aspecto de la invención, las cargas móviles son electrones. Las cargas móviles generadas en una de las regiones de barrera se mueven a una de las regiones de almacenamiento de carga adyacentes a esa región de barrera.

Aún en otro aspecto de la invención, las regiones de almacenamiento de carga se pueden dividir en una pluralidad de grupos de regiones de almacenamiento de carga. Cada grupo de regiones de almacenamiento de carga incluye una pluralidad de regiones de almacenamiento de carga separadas, las regiones de drenaje de las regiones de

almacenamiento de carga en uno de los grupos que se conectan a un nodo de circuito común que corresponde a ese grupo. El fotosensor también puede incluir un circuito de reinicio para conectar el nodo de circuito común a un potencial predeterminado en respuesta a una señal de reinicio y un circuito de conversión de carga a voltaje conectado al nodo de circuito común. El circuito de carga a voltaje genera un voltaje de salida relacionado con una carga en el nodo de circuito común en un nodo de salida, el nodo de salida está conectado a una primera línea de bits en respuesta a una señal de salida que se acopla al circuito de conversión de carga a voltaje.

En un aspecto adicional de la invención, las regiones de almacenamiento de carga se organizan como una primera y segunda columnas de regiones de almacenamiento de carga. La primera columna de las regiones de almacenamiento de carga se dispone paralela a la segunda columna de regiones de almacenamiento de carga. Las regiones de almacenamiento de carga en la primera columna de regiones de almacenamiento de carga se conectan a un circuito de salida que genera señales que representan cargas almacenadas en la primera columna de regiones de almacenamiento de carga en una primera línea de bits y la segunda columna de regiones de almacenamiento de carga se conecta a un circuito de salida que genera señales que representan cargas en la segunda columna de regiones de almacenamiento de carga en una segunda línea de bits que es diferente de la primera línea de bits.

15 Breve descripción de los dibujos

La Figura 1 es un dibujo esquemático de una matriz de imágenes CMOS de la técnica anterior del tipo usado normalmente con sensores dentales.

La Figura 2 es un dibujo esquemático de un típico píxel de cuatro transistores de la técnica anterior.

La Figura 3 es una vista superior de una parte de una columna de fotodiodos según una realización de la presente invención.

La Figura 4 es un gráfico del potencial a lo largo de la línea 4-4 mostrada en la Figura 3.

Las Figuras 5A y 5B son gráficos de la energía potencial que se ve por un fotoelectrón cuando se aplican diferentes voltajes de puerta a la puerta como se muestra a lo largo de la línea 5-5 en la Figura 3.

La Figura 6 es un dibujo esquemático de una única columna de regiones de almacenamiento de carga que son conectables a una línea de bits.

La Figura 7 es una vista superior de una parte de una estructura de dos columnas de región de almacenamiento de carga.

La Figura 8 es una vista en sección transversal a través de la línea 8-8 mostrada en la Figura 7.

La Figura 9 es un dibujo esquemático de una parte de dos columnas de regiones de almacenamiento de carga que comparten un circuito de lectura común.

La Figura 10 es un dibujo esquemático de un circuito de conversión de carga conectado a una línea de bits.

Descripción detallada de las realizaciones preferidas

La manera en la que la presente invención proporciona sus ventajas se puede entender más fácilmente con referencia a la Figura 1, que es un dibujo esquemático de una matriz de imágenes CMOS de la técnica anterior. La matriz de imágenes 40 está construida de una matriz rectangular de sensores de píxeles 41. Cada sensor de píxel incluye un fotodiodo 46 y un circuito de interfaz 47. Los detalles del circuito de interfaz dependen del diseño de píxel particular. No obstante, todos los sensores de píxeles incluyen una puerta que se conecta a una línea de filas 42 que se usa para conectar ese sensor de píxel a una línea de bits 43. La fila específica que se habilita en cualquier momento se determina por una dirección de fila que se introduce a un decodificador de filas 45. Las líneas de selección de filas son una matriz paralela de conductores que pasan horizontalmente en las capas de metal sobre el sustrato en el que están contruidos los fotodiodos y la circuitería de interfaz.

Las diversas líneas de bits terminan en un circuito de procesamiento de columnas 44 que típicamente incluye amplificadores de detección y decodificadores de columna. Las líneas de bits son una matriz paralela de conductores que pasan verticalmente en las capas de metal sobre el sustrato en el que están contruidos los fotodiodos y la circuitería de interfaz. Cada amplificador de detección lee la señal producida por el píxel que está conectado actualmente a la línea de bits procesada por ese amplificador de detección. Los amplificadores de detección pueden generar una señal de salida digital utilizando un convertidor analógico a digital (ADC). En cualquier momento dado, un único sensor de píxel se lee a partir de la matriz de imágenes. La columna específica que se lee se determina por una dirección de columna que se utiliza por un decodificador de columna para conectar la salida del amplificador de detección/ADC desde esa columna a circuitería que es externa a la matriz de imágenes.

Nos referimos ahora a la Figura 2, que es un dibujo esquemático de un típico píxel de 4 transistores de la técnica anterior. El píxel 50 incluye el fotodiodo 52 que está conectado a un nodo 65 por un transistor de puerta 62 en respuesta a una señal G que se hace valer. El transistor 63 está conectado como un seguidor de fuente y

proporciona la ganancia necesaria para accionar la línea de bits 55. El nodo 65 incluye una capacitancia parásita 64 que convierte la carga que se transfiere desde el fotodiodo 52 a un voltaje que se saca por el transistor 63 cuando el transistor de selección de fila 66 se coloca en el estado de conducción haciendo valer una señal FILA. El fotodiodo 52 se reinicia conectando el fotodiodo 52 a un potencial de reinicio, V_{reinicio} , a través de la puerta 67.

- 5 Para proporcionar bajo ruido, todos los electrones se deben extraer de los fotodiodos cuando los fotodiodos se reinician al comienzo de una exposición. Para asegurar un reinicio completo, se utilizan fotodiodos de estructura PIN. En un fotodiodo de estructura PIN, la carga generada por los fotones se almacena en un pozo de potencial en el fotodiodo. La región de almacenamiento es adyacente al transistor de puerta 62. La región de almacenamiento de carga está a un potencial mayor que el drenador del transistor de puerta y nodo 65. Cuando el transistor de puerta se coloca en un estado de conducción, toda la carga se mueve fuera de la puerta sobre el condensador 64. El fotodiodo 52 se reinicia conectando el fotodiodo a V_{reinicio} , que se fija de manera que cualquier carga restante en el fotodiodo 52 se extrae y el nodo 65 se fija al mismo potencial en cada píxel. Sin transferencia de carga completa, el sensor sufrirá retraso de imagen, un fenómeno en el que un fantasma de la imagen desde el cuadro previo es visible en el cuadro actual.
- 10
- 15 Nos referimos ahora a la Figura 3, que es una vista superior de una parte de una columna de fotodiodos según una realización de la presente invención. La columna 150 tiene una región de conversión de luz larga y estrecha 151, que está construida a partir de un implante de tipo n en un sustrato de tipo p. La región de conversión de luz 151 es rectangular en forma y tiene tres transistores de puerta fabricados a lo largo de la longitud de la región de conversión de luz. Las puertas de los transistores de puerta se muestran en 152-154. Cuando se aplica un potencial adecuado a cada puerta, la carga atrapada en la región de conversión de luz 151 adyacente a esa puerta puede fluir al drenador del transistor correspondiente. Los drenadores de los transistores que corresponden a las puertas 152-154 se muestran en 162-164, respectivamente.
- 20

25 La región de conversión de luz 151 incluye tres regiones de implante 172-174 que están más fuertemente dopadas que el resto de la región de conversión de luz 151. Estas regiones de implante están separadas por las regiones de barrera 181-184. Estas regiones de implante acumulan fotoelectrones que se generan en estas regiones y en las regiones menos fuertemente dopadas circundantes. Estas regiones de implante se conocerán como regiones de almacenamiento de carga en la siguiente discusión.

30 Nos referimos ahora a las Figuras 4, 5A y 5B. La Figura 4 es un gráfico del potencial a lo largo de la línea 4-4 mostrada en la Figura 3. Las Figuras 5A y 5B son gráficos de la energía potencial según se ve por un fotoelectrón a lo largo de la línea 5-5 mostrada en la Figura 3 cuando se aplican diferentes voltajes de puerta a la puerta 152. Como se puede ver en la Figura 4, las regiones de almacenamiento de carga son regiones de energía potencial baja. Los fotoelectrones que se generan dentro de una región de almacenamiento de carga se atrapan en esa región de almacenamiento de carga hasta que el potencial en la puerta que es adyacente a esa región de almacenamiento de carga se altera como se describe más adelante. Los fotoelectrones que se generan en la región 181 se arrastran a la región de almacenamiento de carga 172. De manera similar, los fotoelectrones que se generan en la región 182 se arrastrarán o bien a la región de almacenamiento de carga 172 o bien 173 dependiendo de la posición en la región 182 en la que se generan los fotoelectrones.

35

40 Cada región de almacenamiento de carga y las regiones alrededor de ella que contribuyen electrones a la carga almacenada en la región de recogida de carga se puede ver como un fotodiodo separado al que se accede por el transistor de puerta que es adyacente a esa región de almacenamiento de carga. Durante el periodo en el que la carga está siendo acumulada, el potencial en las puertas de los transistores de puerta se mantiene de manera que la carga permanece atrapada en la región de almacenamiento de carga como se muestra en la Figura 5A. Para leer la carga almacenada, se altera el potencial en la puerta correspondiente como se muestra en la Figura 5B y la carga fluye sobre el drenador del transistor de puerta que está a un potencial por debajo del de las regiones de almacenamiento de carga.

45

50 Se debería señalar que no hay espacio muerto entre las regiones de recogida de carga. Los fotoelectrones generados en las regiones entre las regiones de almacenamiento de carga se mueven a la región de almacenamiento de carga más cercana y, por lo tanto, todo el área en el implante se utiliza eficazmente en la detección de la luz entrante. Además, no hay rasgos de barrera de aislamiento superficial (STI) implementados para separar las regiones de almacenamiento de carga y, por lo tanto, la corriente de oscuridad se reduce sustancialmente comparado con estructuras de fotodiodos convencionales. Por lo tanto, el tamaño de los fotodiodos eficaces se puede reducir para proporcionar píxeles más pequeños que tienen corriente de oscuridad reducida y la misma área de conversión de fotones que los píxeles convencionales.

55 Cada región de almacenamiento de carga y su transistor de puerta asociado se podrían utilizar como un fotodiodo separado en una matriz de imágenes en lugar del fotodiodo 52 y el transistor de puerta 62 mostrado en la Figura 2. En este caso, una columna de regiones de almacenamiento de carga sustituye cada columna de fotodiodos en cada columna de píxeles. La columna de regiones de almacenamiento de carga se podría implementar como un único implante largo que se extiende la altura entera de la matriz de imágenes. Alternativamente, el implante se podría dividir en secciones en las que una pluralidad de regiones de almacenamiento de carga se sitúan en cada sección.

Las realizaciones descritas anteriormente utilizan un transistor de ganancia activo por región de almacenamiento de carga. No obstante, también se podrían construir realizaciones en las cuales un número de regiones de almacenamiento de columna comparten un único transistor o amplificador de ganancia. Nos referimos ahora a la Figura 6, que es un dibujo esquemático de una única columna de regiones de almacenamiento de carga que son conectables a una línea de bits 78. La columna de regiones de almacenamiento de carga se divide en N grupos de regiones de almacenamiento de carga 71. Cada grupo incluye un bloque contiguo de k regiones de almacenamiento de carga 77 como se muestra en 72. El transistor de puerta para cada región de almacenamiento de carga está conectado a una línea de puerta separada que se usa para conectar esa región de almacenamiento de carga al nodo 79 en ese grupo. La carga entregada al nodo 79 cuando una puerta se coloca en el estado de conducción se procesa por una sección de ganancia 73 que incluye un seguidor de fuente 75 y un transistor de puerta 74 para conectar la salida del seguidor de fuente a la línea de bits 78 cuando se aplica una señal de grupo R_1 al transistor 74.

La carga en cada región de almacenamiento de carga se lee como sigue. Primero, el nodo 79 se reinicia a $V_{reinicio}$ colocando el transistor 76 en el estado de conducción. El transistor 76 se devuelve entonces al estado de no conducción y una de las líneas de control de puerta se hace valer para transferir la carga en la región de almacenamiento de carga correspondiente al nodo 79. La señal de grupo que corresponde al grupo en cuestión se hace valer entonces en el transistor 74 para sacar el voltaje que corresponde a la carga para la línea de bits 78. El proceso se repite entonces para cada región de almacenamiento de carga restante hasta que se han leído todas las regiones de almacenamiento de carga. Las regiones de almacenamiento de carga se reinician antes de la siguiente exposición conectando todas las regiones de almacenamiento de carga al nodo 79 y entonces colocando el transistor 76 en el estado de conducción durante un periodo de tiempo predeterminado.

Las realizaciones descritas anteriormente de la presente invención utilizan una estructura que tiene una única columna de regiones de almacenamiento de carga dentro de la región implantada. Estas realizaciones eliminan el espacio muerto en la dirección vertical entre fotodiodos adyacentes que existen en matrices de imágenes de la técnica anterior. No obstante, aún hay espacio muerto horizontalmente entre las columnas de regiones de almacenamiento de carga. Este espacio muerto horizontal se puede reducir significativamente utilizando una estructura en la que hay dos columnas de regiones de almacenamiento de carga adyacentes dentro de cada área de implante.

Nos referimos ahora a la Figura 7 que es una vista superior de una parte de una estructura de dos columnas de región de almacenamiento de carga y a la Figura 8, que es una vista de sección transversal a través de la línea 8-8 mostrada en la Figura 7. La estructura de dos columnas 90 se construye a partir de un implante de tipo n 91 en un sustrato de tipo p 96. Dentro de la región 91, los niveles de dopaje se varían para proporcionar dos columnas 97 y 98 de regiones de almacenamiento de carga separadas por barreras que aíslan cada región de almacenamiento de carga al tiempo que permiten a los fotoelectrones generados en las regiones de barrera ser recogidos en una de las regiones de almacenamiento de carga adyacentes. Las columnas están separadas horizontalmente por la barrera 92 y cada par de regiones de almacenamiento de carga están separadas verticalmente por las barreras 93. Las regiones de almacenamiento de carga ejemplares se muestran en 85, 86, 95 y 94. Cada región de almacenamiento de carga tiene un transistor de puerta correspondiente que está construido adyacente a esa región de almacenamiento de carga. El transistor de puerta para la región de almacenamiento de carga 85 incluye el electrodo de puerta 82 y la región de drenaje 81. De manera similar, el transistor de puerta para la región de almacenamiento de carga 86 incluye el electrodo de puerta 83 y la región de drenaje 84. La energía potencial de los electrones en las regiones de almacenamiento de carga es menor que en las regiones de barrera, pero mayor que en las regiones de drenaje.

Nos referimos ahora a la Figura 8, que ilustra la energía potencial de un electrón en las diversas regiones de la estructura de dos columnas a lo largo de la línea 8-8 mostrada en la Figura 7. Los electrodos de puerta proporcionan una barrera variable que permite a los electrones almacenados en una región de almacenamiento de carga fluir fuera del drenador del transistor de puerta correspondiente cuando el potencial se fija a un estado, al tiempo que se proporciona una barrera que mantiene a los electrones atrapados en la región de almacenamiento de carga cuando el potencial se fija al segundo estado.

Nos referimos de nuevo a la Figura 7. El espacio que separaría normalmente dos columnas de píxeles con la STI en una matriz de imágenes convencional se ha sustituido por una región de barrera 92. Los electrones que se generan dentro de esta región contribuyen a una de las regiones de almacenamiento de carga que es adyacente al sitio en el que se creó el fotoelectrón. La región de almacenamiento de carga en cuestión será típicamente la región de almacenamiento de carga más cercana al sitio. Por lo tanto, se ha eliminado la región de la STI que existiría normalmente entre columnas de fotodiodos y, como resultado, las dos columnas se pueden colocar mucho más cerca para tener un píxel menor. Además, la corriente de oscuridad se reduce enormemente con la eliminación de la STI a la interfaz de fotodiodo.

Como se señaló con respecto a la Figura 6, se puede reducir el espacio muerto adicional dentro de la matriz compartiendo la electrónica de lectura entre un número de diferentes regiones de almacenamiento de carga. El número de regiones de almacenamiento de carga que pueden compartir un circuito de lectura particular está limitado por la distancia entre las regiones de almacenamiento de carga y el circuito de lectura. En la realización mostrada en

la Figura 6, grupos de regiones de almacenamiento de carga en una columna compartían la misma circuitería de lectura. Para reducir el espacio muerto aún más, se pueden utilizar disposiciones en las cuales columnas adyacentes de regiones de almacenamiento de carga comparten la misma circuitería de lectura para maximizar el número de regiones de almacenamiento de carga que están dentro del alcance de un circuito de lectura dado.

5 Nos referimos ahora a la Figura 9, que es un dibujo esquemático 100 de una parte de dos columnas de regiones de almacenamiento de carga que comparten un circuito de lectura común. Un grupo de regiones de almacenamiento de carga en la primera columna se muestra en 101 y el grupo correspondiente de regiones de almacenamiento de carga en la segunda columna se muestra en 102. Los grupos 101 y 102 comparten el circuito de lectura 103. En cualquier momento dado, una región de almacenamiento de carga de uno de los grupos se conecta a una línea de bits 104 que se comparte por ambas columnas. Dado que las líneas de control de puerta en los dos grupos deben poderse dirigir separadamente, las líneas de control para una columna son diferentes de las líneas de control para las regiones de almacenamiento de carga correspondientes en la otra columna.

15 Las realizaciones descritas anteriormente de la presente invención utilizan un circuito de lectura que tiene un único transistor como la etapa de ganancia, esto es el seguidor de fuente. Nos referimos ahora a la Figura 2. La ganancia de conversión de carga del circuito de lectura se determina por el condensador 64 mostrado en la Figura 2. Si la capacitancia es grande, el cambio de voltaje en el nodo 65 cuando la carga del fotodiodo 52 se transfiere al nodo 65 será pequeño. Si el cambio es demasiado pequeño, la señal se podría dañar por el ruido. Para proporcionar una ganancia grande, la capacitancia del condensador 64 debe ser tan pequeña como sea posible. No obstante, el diseñador del circuito no es libre de fijar esta capacitancia, dado que la capacitancia se determina por la capacitancia parásita del nodo. En realizaciones tales como las tratadas anteriormente en las que un número de regiones de almacenamiento de carga están conectadas al mismo nodo, se aumentará la capacitancia sobre las realizaciones en las que un único fotodiodo o región de almacenamiento de carga está conectado al nodo.

25 Este problema se puede superar utilizando un circuito de conversión de carga que puede proporcionar una ganancia de voltaje. Un amplificador de transimpedancia capacitiva es muy adecuado para este tipo de circuito de conversión de carga. Nos referimos ahora a la Figura 10, que es un dibujo esquemático de un circuito de conversión de carga 130 conectado a una línea de bits 135. El circuito de conversión de carga 130 incluye un amplificador 66 con un bucle de realimentación capacitivo a través del condensador 67. La ganancia de voltaje proporcionada por el amplificador 66 depende de la relación de capacitancias de los condensadores 67 y 64. Anterior a leer la carga de una de las regiones de almacenamiento de carga, el circuito de lectura se reinicia colocando el transistor 68 en un estado de conducción al tiempo que se conecta la salida del amplificador 66 a la línea de bits 135 que se mantiene en el potencial adecuado durante el proceso de reinicio. Las regiones de almacenamiento de carga se reinician de igual modo de la misma manera colocando el transistor de puerta en un estado de conducción mientras que los transistores 68 y 69 están en el estado de conducción.

35 Para crear la barrera de potencial entre las regiones de almacenamiento de carga tales como las regiones 92 y 93 mostradas en la Figura 7, se podrían utilizar diferentes dosis de implante. En una realización, la región entera 91 recibe un primer implante de tipo n a $2,0 \times 10^{12}$ átomos por centímetro cuadrado y las regiones 85, 86, 94, 95 reciben un segundo implante de tipo n adicional a $1,0 \times 10^{12}$ átomos por centímetro cuadrado.

40 Diversas modificaciones a la presente invención llegarán a ser evidentes para los expertos en la técnica a partir de la descripción precedente y los dibujos anexos. Por consiguiente, la presente invención va a estar limitada únicamente por el alcance de las siguientes reivindicaciones.

REIVINDICACIONES

1. Un fotosensor que comprende:

una región de conversión de luz (151) que se dispone para convertir fotones en una banda óptica a cargas móviles, dicha región de conversión de luz que comprende una región dopada continua de un primer tipo de conductividad en una región de un segundo tipo de conductividad;

caracterizado por

una pluralidad de regiones de almacenamiento de carga separadas (172-174) de dicho primer tipo de conductividad separadas por regiones de barrera (181-184) de dicho primer tipo de conductividad dentro de dicha región dopada continua, cada región de almacenamiento de carga que tiene un nivel diferente de dopaje que dichas regiones de barrera de carga de manera que se evita que dichas cargas móviles generadas en esa región de almacenamiento de carga se muevan a una región de almacenamiento de carga adyacente; y

una pluralidad de puertas de transferencia (152-154), cada puerta de transferencia que comprende una región de puerta adyacente a una correspondiente de dichas regiones de almacenamiento de carga y dispuestas entre esa región de almacenamiento de carga y una región de drenaje (162-164),

en donde dichas regiones de almacenamiento de carga y dichas regiones de drenaje se dopan de manera que dichas cargas móviles recogidas en dicha región de almacenamiento de carga fluirán a dicha región de drenaje cuando se aplica un primer campo eléctrico a dicha región de puerta y en donde dichas cargas móviles recogidas en dicha región de almacenamiento de carga se inhiben de fluir a dicha región de drenaje cuando se aplica un segundo campo eléctrico a dicha región de puerta.

2. El fotosensor de la Reivindicación 1 en donde dichas cargas móviles comprenden electrones.

3. El fotosensor de la Reivindicación 1 en donde la región de conversión de luz se dispone de manera que las cargas móviles generadas en una de dichas regiones barrera se mueven a una de dichas regiones de almacenamiento de carga adyacentes a esa región barrera.

4. El fotosensor de la Reivindicación 1 en donde dichas regiones de almacenamiento de carga se dividen en una pluralidad de grupos de regiones de almacenamiento de carga, cada grupo de regiones de almacenamiento de carga que comprende una pluralidad de regiones de almacenamiento de carga separadas, dichas regiones de drenaje de dichas regiones de almacenamiento de carga en uno de dichos grupos que están conectadas a un nodo de circuito común que corresponde a ese grupo.

5. El fotosensor de la Reivindicación 4 que además comprende un circuito de reinicio dispuesto para conectar dicho nodo de circuito común a un potencial predeterminado en respuesta a una señal de reinicio.

6. El fotosensor de la Reivindicación 4 que además comprende un circuito de conversión de carga a voltaje conectado a dicho nodo de circuito común, dicho circuito de carga a voltaje dispuesto para generar un voltaje de salida relacionado con una carga en dicho nodo de circuito común en un nodo de salida, dicho nodo de salida que está conectado a una primera línea de bits en respuesta a una señal de salida que se acopla a dicho circuito de conversión de carga a voltaje.

7. El fotosensor de la Reivindicación 1 en donde dichas regiones de almacenamiento de carga se organizan como una primera y segunda columnas de regiones de almacenamiento de carga, dicha primera columna de regiones de almacenamiento de carga que se dispone paralela a dicha segunda columna de regiones de almacenamiento de carga, dicha primera columna de regiones de almacenamiento de carga que está separada de dicha segunda columna de regiones de almacenamiento de carga por dicha región de barrera, las regiones de almacenamiento de carga en dicha primera columna de regiones de almacenamiento de carga que están conectadas a un circuito de salida que se dispone para generar señales que representan cargas almacenadas en dicha primera columna de regiones de almacenamiento de carga en una primera línea de bits y dicha segunda columna de regiones de almacenamiento de carga que está conectada a un circuito de salida que se dispone para generar señales que representan cargas en dicha segunda columna de regiones de almacenamiento de carga en una segunda línea de bits que es diferente de dicha primera línea de bits.

8. Una matriz de imágenes que comprende:

una primera y segunda regiones de conversión de luz que están dispuestas para convertir fotones en una banda óptica a cargas móviles, cada región de conversión de luz (151) **caracterizada por:**

una pluralidad de regiones de almacenamiento de carga separadas (172-174) dentro de una región dopada continua de un primer tipo de conductividad en una región de un segundo tipo de conductividad, separada por regiones de barrera (181-184) de dicho primer tipo de conductividad dentro de dicha región dopada continua, cada región de almacenamiento de carga que tiene un nivel diferente de dopaje que dichas regiones de barrera de manera que se

evita que dichas cargas móviles generadas en esa región de almacenamiento de carga se muevan a una región de almacenamiento de carga adyacente; y

5 una pluralidad de puertas de transferencia (152-154), cada puerta de transferencia que comprende una región de puerta adyacente a una correspondiente de dichas regiones de almacenamiento de carga y dispuestas entre esa región de almacenamiento de carga y una región de drenaje (162-164),

10 en donde dichas regiones de almacenamiento de carga y dichas regiones de drenaje se dopan de manera que dichas cargas móviles recogidas en dicha región de almacenamiento de carga fluirán a dicha región de drenaje cuando se aplica un primer campo eléctrico a dicha región de puerta y en donde dichas cargas móviles recogidas en dicha región de almacenamiento de carga se inhiben de fluir a dicha región de drenaje cuando se aplica un segundo campo eléctrico a dicha región de puerta; y

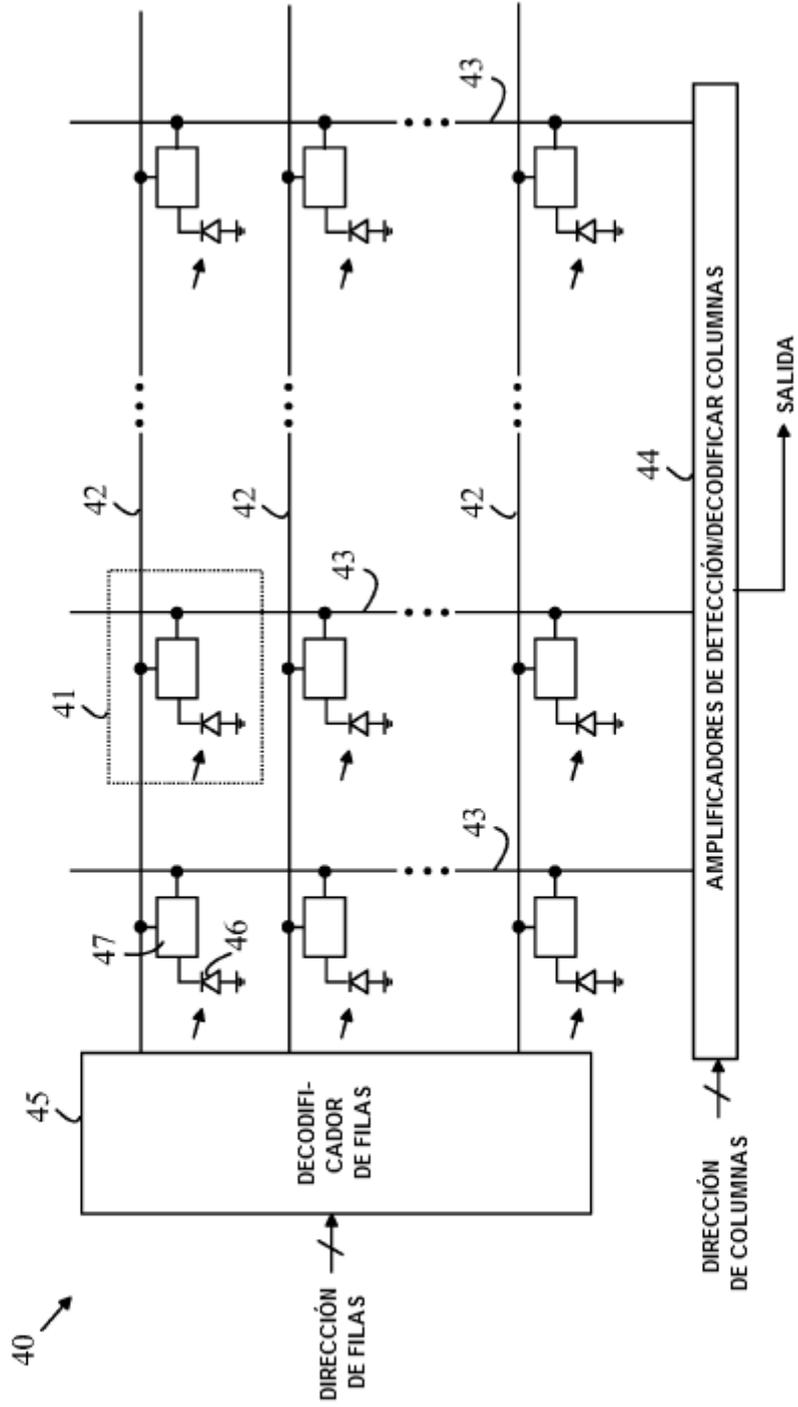
una línea de bits, dichas regiones de almacenamiento de carga en cada una de dichas primera y segunda regiones de conversión de luz que están conectadas a dicha línea de bits por un circuito de salida que genera señales que representan cargas almacenadas en dichas regiones de almacenamiento de carga en dicha línea de bits.

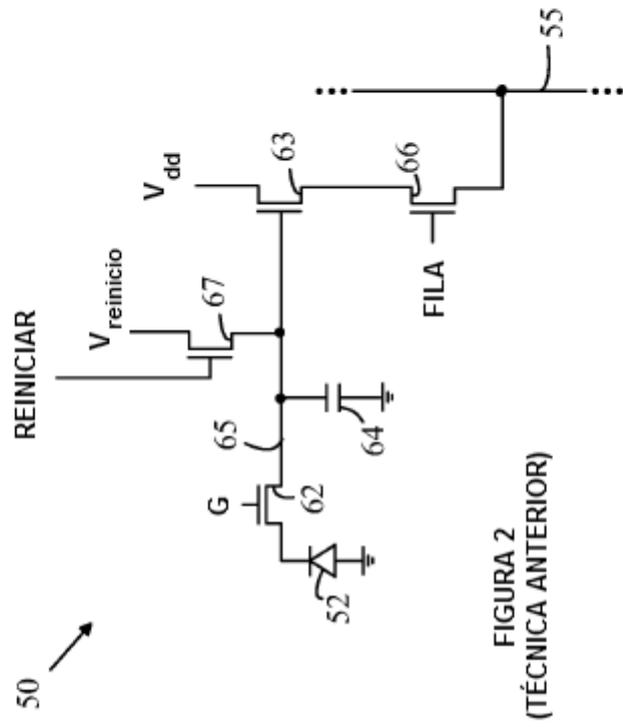
15 9. La matriz de imágenes de la Reivindicación 8 en donde dicho circuito de salida comprende una pluralidad de nodos comunes, cada nodo común que está conectado a una pluralidad de regiones de drenaje en dicha primera región de conversión de luz y una pluralidad de regiones de drenaje en dicha segunda región de conversión de luz.

10. La matriz de imágenes de la Reivindicación 9 que además comprende un circuito de reinicio dispuesto para conectar dicho nodo de circuito común a un potencial predeterminado en respuesta a una señal de reinicio.

20 11. La matriz de imágenes de la Reivindicación 9 que además comprende un circuito de conversión de carga a voltaje conectado a dicho nodo de circuito común, dicho circuito de carga a voltaje dispuesto para generar un voltaje de salida relacionado con una carga en dicho nodo de circuito común en un nodo de salida, dicho nodo de salida que está conectado a una primera línea de bits en respuesta a una señal de salida que está acoplada a dicho circuito de conversión de carga a voltaje.

FIGURA 1
(TÉCNICA ANTERIOR)





50 →

FIGURA 2
(TÉCNICA ANTERIOR)

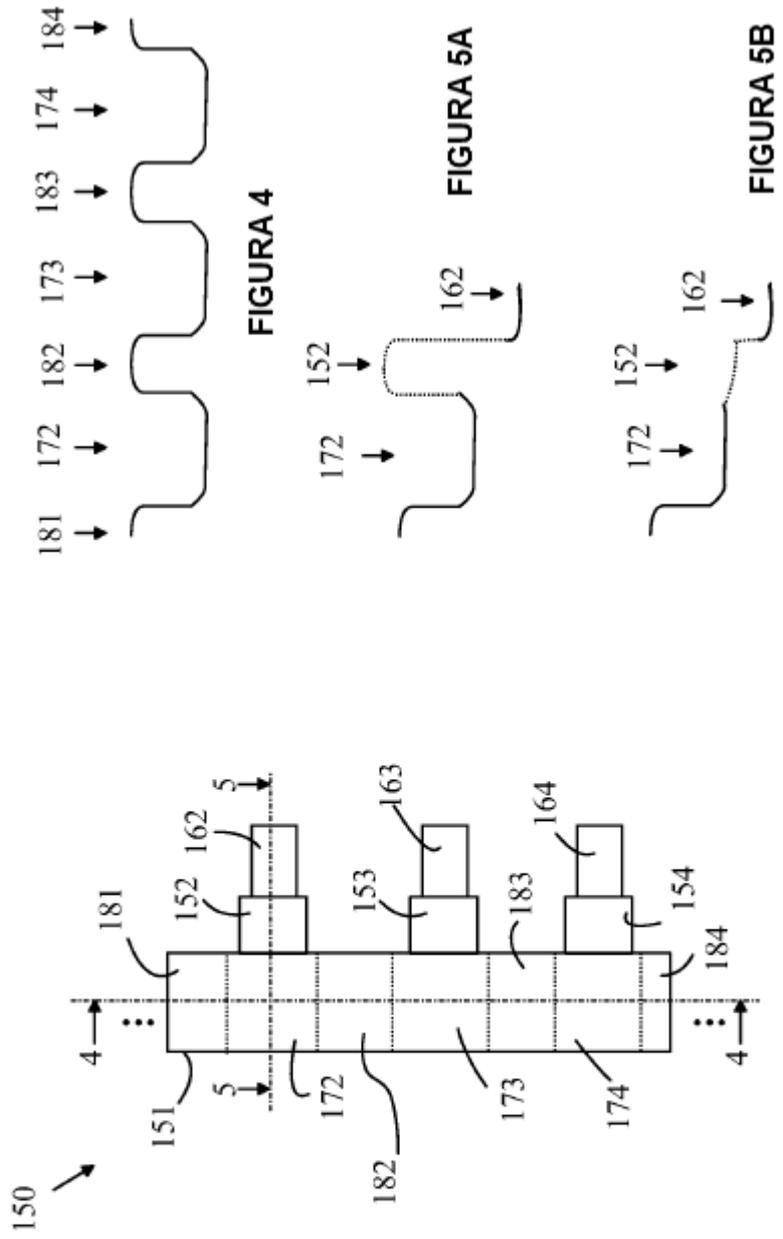


FIGURE 3

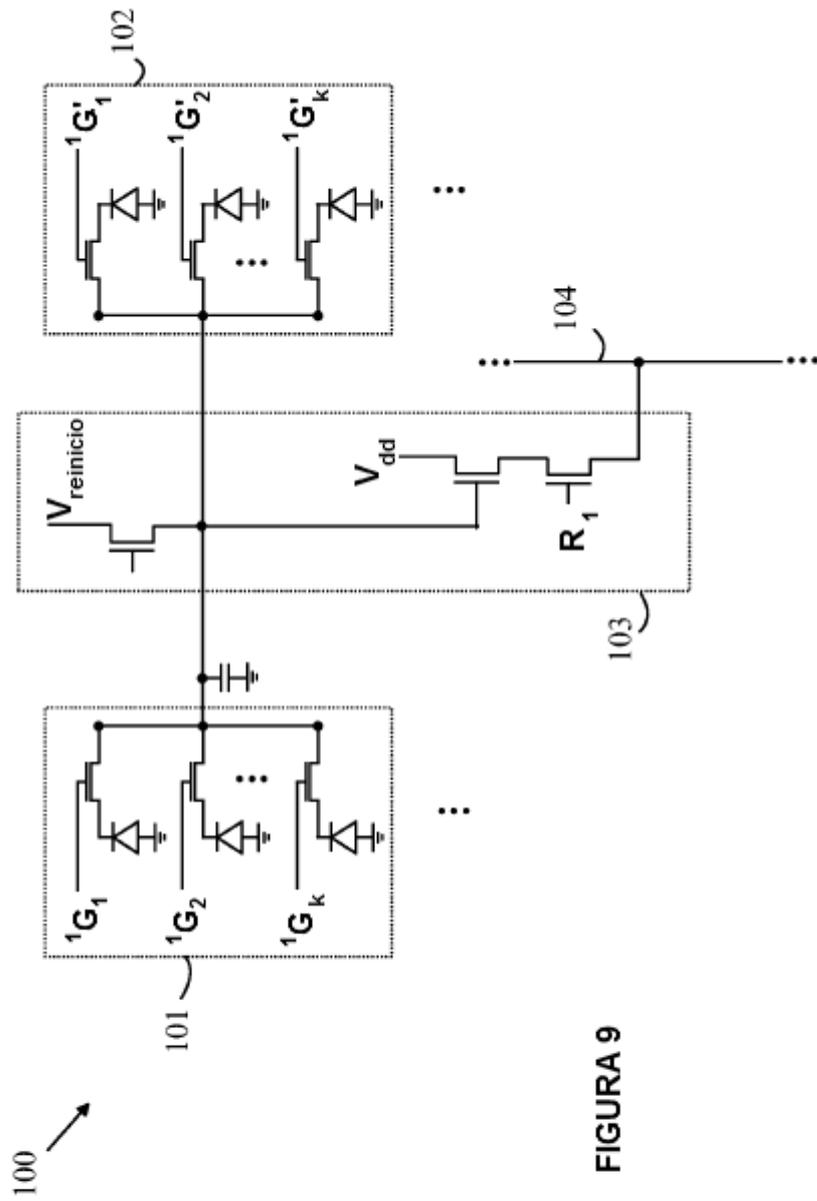


FIGURA 9

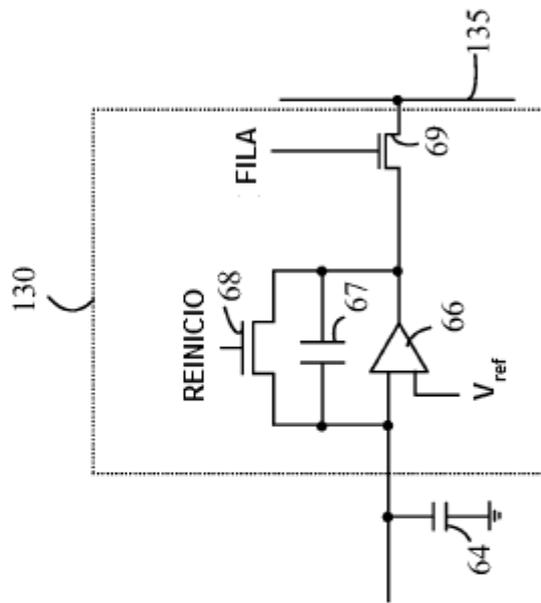


FIGURA 10