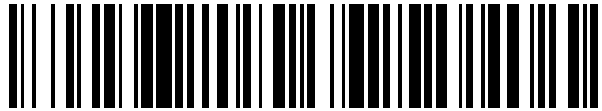


19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 547 704**

51 Int. Cl.:

H03K 5/1536 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **29.10.2013 E 13190619 (0)**

97 Fecha y número de publicación de la concesión europea: **22.07.2015 EP 2728751**

54 Título: **Circuito de detección de cruce por cero y método para la detección de cruce por cero**

30 Prioridad:

31.10.2012 US 201261720437 P
31.12.2012 US 201261747378 P

45 Fecha de publicación y mención en BOPI de la traducción de la patente:
08.10.2015

73 Titular/es:

SIGMA DESIGNS ISRAEL S.D.I LTD. (100.0%)
38 Habarzel Street
69710 Tel-Aviv, IL

72 Inventor/es:

BRAUNSHTEIN, DANNY

74 Agente/Representante:

VALLEJO LÓPEZ, Juan Pedro

ES 2 547 704 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Circuito de detección de cruce por cero y método para la detección de cruce por cero

5 La presente invención se refiere en general a circuitos electrónicos, y en particular a métodos y dispositivos para la detección de cruce por cero.

10 La detección de los puntos de cruce por cero de formas de onda de corriente alterna (CA) que es útil en varias aplicaciones, tales como control de motores de CA, atenuadores basados en microprocesadores y Comunicaciones de línea de potencia (PLC). Diversas técnicas y diseños de circuitos para la detección de cruce por cero se conocen en la técnica. Por ejemplo, la Publicación de Solicitud de Patente WO 2010/118495 describe un circuito de detección de cruce por cero que incluye un comparador para detectar un cruce por cero de una forma de onda de corriente alterna en el que el carril de potencia se puede ajustar en función de la señal de entrada.

15 Por ejemplo, la Publicación de Solicitud de Patente de Estados Unidos 2008/0157822 describe un circuito de detección de puntos de cruce por cero que incluye una entrada de línea caliente, una entrada de línea neutra, una primera salida del punto de cruce por cero y un primer acoplador óptico. El primer acoplador óptico incluye un primer diodo emisor de luz (LED) y un primer transistor óptico. La entrada de línea caliente y entrada de línea neutra se conectan respectivamente a los dos terminales del primer LED. Un emisor del primer transistor óptico se conecta a tierra. Un colector del primer transistor óptico se conecta a un suministro de potencia de corriente continua (CC). El colector del primer transistor óptico se conecta también a la primera salida del punto de cruce por cero.

20 Como otro ejemplo, la Publicación de Solicitud de Patente de Estados Unidos 2011/0279163 describe un circuito detector de cruce de nivel de señal que incluye un aislador de CC y un circuito detector. El aislador de CC tiene al menos una primera entrada, que se puede operar para recibir una señal de CA de alta tensión, y al menos un primer condensador, una primera placa del primer condensador conectada eléctricamente a la primera entrada. El circuito detector se puede operar a una baja tensión y tiene al menos una primera entrada del detector, la primera entrada del detector conectada eléctricamente a una segunda placa del primer condensador, pudiendo el circuito detector de baja tensión operarse para proporcionar un cambio en la señal de salida en función de una señal de CA de alta tensión en la primera entrada que cruza un nivel de señal predeterminado. El detector de cruce del nivel de señal puede tener un solo extremo o ser diferencial.

25 La Publicación de Solicitud de Patente de Estados Unidos 2008/0309379 describe un circuito de cruce por cero que incluye un elemento de circuito de salida de señal para el registro de una señal claramente definida, y en una realización un elemento de aislamiento que coopera con el elemento de salida de señal, y un elemento de tiempo que induce retardo que coopera con el elemento de salida de señal para aplicar un retardo de tiempo sustancialmente constante a la señal. El elemento que induce retardo incluye un circuito de interruptor y un circuito de retardo. El circuito del interruptor inicia el tiempo de retardo mediante el circuito de retardo después de que se alcanza una tensión de activación. El circuito de retardo de tiempo se adapta de manera que el retardo de tiempo equivale a un periodo de tiempo requerido para que la tensión de activación cambie a cero con el fin de cruzar sustancialmente la tensión cero a medida que transcurre el retardo de tiempo.

40 La descripción anterior se presenta como una visión general de la técnica relacionada en este campo y no debe interpretarse como una admisión de que cualquier información que contiene constituye la técnica anterior contra la presente solicitud de patente.

45 Una realización que se describe en la presente memoria proporciona un circuito de detección de cruce por cero que incluye un comparador y la circuitería. El comparador se configura para producir una señal de salida que es indicativa de eventos de cruce por cero en una forma de onda de corriente alterna (CA) de entrada. La circuitería se configura para alimentar el comparador con la primera y segunda tensiones de carriles, y para aumentar progresivamente las tensiones de carriles durante intervalos de tiempo que se derivan de la forma de onda de CA de entrada, a fin de alimentar el comparador con valores diana de las tensiones de carriles en proximidad de tiempo a los eventos de cruce por cero.

50 En algunas realizaciones, la circuitería incluye un suministro de potencia a corto plazo para la producción de las tensiones de carriles, y un circuito de control que se configura para cargar el suministro de potencia a corto plazo durante los periodos de tiempo que preceden a los intervalos de tiempo respectivos, y para hacer que el suministro de potencia a corto plazo aumente las tensiones de carriles durante los intervalos de tiempo. En una realización, la circuitería se configura para consumir la energía del suministro de potencia a corto plazo después de los eventos de cruce por cero.

55 En una realización divulgada, la circuitería se configura para aplicar tensiones de carriles cada vez mayores al comparador solo en una proximidad de tiempo predefinida a los eventos de cruce por cero, y para eliminar una o más de tensiones de carriles del comparador fuera la proximidad de tiempo predefinida. En otra realización, la circuitería incluye un circuito de compensación, que se configura para compensar errores de temporización en la detección de los eventos de cruce por cero causados por las diferencias en la amplitud de la forma de onda de CA de entrada, mediante la corrección de la forma de onda de CA de entrada proporcionada al comparador.

En otra realización adicional, la circuitería incluye un limitador para proteger el comparador de amplitudes de la forma de onda de CA de entrada. En otra realización adicional, la circuitería incluye un opto-acoplador enganchado, y el comparador se configura para accionar el opto-acoplador enganchado con la señal de salida a fin de indicar los eventos de cruce por cero.

5 Adicionalmente se proporciona, de acuerdo con una realización de la presente invención, un circuito de detección de cruce por cero que incluye un comparador y circuitería. El comparador se configura para producir una señal de salida que es indicativa de eventos de cruce por cero en una forma de onda de corriente alterna (CA) de entrada. La circuitería se configura para compensar un error en la detección de los eventos de cruce por cero causado por las
10 diferencias en la amplitud de la forma de onda de CA de entrada, mediante la corrección de la forma de onda de CA de entrada proporcionada al comparador.

En algunas realizaciones, la circuitería se configura para corregir la forma de onda de CA de entrada proporcionada al comparador mediante la adición de una tensión de compensación a la forma de onda de CA de entrada que es
15 proporcional a la amplitud de la forma de onda de CA de entrada. En una realización a modo de ejemplo, la circuitería se configura para cargar un condensador durante un semiciclo negativo de la forma de onda de CA de entrada, y para suministrar la tensión de compensación desde el condensador cargado.

En otra realización, la circuitería se configura para alimentar el comparador con la primera y segunda tensiones de carriles, y para aumentar progresivamente las tensiones de carriles durante intervalos de tiempo que se derivan de la forma de onda de CA de entrada, a fin de alimentar el comparador con valores diana de las tensiones de carriles
20 en proximidad de tiempo a los eventos de cruce por cero. En una realización, la circuitería se configura para activar el comparador solo durante intervalos de tiempo predefinidos que preceden respectivos tiempos esperados de los eventos de cruce por cero.

En una realización divulgada, la circuitería incluye un limitador para proteger el comparador de amplitudes de la forma de onda de CA de entrada. En una realización, la circuitería incluye un opto-acoplador enganchado, y el comparador se configura para accionar el opto-acoplador enganchado con la señal de salida a fin de indicar los
25 eventos de cruce por cero.

Se proporciona además allí, de acuerdo con una realización de la presente invención, un circuito de detección de cruce por cero que incluye un comparador y circuitería. El comparador se configura para producir una señal de salida que es indicativa de eventos de cruce por cero en una forma de onda de corriente alterna (CA) de entrada. La circuitería se configura para activar el comparador durante intervalos de tiempo que preceden respectivos tiempos
30 esperados de los eventos de cruce por cero, y para desactivar el comparador al menos una vez durante períodos de tiempo distintos de los intervalos de tiempo.

En algunas realizaciones, la circuitería se configura para alimentar al comparador con la primera y segunda tensiones de carriles, para aplicar ambas tensiones de carriles al comparador durante los intervalos de tiempo y
40 eliminar una o ambas tensiones de carriles del comparador al menos una vez durante períodos de tiempo distintos de los intervalos de tiempo. En una realización, la circuitería se configura para alimentar al comparador con la primera y segunda tensiones de carriles, y para aumentar progresivamente las tensiones de carriles durante períodos de tiempo que se derivan de la forma de onda de CA de entrada, a fin de alimentar el comparador con valores diana de las tensiones de carriles en proximidad de tiempo a los eventos de cruce por cero.

En otra realización, la circuitería incluye un circuito de compensación, que se configura para compensar errores de temporización en la detección de los eventos de cruce por cero causados por las diferencias en la amplitud de la forma de onda de CA de entrada, mediante la corrección de la forma de onda de CA de entrada proporcionada al
45 comparador. En otra realización adicional, la circuitería incluye un limitador para proteger el comparador de amplitudes de la forma de onda de CA de entrada. En una realización descrita, la circuitería incluye un opto-acoplador enganchado, y el comparador se configura para accionar el opto-acoplador enganchado con la señal de salida a fin de indicar los eventos de cruce por cero.

También se proporciona, de acuerdo con una realización de la presente invención, un método para la detección de cruce por cero. Un comparador se opera para producir una señal de salida que es indicativa de eventos de cruce por
50 cero en una forma de onda de corriente alterna (CA) de entrada. El comparador se alimenta con la primera y segunda tensiones de carriles. Las tensiones de carriles se incrementan progresivamente durante intervalos de tiempo que se derivan de la forma de onda de CA de entrada, a fin de alimentar el comparador con valores diana de las tensiones de carriles en proximidad de tiempo a los eventos de cruce por cero.

Se proporciona además allí, de acuerdo con una realización de la presente invención, un método para la detección de cruce por cero. Un comparador se opera para producir una señal de salida que es indicativa de eventos de cruce por
60 cero en una forma de onda de corriente alterna (CA) de entrada. Los errores de tiempo en la detección de los eventos de cruce por cero, causados por las diferencias en la amplitud de la forma de onda de CA de entrada, quedan compensados por la corrección de la forma de onda de CA de entrada proporcionada al comparador.

Adicionalmente se proporciona, de acuerdo con una realización de la presente invención, un método para la detección de cruce por cero. Un comparador se opera para producir una señal de salida que es indicativa de eventos de cruce por cero en una forma de onda de corriente alterna (CA) de entrada. El comparador se activa durante intervalos de tiempo que preceden tiempos esperados respectivos de los eventos de cruce por cero, y se desactiva al menos una vez durante períodos de tiempo distintos de los intervalos de tiempo.

También se proporciona, de acuerdo con una realización de la presente invención, un módem que incluye un detector de cruce por cero y un circuito de comunicación. El detector de cruce por cero incluye un comparador y un circuito. El comparador se configura para producir una señal de salida que es indicativa de eventos de cruce por cero en una forma de onda de corriente alterna (CA) de entrada proporcionada en una red de la línea potencia. La circuitería se configura para alimentar al comparador la primera y segunda tensiones de carriles, y para aumentar progresivamente las tensiones de carriles durante intervalos de tiempo que se derivan de la forma de onda de CA de entrada, a fin de alimentar el comparador con valores diana de las tensiones de carriles en proximidad de tiempo a los eventos de cruce por cero. La circuitería de comunicación se configura para el intercambio de señales de comunicación con un módem remoto a través de la red de la línea potencia, para recibir la señal de salida del detector de cruce por cero, y la sincronización de las señales de comunicación utilizando los eventos de cruce por cero indicados por la señal de salida.

La presente invención se comprenderá más plenamente a partir de la siguiente descripción detallada de las realizaciones de la misma, tomada junto con los dibujos en los que:

La Figura 1 es un diagrama de bloques que ilustra esquemáticamente un detector de cruce por cero, de acuerdo con una realización de la presente invención;

La Figura 2 es un gráfico que muestra formas de onda de señal en el detector de cruce por cero de la Figura 1, de acuerdo con una realización de la presente invención;

Las Figuras 3 a 9 son diagramas de circuito de detectores de cruce por cero, de acuerdo con realizaciones de la presente invención;

Las Figuras 10 y 11 son gráficos que muestran el rendimiento por etapas de un detector de cruce por cero, de acuerdo con una realización de la presente invención; y

La Figura 12 es un diagrama de bloques que ilustra esquemáticamente un sistema de Comunicación de la Línea Potencia (PLC), de acuerdo con una realización de la presente invención.

Compendio

Las realizaciones de la presente invención que se describen en la presente memoria proporcionan métodos y dispositivos mejorados para la detección de los puntos de cruce por cero de las formas de onda de corriente alterna (CA). En el contexto de la presente solicitud de patente y en las reivindicaciones, la expresión "puntos de cruce por cero" se refiere a los puntos en el tiempo en el que la forma de onda cambia de positivo a negativo o viceversa, es decir, los puntos en el tiempo en el que la tensión de la forma de onda de CA de entrada es igual a cero.

Las realizaciones descritas en la presente memoria se refieren principalmente a aplicaciones de Comunicación de Línea de Potencia (PLC), aunque las técnicas divulgadas se pueden utilizar en cualquier otra aplicación adecuada. En las implementaciones de PLC descritas en la presente memoria, la forma de onda de CA de entrada comprende una tensión de línea de red sustancialmente sinusoidal proporcionada en un par de líneas denotadas como NEUTRA y LINEAL.

En algunas realizaciones, un detector de cruce por cero comprende un comparador, tal como un amplificador diferencial, que recibe la forma de onda de CA diferencial como entrada y produce una señal de salida que es indicativa de los puntos de cruce por cero de la forma de onda. Por lo general, aunque no necesariamente, el comparador detecta solo la mitad de los puntos de cruce por cero, en los que la forma de onda de CA cambia de negativo a positivo. En una realización, se proporciona la señal de salida a un mecanismo de enganche que acciona un opto-acoplador. Este tipo de circuitos de salida proporciona una señal de detección de cruce por cero que está galvánicamente aislada de la tensión de CA.

En algunas realizaciones, el detector de cruce por cero comprende circuitería que alimenta el comparador con un par de tensiones de carriles denotadas como Vcc y Vee. Con el fin de detectar los puntos de cruce por cero correctamente, las tensiones de carriles se deben establecer en valores dianas predefinidos. En una realización, la circuitería realiza una secuencia de etapas que aumenta gradualmente las tensiones de carriles durante un corto intervalo de tiempo que precede al punto de cruce por cero esperado, a fin de alcanzar los valores diana predefinidos poco antes del punto de cruce por cero previsto.

En una realización, las tensiones de carriles se incrementan en un suministro de potencia a corto plazo que se carga con la energía de la forma de onda de CA durante el semiciclo negativo que precede al punto de cruce por cero. Mediante la aplicación de las tensiones de carriles al comparador solo en un corto tiempo antes de cada punto de cruce por cero esperado, el consumo de potencia se reduce considerablemente.

En algunas realizaciones, el detector de cruce por cero comprende circuitería que compensa las variaciones de la amplitud de la forma de onda de CA de entrada. Tales variaciones pueden ocurrir, por ejemplo, cuando se aplica el detector a diferentes clases de tensiones de línea (por ejemplo, 100/110VAC y 220/240VCA), o debido a la tolerancia de amplitud finita (por ejemplo, $\pm 10\%$) de la red eléctrica. A menos que sean compensadas, tales variaciones causan variaciones de retardo en los puntos de cruce por cero detectados debido a la capacitancia a la entrada del comparador.

En algunas realizaciones, la circuitería del detector de cruce por cero añade una tensión de compensación a la forma de onda de CA proporcionada al comparador. La tensión de compensación es proporcional a la amplitud de la forma de onda de CA de entrada y, por lo tanto, compensa las variaciones de retardo. Este tipo de compensación hace que la detección de cruce por cero sea sustancialmente independiente de la amplitud de la forma de onda de CA. Por tanto, el mismo detector se puede utilizar a través de diferentes intervalos de tensión de CA, así como en la presencia de cualquier otra fuente de variaciones de amplitud.

En algunas realizaciones, la circuitería detector de cruce por cero activa el comparador solamente un corto período de tiempo (por ejemplo, 100-200 μS) antes de cada punto de cruce por cero previsto. En una realización a modo de ejemplo, la circuitería aplica las tensiones de carriles Vcc y Vee al comparador solamente poco antes de cada punto de cruce por cero previsto, y elimina una o ambos de las tensiones de carriles fuera de estos períodos. Como resultado, el consumo de potencia se reduce considerablemente.

Si bien las realizaciones descritas en la presente memoria se refieren principalmente a la activación del comparador solo en proximidad de tiempo a los puntos de cruce por cero, las técnicas descritas no se limitan a tales implementaciones. Si bien el comparador se debe activar en proximidad de tiempo a los puntos de cruce por cero previstos, y es generalmente deseable desactivar el comparador en otras ocasiones, en algunas realizaciones, el comparador puede permanecer activo algunas veces adicionales que no están necesariamente en proximidad de tiempo a los puntos de cruce por cero.

En resumen, las configuraciones de detección descritas en la presente memoria consiguen la detección de cruce por cero con alta precisión en un amplio intervalo de tensiones de CA. La detección con alta precisión es importante, por ejemplo, en aplicaciones de PLC que utilizan a menudo el tiempo de cruce por cero como referencia para la sincronización del módem. Por otra parte, los detectores descritos son altamente eficaces en términos de consumo de potencia. Como se muestra a continuación, los diseños de circuitería descritos en la presente memoria pueden fabricarse a bajo coste y con tamaño y bases pequeños, por ejemplo, debido al pequeño número de componentes y el hecho de que los componentes individuales realizan múltiples funciones.

Diversos ejemplos de diseños de circuitería que implementan las técnicas descritas se describen en detalle a continuación, junto con diagramas de señales que demuestran la operación del detector. Si bien algunas de las realizaciones descritas comprenden todas las características descritas anteriormente (elevación de carriles, compensación de variación de amplitud y activación selectiva del comparador), las realizaciones alternativas pueden comprender solo determinados subconjuntos de estas características.

DESCRIPCIÓN DEL SISTEMA DE NIVEL Y ELEMENTO PRINCIPAL

La Figura 1 es un diagrama de bloques que ilustra esquemáticamente un detector de cruce por cero, de acuerdo con una realización de la presente invención. El detector detecta los puntos de cruce por cero de una forma de onda de CA de entrada, en el presente ejemplo, una tensión de red 200 proporciona en un par de líneas denotadas como NEUTRA y LINEAL.

El detector comprende un comparador 207, por ejemplo, un amplificador diferencial, que recibe la forma de onda de CA como entrada. El comparador 207 detecta los puntos de cruce por cero de negativo a positivo de la tensión de CA 200, y produce una señal de salida que es indicativa de los puntos de cruce por cero detectados. La señal de salida acciona un mecanismo de enganche 209, que a su vez acciona un opto-acoplador 211 a través de un controlador 210. Para cada evento de cruce por cero, el opto-acoplador produce un impulso estrecho (denotado como "salida de cruce por cero" en la figura) cuyo borde principal indica el punto de cruce por cero detectado.

Además del comparador y el circuito de salida, el detector de la Figura 1 comprende circuitería que realiza las técnicas divulgadas. La circuitería comprende resistencias 201, 202 y 212, un módulo de control de potencia del elevador de carriles de potencia y del comparador 203 (referido como elevador de carriles de potencia por razones de brevedad), un almacenamiento de energía y suministro de potencia a corto plazo 205 (referido como suministro de potencia a corto plazo por razones de brevedad), un conmutador 208, un módulo de compensación de amplitud lineal 204 y un limitador 206. Diagramas de circuitería detallados que implementan este diagrama de bloques, o subconjuntos de los mismos, se muestran en las Figuras 3 a 9 a continuación.

En una realización, el suministro de potencia a corto plazo 205 comprende un solo condensador, que almacena una cantidad limitada de energía que es suficiente para accionar el Diodo Emisor de Luz (LED) interno del opto-acoplador 211 durante aproximadamente 50-100 μS después de que se detecta el cruce por cero. Las tensiones en

ES 2 547 704 T3

los dos terminales de este único condensador (denotados como 307 en la Figura 3 más adelante) son Vcc y Vee. Después de accionar el opto-acoplador, la energía almacenada en el suministro de potencia 205 se consume totalmente.

5 En una realización, las tensiones de carriles Vcc y Vee proporcionan tensiones positiva y negativa con respecto a la línea NEUTRA solo durante un corto intervalo de tiempo comenzando poco antes y terminando poco después de cada evento de cruce por cero. Durante la mayor parte del semiciclo negativo de tensión 200, tanto Vcc como Vee son negativos. Durante la mayor parte del semiciclo positivo de tensión 200, tanto Vcc como Vee son próximas a cero.

10 El elevador de carriles de potencia 203 controla la porción de suministro de potencia del módulo 205, así como la activación del comparador 207 poco antes del evento de cruce por cero anticipado mediante el interruptor 208. Durante la mayor parte del semiciclo negativo, el condensador en el suministro de potencia a corto plazo 205 se carga. Durante este período, Vcc es -0,6V y Vee se mueve gradualmente hacia -16V. (Todos los valores de tensión se proporcionan en la presente memoria meramente a modo de ejemplo. Cualquier otra tensión adecuada se puede utilizar en realizaciones alternativas.)

15 Antes de la activación del comparador 207 mediante el elevador de carriles de potencia 203, las tensiones de carriles Vcc y Vee, con respecto a NEUTRA, son aproximadamente -0,6V y -16V, respectivamente. Poco antes del evento de cruce por cero, el elevador de carriles de potencia 203 aumenta gradualmente los carriles de potencia Vcc y Vee en 8,8V, de tal manera que Vcc se convierte en +8,2V y Vee se convierte en -7,2V. Siguiendo la operación de elevación de los carriles de potencia, el comparador 207 se activa por elevador 203 con el interruptor 208, y por lo tanto consume una pequeña parte de la energía almacenada en el suministro de potencia a corto plazo 205. Dado que la cantidad de energía almacenada en el suministro de potencia a corto plazo es limitada, es importante consumir solamente esta energía cuando sea necesario.

20 El módulo de compensación 204 compensa los retrasos indeseables en la forma de onda de CA aplicada al comparador 207, causados por variaciones en la amplitud de la tensión 200. Sin un módulo de compensación 204, la tensión a la entrada del comparador habría quedado rezagada detrás de la forma de onda de CA de entrada (tensión 200) debido a la capacitancia de entrada del comparador 207. Normalmente, el módulo de compensación 204 genera una tensión de compensación aditiva que supera el efecto de la capacitancia de entrada. La tensión de compensación aditiva cambia dinámicamente en respuesta a las variaciones en la amplitud de tensión 200.

25 La tensión a la salida del módulo de compensación 204 acciona la entrada del comparador 207. Debido a la tensión de compensación aditiva, en las proximidades del punto de cruce por cero de tensión 200, la tensión a la salida del módulo 204 es sustancialmente la misma que el valor instantáneo de la tensión 200.

30 En una realización a modo de ejemplo, la resistencia 202 se conecta en serie con el módulo de compensación 204. Durante la mayor parte del semiciclo negativo, la resistencia 202 se utiliza para proporcionar corriente de carga para la alimentación a corto plazo 205. Al final del semiciclo negativo, mientras la tensión 200 sigue siendo negativa, pero cercana a cero, la corriente de carga detiene su flujo a través de la resistencia 202 y hay por tanto poca o ninguna caída de tensión a través de la resistencia. Por lo tanto, idealmente, la tensión en ambos terminales de la resistencia 202 debe ser la misma. En otras palabras, el valor instantáneo de la tensión 200 debería ser observable en ambos terminales de la resistencia 202.

35 Sin embargo, en la práctica, el comparador 207 exhibe generalmente cierta capacidad parásita en sus entradas. Esta capacitancia conduce a alguna corriente de carga y descarga indeseable a través de la resistencia 202. Sin una compensación por parte del módulo 204, la capacitancia parásita conllevaría normalmente a detecciones de cruce por cero inexactas, ya que la tensión instantánea a la entrada del comparador 207 sería diferente de la tensión 200.

40 El módulo de compensación 204 se coloca en serie con la resistencia 202, de tal manera que la tensión proporcionada a la entrada del comparador 207 es la suma de la tensión en el terminal inferior de la resistencia 202 y la tensión de compensación generada dinámicamente, producida por el módulo 204. Cuando es idealmente compensada, la tensión instantánea aplicada a la entrada del comparador es igual a la tensión 200. (Esta relación se mantiene normalmente para tensiones bajas, es decir, en la proximidad del punto de cruce por cero. Para tensiones más altas, la tensión a la entrada del comparador se limita por el limitador 206 con el fin de evitar daños. El limitador 206 comprende normalmente diodos Zener que limitan la tensión de entrada del comparador a valores seguros.)

45 Se puede demostrar que (sin compensación, en la proximidad del punto de cruce por cero) la diferencia entre el valor instantáneo de la tensión 200 y la tensión instantánea a la entrada del comparador 207 es proporcional a la amplitud de la tensión 200, así como a la velocidad de subida de tensión 200. Dado que la latencia entre la tensión 200 y la entrada del comparador es directamente proporcional a la velocidad de subida de tensión 200, se deduce que la latencia es directamente proporcional a la amplitud de la tensión 200.

50 Utilizando la relación anterior, en algunas realizaciones, el módulo de compensación 204 comprende un condensador que se carga a una tensión que es proporcional a la amplitud de la tensión 200 con el coeficiente de

proporcionalidad apropiado y, por lo tanto, proporciona la tensión de compensación aditiva apropiada. Se permite después que el condensador se descargue con el fin de prepararse para el siguiente ciclo de compensación. Normalmente, el módulo 204 carga el condensador durante todo el semiciclo negativo de tensión 200, alcanzando de este modo la tensión deseada a través del condensador.

5 Para resumir la descripción anterior, en el punto en el tiempo de cruce por cero, se cumplen los requisitos ambientales del comparador para detectar el punto de cruce por cero: Vee y Vcc se aplican correctamente, el comparador se activa mediante un interruptor 208, y su referencia se establece en cero (es decir, vinculado sustancialmente a neutra). Cuando el comparador 207 indica un de cruce por cero, la señal de salida producida por el comparador 209 engancha el mecanismo de enganche. En consecuencia, el controlador 210 acciona el LED dentro de opto-acoplador 211, a fin de indicar un evento de cruce por cero. El accionamiento actual del opto-acoplador 211 consume la energía almacenada en el suministro de potencia a corto plazo en su totalidad, por lo general dentro de varias decenas de microsegundos.

15 Como se ha señalado anteriormente, se proporcionan las detecciones de cruce por cero solo para los cruces por cero de negativo a positivo. Durante el semiciclo positivo de la tensión 200 siguiendo el cruce por cero detectado, la tensión de compensación del módulo de compensación 204 se libera, y el limitador 206 limita la tensión a la entrada de los comparadores para evitar daños. Durante el semiciclo negativo de la tensión 200, la tensión de compensación reconstruye el interior del módulo de compensación. Cuando el valor instantáneo de la tensión 200 es negativo, pero cercano a cero, se aplica la tensión compensada a la entrada del comparador, y el proceso anteriormente descrito se repite.

25 En algunas realizaciones, la resistencia 212 ayuda a aislar el detector de cruce por cero de la red eléctrica de CA 200 en la línea NEUTRA, por ejemplo, para evitar la inyección de ruido a la red eléctrica de CA. El aislamiento en la línea LINEAL se ve facilitado por las resistencias 201 y 202. En una realización a modo de ejemplo, las resistencias 201, 202 y 212 tienen resistencias de 1MΩ, 2,2MΩ y 100KΩ, respectivamente. Sin embargo, como alternativa, se puede utilizar cualesquier otro valor adecuado. Este ruido es causado normalmente por la etapa de corriente agudo que transporta una corriente relativamente alta, que es deseable para reducir el tiempo de respuesta del opto-acoplador. (La operación de este etapa de corriente agudo se explica más en detalle en la sección "Implementación del accionador 210") a continuación.

35 Las configuraciones del detector de cruce por cero que se muestran en la Figura 1 y en las Figuras 3-9 a continuación son configuraciones a modo de ejemplo, que se eligen exclusivamente por el bien de la claridad conceptual. En las realizaciones alternativas, se pueden utilizar otras configuraciones de detector adecuadas. Los elementos del detector de cruce por cero se pueden implementar, por ejemplo, utilizando componentes discretos, en un Circuito Integrado de aplicación específica (ASIC).

40 La Figura 2 es un gráfico que muestra formas de onda de señal en el detector de cruce por cero de la Figura 1, de acuerdo con una realización de la presente invención. La trama superior de la Figura 2 muestra un ciclo de la forma de onda de CA de entrada, por ejemplo, la tensión 200. La trama media en la Figura 2 muestra las tensiones de carriles Vcc (curva sólida) y Vee (curva de trazos) durante el ciclo. La trama inferior muestra la corriente a través del LED del opto-acoplador 211, es decir, la detección de cruce por cero.

45 Durante la mayor parte del semiciclo negativo de tensión 200, la Vcc se establece en -0,6V. Este período de tiempo se marca con el número de referencia 350 en la figura. Durante el período 350, el condensador en el suministro de potencia a corto plazo 205 se carga. La Vee se carga durante una sección 354 de la forma de onda. Durante la sección 355, Vee es constante a -16V debido a un diodo Zener en el limitador 206.

50 La función de elevación de los carriles de potencia del módulo 203 se observa en las secciones 351 y 356 de las formas de onda Vcc y Vee, respectivamente. A raíz de estas secciones, el módulo 203 activa el comparador 207 con el interruptor 208. El período corto plano en el que Vcc = 8,2V y Vee = -7,2V se asocia a las secciones 352 y 357 de las formas de onda Vcc y Vee, respectivamente.

55 Al final de las secciones 352 y 357, el comparador 207 detecta el evento de cruce por cero y activa el mecanismo de enganche 209 y el opto-acoplador 211. Las secciones 353 y 358 muestran la activación del LED en el opto-acoplador 211, que consume la energía almacenada en el condensador de suministro de potencia 205. Ambas Vcc y Vee caen de manera exponencial durante este período, hasta que el condensador se descargue completamente.

60 En la curva inferior, el punto de activación que corresponde al evento de cruce por cero es visto como un borde principal 359 de un impulso corto producido por el opto-acoplador. La corriente de LED decae exponencialmente como se observa en una sección 360 de la forma de onda de corriente de LED.

EJEMPLO DE IMPLEMENTACIÓN DEL DETECTOR DE CRUCE POR CERO

65 La Figura 3 es un diagrama de circuito de un detector de cruce por cero, de acuerdo con una realización de la presente invención. La configuración de la Figura 3 comprende todos los mecanismos descritos anteriormente -

elevación de carriles de tensión, compensación de variación de amplitud y activación del comparador poco antes del punto de cruce por cero. Los elementos de la Figura 3 que realizan las diversas funciones del diagrama de bloques de la Figura 1 se marcan con marcos de trazos que tienen una numeración de referencia correspondiente a los bloques de la Figura 1. (La misma notación se utiliza en las Figuras 4-9 a continuación.) Como se puede observar en la figura, algunos componentes tienen múltiples funciones, es decir, participan en la aplicación de múltiples funciones del sistema.

Implementación del módulo de compensación 204

10 En la Figura 3, el módulo de compensación 204 se implementa utilizando un solo transistor de efecto de campo semiconductor de óxido de metal (MOSFET) 303 que actúa tanto como un comparador como un interruptor, las resistencias 202, 300 y 304, y un condensador 302.

15 Durante el semiciclo negativo de la tensión de la red eléctrica (por ejemplo, tensión 200 de la Figura 1), se interrumpe la alimentación del FET 303, ya que la corriente que carga el condensador 302 fluye de tal manera que la caída de tensión en la resistencia 300 crea una V_{gs} negativa para el FET 303. En otras palabras, la misma corriente que carga el condensador de almacenamiento de energía 307 del suministro de potencia a corto plazo 205, carga también el condensador de compensación de latencia 302 del módulo de compensación 204, de tal manera que la tensión en el condensador 302, referenciada a la fuente de FET 303, es positiva.

20 La carga acumulada en el condensador 302 es, de hecho, la integral matemática de la corriente a través de la resistencia 202, la corriente integrada sobre el semiciclo negativo de la tensión 200. Dado que una integral es un operador matemático lineal, y puesto que en cualquier momento dado la corriente es proporcional al valor instantáneo de la tensión 200, se deduce que la integral de la corriente instantánea acumulada durante el semiciclo negativo es linealmente proporcional a la amplitud de la tensión 200. El coeficiente de proporción K entre los dos es proporcional a $1/Capacitor_302$. Por tanto, capacitancias más pequeñas de condensador 302 corresponden a un K mayor.

30 En la proximidad al punto de cruce por cero, el condensador 302 actúa como una fuente de tensión cuya tensión se ha ajustado automáticamente por la integral de la corriente que también se utiliza para cargar el condensador de almacenamiento de energía 307. Esta "fuente de tensión automáticamente ajustado" (capacitor 302) se debe reajustar durante los semiciclos negativos de la forma de onda de CA de entrada (tensión 200), y durante dichos períodos.

35 Para este fin, el condensador 302 se debe descargar por completo durante los semiciclos positivos. Obsérvese que durante el semiciclo positivo, la tensión en la resistencia 300 es tal que la V_{gs} del FET 303 es positiva y, por lo tanto, el FET está en modo de conductor. Tenga en cuenta también que durante el semiciclo positivo, la tensión de la V_{ds} a través del FET 303 es negativa. El FET 303 conduce la corriente en la dirección inversa (de la fuente al drenaje) y descarga el condensador 302 a través de la resistencia 304. Esta característica asegura que el condensador 302 se descargue completamente al comienzo de cada semiciclo negativo de la tensión 200.

45 Un diodo Zener 301 normalmente no juega ningún papel funcional en condiciones normales. El papel del diodo 301 es proteger el FET 303 contra sobretensiones de alta tensión, por ejemplo, aumentos repentinos que puedan exceder 1000V. El diodo Zener 301 limita la V_{gs} del FET 303 dentro de $-0,6V$ y $+V_{zener}$, de manera que el FET queda protegido.

Implementación de suministro de potencia a corto plazo 205

50 El suministro de potencia & almacenamiento de energía a corto plazo 205 en el detector de la Figura 3 se implementa utilizando diodos Zener 308, 306, 305 y 324, y el condensador 307 que sirve como el dispositivo de almacenamiento de energía. Tenga en cuenta que Diodos Zener 305, 306 y 324 desempeñan funciones adicionales y por tanto son también parte de otros bloques.

55 Durante el semiciclo negativo de tensión 200, el condensador de almacenamiento de energía 307 se carga. La carga de la corriente fluye a través de la cadena en serie que comprende la resistencia 202, la resistencia 300, el condensador de compensación 302, la resistencia 304, el diodo Zener 305 (en el modo de avance), el condensador de almacenamiento de energía 307 y el diodo Zener 308 (en el modo de avance).

60 Otra contribución a la corriente de carga se debe a que la corriente que fluye a través de la cadena en serie de la resistencia 201, el condensador 326 y/o el diodo Zener 327 (en el modo Zener), el diodo Zener 324 (en el modo de avance), el condensador de almacenamiento de energía 307 y el diodo Zener 308 (en el modo de avance). La corriente de ambas trayectorias carga el condensador 307, alcanzando una tensión de $-16V$ en V_{ee} y de $-0,6$ en V_{cc} . (Este proceso se aplica a las realizaciones de las Figuras 4-9 también). El diodo Zener 306 limita la V_{ee} a $-16V$, mientras que el diodo Zener 308 limita la V_{cc} a $-0,6V$.

65 Cuando la tensión 200 sigue siendo negativa, pero cercana a cero, se inicia un proceso que conduce a la detección

de cruce por cero. El proceso se describe en detalle más adelante. Como parte de este proceso, el elevador de carriles de potencia 203 acciona corriente a través de las resistencias 322 y 323. De esta manera, el elevador de carriles 203 aumenta la tensión Vee en el lado derecho del condensador 307. En consecuencia, la tensión Vcc en el lado izquierdo del condensador 307 aumenta también.

5 El proceso de elevación de carriles de tensión se detiene cuando la tensión en Vcc se aproxima a la tensión Zener del diodo 308. En este punto (correspondiente a los períodos 352 y 357 de la Figura 2) Vcc es igual a +8,2V y Vee es igual a -7,2V, en el presente ejemplo. Vcc y Vee se utilizan para el accionamiento del bloque del comparador 207, bloque del mecanismo de enganche 209 y bloque del controlador 210.

10 **Implementación del limitador 206**

En la realización de la Figura 3, el limitador 206 se implementa utilizando diodos Zener 305 y 306. Tenga en cuenta que estos diodos Zener son también parte del suministro de potencia a corto plazo 205. En esta realización, la tensión Vgs de un FET 319 (que se describirá más adelante) no debe exceder algunos valores máximos absolutos definidos por el fabricante del FET. En los FET utilizados en las realizaciones descritas, por ejemplo, la Vgs máxima permitida es +/- 20V.

15 La tensión en la compuerta del FET 319, relativa a NEUTRA, está delimitada a -16,6V durante el semiciclo negativo de la tensión 200, ya que el diodo Zener 305 cae 0,6 V (en el modo de avance) y el diodo Zener 306 cae 16V (en el modo Zener). Durante el semiciclo positivo de la tensión 200, la tensión en la compuerta del FET 319 respecto a NEUTRA está limitada a +16,6V, ya que el diodo Zener 305 cae 16V (en el modo Zener) y el diodo Zener 306 cae 0,6V (en el modo de avance).

25 **Implementación del elevador de carriles de potencia y módulo de control de potencia del comparador 203**

El elevador de carriles de potencia 203 en la Figura 3 se implementa utilizando los diodos Zener 324 y 327, el condensador 326, el FET 325, y las resistencias 322 y 323. Durante el semiciclo negativo de la tensión 200, la corriente fluye a través de la cadena en serie que comprende la resistencia 201, el condensador 326, el diodo Zener 324, el condensador 307 y el diodo Zener 327 (en el modo de avance). Véase también la descripción realizada del suministro de potencia a corto plazo 205. Este condensador de carga de corriente 326 hasta alcanzar la tensión Zener del diodo Zener 327.

30 Si bien el valor instantáneo de la tensión 200 sigue siendo negativo, pero cercano a cero, la tensión en la compuerta del FET 325 es sustancialmente el valor instantáneo de la tensión 200, más la tensión Zener del diodo 327. La razón es que en este punto en el tiempo, se interrumpe la alimentación al diodo Zener 324 y no debe haber ninguna caída de tensión en la resistencia 201. En la práctica, sin embargo, hay una cierta caída de tensión debido a la capacitancia de compuerta del FET 325.

35 La tensión en la compuerta del FET 325 está por delante del valor instantáneo de la tensión 200. Por lo tanto, cuando la tensión 200 es negativa pero cercana a cero, una serie de eventos se implementa en orden secuencial. Estos eventos comprenden, entre otros, la elevación de carriles de tensión, la activación del comparador 207, y el ajuste de las tensiones de referencia del comparador (en este orden).

40 La elevación de carriles de tensión se implementa mediante la inyección gradual de corriente de la línea NEUTRA, a través del FET 325 y las resistencias 323 y 322. Después, el FET 320 entra en su modo conductor. La elevación de carril adicional se debe a la corriente de la fuente del FET 320 a través de la resistencia 321. Esta etapa se conoce como activación del comparador, ya que el FET 320 es parte del comparador. El interruptor 208 de la Figura 1 se aplica realmente utilizando el mismo FET 320, que es también parte del propio comparador 207.

45 Por último, el FET 325 se satura, exhibiendo una resistencia de diversos Ohms. Si la resistencia 323 es de cero ohmios, la tensión de referencia aplicada al FET 320 del comparador es cero. De lo contrario, una tensión de desfase opcional se puede ajustar, dependiendo de las resistencias 322 y 323.

50 **Implementación del interruptor de activación del comparador 208**

55 El interruptor de activación del comparador 208 es uno de las dos funciones desempeñadas por el FET 320. El comparador 207, cuyos dos componentes principales son los FET 319 y 320, se activa mediante la aplicación de una tensión de referencia positiva a la compuerta del FET 320 con respecto a la Vee. En la presente realización no hay un componente físico distinto que desempeñe la función del interruptor 208. El interruptor aparece como componente distinto en el diagrama de bloques de la Figura 1 solo la finalidad de explicación.

Implementación del comparador 207

En la realización de la Figura 3, el bloque del comparador 207 se implementa mediante un amplificador diferencial que comprende los FET 319 y 320 y las resistencias 318 y 321. Como se ha explicado anteriormente, poco antes del punto de cruce por cero previsto, el comparador 207 está provisto de los requisitos ambientales para la correcta comparación de cruce por cero. Estos requisitos incluyen $V_{cc} = +8,2V$, $V_{ee} = -7,2V$, y una tensión de referencia que es ya sea cero o una pequeña tensión negativa.

Cuando la tensión en la compuerta del FET 319 es ligeramente superior a la tensión de referencia en la compuerta del FET 320, se produce un efecto de dirección corriente. La corriente a través de la resistencia 321 se dirige para fluir a través del FET 319 en lugar de a través del FET 320. Como resultado, una tensión de aproximadamente 7V se deja caer a través de la resistencia de drenaje 318, lo que indica un evento de cruce por cero.

Implementación del mecanismo de enganche 209

El mecanismo de enganche 209 en la Figura 3 se implementa utilizando el FET 319, y un transistor bipolar 315, en relación con la resistencia 316. El FET 319, desempeña también múltiples funciones. Antes del evento de cruce por cero, el FET 319 es parte del comparador (amplificador diferencial) 207. Una fracción de segundo después del evento de cruce por cero, el FET 319 empieza a desempeñar la función de un mecanismo de enganche junto con el transistor bipolar 315 y la resistencia 316.

Una vez que el FET 319 está en estado conductor, la corriente de base fluye a través del transistor 315. Debido al transistor H_{fe} , una corriente significativamente mayor fluye a través de su colector, lo que a su vez eleva la tensión de compuerta del FET 319 abruptamente. Este esquema de retroalimentación positiva hace que el par de transistores 315 y 319 actúen como un mecanismo de enganche. Tenga en cuenta que si V_{cc} y V_{ee} se han aplicado de forma indefinida, no habría manera de desenganchar el par de transistores. Sin embargo, puesto que la energía almacenada en el condensador 307 del suministro de potencia a corto plazo 205 se ha consumido totalmente dentro de pocas decenas de microsegundos después de un evento de cruce por cero, el mecanismo de enganche se libera poco después de los eventos de cruce por cero. La finalidad del mecanismo de enganche es proporcionar una etapa de corriente definitivo agudo de un LED 309 en opto-acoplador 211.

Implementador del conductor 210

En la presente realización, el accionador de corriente 210 se implementa mediante un transistor bipolar 314 y una resistencia 313. La finalidad del accionador de corriente 210 es accionar el LED 309 del dispositivo opto-acoplador 211. Una etapa de corriente agudo que lleva una corriente relativamente elevada es deseable para reducir el tiempo de respuesta del opto-acoplador.

Una vez que el mecanismo de enganche 209 se cierra, la corriente fluye en la base del transistor 314 a través de la resistencia 317. En consecuencia, el transistor 314 acciona la corriente en el LED 309, y el lado secundario del opto-acoplador, alimentado normalmente desde un suministro de potencia flotante 312, indica un evento de cruce por cero.

Implementación del opto-acoplador 211

En las realizaciones divulgadas, el opto-acoplador 211 se implementa normalmente utilizando un dispositivo portátil estándar. Junto con la resistencia 311 y (normalmente) el suministro de potencia flotante 312, el opto-acoplador transmite los eventos de cruce por cero al dominio de suministro de potencia flotante, libre de la conexión galvánica a la tensión 200.

IMPLEMENTACIONES DEL DETECTOR DE CRUCE POR CERO ALTERNATIVAS

La Figura 4 es un diagrama de circuito de un detector de cruce por cero, de acuerdo con una realización alternativa de la presente invención. En esta realización, el módulo de compensación 204 se omite, en relación con la aplicación de la Figura 3 anteriormente. Por lo tanto, la realización de la Figura 4 no compensa las variaciones de retardo causadas por diferentes amplitudes de la forma de onda de CA de entrada (tensión de red eléctrica 200). Una implementación de este tipo se puede elegir, por ejemplo, cuando la precisión de cruce por cero y/o consumo de potencia no son las consideraciones principales, y se pueden cambiar para un ahorro en materiales y/o una base más pequeña.

En la presente realización, hay cierta compensación entre la sincronización de la precisión y el consumo de potencia. Cuando el consumo de potencia se puede ver comprometido, se puede utilizar una menor resistencia para la resistencia 202, disminuyendo de este modo la susceptibilidad del detector de las variaciones de amplitud de forma de onda de CA. Por ejemplo, cuando la compatibilidad a ambas redes de 110VCA y 220VCA no es obligatoria, un compromiso razonable se puede realizar entre el rendimiento y el consumo de potencia.

La Figura 5 es un diagrama de circuito de un detector de cruce por cero, de acuerdo con otra realización de la presente invención. La implementación de la Figura 5 es similar a la implementación de la Figura 3 anterior, en el sentido de que incluye todos los componentes básicos de la Figura 1. Sin embargo, en la Figura 5, el bloque del comparador 207 se implementa utilizando un chip del comparador portátil 328. En esta realización, el comparador cuenta con una salida de drenaje abierta (o colector abierto).

En el presente ejemplo, el chip 328 desempeña una función doble. Antes del evento de cruce por cero, el chip 328 sirve como un comparador. Inmediatamente después del evento de cruce por cero, el chip 328 sirve como parte de mecanismo de enganche 209 que incluye el transistor 315 y la resistencia 316.

La Figura 6 es un diagrama de circuito de un detector de cruce por cero, de acuerdo con otra realización adicional de la presente invención. Al igual que la Figura 5, la puesta en práctica de la Figura 6 comprende también todos los componentes básicos de la Figura 1. Las diferencias entre la presente aplicación y la de la Figura 5 están en el bloque del mecanismo de enganche y en el tipo de comparación. El detector de la Figura 6 comprende un chip del comparador 329 que tiene una etapa de salida de empuje-tracción.

En lugar del transistor 315 y la resistencia 316 de la Figura 5, el presente ejemplo comprende una resistencia 330 y un diodo 331. El comparador 329 de la Figura 6 desempeña una función doble tanto como un comparador como parte de un mecanismo de enganche. Inmediatamente después del evento de cruce por cero, la respuesta positiva a través de la resistencia 330 y el diodo 331 hace que el comparador 329 actúe como un mecanismo de enganche.

La Figura 7 es un diagrama de circuito de un detector de cruce por cero, de acuerdo con otra realización de la presente invención. Esta implementación es similar a la de la Figura 6 anterior, excepto en el mecanismo de enganche. Por naturaleza, algunos comparadores portátiles cuentan con alta ganancia y, como tal, proporcionan una respuesta de etapa agudo al cruce de nivel. En implementaciones discretas tales como en la Figura 1, el comparador 207, por sí solo, no cuenta con una ganancia muy alta. Sin embargo, se logra una alta ganancia, con la retroalimentación positiva que es de un mecanismo de enganche. Las realizaciones sin mecanismo de enganche se pueden considerar, por ejemplo, cuando el ruido no es una consideración primordial.

La Figura 8 es un diagrama de circuito de un detector de cruce por cero, de acuerdo con otra realización alternativa de la presente invención. La presente aplicación es similar al de la Figura 7 anterior, excluyendo el módulo de compensación 204. Como se ha señalado anteriormente, cuando la lista de materiales y/o la base son las prioridades principales, el módulo de compensación 204 se puede eliminar a expensas de la precisión de detección de cero y/o consumo de potencia. La precisión de la detección de cruce por cero y el consumo de potencia se pueden intercambiar mediante la elección adecuada de la resistencia para la resistencia 202, como se ha explicado anteriormente con respecto a la Figura 4.

La Figura 9 es un diagrama de circuito de un detector de cruce por cero, de acuerdo con otra realización adicional de la presente invención. Esta implementación es similar a la de la Figura 8 anterior, excepto en re-inclusión del elemento de enganche, mediante la adición de la resistencia 330 y el diodo 331.

EJEMPLO DE RENDIMIENTO DEL DETECTOR DE CRUCE POR CERO

La Figura 10 es un gráfico que muestra el rendimiento por etapas del detector de cruce por cero de la Figura 3, de acuerdo con una realización de la presente invención. La figura muestra las formas de onda de tensión en la compuerta del FET 319, en la compuerta del FET 320 y la tensión de la línea de potencia (tensión 200), en las proximidades de un evento de cruce por cero. El evento de cruce por cero se muestra en el medio de la figura. La escala horizontal es 100 μ S/cuadrado, y la escala vertical es de 5V/cuadrado.

La descripción que sigue describe la secuencia de eventos relativos a la detección de cruce por cero en el detector de la Figura 3 anterior. (Las etapas 1A-1E se describen solo en el texto, y la figura se centra en las etapas subsiguientes 2-7). Cada etapa se define en términos del intervalo de tensión de red instantáneo (intervalo de tensión 200 en la Figura 3). Por ejemplo, el intervalo de tensión instantánea de -22,8V a -14V corresponde a una etapa, el intervalo de tensión de -14V a -12,6V corresponde a la etapa siguiente, y así sucesivamente.

Antes de detallar la secuencia de etapas, considere la señal de la "compuerta del FET 319" en los últimos 100 μ S antes del evento de cruce por cero. La pendiente (dv/dt) de esta señal es visiblemente menor que la pendiente de la tensión de línea. Sin embargo, la tensión en la "compuerta del FET 319" es claramente mayor que la de la línea de potencia, antes del evento de cruce por cero, a causa del módulo de compensación 204. Por lo tanto, el momento de cruce por cero se corrige y se produce exactamente en el tiempo. Obsérvese también cómo la tensión de referencia en la "compuerta del FET 320" converge gradualmente a cero antes de la comparación real.

Etapa N° 1A - semiciclo negativo.

En esta etapa, el condensador de almacenamiento de energía 307 se carga.

Etapa Nº 1B - El semiciclo negativo hasta que la tensión 200 se aproxime a -22,8V

El intervalo de tiempo de la etapa Nº 1B se solapa con el intervalo de tiempo de la etapa Nº 1A. Dado que el diodo Zener 305 está en un estado de conducción de corriente de avance con el fin de cargar el condensador de almacenamiento de energía, la caída de tensión en el diodo 305 es aproximadamente 0,6V. Por lo tanto, la Vgs del FET 319 es -0,6V. En consecuencia, se interrumpe la alimentación del FET 319. Puesto que se interrumpe la alimentación del FET 319, no hay caída de tensión en la resistencia de 318, y por lo tanto, también se interrumpe la alimentación de los transistores bipolares 314 y 315.

Esta situación, junto con la operación del FET 320 que se describe en la siguiente sección, garantiza que ninguna corriente se extraiga del condensador de almacenamiento de energía durante el semiciclo negativo de la forma de onda de CA de entrada (tensión 200), hasta que el valor momentáneo de tensión 200 se aproxime a -22,8V.

Etapa Nº 1C- El semiciclo negativo hasta que la tensión 200 se aproxime a -22,8V

El intervalo de tiempo de etapa Nº 1C se solapa con intervalo de tiempo de etapa Nº 1A, y solapa totalmente el intervalo de tiempo de etapa Nº 1B. Durante el etapa Nº 1C, la Vgs del FET 325 es -0,6V, porque parte de la corriente de carga del condensador de almacenamiento de energía 307 fluye avanzando a través del diodo Zener 324, mientras que la Vgs es exactamente la tensión a través de que diodo. Esta operación garantiza que no fluya corriente a través del FET 325, y por lo tanto ninguna corriente fluye a través de las resistencias 323 y 322, y no hay caída de tensión a través de estas resistencias. En consecuencia, la Vgs del FET 320 es cero, por lo que también se interrumpe su alimentación. Una vez más, esta operación asegura que la cantidad limitada de energía almacenada en el condensador de almacenamiento de energía 307 no se consuma antes de lo necesario.

Etapa Nº 1D - El semiciclo negativo hasta que la tensión 200 se aproxime a -22,8V

El intervalo de tiempo de la etapa Nº 1D se solapa con los intervalos de tiempo de las etapas Nº 1B y Nº 1C. Como parte de un mecanismo de tiempo adecuado, el condensador 326 se carga a 8,2V, limitado por el diodo Zener 327. La corriente utilizada para el condensador 326 contribuye también a la carga del condensador de carga 307, hasta que la tensión en el condensador 326 llega a 8,2V. En este punto, la corriente sigue fluyendo a través del diodo 327 en el modo Zener, contribuyendo a la corriente de carga del condensador 307.

Dado que la pendiente de tensión 200 es relativamente baja, (por ejemplo, del orden de 0,1 V/μS en sus puntos más altos para una red de 220VCA), generando una señal que está 8,2V por delante de la tensión 200 en su porción ascendente, se utiliza para crear eventos programados. Mientras la tensión 200 sigue siendo negativa, la tensión en el cátodo del diodo 327 está 8,2V por delante del valor instantáneo de la tensión 200. Esta tensión se utiliza para la activación de eventos tales como la elevación de carriles de potencia (ambas Vcc y Vee son elevadas en 8,8V) y el FET 325 se transfiere gradualmente al modo conductor. Esta función se explica más adelante en las próximas etapas.

Etapa Nº 1E: El semiciclo negativo hasta que la tensión 200 se aproxime a -24,8V

El intervalo de tiempo de la etapa Nº 1E solapa totalmente la etapa Nº 1A a la etapa Nº 1D. Puesto que la tensión 200 alcanza -24,8V, el diodo 324 detiene la conducción (avance de corriente) y la contribución a la corriente de carga del condensador 307 a través de esta trayectoria se detiene. La tensión de -24,8V se debe a 16V del diodo 306 (en el modo Zener), 0,6V del diodo 324 (en el modo de avance) y 8,2V del diodo de 327 (en el modo Zener).

Etapa Nº 2 - Tensión 200 aumenta de -22,8V a -14V

Dado que el condensador 326 se carga a 8,2V durante la porción negativa, al final de la porción negativa, a medida que la tensión 200 se aproxima a cero, la tensión en la compuerta del FET 325 (con relación a la línea NEUTRA) es el valor momentáneo de la tensión 200 más 8,2V. En particular, cuando la tensión 200 se aproxima a -22,8V al final del semiciclo negativo, la Vgs del FET 325 alcanza + 1.4V, que es aproximadamente su tensión umbral.

Esta operación se debe a los siguientes hechos:

- Cuando la tensión 200 es -22,8V, la corriente de carga todavía fluye a través del diodo 305 (en corriente de avance), forzando -16V (en relación con NEUTRA) en el ánodo del diodo 305. Los FET 319 y 320 están todavía sin alimentación en este momento, y por lo tanto no hay caída de tensión en la resistencia 321. Por lo tanto, la tensión en la fuente del FET 320 es -16V.
- Similarmente, dado que el FET 325 se encuentra todavía sin alimentación en este punto, no hay caída de tensión en la resistencia 322, y por lo tanto la tensión en la fuente del FET 325 es también -16V.
- La tensión en la compuerta del FET 325 es el valor instantáneo de la tensión 200 más 8,2V (del condensador 326). Cuando la tensión 200 es -22,8V, la tensión en la compuerta del FET 325 es -22,8V + 8,2V = -14,6V.
- La tensión entre la compuerta y la fuente del FET 325 es -14,6V - (-16V) = 1,4V. En este punto la tensión en el drenaje del FET 325 es 0V (NEUTRA), y por lo tanto el FET 325 está en su umbral de conducción. La tensión

ES 2 547 704 T3

200 sigue pasando de -22,8V a -14V (un aumento de 8,8V). Durante este período, el diodo 305 mantiene la conducción (en el modo de avance), y la tensión en el ánodo del diodo 305 se eleva en 8,8V, de -16V a -7,2 V, mientras que la tensión en el cátodo del diodo 308 se eleva de -0,6V a + 8,2V.

5 Lo anterior se sustenta debido a los siguientes hechos:

- A medida que la tensión en la compuerta del FET 325 se eleva, la fuente del FET 325 la sigue.
- La resistencia de la resistencia 322 es mucho menor que la resistencia de la resistencia 300, y por lo tanto la tensión en el ánodo del diodo 305 se eleva.
- 10 ▪ A medida que la tensión en el ánodo del diodo 305 se eleva, la tensión en el cátodo del diodo 306 se eleva también, ya que el condensador 307 se carga a 15,4V en este momento.
- Dado que la tensión en la compuerta y en la fuente del FET 320 se eleva al mismo ritmo (la tensión en la resistencia 322 es casi cero), el FET 320 sigue estando sin alimentación durante este intervalo de tiempo (de etapa N° 2).
- 15 ▪ Dado que la tensión en el cátodo del diodo 305 es más negativa que la tensión en su ánodo, la corriente fluye hacia delante a través del diodo 305 durante todo el intervalo. Como tal, la tensión a través del diodo 305 es 0,6 V y la Vgs del FET 319 es -0,6V, lo que mantiene FET 319 sin alimentación durante este intervalo de tiempo, ahorrando la energía almacenada en el condensador 307.
- 20 ▪ En el punto donde el valor momentáneo de tensión 200 alcanza -14V, la tensión en la compuerta del FET 325 es $-14V + 8,2V = -5,8V$. La tensión en la fuente del FET 325 es aproximadamente 1.4V menor, produciendo -7,2V.
- Dado que la tensión en el lado derecho del condensador 307 (Vee) es -7,2V, y dado que el condensador 307 se carga a 15,4V, la tensión en su lado izquierdo (Vcc) es $-7,2V + 15,4 V = 8,2V$, que es precisamente la tensión Zener del diodo 308.

25

En conclusión, al final de este intervalo de tiempo:

- La tensión en el lado izquierdo del condensador 307 (Vcc) es 8,2V.
- La tensión en el lado derecho del condensador 307 (Vee) es -7,2V.
- 30 ▪ El FET 325 está en su umbral del modo conductor ($V_{ds} = 0 - (-7,2) = 7,2V$). La Vgs es 1,4V.
- Los FET 319 y 320 y los transistores 314 y 315 están todos sin alimentación, conservando la energía almacenada en el condensador 307.

35

Etapa N° 3 - Tensión 200 aumenta de -14V a -12,6V

A medida que la tensión 200 alcanza -14V, la tensión en el cátodo del diodo 305 ya no puede elevarse, al menos no rápidamente, porque el diodo Zener 308 está en el estado conductor (modo Zener) y limita la tensión en el lado izquierdo del condensador 307 (Vcc) a + 8,2V. En consecuencia, la tensión en su lado derecho (Vee) no se puede elevar por encima de -7,2V a menos que se descargue el condensador 307.

40

En este punto, la resistencia 322 ya no puede mantener una tensión de casi cero a través de la misma, ya que su resistencia es demasiado grande. El factor τ de la resistencia 322 junto con el condensador 307 es demasiado grande en comparación con la pendiente (dV/dt) de la tensión 200 creciente.

45

Como resultado, la tensión en la resistencia 322 se eleva. Cuando la tensión 200 alcanza -12,6 V, la tensión en la compuerta del FET 325 es $-12,6V + 8,2V = -4,4V$. La tensión en la fuente del FET 325 es $-4,4V - 1,4V = -5,8V$. La Resistencia 323 es normalmente pequeña en comparación con la resistencia 322, y por lo tanto la tensión en la compuerta del FET 320 es de aproximadamente -6,2V. Este valor está en la proximidad del umbral conductor del FET 320.

50

La corriente a través de la resistencia 321 sigue siendo cero, y así es la tensión a través de esta resistencia. Por lo tanto, la tensión en la fuente del FET 320 es igual a la tensión en el ánodo del diodo 305, en concreto -7,2V. Como resultado, la Vgs del FET 320 es $-6,2V - (-7,2 V) = 1V$, que está en la proximidad del umbral de la Vgs del FET.

55

En conclusión, al final de la etapa N° 3:

- El FET 325 está en modo conductor y la tensión a través del mismo es $V_{ds} = 0 - (-5,8V) = 5,8V$.
- El FET 320 está en la proximidad de su umbral conductor.
- Las tensiones en el lado izquierdo y en el lado derecho del condensador 307 (Vcc y Vee) son 8,2V y -7,2V, respectivamente.
- 60 ▪ Se consume una pequeña porción de la energía almacenada en el condensador 307.

Etapa N° 4: Tensión 200 aumenta de -12,6V a -6,8V

65

A medida que la tensión 200 se eleva por encima -12,6V, la tensión en la fuente del FET 325 sigue aumentando, a raíz de la tensión en su compuerta. Esta relación es verdadera hasta que la tensión en la compuerta del FET 325 se

ES 2 547 704 T3

eleva por encima de 1,4 V con respecto a NEUTRA, es decir, cuando el valor momentáneo de la tensión 200 es -6,8V (dado que $-6,8V + 8,2V = +1,4V$). (-6,8V es el valor instantáneo de la tensión 200, y +8,2V es la tensión a través del condensador 326).

5 Durante este intervalo de aumento de -12,6 a -6,8V, la tensión en la compuerta del FET 320 se eleva de -6,2V a 0V. (En la práctica, suele haber cierta latencia, por tanto, este proceso gradual pasa a la etapa N° 6). En el punto donde la tensión 200 alcanza -6,8V, el FET 325 ya no está en el modo conductor activo, sino más bien en el modo conductor saturado, en el que la tensión a través del FET (Vds) es cero.

10 En algunas realizaciones en las que la resistencia 323 = 0Ω, la tensión en la compuerta del FET 320 es cero. Obsérvese que el FET 320 es parte de un amplificador diferencial (comparador) implementado utilizando el FET 319 y el FET 320, y que la tensión cero se utiliza como una tensión de referencia con la que se compara el valor instantáneo de la tensión 200. (La función de la resistencia 323 es proporcionar un desplazamiento constante, normalmente para compensar el retardo constante de un opto-acoplador).

15 En conclusión, al final de esta etapa:

- El FET 325 debería saturarse y la tensión a través del mismo debería ser cero (en la práctica a menudo hay algo de latencia).
- 20 ▪ La tensión en la compuerta del FET 320 es cero (o una pequeña tensión de desfase constante, dependiendo de la resistencia 323), que es la tensión de referencia para el cruce por cero.
- Las tensiones en el lado izquierdo y en el lado derecho del condensador 307 son casi 8,2V y -7,2, respectivamente, a excepción de una pequeña disminución de la tensión debido a la corriente que fluye a través del FET 320. Estas tensiones (Vcc y Vee) permiten que el amplificador diferencial funcione y compare la tensión
- 25 200 con el umbral deseado.
- Parte de la energía almacenada en el condensador 307 se consume con el fin de activar el amplificador diferencial (comparador).

Etapa N° 5 - Tensión 200 se eleva por encima de -7,8V

30 Este evento tendrá lugar en el centro del intervalo de tiempo de la etapa N° 4. Dado que la tensión 200 alcanza -7,8V, el diodo 305 detiene la conducción (avance de corriente) y la contribución a la corriente de carga del condensador 307 a través de esta trayectoria se detiene. El valor de -7,8V se debe a los -7,2V en la Vee (con respecto a NEUTRA), menos la caída de 0,6 V en el diodo 305 (modo de avance).

Etapa N° 6 - Tensión 200 aumenta de -6,8V a cero

40 Durante este intervalo, la tensión en la compuerta del FET 325 sigue en aumento con respecto a NEUTRA hasta que llega a 6,8V (0V + 6,8V). Esta operación no afecta el FET 325, que ya está saturado, exhibiendo solo unos pocos ohmios, forzando una tensión cero (o una pequeño desfase constante, dependiendo de la resistencia 323) en la compuerta del FET 320. La corriente de carga a través del diodo 305 y la resistencia 202 se detienen cuando el valor instantáneo de la tensión 200 alcanza -7,8V (como se explica en el etapa 5 N°).

45 En condiciones ideales, en este punto la corriente a través de la resistencia 202 sería cero, y por lo tanto la caída de tensión a través de la misma sería cero. En la práctica, sin embargo, la capacidad de entrada del FET 319 actúa como una carga capacitiva, haciendo que la tensión momentánea en la compuerta del FET 319 se ralentice después de la tensión 200. Esta cuestión fue tratada y se ha explicado anteriormente con respecto al módulo de compensación 204.

50 Desde el punto en el que la tensión 200 se eleva por encima de -7,8V, la tensión en la compuerta del FET 319 es la misma que la tensión 200, a condición de que condensador de compensación 302 se sintonice correctamente. Cuando la tensión en la compuerta del FET 319 alcanza el punto de referencia, se produce una indicación de cruce por cero. El comparador 207 se activa en unos 100-200 μS antes del evento de cruce por cero.

Etapa N° 7 - El semiciclo positivo

60 Al principio de este intervalo de tiempo, se completa la indicación de cruce por cero. El circuito debe estar protegido de altos valores de tensión 200, a fin de evitar daños en los componentes. Normalmente, la tensión entre la compuerta del FET 319 y el cable de NEUTRA no debe exceder los 16V, debido al diodo Zener 305 que limita la tensión a fin de proteger el FET 319.

65 Cuando el diodo 305 está en modo Zener, la corriente que fluye a través del mismo fluye también a través del diodo 306 (corriente de avance). En este caso, el diodo 306 limita la tensión en el ánodo del diodo 305 a aproximadamente 0,6V.

Del mismo modo, el diodo Zener 324 limita la tensión de la compuerta-fuente del FET 325 a 16V. Como resultado, la

tensión Vgs de la compuerta-fuente del FET 320 se limita a aproximadamente 14,6V, 1,4V por debajo de 16V, debido a la tensión de la compuerta del FET 325.

5 La Figura 11 es un gráfico que muestra el rendimiento por etapas del detector de cruce por cero de la Figura 3, de acuerdo con una realización de la presente invención. Esta figura es similar a la Figura 10 anterior, con la adición de que muestra la tensión de la compuerta del FET 325.

10 Como se puede observar en la figura, hasta aproximadamente 40 μ S después del evento de cruce por cero, la tensión de la compuerta del FET 325 es mayor que la tensión de la línea potencia (tensión 200). Como se ha explicado anteriormente, esta señal programa diversos eventos que se producen en la preparación para el cruce por cero previsto. Por último, obsérvese que la tensión en la compuerta del FET 319 se eleva abruptamente en el punto de cruce por cero. Esta característica se debe al efecto del mecanismo de enganche. Como se ha mencionado anteriormente, el FET 319 desempeña una función doble, al ser parte de un mecanismo de enganche de retroalimentación positiva.

15 EJEMPLO DE APLICACIÓN DE COMUNICACIÓN DE LA LÍNEA POTENCIA

20 La Figura 12 es un diagrama de bloques que ilustra esquemáticamente un sistema de comunicación de la línea potencia (PLC), de acuerdo con una realización de la presente invención. Esta figura muestra una de las posibles aplicaciones de los esquemas de detección de cruce por cero descritas. La configuración del sistema de la Figura 12 se proporciona solamente a modo de ejemplo, y cualquier otra configuración adecuada se puede utilizar en las realizaciones alternativas.

25 En el presente ejemplo, el sistema comprende dos o más módems PLC 400 que intercambian señales de comunicación entre sí a través de una red de la línea potencia de CA 404. La red 404 puede comprender, por ejemplo, una red de la línea potencia 220VCA o 110VCA.

30 Cada módem PLC 400 comprende circuitería de comunicación 408 y un detector de cruce por cero 412. La circuitería de comunicación 408 realiza las diversas tareas relativas a la comunicación a través de la red 404. El detector de cruce por cero 412 detecta los puntos de cruce por cero de la tensión de la línea de CA proporcionada por la red 404. El detector 412 puede realizar la detección de cruce por cero utilizando cualquiera de los esquemas descritos en la presente memoria. Por ejemplo, el detector 412 puede implementarse utilizando cualquiera de las configuraciones de las Figuras 1 y 3-9 anteriores.

35 El detector 412 proporciona una señal de salida que indica las detecciones de cruce por cero a la circuitería 408. La circuitería 408 puede utilizar las detecciones de cruce por cero del detector 412 de cualquier manera adecuada. Por ejemplo, la circuitería 408 puede sincronizar las señales de comunicación de la recepción y/o de la transmisión a los eventos de cruce por cero indicados por la señal de salida.

40 Si bien las realizaciones descritas en la presente memoria abordan principalmente las aplicaciones de módem PLC, los métodos y sistemas descritos en la presente memoria también se pueden utilizar en otras aplicaciones, tales como en el control de motores monofásicos y trifásicos y en la corrección del factor de potencia $\cos(\varphi)$.

45 Por tanto, se apreciará que las realizaciones descritas anteriormente se citan a modo de ejemplo, y que la presente invención no se limita a lo que se ha mostrado y descrito particularmente anteriormente en la presente memoria. Más bien, el alcance de la presente invención incluye tanto combinaciones como sub-combinaciones de las diversas características descritas anteriormente en la presente memoria, así como sus variaciones y modificaciones que se les ocurrirían a los expertos en la materia al leer la descripción anterior y que no están divulgadas en la de la técnica anterior.

50 Las realizaciones de la presente invención se han descrito con referencia particular a los ejemplos ilustrados. Sin embargo, se apreciará que se pueden hacer variaciones y modificaciones a los ejemplos descritos dentro del alcance de la presente invención.

REIVINDICACIONES

1. Un circuito de detección de cruce por cero, que comprende:

5 un comparador (207), que está configurado para producir una señal de salida que es indicativa de eventos de cruce por cero en una forma de onda de corriente alterna (CA) de entrada; y
 circuitería, que está configurada para alimentar al comparador (207) con primeras y segundas tensiones de carriles (V_{cc} ; V_{ee}), para aumentar progresivamente las tensiones de carriles durante intervalos de tiempo que se derivan de la forma de onda de CA de entrada a fin de alimentar el comparador con valores diana de las
 10 tensiones de carriles en proximidad de tiempo a los eventos de cruce por cero, aplicar tensiones de carriles progresivamente mayores al comparador solo en una proximidad de tiempo predefinida a los eventos de cruce por cero, y eliminar una o más de tensiones de carriles del comparador fuera de la proximidad de tiempo predefinida.

15 2. El circuito de acuerdo con la reivindicación 1, en el que la circuitería comprende:

una suministro de potencia a corto plazo (205) para producir las tensiones de carriles (V_{cc} ; V_{ee}) para su provisión al comparador (207); y
 un circuito de control que está configurado para cargar el suministro de potencia a corto plazo (205) durante
 20 períodos de tiempo que preceden a los intervalos de tiempo respectivos, y hacer que el suministro de potencia a corto plazo aumente las tensiones de carriles (V_{cc} ; V_{ee}) durante los intervalos de tiempo.

3. El circuito de acuerdo con la reivindicación 2, en el que la circuitería está configurada para consumir la energía del suministro de potencia a corto plazo después de los eventos de cruce por cero.

25 4. El circuito de acuerdo con cualquiera de las reivindicaciones 1 a 3, en el que la circuitería comprende un circuito de compensación (204), que está configurado para compensar los errores de temporización en la detección de los eventos de cruce por cero causados por las diferencias en la amplitud de la forma de onda de CA de entrada, mediante la corrección de la forma de onda de CA de entrada proporcionada al comparador.

30 5. El circuito de acuerdo con la reivindicación 4, en el que el circuito de compensación está configurado para corregir la forma de onda de CA de entrada proporcionada al comparador mediante la adición de una tensión de compensación a la forma de onda de CA de entrada que es proporcional a la amplitud de la forma de onda de CA de entrada.

35 6. El circuito de acuerdo con la reivindicación 5, en el que al circuito de compensación está configurado para cargar un condensador durante un semiciclo negativo de la forma de onda de CA de entrada y para suministrar tensión de compensación desde el condensador cargado.

40 7. El circuito de acuerdo con cualquiera de las reivindicaciones 1 a 6, en el que la circuitería comprende un limitador (206) para proteger el comparador de las amplitudes de la forma de onda de CA de entrada.

45 8. El circuito de acuerdo con cualquiera de las reivindicaciones 1 a 7, en el que la circuitería comprende un opto-acoplador enganchado (211), y en el que el comparador se configura para accionar el opto-acoplador enganchado con la señal de salida a fin de indicar los eventos de cruce por cero.

9. Un método para la detección de cruce por cero, que comprende:

50 operar un comparador (207) para producir una señal de salida que es indicativa de eventos de cruce por cero en una forma de onda de corriente alterna (CA) de entrada;
 alimentar el comparador con primeras y segundas tensiones de carriles; y
 aumentar progresivamente las tensiones de carriles durante intervalos de tiempo que se derivan de la forma de onda de CA de entrada, a fin de alimentar el comparador con valores diana de las tensiones de carriles en proximidad de tiempo a los eventos de cruce por cero, en donde las tensiones de carriles progresivamente
 55 mayores se aplican al comparador solamente en una proximidad de tiempo predefinida a los eventos de cruce por cero, y una o más de las tensiones de carriles se eliminan del comparador fuera de la proximidad de tiempo predefinida.

60 10. El método de acuerdo con la reivindicación 9, y que comprende además la compensación de errores de temporización en la detección de los eventos de cruce por cero causados por las diferencias en la amplitud de la forma de onda de CA de entrada, mediante la corrección de la forma de onda de CA de entrada proporcionada al comparador.

65 11. Un dispositivo de comunicación de la línea de potencia que comprende: el circuito de detección de cruce por cero de acuerdo con la reivindicación 1, en el que se proporciona la forma de onda de corriente alterna (CA) de entrada en una red de la línea potencia, y un circuito de comunicación, que está configurado para intercambiar

señales de comunicación con un dispositivo de comunicación de línea de potencia remota a través de la red de línea de potencia, para recibir la señal de salida del detector de cruce por cero, y sincronizar las señales de comunicación utilizando los eventos de cruce por cero indicadas por la señal de salida.

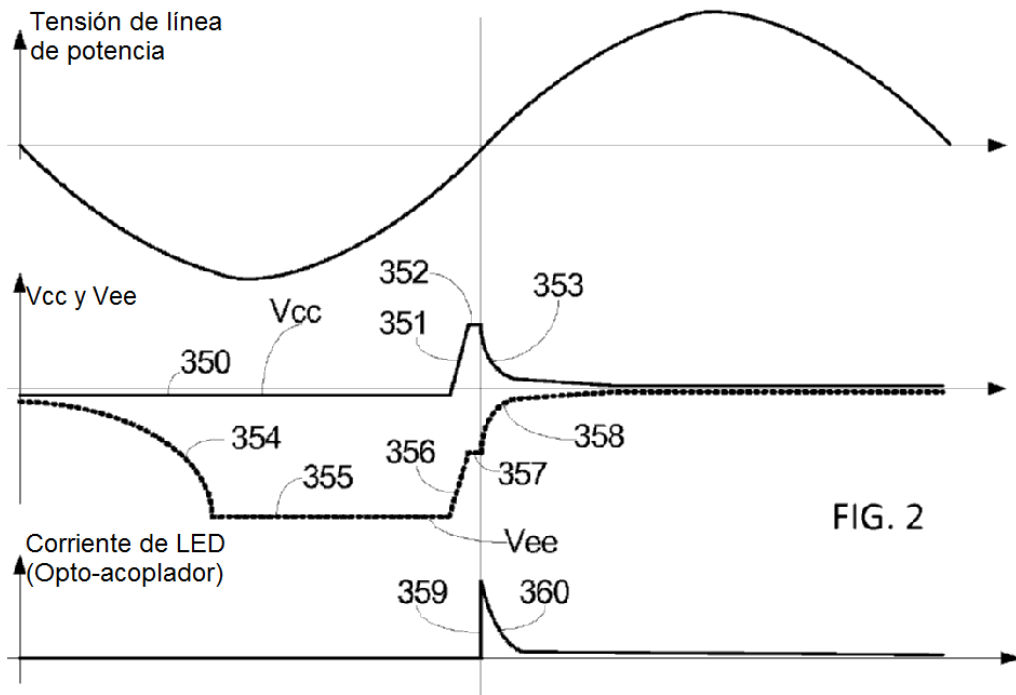
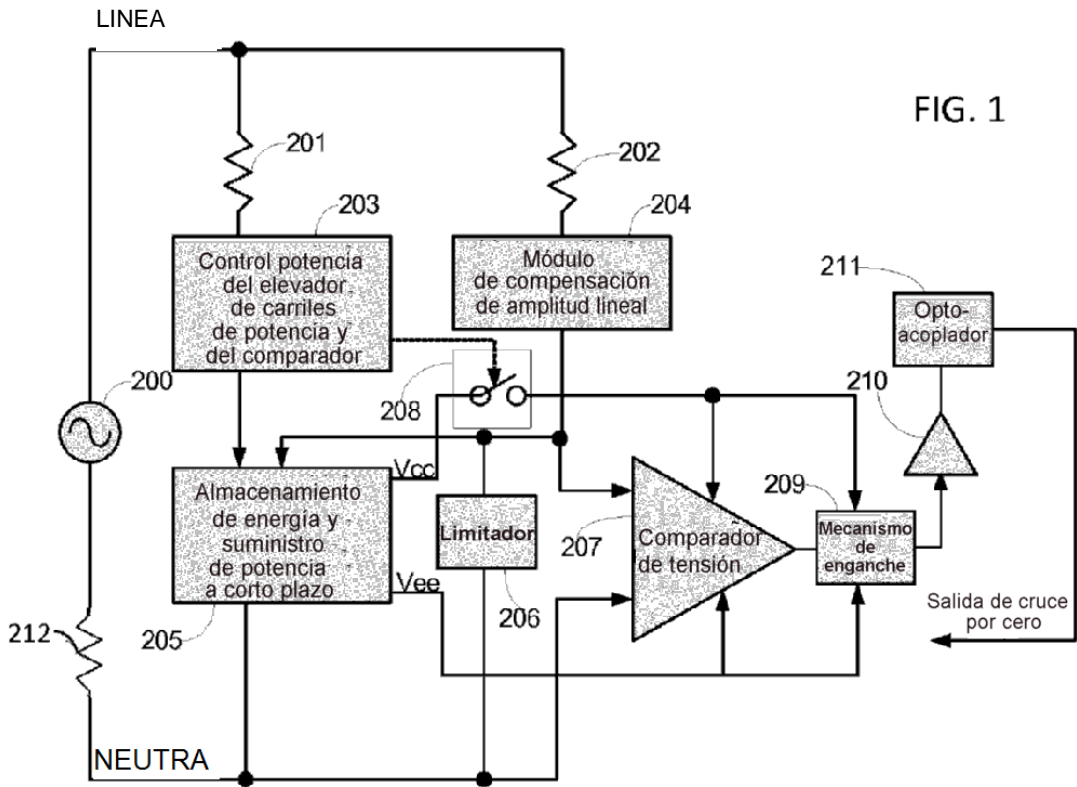


FIG. 3

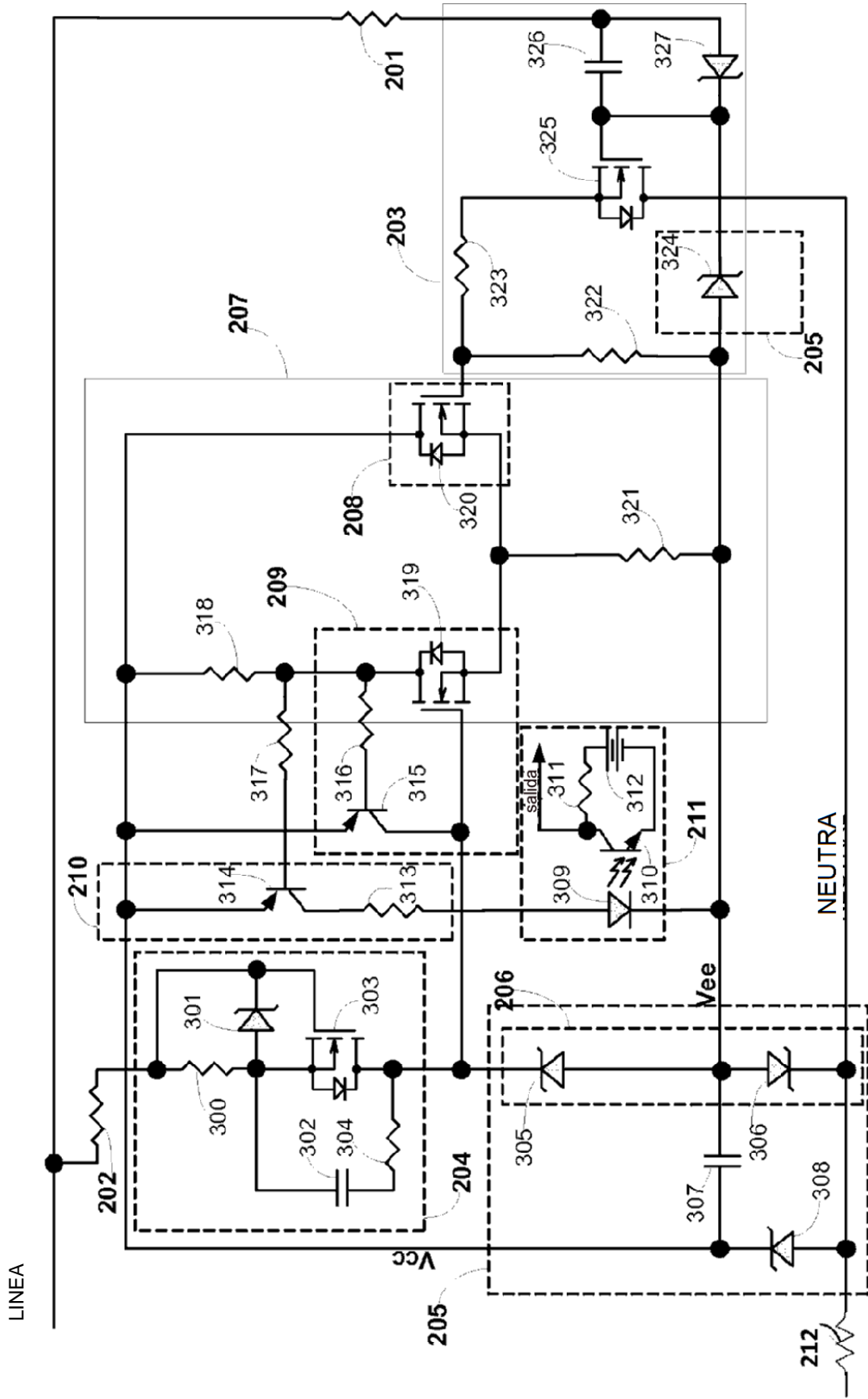
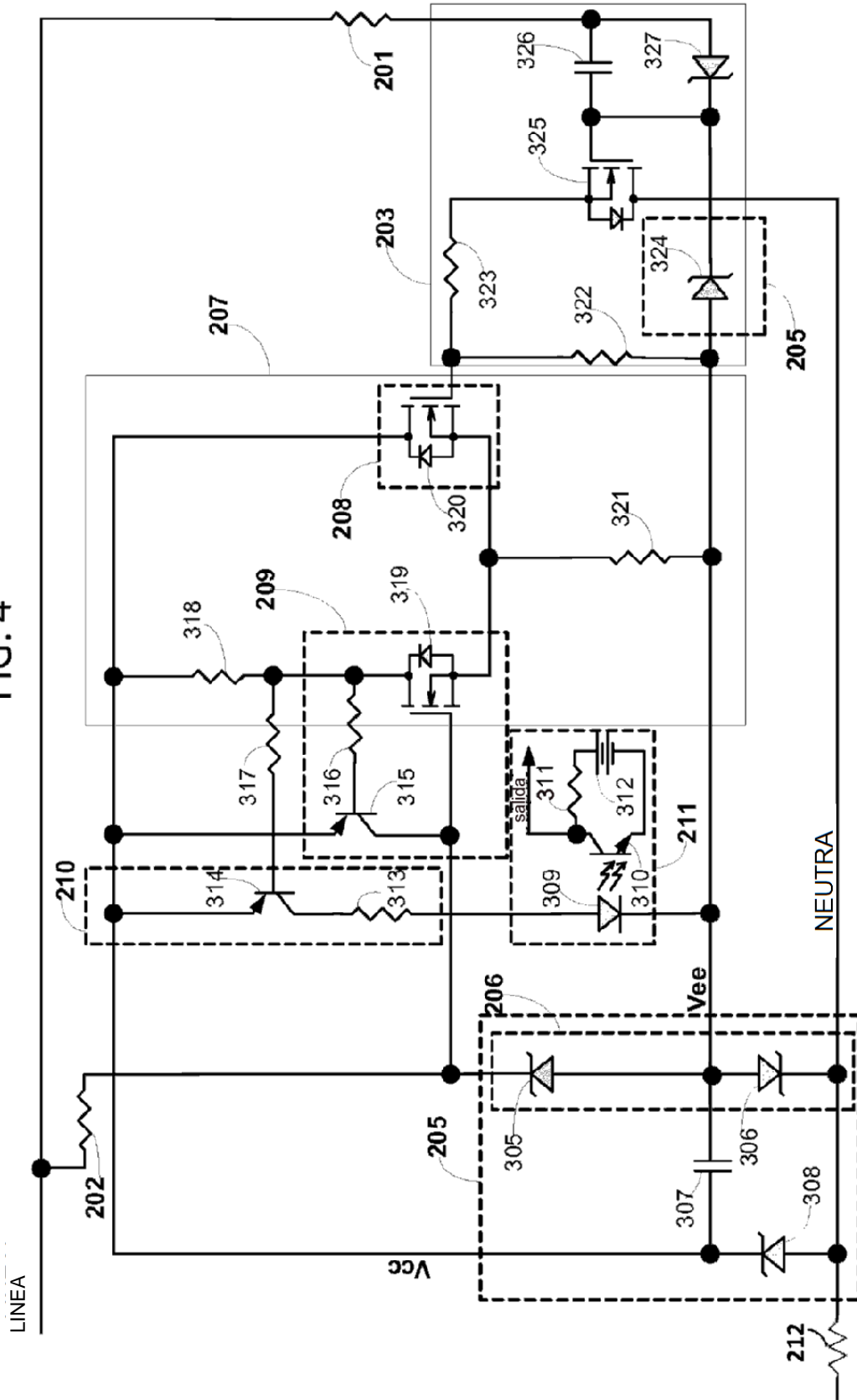


FIG. 4



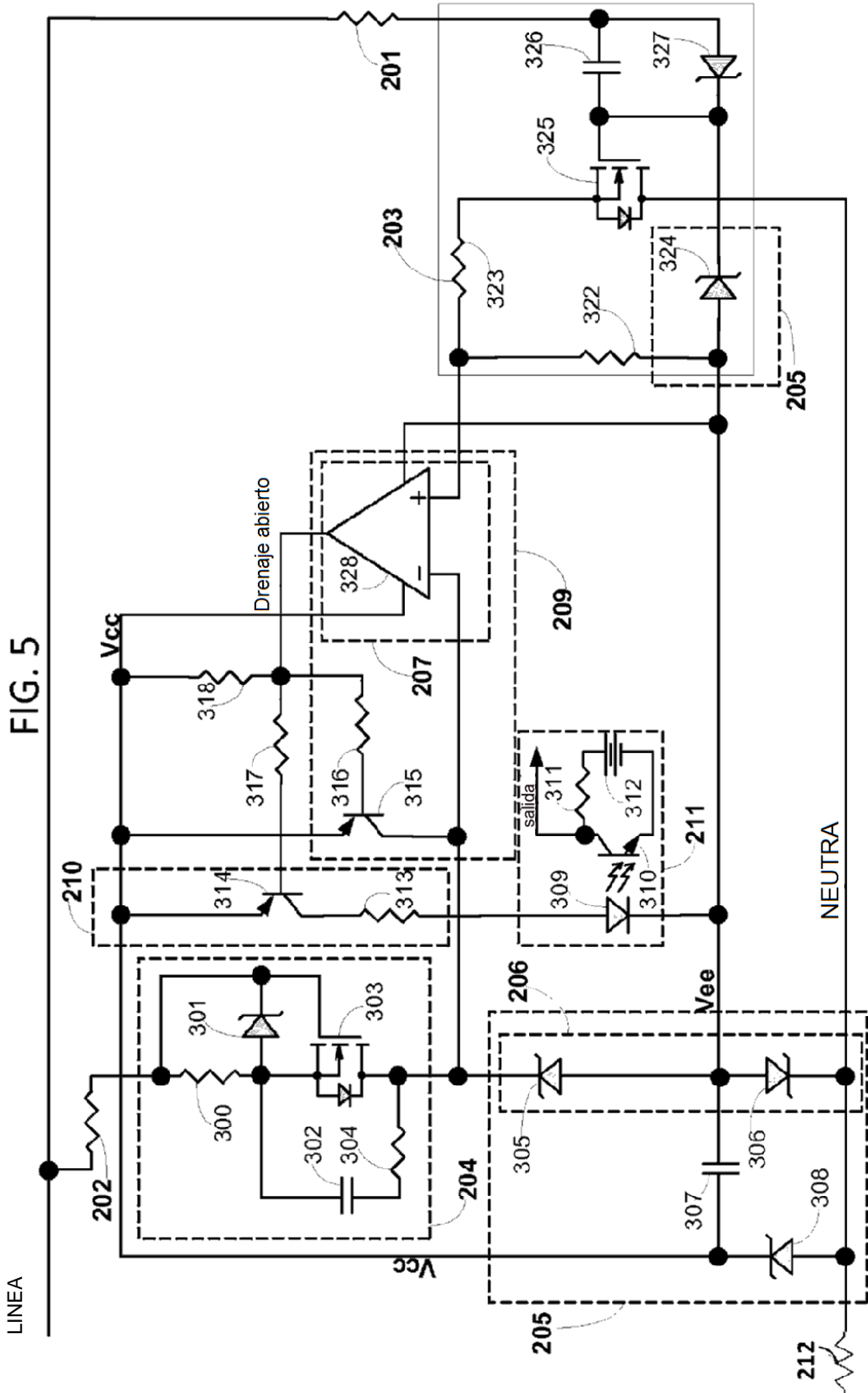


FIG. 6

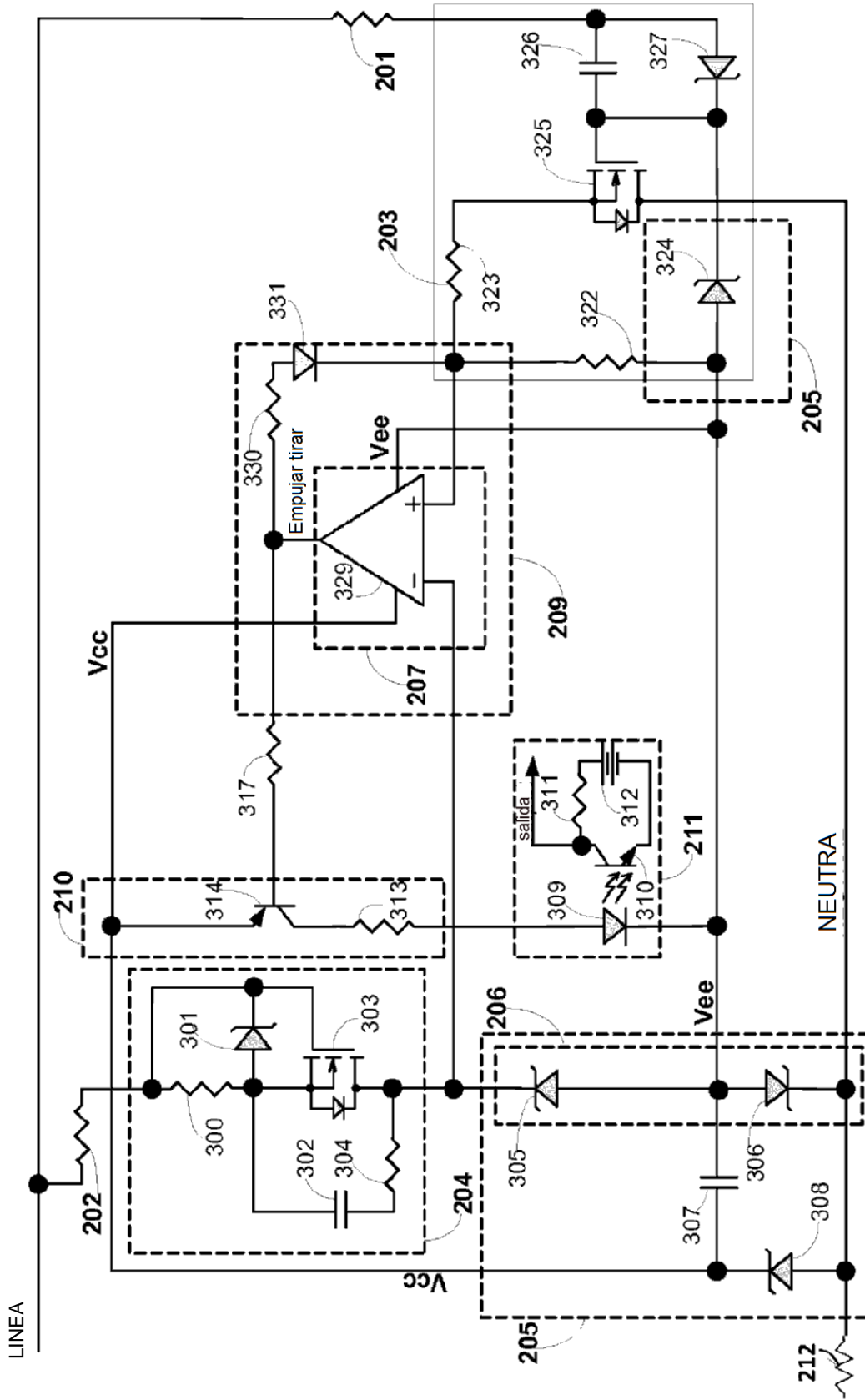


FIG. 7

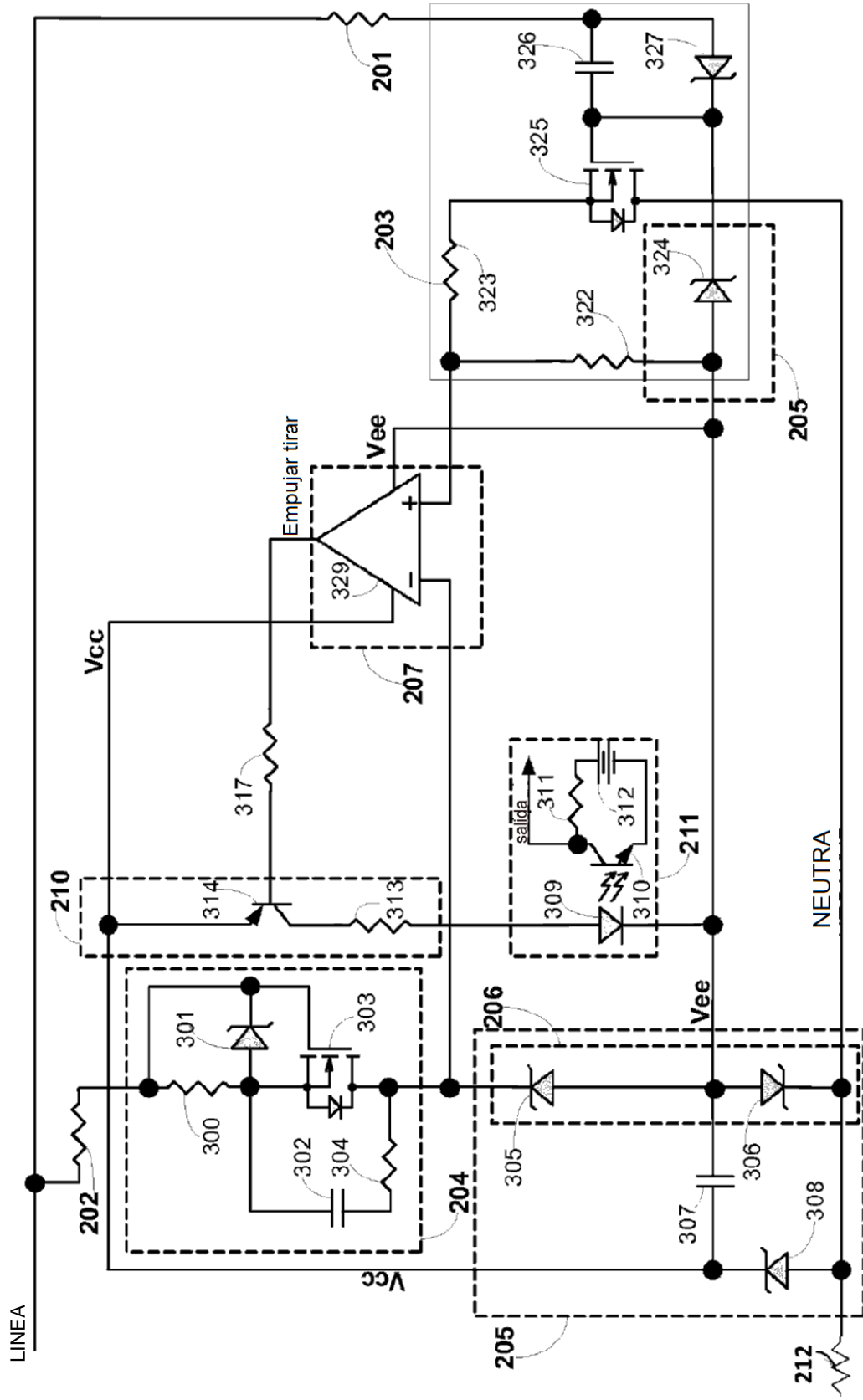


FIG. 8

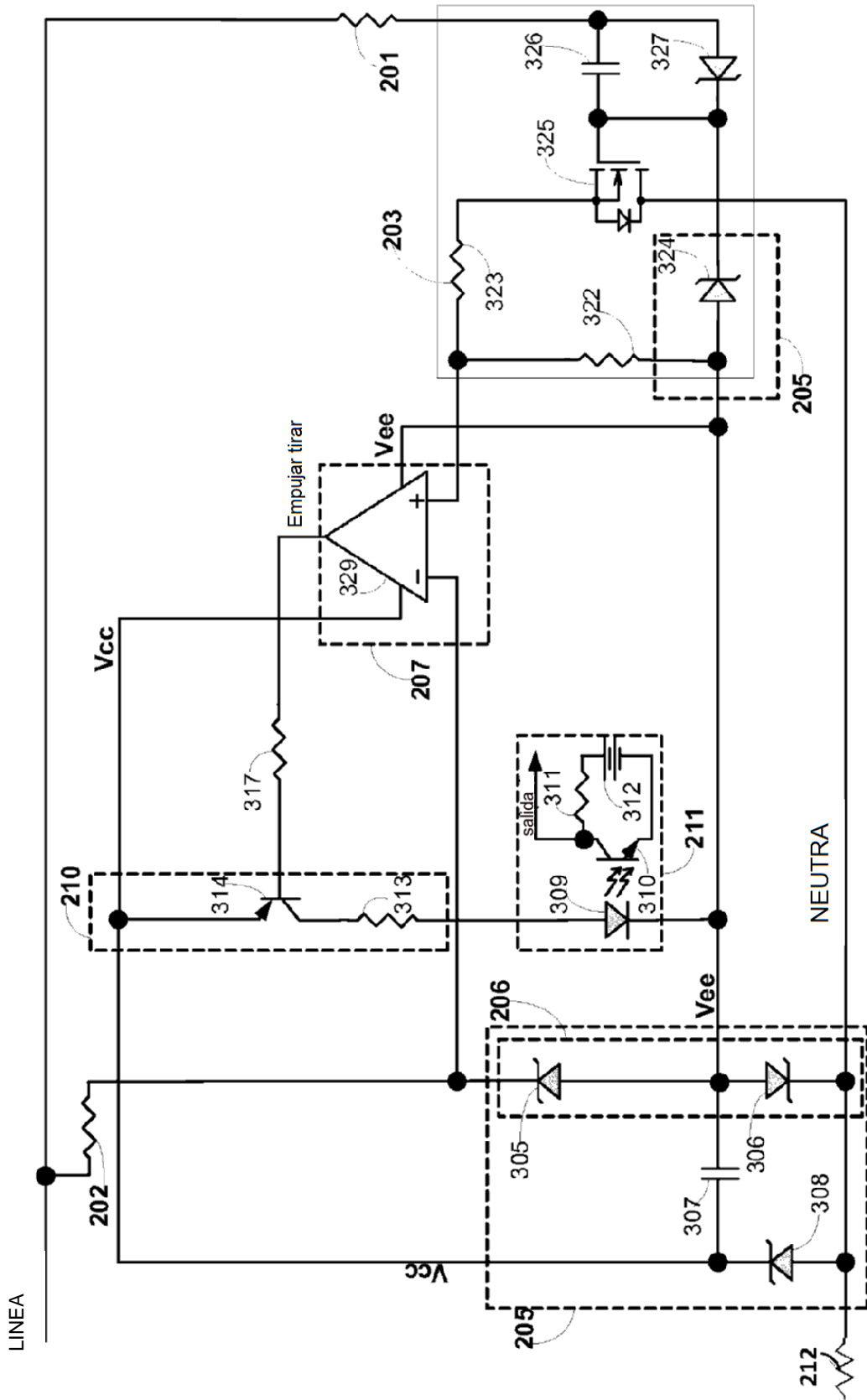
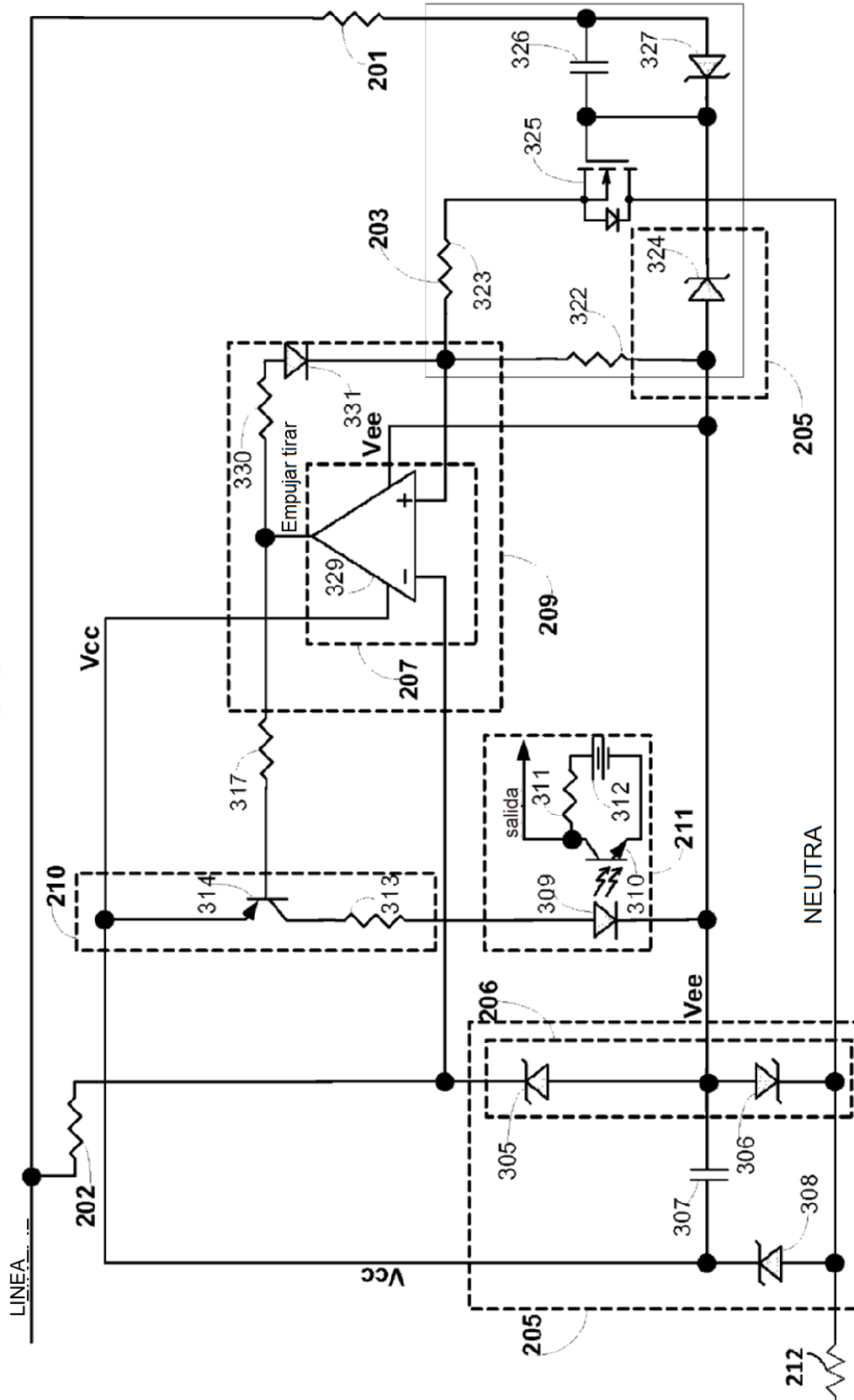


FIG. 9



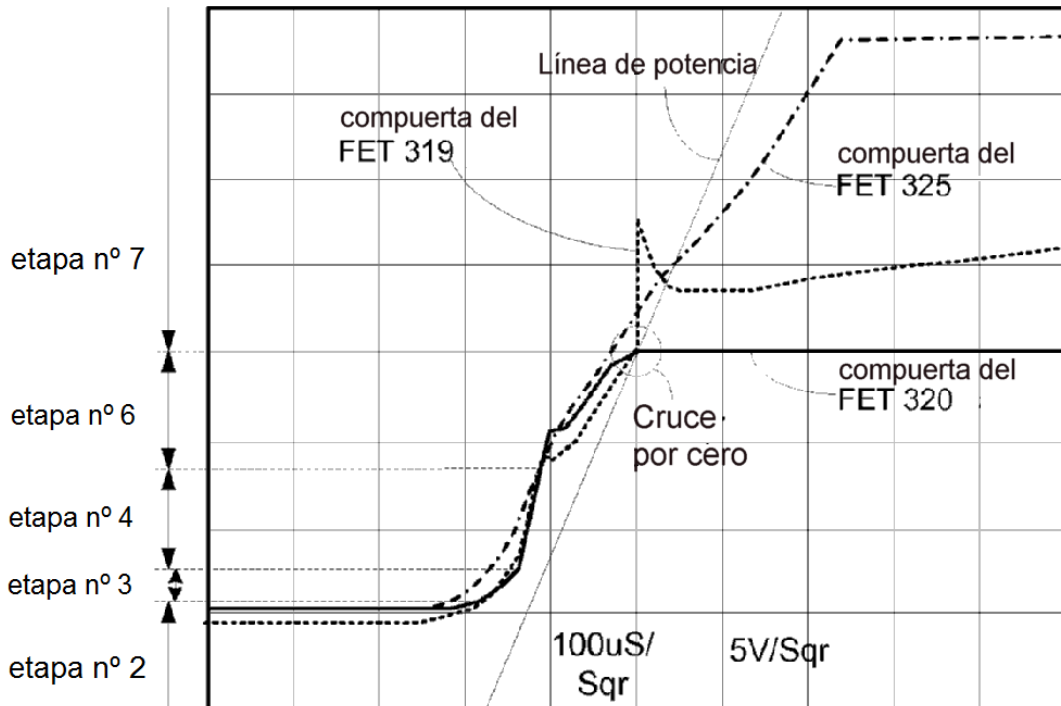
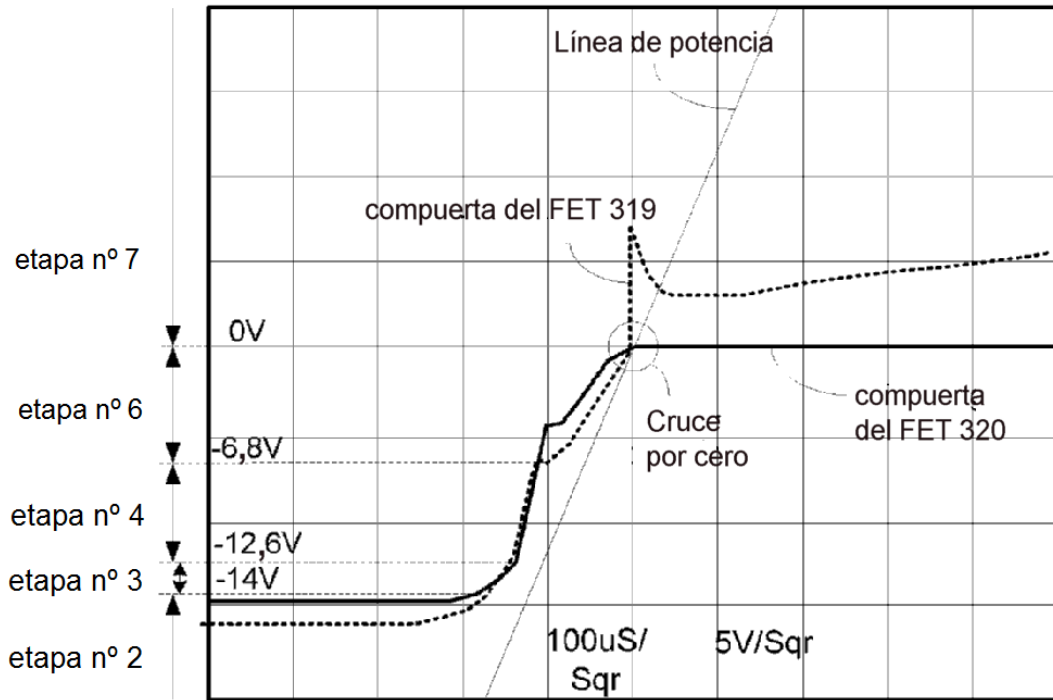


FIG. 12

