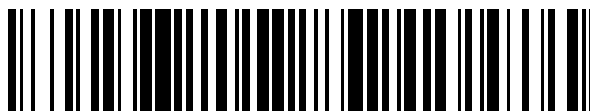


19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 548 093**

51 Int. Cl.:

H04L 25/03 (2006.01)

H04L 27/20 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **28.07.2006** **E 06800547 (9)**

97 Fecha y número de publicación de la concesión europea: **02.09.2015** **EP 1913746**

54 Título: **Mapeo de fase para forma de onda QPSK/QBL-MSK**

30 Prioridad:

21.12.2005 US 314762
28.07.2005 US 703179 P

45 Fecha de publicación y mención en BOPI de la
traducción de la patente:
13.10.2015

73 Titular/es:

EXELIS INC. (100.0%)
2235 Monroe Street
Herndon, VA 20171, US

72 Inventor/es:

RASMUSSEN, DONALD JOHN y
MULHOLLAND, DELBERT TODD

74 Agente/Representante:

DE ELZABURU MÁRQUEZ, Alberto

ES 2 548 093 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Mapeo de fase para forma de onda QPSK/QBL-MSK

Campo de la invención

5 La presente invención se refiere, en general, al campo de la comunicación. Más específicamente, se refiere a una comunicación de espectro ensanchado. Todavía más específicamente, se refiere al mapeo de fase de las señales moduladas de ensanchamiento por secuencia.

Antecedentes de la invención

La descripción de la presente invención se ve facilitada por el documento US N° 5.818.867 A.

10 El conformado de pulsos con modulación por desplazamiento mínimo con banda cuasi limitada (Quasi-Band Limited Minimum Shift Keying, QBL-MSK) propuesto por Frank Amoroso proporciona una mejora significativa en la eficiencia espectral del modulador con respecto a la MSK estándar cuando funciona con un amplificador de potencia lineal. Debido a que QBL-MSK no es una forma de onda de modulación de envolvente constante, las amplificaciones de potencia no lineales de clase C resultan en un rebrote de los niveles de lóbulos laterales en el espectro. La eficiencia espectral se pierde por este proceso de rebrote. Amoroso ha demostrado que QBL-MSK
15 ofrece una mejora significativa en la eficiencia espectral en comparación con la MSK estándar incluso con rebrote de lóbulos laterales. El conformado de pulsos QBL-MSK ha sido aplicado a radios de espectro ensanchado por D.J. Rasmussen usando modulación por desplazamiento de fase binaria (Binary Phase Shift Keying, BPSK) para transmitir información de datos. Mediante el uso de la modulación de datos BPSK, la estructura de la forma de onda QBL-MSK resulta inalterada. Por lo tanto, los resultados espectrales generados por Amoroso pueden ser
20 aplicados directamente a la señal de espectro ensanchado. El ensanchamiento es aplicado fácilmente a la modulación de datos BPSK mediante el uso de un dispositivo OR-exclusivo. La Fig. 1 muestra el espectro de potencia para BPSK/QBL-MSK a 4,8 Mcps con 16 chips por símbolo, usando un convertidor digital a analógico (Digital-to-Analog Converter, DAC) de 12 bits con amplificaciones no lineales.

25 La modulación de datos con modulación por desplazamiento de fase en cuadratura (QPSK) se usa para aumentar la capacidad de velocidad de datos con respecto a la modulación de datos con modulación por desplazamiento de fase binaria BPSK. La capacidad de datos es incrementada en un factor de 2 usando QPSK. La modulación de datos QPSK modifica la forma de onda QBL-MSK de espectro ensanchado. La Fig. 2 muestra el diagrama de bloques para la modulación QPSK/QBL-MSK. Los detalles del sistema mostrado en la Fig. 2 se proporcionan en la patente US N° 5.818.867. La forma de onda de la modulación está estructurada para permitir el uso de un enfoque de demodulación en serie. Debido a que la modulación de datos QPSK modifica la forma de onda QBL-MSK de
30 espectro ensanchado, los resultados no lineales de Amoroso no son válidos para esta forma de onda. Esta nueva forma de onda tiene condiciones en las que la envolvente de RF se acerca a o es igual a cero.

Una condición de la señal en la que la desviación de la envolvente de RF es mínima se muestra en las Figs. 3A, 3B y 3C. Para esta condición, la modulación de datos QPSK no tiene un impacto significativo sobre la forma de onda de ensanchamiento QBL-MSK. Las Figs. 4A, 4B y 4C muestran una condición de la señal en la que la desviación de la envolvente de RF es grave. Para esta condición, la envolvente de RF llega a cero, lo cual es indeseable para una forma de onda de modulación de envolvente casi constante, tal como QBL-MSK. Estas grandes desviaciones de la envolvente de RF resultan en un mayor rebrote de nivel de lóbulos laterales para la amplificación de potencia no lineal de Clase C. El rebrote de lóbulos laterales puede reducirse considerablemente mediante el uso de un
40 amplificador de potencia clase AB y reduciendo el nivel de activación de entrada. Este enfoque proporciona una eficiencia espectral mejorada en detrimento de la eficiencia energética.

Para la modulación de datos BPSK, la señal de ensanchamiento SQBL-MSK no se ve afectada por la modulación de datos. Para la modulación de datos QPSK, la señal de ensanchamiento SQBL-MSK se ve afectada por la modulación de datos en las condiciones de límite de símbolo, cuando se está realizando un cambio de fase de -
45 $0,5\pi$ (-90 grados) o $0,5\pi$ (90 grados) entre los símbolos. Se examinan dos cambios de fase de 90 grados diferentes asociados con la modulación de datos QPSK, en los que el símbolo QPSK anterior está en 0 grados y el símbolo QPSK actual está en 90 grados para mostrar dos efectos de la envolvente de RF considerablemente diferentes. La desviación mínima de la envolvente de RF, tal como se muestra en las Figs. 3A, 3B y 3C, se produce cuando las señales I y Q no llegan a cero en el mismo punto en el tiempo. Sin embargo, tal como se muestra en las Figs. 4A, 4B y 4C, se produce una grave distorsión de la envolvente de RF cuando ambas señales I y Q llegan a cero en el mismo punto en el tiempo, causando que la envolvente de RF llegue a cero. Tal como se muestra claramente en las Figs. 4A, 4B y 4C, el rendimiento de la envolvente de RF casi constante de SQBL-MSK no se conserva. Para conservar el rendimiento de la envolvente de RF casi constante de SQBL-MSK, se realiza un
50 procedimiento de mapeo de fase para prevenir la condición de desviación grave de la envolvente de RF. El procedimiento de mapeo de fase cambia la trayectoria de fase sólo cerca del límite de símbolo, cuando se produce

un cambio de fase de -90 o $+90$ grados. Este mapeo previene la condición grave de la envolvente de RF mostrada en las Figs. 4A, 4B y 4C.

La Fig. 5 muestra un diagrama de bloques de un modulador QPSK/QBL-MSK con un módulo 10 de mapeo de fase añadido para prevenir que la envolvente de RF se acerque a o sea igual a cero. El módulo 10 realiza una operación de mapeo de fase entre el módulo 24 de formateo en serie y los módulos 27 de conformado de pulsos QBL. Una descripción de módulo 10 de fase se proporciona en el documento US N° 5.818.867 A.

La Fig. 6 muestra un diagrama de bloques de alto nivel del módulo 10 de mapeo de fase. Este módulo compara los chips modulados de los datos presentes y anteriores de las dos señales I y Q para determinar si están invertidos. Si los chips modulados de los datos están invertidos en las dos señales I y Q, la envolvente de RF se hará igual cero o casi. Para prevenir esta condición no deseada para la envolvente de RF, el módulo 10 invierte ambas señales I y Q.

La Fig. 7 muestra el espectro de potencia resultante para la forma de onda QPSK/QBL-MSK con el mapeo de fase usando un DAC de 12 bits para la amplificación de potencia no lineal a una velocidad de chip de 4,8 Mcps con 8 chips por símbolo. Comparando estos resultados usando el mapeo de fase realizado por el módulo 10 con los de la modulación de datos BPSK mostrada en la Fig. 1, el rebrote espectral es sólo ligeramente mayor que el obtenido para la modulación de datos BPSK.

El mapeo de fase mostrado en la Fig. 6, mediante la inversión de los chips modulados, mejora el espectro de potencia, pero resulta en una reducción en la ganancia de ensanchamiento en dos chips. Se pierden dos chips de ganancia de procesamiento, ya que el chip invertido reduce el número de coincidencias de chip en una unidad con la degradación de 1 chip adicional introducido por la contribución del chip invertido a la acumulación de símbolos. Para relaciones de ensanchamiento mayores de 32 chips por símbolo, la degradación de la ganancia del procedimiento para la condición grave de la envolvente de RF es menos de 0,3 dB. Aumentando la ganancia de procesamiento, esta pérdida se reduce. Para un sistema de 16 chips/símbolo, esta degradación es menor de 0,6 dB. En un sistema 8 chips/símbolo, esta degradación es de aproximadamente 1,25 dB. Para una ganancia de ensanchamiento más baja de 8 chips por símbolo, la degradación es mayor de 1 dB. Es deseable reducir esta pérdida a menos de 1 dB, ya que entonces puede usarse una señal de ganancia de ensanchamiento más baja para aumentar la velocidad de datos, lo que típicamente requiere un E_s/N_0 operativo más alto para conseguir un rendimiento de tasa de errores de bits (Bit Error Rate, BER) aceptable. Para reducir esta degradación, se requiere un mapeo que no invierta ambos chips, y es proporcionado por la presente invención.

Sumario de la invención

Para reducir esta degradación de la ganancia de procesamiento y la complejidad de la tabla de consulta, se realiza un nuevo mapeo de fase en el límite de símbolo, que reduce la degradación de la ganancia de procesamiento y la complejidad de la tabla de consulta.

Otra realización de la invención incluye un procedimiento de conformado de pulsos aplicado a una señal modulada de ensanchamiento por secuencia que tiene formas de onda en fase (In-phase, I) y en cuadratura (Quadrature, Q) formateadas en serie, en el que cada forma de onda incluye un número predeterminado de chips por símbolo. El procedimiento incluye las etapas de: (a) examinar los chips contiguos de las formas de onda I y Q en un límite de símbolo; (b) determinar que una de las formas de onda I o Q, en el límite de símbolo, incluye dos chips primero y segundo contiguos separados por un único periodo de chip, en el que el primer chip pertenece a un símbolo anterior y el segundo chip pertenece a un símbolo actual; (c) determinar que los chips primero y segundo son de valor opuesto; y (d) igualar a cero uno de entre el primer chip o el segundo chip, si se determinan ambas etapas (b) y (c). El procedimiento incluye también las etapas de: (e) insertar un chip en la otra forma de onda de entre las formas de onda I o Q, durante la duración de un pulso igualado a cero en la etapa (d), en el que el chip insertado tiene un valor que es el mismo que un valor de chip inmediatamente anterior; y (f) extender un valor de pico entre el chip inmediatamente anterior y el chip insertado para proporcionar entre los mismos una parte superior plana. La etapa (b) puede incluir determinar que la forma de onda Q incluye los dos chips primero y segundo contiguos separados por un único periodo de chip, y la etapa (d) puede incluir igualar a cero el primer chip. De manera alternativa, la etapa (b) puede incluir determinar que la forma de onda I incluye los dos chips primero y segundo contiguos separados por un único periodo de chip, y la etapa (d) puede incluir igualar a cero el primer chip.

Breve descripción de los dibujos

La invención se entiende mejor a partir de la descripción detallada siguiente cuando se considera en conexión con los dibujos adjuntos. Incluidas en los dibujos están las características siguientes:

La Fig. 1 muestra un espectro de potencia para BPSK/QBL-MSK a 4,8 Mcps con 16 chips por símbolo usando un DAC de 12 bits con amplificaciones no lineales;

- La Fig. 2 muestra un diagrama de bloques de un modulador QPSK/QBL-MSK;
- Las Figs. 3A, 3B y 3C muestran condiciones de la señal en las que la desviación de la envolvente de RF es mínima;
- Las Figs. 4A, 4B y 4C muestran condiciones de la señal en las que la desviación de la envolvente de RF es grave;
- 5 La Fig. 5 muestra un diagrama de bloques de un modulador QPSK/QBL-MSK con un módulo de mapeo de fase;
- La Fig. 6 muestra un diagrama de bloques de alto nivel del módulo de mapeo de fase de la Fig. 5;
- La Fig. 7 muestra un espectro de potencia para una forma de onda QPSK/QBL-MSK;
- La Fig. 8 muestra dos condiciones únicas para la señal I;
- 10 Las Figs. 9A y 9B muestran las señales I y Q para un cambio de fase de ± 90 grados cuando el símbolo anterior está en 0 o 180 grados;
- Las Figs. 10A y 10B muestran secuencias moduladas de conformación de pulsos de chips para una condición (caso 1) cerca del límite de símbolo, tal como son mapeados usando una realización de la presente invención;
- Las Figs. 11A y 11B muestran secuencias moduladas de conformación de pulsos de chips para otra condición (caso 2) cerca del límite de símbolo, tal como son mapeados usando una realización de la presente invención;
- 15 Las Figs. 12A y 12B muestran secuencias moduladas de conformación de pulsos de chips cerca del límite de símbolo para un primer estado, tal como son mapeados usando una realización de la presente invención;
- Las Figs. 13A y 13B muestran secuencias moduladas de conformación de pulsos de chips cerca del límite de símbolo para un segundo estado, tal como son mapeados usando una realización de la presente invención;
- 20 Las Figs. 14A y 14B muestran secuencias moduladas de conformación de pulsos de chips cerca del límite de símbolo para un tercer estado, tal como son mapeados usando una realización de la presente invención;
- Las Figs. 15A y 15B muestran secuencias moduladas de conformación de pulsos de chips cerca del límite de símbolo para un cuarto estado, tal como son mapeados usando una realización de la presente invención;
- La Fig. 16 muestra un diagrama de bloques de un modulador QPSK/QBL-MSK que implementa un mapeo de fase, según una realización de la presente invención;
- 25 La Fig. 17 muestra un diagrama de tiempos de las secuencias de chip con modulación I y Q, para una primera condición, tal como son mapeadas en el modulador de la Fig. 16;
- La Fig. 18 muestra un diagrama de tiempos de las secuencias de chip con modulación I y Q, para una segunda condición, tal como son mapeadas en el modulador de la Fig. 16;
- 30 La Fig. 19 muestra un diagrama de tiempos de las secuencias de chip con modulación I y Q, para una tercera condición, tal como son mapeadas en el modulador de la Fig. 16;
- La Fig. 20 es un diagrama de tiempos que muestra la generación de las secuencias de chip con modulación I y Q para un cambio de fase de símbolo de -90 o $+90$ grados para una condición, tal como son mapeadas en el modulador de la Fig. 16;
- 35 La Fig. 21 es un diagrama de tiempos que muestra la generación de las secuencias de chip con modulación I y Q para un cambio de fase de símbolo de -90 o $+90$ grados para una segunda condición, tal como son mapeadas en el modulador de la Fig. 16;
- La Fig. 22 es un diagrama de tiempos que muestra cómo la señal de detección de cambio de fase (PD) junto con la señal de ubicación de chip par (ECL) es usada para generar la señal de detección de casos (CD), tal como se implementa en la realización de la Fig. 16;
- 40 La Fig. 23 es un diagrama de tiempos que muestra la diferencia de tiempo entre la detección de casos, la detección de casos de memoria y las condiciones de las señales I y Q con respecto a un límite de símbolo, tal como se implementa en la realización de la Fig. 16;
- La Fig. 24 es un diagrama de tiempos que muestra la generación de señales I y Q retardadas y adelantadas con multiplicación aplicada, tal como se implementa en la realización de la Fig. 16;

La Fig. 25 muestra el espectro de potencia para una señal con modulación QPSK/QBL-MSK usando el procedimiento de mapeo de la presente invención; y

La Fig. 26 muestra el espectro de potencia para una señal con modulación QPSK/QBL-MSK usando el procedimiento de la presente invención con un filtrado adicional.

5 Descripción detallada de la invención

El mapeo de fase de la presente invención requiere cuatro estados de señal en el modulador QBL-MSK. La Fig. 8 muestra dos condiciones únicas para la señal I, a lo largo del intervalo de tiempo 0 a $2T_c$, en el que T_c es el periodo de chip. La Fig. 8 muestra también los pulsos de chip que componen las dos condiciones de señal únicas. A partir de estas dos condiciones, las cuatro posibles señales I pueden ser generadas mediante la inversión o no inversión de una de las dos condiciones de señal. Debido a que la señal Q es una versión desplazada en el tiempo de la señal I, en un periodo de chip, con los datos Q y los chips Q multiplicando los pulsos de chip, puede usarse el mismo enfoque para generar cuatro posibles señales Q dentro de cada periodo de chip. Este enfoque permite el uso de una tabla de consulta (Look-Up Table, LUT) para implementar el mapeo realizado por la presente invención. Para la modulación de datos BPSK, la estructura de la señal no cambia con la modulación de datos. Para la modulación de datos QPSK con mapeo de fase, la estructura de la señal, en los límites de símbolo, se ve afectada por la modulación de datos cuando se produce un cambio -90 o $+90$ grados.

Las Figs. 9A y 9B muestran las señales I y Q para un cambio de ± 90 grados cuando el símbolo anterior está a 0 o 180 grados. Un cambio de 90 grados, cuando el símbolo anterior está a -90 o $+90$ grados, resulta en que la señal Q, mostrada en la Fig. 9B, está en el lado I, y la señal I, mostrada en la Fig. 9A, está en el lado Q. Un examen de las Figs. 9A y 9B muestra que se requieren dos condiciones de señal únicas para la señal que se extienden en 3 periodos de chip ($-2T_c$ de T_c tal como se muestra en las Figs. 9A y 9B). Al invertir o no invertir estas dos condiciones de señal, se generan las cuatro señales posibles. Para la señal Q, se requieren tres condiciones de señal únicas a lo largo de 3 periodos de chip ($-2T_c$ a T_c tal como se muestra en las Figs. 9A y 9B), ya que el mapeo de fase fuerza $I(k-1) \cdot C(N_c \cdot k-1) = -Q(k) \cdot C(N_c \cdot k)$. Al invertir o no invertir estas tres condiciones de señal, se generan las seis posibles señales. El número adicional de condiciones de señal introducidas en la condición de límite de símbolo aumenta el tamaño de la tabla de consulta. Se desea generar un nuevo mapeo de fase que reduzca el tamaño de la tabla de consulta mientras minimice al mismo tiempo la degradación de la ganancia de procesamiento.

Tal como se explicará, la presente invención reduce el tamaño de la tabla de consulta y reduce la degradación de la ganancia de procesamiento asociada con el uso de la modulación de datos QPSK o QPSK diferencial (DQPSK) en una forma de onda de ensanchamiento por secuencia directa en serie, tal como QBL-MSK, proporcionando un procedimiento de mapeo de fase. El procedimiento de mapeo de fase usado para QPSK/DQPSK puede ser expandido para incluir órdenes superiores de modulación de fase, tales como 8-PSK y 8-PSK diferencial. Además, el procedimiento de mapeo de fase puede ser aplicado a una modulación de datos $\pi/4$ -QPSK o $\pi/4$ -QPSK diferencial en una forma de onda de ensanchamiento por secuencia directa en serie tal como QBL-MSK. Además de permitir cambios en el tipo de modulación de datos, el procedimiento de mapeo de fase puede ser usado mediante la aplicación de un formateo en serie a otras formas de onda de modulación de ensanchamiento en cuadratura tales como modulación por desplazamiento de fase en cuadratura (Offset Quadrature Phase Shift Keying, OQPSK), modulación por desplazamiento mínimo (Minimum Shift Keying, MSK), MSK Gaussiana, modulación de frecuencia moderada (Tamed Frequency Modulation, TFM), modulación por desplazamiento de fase en cuadratura libre de fluctuación entre símbolos (Intersymbol Jitter Free Offset Quadrature Phase Shift Keying, IJF- OQPSK), modulación por desplazamiento de fase en cuadratura filtrada con coseno alzado (Raised Cosine filtered Offset Quadrature Phase Shift Keying RC-OQPSK), modulación de fase continua (Continuous Phase Modulation, CPM) con ancho de banda eficiente.

Se examinan las cuatro condiciones (estados) de límite de señal diferentes siguientes:

1) estado inicial de 0 o 180 grados con un cambio de fase de -90 o $+90$ grados con los chips Q formateados en serie modulados separados por un único periodo de chip de igual valor (véanse las Figs. 12A y 12B).

2) estado inicial de 0 o 180 grados con un cambio de fase de -90 o $+90$ grados con los chips Q formateados en serie modulados separados por un único periodo de chip de valor opuesto (véanse las Figs. 13A y 13B).

3) estado inicial de -90 o $+90$ grados con un cambio de fase de -90 o $+90$ grados con los chips I formateados en serie modulados separados por un único periodo de chip de igual valor (véanse las Figs. 14A y 14B).

4) estado inicial de -90 o $+90$ grados con un cambio de fase de -90 o $+90$ grados con los chips I formateados en serie modulados separados por un único periodo de chip de valor opuesto (véanse las Figs. 15A y 15B).

Se mostrará que las condiciones de señal 3 y 4 son las mismas que las condiciones de señal 1 y 2, excepto que las señales en el lado I y Q están invertidas. Los detalles de por qué las condiciones 3 y 4 son las mismas que las condiciones 1 y 2 se proporcionan a continuación.

En general, a continuación se describen dos casos (caso 1 y caso 2) diferentes (el caso 1 corresponde a las condiciones (estados) 1 y 3 y el caso 2 correspondiente a las condiciones (estados) 2 y 4). Las secuencias moduladas de conformación de pulsos de chips cerca del límite de símbolo para el caso 1 se muestran en las Figs. 10A y 10B para una implementación digital de la forma de onda con 4 muestras por chip. Debido a que el caso 1 corresponde a $I(k-1) \cdot C(N_c \cdot k-1) = -Q(k) \cdot C(N_c \cdot k)$ se previene la desviación grave de la envolvente de RF. Cabe señalar que $C(k)$ es el chip formateado en serie, que es el valor de chip c_k veces el formateado -1^K en serie. Las formas 20 y 23 con pulsos modulados indicadas con líneas de puntos en el límite son los pulsos de chip estándar que se implementarían. En lugar de implementar estos pulsos de chip estándar, la presente invención implementa los pulsos 26 y 29 de chip resaltados en color oscuro. De esta manera, para la señal I, el mapeo de dos señales únicas estándar se usa hasta -2 chips desde el límite de símbolo (en 0) y 1 chips después del límite de símbolo. Entre $-2T_c$ y $-T_c$ y también entre 0 y T_c , la señal I es implementada usando el mapeo de señal única para un cambio entre dos chips modulados contiguos (obsérvense las curvas en la Fig. 8). Debido a que esta condición llega a cero en el tiempo $-T_c$ y 0, la señal I entre $-T_c$ y 0 es establecida a cero por la presente invención, tal como se muestra en la Fig. 10A. El conformado de pulsos resaltado, designado como 26, para la señal I mostrada en la Fig. 10A, es la estructura de la señal I modificada.

Para la señal Q, el mapeo estándar de dos señales únicas se usa hasta -2 chips desde el límite de símbolo (en 0) y 1 chip después del límite de símbolo. Para simplificar el mapeo entre $-2T_c$ y $-T_c$ y también entre 0 y T_c , los pulsos 23 de chips indicados con líneas de puntos no se incluyen en la señal Q. Esto permite que la señal Q entre $-2T_c$ y $-T_c$ y también entre 0 y T_c sea implementada con el mapeo de señal única estándar (véanse las curvas mostradas en la Fig. 8). Para el caso 1, en el que $I(k-1) \cdot C(N_c \cdot k-1) = -Q(k) \cdot C(N_c \cdot k)$, la señal Q es igual a +1 o -1 en ambos tiempos $-T_c$ y 0. Debido a que la condición de la señal Q se iguala a un valor de +1 o -1 en los tiempos $-T_c$ y 0, la señal Q entre $-T_c$ y 0 es establecida al nivel de señal +1 o -1 apropiado por la presente invención. El conformado de pulsos resaltado, designado como 29, para la señal Q mostrada en la Fig. 10B es la estructura de la señal Q modificada. Debido a que este nuevo mapeo de forma de onda está basado en las dos condiciones de señal estándar combinadas con un nivel de pico fijo de +1, -1, o el nivel 0, que ya está en la tabla de consulta, su implementación se reduce considerablemente.

Las secuencias moduladas de conformación de pulsos de chips cerca del límite de símbolo para el caso 2 se proporcionan en las Figs. 11A y 11B para una implementación digital de la forma de onda con 4 muestras por chip. Debido a que el caso 2 corresponde a $I(k-1) \cdot C(N_c \cdot k-1) = Q(k) \cdot C(N_c \cdot k)$, existe la condición de desviación grave de la envolvente de RF. Las formas 40, 43 y 47 de pulso modulado indicadas en líneas de puntos (en realidad negativas) en el límite son los pulsos de chip estándar que se implementarían, excepto para la señal I en la que el pulso 45 de chip es insertado en $-T_c$ por la presente invención. El pulso de chip insertado es multiplicado por $I(k-1) \cdot C(N_c \cdot k-2)$, de manera que se mantiene un nivel de señal de pico +1 o -1 desde el tiempo $-2T_c$ hasta $-T_c$. En lugar de implementar los pulsos de chip estándar (líneas de puntos), se implementan los pulsos de chip resaltados en color oscuro (mostrados como 48 en las Figs. 11A y 11B).

Para la señal I, el mapeo de dos señales únicas estándar se usa hasta -3 chips desde el límite de símbolo (en 0) y después del límite de símbolo. Para simplificar el mapeo entre $-3T_c$ y $-2T_c$ y también entre $-T_c$ y 0, los pulsos de chips indicados con líneas de puntos no se incluyen en la señal I. Esto permite que la señal I entre $-3T_c$ y $-2T_c$ y también entre $-T_c$ y 0 sea implementada con el mapeo de señal única estándar (véanse las curvas 35 y 30 mostradas en la Fig. 8). Debido a que el pulso de chip insertado es igual al pulso de chip superpuesto $\{I(k-1) \cdot C(N_c \cdot k-2)\}$, la señal I iguala un pico de +1 o -1 en el tiempo $-2T_c$ y $-T_c$. Debido a que la condición de la señal I toma un valor de pico de +1 o -1 en el tiempo $-2T_c$ y $-T_c$, la señal I entre $-2T_c$ y $-T_c$ es establecida al nivel de señal de pico +1 o -1 apropiado por la presente invención. El conformado de pulso resaltado para la señal I proporcionada en la Fig. 11A muestra la estructura de la señal I modificada.

Para la señal Q mostrada en la Fig. 11B, el mapeo de dos señales únicas estándar sería usado hasta -3 chips desde el límite de símbolo (en 0) y 1 chip después del límite de símbolo. A diferencia de la inserción de chips con la señal I, el pulso 47 de chip Q centrado en $-T_c$ es eliminado de la secuencia de pulsos de chip de modulación de datos Q. Las formas 43 y 47 de pulso moduladas indicadas en líneas de puntos en el límite son los pulsos de chip estándar que se implementarían, a excepción de la señal Q, en la que el pulso 47 de chip es eliminado en $-T_c$. Entre $-3T_c$ y $-2T_c$ y también entre $-T_c$ y 0, la señal Q es implementada usando el mapeo de señal única para un cambio entre dos chips modulados contiguos (véanse las curvas mostradas en la Fig. 8). Debido a que esta condición se iguala a cero en el tiempo $-2T_c$ y $-T_c$, la señal Q entre $-2T_c$ y $-T_c$ es establecida a cero por la presente invención, tal como se muestra en la Fig. 11B. El conformado 48 de pulso resaltado para la señal Q, mostrado en la Fig. 11B, es la estructura de la señal Q modificada. Debido a que este nuevo mapeo de forma de onda está basado en la condición de dos señales estándar combinada con un nivel fijo de +1, -1, o 0, se reduce su

implementación en una tabla de consulta.

El nuevo mapeo de fase implementado por la presente invención reduce la complejidad de la tabla de consulta mediante el uso de las condiciones de dos señales únicas estándar para construir la señal junto con los valores +1, -1 y 0 almacenados en la tabla. Debido a que la condición grave de la envolvente de RF es prevenida mediante la eliminación de un chip modulado de datos frente a la inversión de un chip modulado de datos, la ganancia de procesamiento para esa condición se reduce en un solo chip con respecto a dos chips.

QBL-MSK en serie se usa para la modulación de ensanchamiento para proporcionar una modulación de envolvente de RF casi constante y permitir el uso de una estructura de inversión de ensanchamiento en serie. Aunque se selecciona QBL-MSK como la forma de onda de ensanchamiento, pueden usarse otras modulaciones de envolvente constante o casi constante, tales como MSK, MSK Gaussiana, OQPSK, RC-OPSK y otras para la modulación de ensanchamiento. La estructura de inversión de ensanchamiento en serie proporciona una operación de inversión de ensanchamiento BPSK simplificada basada en el código de ensanchamiento en comparación con la estructura de inversión de ensanchamiento en paralelo, que separa el código de inversión de ensanchamiento en un código de inversión de ensanchamiento en fase (I) y en cuadratura (Q). Mediante el uso de la estructura de inversión de ensanchamiento en serie, la relación chip a símbolo para QPSK puede ser reducida a 8 chips/símbolo. Se apreciará que se desean relaciones de ensanchamiento más bajas para obtener velocidades de datos más altas, cuando el canal de comunicación lo soporta. Para la modulación de datos BPSK o QPSK en SQBL-MSK, la forma de onda de modulación de ensanchamiento puede escribirse como sigue:

$$s(t) = \sum_{k=0}^N \left\{ \left[\sum_{i=0}^{M-1} (-1)^i c_{2i+2kM} \cdot p(t - [2i + 2kM]T_c) \right] \cos(2\pi f_0 t + \theta_k) + \left[\sum_{i=0}^{M-1} (-1)^i c_{2i+2kM+1} \cdot p(t - [2i + 2kM + 1]T_c) \right] \sin(2\pi f_0 t + \theta_k) \right\}$$

(ecuación 1)

20 y

$$p(t) = \begin{cases} \left[\frac{\sin\left(\frac{\pi t}{2T_c}\right)}{\left(\frac{\pi t}{2T_c}\right)} \right]^3 & ; -2T_c \leq t \leq 2T_c \\ 0 & ; \text{ en el resto.} \end{cases}$$

(ecuación 2)

Para la ecuación de forma de onda SQLB-MSK modulada de datos proporcionada anteriormente, T_c representa el periodo de chip, c_i representa el chip en el tiempo iT_c , $2M$ es el número de chips por símbolo de datos en la señal modulada, $p(t)$ es la función de conformado de pulsos QBL, f_0 es la frecuencia central de la portadora, y los términos $(-1)^i$ que multiplican al valor de chip representan el formateo en serie. Los chips (c_i) que ensanchan los símbolos de datos modulados (BPSK o QPSK) toman un valor +1 o -1. La modulación de datos (BPSK o QPSK) está representada por el término de fase de portadora θ_k , que es 0 o π para la modulación de datos BPSK y es -0,5 π , 0,05 π o π para la modulación de datos QPSK. La aplicación de codificación diferencial a la modulación de datos BPSK o QPSK no afecta a esta ecuación, sólo al mapeo para el término de fase de portadora proporcionado por la ecuación siguiente:

$$\theta_k = \sum_{m=0}^k \Delta\theta_m ;$$

(ecuación 3)

en la que $\Delta\theta$ es el cambio de fase introducido por la codificación diferencial.

Para la modulación de datos BPSK, la señal de ensanchamiento SQBL-MSK no se ve afectada por la modulación de datos. Para la modulación de datos QPSK, sin embargo, la señal de ensanchamiento SQBL-MSK se ve

afectada por la modulación de datos en el límite de símbolo, cuando se está realizando un cambio de fase de $-0,5\pi$ (-90 grados) o $0,5\pi$ (90 grados) entre símbolos. A continuación, se describen dos límites de cambio de fase de 90 grados diferentes asociados con la modulación de datos QPSK, en la que el símbolo QPSK anterior está en 0 grados y el símbolo QPSK actual está en 90 grados, para mostrar dos efectos de la envolvente de RF considerablemente diferentes. En las Figs. 4A, 4B y 4C se observa una distorsión grave de la envolvente de RF cuando ambas señales I y Q se igualan a cero en el mismo punto en el tiempo, resultando en que la envolvente de RF se iguala a cero. En las Figs. 3A, 3B y 3C se muestra una desviación mínima de la envolvente de RF para la condición en la que las señales I y Q no se igualan a cero en el mismo punto en el tiempo. La Figuras muestran claramente que el rendimiento de la envolvente de RF casi constante de SQBL-MSK no se conserva. Para conservar el rendimiento de la envolvente de RF casi constante de SQBL-MSK, la presente invención realiza un procedimiento de mapeo de fase. El procedimiento de mapeo de fase cambia la trayectoria de fase sólo cerca del límite de símbolo. Debido a que este cambio sólo se produce en el límite, la ecuación de modulación de datos SQBL-MSK se mantiene excepto en el límite de símbolo.

La Fig. 16 muestra un diagrama de bloques de una realización del modulador del modulador MSK-SQBL, designado como 100, con modulación de datos $I\{x(t)\}$ y $Q\{y(t)\}$ de BPSK o QPSK con ensanchamiento SQBL-MSK sobre los símbolos de datos. El modulador 100 se describe a continuación con referencia a las Figs. 12-15 (estados 1-4) y los diagramas de tiempos de las Figs. 17-24. Las ecuaciones para las señales $I\{x(t)\}$ y $Q\{y(t)\}$ que modulan la portadora, cuando se obtienen a partir de la ecuación 1, son como sigue:

$$x(t) = \sum_{k=0}^N \left\{ \left[\sum_{i=0}^{M-1} (-1)^i c_{2i+2kM} \cdot p(t - [2i + 2kM]T_c) \right] \cos(\theta_k) + \left[\sum_{i=0}^{M-1} (-1)^i c_{2i+2kM+1} \cdot p(t - [2i + 2kM + 1]T_c) \right] \sin(\theta_k) \right\}$$

(ecuación 4)

y

$$y(t) = \sum_{k=0}^N \left\{ - \left[\sum_{i=0}^{M-1} (-1)^i c_{2i+2kM} \cdot p(t - [2i + 2kM]T_c) \right] \sin(\theta_k) + \left[\sum_{i=0}^{M-1} (-1)^i c_{2i+2kM+1} \cdot p(t - [2i + 2kM + 1]T_c) \right] \cos(\theta_k) \right\}.$$

(ecuación 5)

Debido a que la fase de símbolo de datos para QPSK o DQPSK es igual a -90 , 0 , 90 o 180 grados, sobre cada periodo de símbolo, o los chips pares de la secuencia de ensanchamiento están en I con los chips impares en Q (condiciones de símbolo de 0 y 180 grados) o los chips impares de la secuencia de ensanchamiento están en I con los chips pares en Q (condiciones de símbolo de -90 y 90 grados). Para un símbolo anterior en 0 o 180 grados con un cambio de fase de -90 o $+90$ grados, los chips pares están en la señal I y los chips impares están en la señal Q para el símbolo anterior, y los chips impares están en la señal I y los chips pares están en la señal Q para el símbolo actual. Para esta condición y cambio de fase, el cambio desde los chips impares a los pares en la señal Q es la principal preocupación, ya que la señal Q tiene dos pulsos de chip en el límite de símbolo separados por solo 1 periodo de chip, cuando típicamente están separados por 2 periodos de chip (véase la Fig. 12B).

Para un símbolo anterior en -90 o $+90$ grados con un cambio de fase de -90 o $+90$ grados, los chips impares están en la señal I y los chips pares están en la señal Q para el símbolo anterior, y los chips pares están en la señal I y los chips impares están en la señal Q para el símbolo actual. Para esta condición y cambio de fase, el cambio desde los chips pares a los impares en la señal I es la principal preocupación, ya que la señal I tiene dos pulsos de chip en el límite de símbolo separados por solo 1 periodo de chip (véase la Fig. 14A). Mediante el examen de las dos condiciones de límite de chip diferentes para estos dos símbolos anteriores y las condiciones de cambio de fase, la presente invención implementa un mapeo de fase que reduce considerablemente la desviación de la envolvente de RF. Este mapeo de fase minimiza la reducción de la ganancia de procesamiento a 1 chip para la condición en la que un pulso de chip debe ser eliminado para prevenir una condición grave de la envolvente de RF.

Ahora, se describirán cuatro estados con referencia a las Figs. 12-15. El Estado 1 (Figs. 12A y 12B) existe cuando el símbolo anterior están en 0 o 180 grados con un cambio de fase de -90 o +90 grados y los pulsos de chip de modulación contiguos en el límite de símbolo son iguales. Las secuencias moduladas de pulsos de chips cerca del límite de símbolo para el estado 1 se muestran en las Figs. 12A y 12B para una implementación digital de la forma de onda con 4 muestras por chip. Debido a que el estado 1 corresponde a $I(k-1) \cdot C(N_c \cdot k-1) = -Q(k) \cdot C(N_c \cdot k)$, se previene la desviación grave de la envolvente de RF. Se entenderá que $C(k)$ es el chip formateado en serie, que es el valor de chip c_k veces el formateo en serie -1^k . Las formas 50 y 52 de pulso modulado indicadas en líneas de puntos en el límite de símbolo son los pulsos de chip estándar que se implementarían. En lugar de implementar estos pulsos de chip estándar, la presente invención implementa los pulsos 54 y 56 de chip resaltados en color oscuro.

Por consiguiente, para la señal I, el mapeo de dos señales únicas estándar se usa hasta -2 chips desde el límite de símbolo (en 0) y 1 chip después del límite de símbolo. Entre $-2T_C$ y $-T_C$ y también entre 0 y T_C , la señal I es implementada usando el mapeo de señal única para un cambio entre dos chips modulados contiguos (véanse las curvas en la Fig. 8). Debido a que esta condición se iguala a cero en el tiempo $-T_C$ y 0, la señal I entre $-T_C$ y 0 es establecida a cero, tal como se muestra en la Fig. 9A. El conformado 54 de pulso resaltado para la señal I, mostrado en la Fig. 12A, es la estructura de señal I modificada implementada por la presente invención.

Para la señal Q, el mapeo de dos señales únicas estándar se usa hasta -2 chips desde el límite de símbolo (en 0) y 1 chip después del límite de símbolo. Para simplificar el mapeo entre $-2T_C$ y $-T_C$ y también entre 0 y T_C , los pulsos 52 de chip indicados con líneas de puntos no se incluyen en la señal Q. Esto permite que la señal Q entre $-2T_C$ y $-T_C$ y también entre 0 y T_C sea implementada con el mapeo de señal única estándar (véanse las curvas mostradas en la Fig. 8). Para el estado 1, en el que $I(k-1) \cdot C(N_c \cdot k-1) = -Q(k) \cdot C(N_c \cdot k)$, la señal Q es igual a +1 o -1 en ambos tiempos $-T_C$ y 0. Debido a que la condición de la señal Q se iguala un valor de +1 o -1 en los tiempos $-T_C$ y 0, la señal Q entre $-T_C$ y 0 es establecida a un valor igual al nivel de señal de pico +1 o -1 apropiado. El conformado 56 de pulso resaltado para la señal Q mostrada en la Fig. 12B, es la estructura de señal Q modificada implementada por la presente invención. Debido a que este nuevo mapeo de forma de onda está basado en las condiciones de dos señales estándar combinadas con un nivel fijo de +1, -1 o 0, que ya está en la tabla de consulta, su implementación por la presente invención se reduce considerablemente.

El estado 2 (Figs. 13A y 13B) existe cuando el símbolo anterior está en 0 o 180 grados con un cambio de fase de -90 o +90 grados y los pulsos de chip de modulación contiguos en el límite de símbolo son opuestos entre sí. Las secuencias moduladas de pulsos de chips cerca del límite de símbolo para el estado 2 se muestran en las Figs. 13A y 13B para una implementación digital de la forma de onda con 4 muestras por chip. Debido a que el estado 2 corresponde a $I(k-1) \cdot C(N_c \cdot k-1) = Q(k) \cdot C(N_c \cdot k)$, la condición de desviación grave de la envolvente de RF existe. Las formas 60, 63, 65 y 67 de pulso modulado indicadas en líneas de puntos en el límite de símbolo son los pulsos de chip estándar que se implementarían, a excepción de la señal I en la que un pulso 65 de chip es insertado en $-T_C$. El pulso de chip insertado es multiplicado por $I(k-1) \cdot C(N_c \cdot k-2)$, de manera que se mantiene un nivel de señal +1 o -1 constante desde el tiempo $-2T_C$ hasta $-T_C$. En lugar de implementar estos pulsos de chips estándar, se implementan los pulsos 62 y 69 de chip resaltados en color oscuro.

Para la señal I, el mapeo de dos señales únicas estándar se usa hasta -3 chips desde el límite de símbolo (en 0) y después del límite de símbolo. Para simplificar el mapeo entre $-3T_C$ y $-2T_C$ y también entre $-T_C$ y 0, los pulsos de chip indicados con líneas de puntos no se incluyen en la señal I. Esto permite que la señal I entre $-3T_C$ y $-2T_C$ y también entre $-T_C$ y 0 sea implementada con el mapeo de señal única estándar (véanse las curvas 35 y 30 mostradas en la Fig. 8). Debido a que el pulso 65 de chip insertado es igual al pulso de chip superpuesto, $\{I(k-1) \cdot C(N_c \cdot k-2)\}$, la señal I es igual a +1 o -1 en el tiempo $-2T_C$ y $-T_C$. Debido a que la condición de la señal I es igual a un valor de +1 o -1 en el tiempo $-2T_C$ y $-T_C$, la señal I entre $-2T_C$ y $-T_C$ es establecida a un valor igual al nivel de señal de pico +1 o -1 apropiado. El conformado 62 de pulso resaltado para la señal I representada en la Fig. 13A, es la estructura de señal I modificada implementada por la presente invención.

Para la señal Q, el mapeo de dos señales únicas estándar se usa hasta -3 chips desde el límite de símbolo (en 0) y 1 chip después del límite de símbolo. A diferencia de la inserción de chips con la señal I, el pulso 67 de chip Q centrado en $-T_C$ es eliminado de la secuencia de pulsos de chips de modulación de datos Q. Las formas de pulsos modulados indicadas con líneas de puntos en el límite de símbolo son los pulsos de chip estándar que se implementarían, excepto para la señal Q, en la que el pulso 67 de chip es eliminado en $-T_C$. Entre $-3T_C$ y $-2T_C$ y también entre $-T_C$ y 0, la señal Q es implementada usando el mapeo de señal única para un cambio entre dos chips modulados contiguos (véanse las curvas en la Fig. 8). Debido a que esta condición se iguala a cero en el tiempo $-2T_C$ y $-T_C$, la señal Q entre $-2T_C$ y $-T_C$ es establecida a cero, tal como se muestra en la Fig. 13B. El conformado 69 de pulso resaltado para la señal Q representada en la Fig. 13B es la estructura de señal Q modificada implementada por la presente invención. Debido a que este nuevo mapeo de la forma de onda está basado en la condición de dos señales estándar combinada con un nivel fijo de +1, -1 o 0, se reduce su implementación en una tabla de consulta.

El estado 3 (Figs. 14A y 14B) existe cuando el símbolo anterior está en -90 o $+90$ grados con un cambio de fase de -90 o $+90$ grados y los pulsos de chips de modulación I contiguos en el límite de símbolo son iguales. Las secuencias moduladas de pulsos de chips cerca del límite de símbolo para el estado 3 se muestran en las Figs. 14A y 14B para una implementación digital de la forma de onda con 4 muestras por chip. Debido a que el estado 3 corresponde a $Q(k-1) \cdot C(N_c \cdot k-1) = I(k) \cdot C(N_c \cdot k)$, se previene la desviación grave de la envolvente de RF. Las formas 70 y 72 de los pulsos modulados indicados con línea de puntos en el límite son los pulsos de chip estándar que se implementarían. En lugar de implementar estos pulsos de chip estándar, la presente invención implementa las formas 74 y 76 de pulso de chip resaltadas en color oscuro.

Comparando el estado 3 con el estado 1, se observa fácilmente que la señal I para el estado 3 es la misma que la señal Q para el estado 1, excepto por el término de modulación de datos, que es $Q(k-1)$ e $I(k)$ para el estado 3 en comparación con $I(k-1)$ y $-Q(k)$ para el estado 1. La misma similitud se aplica entre la señal Q para el estado 3 y la señal I para el estado 1. De esta manera, el mismo enfoque de mapeo de fase usado para el estado 1 se aplica al estado 3 con la modulación de datos y las secuencias de conformado de pulsos de chips apropiadas en los lados I y Q .

El estado 4 (Figs. 15A y 15B) existe cuando el símbolo anterior está en -90 o $+90$ grados con un cambio de fase de -90 o $+90$ grados y los pulsos de chips de modulación I contiguos en el límite de símbolo son opuestos. Las secuencias moduladas de pulsos de chips cerca del límite de símbolo para el estado 4 se representan en las Figs. 15A y 15B para una implementación digital de la forma de onda con 4 muestras por chip. Debido a que el estado 4 corresponde a $Q(k-1) \cdot C(N_c \cdot k-1) = -I(k) \cdot C(N_c \cdot k)$, la condición de desviación grave de la envolvente de RF existe. Las formas 80 y 83 de pulso modulado indicadas mediante líneas de puntos en el límite son los pulsos de chip estándar que se implementarían, excepto para la señal Q en la que el pulso 84 de chip se inserta en $-T_C$. El pulso de chip insertado es multiplicado por $-Q(k-1) \cdot C(N_c \cdot k-2)$, de manera que un nivel de señal $+1$ o -1 se mantiene constante desde un tiempo $-2T_C$ hasta $-T_C$. En lugar de implementar estos pulsos de chips estándar, se implementan las formas 86 y 88 de pulso de chip resaltadas en color oscuro. Comparando el estado 4 con el estado 2, se observa fácilmente que la señal I para el estado 4 es la misma que la señal Q para el estado 2, excepto por el término de modulación de datos, que es $-Q(k-1)$ e $I(k)$ para el estado 4 en comparación con $I(k-1)$ y $Q(k)$ para el estado 2. La misma similitud se aplica entre la señal Q del estado 4 y la señal I para el estado 2. De esta manera, el mismo enfoque de mapeo de fase usado para el estado 4 puede aplicarse al estado 2 con la modulación de datos y las secuencias de conformado de pulsos de chips apropiadas en los lados I y Q .

Volviendo a la Fig. 16, en la misma se muestra un diagrama de bloques de una realización de un modulador QPSK/QBL-MSK que usa el mapeo de fase de la invención para prevenir que la envolvente de RF se acerque o se iguale a cero. El modulador, por ejemplo, usa 8 muestras por chip ($M = 8$), que no es única a la implementación. El generador 102 de símbolos QPSK o DQPSK proporciona un símbolo I y Q relacionado con la fase de la portadora desplazada 45 grados ($\theta_k + 45$ grados en las ecuaciones 4 y 5) usando las relaciones $I(k) = \sqrt{2} \cos(\theta_k)$ y $Q(k) = \sqrt{2} \sin(\theta_k)$ como sigue:

- 1) $\theta_k + 45 = 45$ grados, niveles analógicos: $I(k) = 1$ y $Q(k) = 1$, niveles lógicos: $I(k) = 0$ y $Q(k) = 0$;
- 2) $\theta_k + 45 = -135$ grados, niveles analógicos: $I(k) = -1$ y $Q(k) = -1$, niveles lógicos: $I(k) = 1$ y $Q(k) = 1$;
- 3) $\theta_k + 45 = 135$ grados, niveles analógicos: $I(k) = -1$ y $Q(k) = 1$, niveles lógicos: $I(k) = 1$ y $Q(k) = 0$;
- 4) $\theta_k + 45 = -45$ grados: niveles analógicos: $I(k) = 1$ y $Q(k) = -1$, niveles lógicos: $I(k) = 0$ y $Q(k) = 1$.

Los símbolos en fase $\{I(k)\}$ y en cuadratura $\{Q(k)\}$ se aplican a los términos de modulación de símbolos $\cos(\theta_k)$ y $\sin(\theta_k)$ (θ_k determinada en las ecuaciones 4 y 5) aplicando un desplazamiento de -45 grados como sigue:

- 1) $\theta_k = 0$ grados: niveles analógicos: $\cos(\theta_k) = 1$ y $\sin(\theta_k) = 0$, niveles lógicos: $\cos(\theta_k) = 0 = I(k)$ y $\sin(\theta_k) = 0 = Q(k)$ no necesario;
- 2) $\theta_k = 180$ grados: niveles analógicos: $\cos(\theta_k) = -1$ y $\sin(\theta_k) = 0$, niveles lógicos: $\cos(\theta_k) = 1 = I(k)$ y $\sin(\theta_k) = 0 = Q(k)$ no necesario;
- 3) $\theta_k = 90$: niveles analógicos: $\cos(\theta_k) = 0$ y $\sin(\theta_k) = 1$, niveles lógicos: $\sin(\theta_k) = 0 = Q(k)$ y $\cos(\theta_k) = 0 = I(k)$ no necesario;
- 4) $\theta_k = -90$: niveles analógicos: $\cos(\theta_k) = 0$ y $\sin(\theta_k) = -1$, niveles lógicos: $\sin(\theta_k) = 1 = Q(k)$ y $\cos(\theta_k) = 0 = I(k)$ no necesario.

Estos cuatro estados de fase se reducen a dos condiciones básicas:

- 1) $\theta_k = 0$ o 180 : niveles analógicos: $\cos(\theta_k) = I(k)$ y $\sin(\theta_k) = 0$, niveles lógicos: $\cos(\theta_k) = I(k)$ y $\sin(\theta_k) = 0 = Q(k)$ no necesario;

necesario;

2) $\theta_k = -90$ o $+90$: niveles analógicos: $\sin(\theta_k) = Q(k)$ y $\cos(\theta_k) = 0$, niveles lógicos: $\sin(\theta_k) = Q(k)$ y $\cos(\theta_k) = 0$ necesario.

5 Los símbolos $I(k)$ y $Q(k)$ desde el generador 102 de símbolos QPSK/DQPSK, tal como se muestra en la Fig. 16, son los términos de modulación de datos usados para ensanchar los chips de ensanchamiento pares e impares según las ecuaciones 4 y 5 y la relación establecida entre la fase del símbolo y los símbolos $I(k)$ y $Q(k)$. La multiplicación por -1 sobre los chips pares modulados realizada por el mezclador 146 corresponde a una operación OR-exclusivo digital sobre los chips pares modulados.

10 Tal como se muestra, el código de ensanchamiento es producido por el generador 152 de secuencias de ensanchamiento. El código de ensanchamiento es formateado en serie por el mezclador 154 y es dividido en chips pares (e) y chips impares (o) por el multiplexor 156 de códigos. Los símbolos $I(k)$ y $Q(k)$ son modulados por separado por los moduladores 112 y 132 en símbolos de ensanchamiento pares e impares. Los símbolos de ensanchamiento impares son retardados en unos retardos 114 y 134 chip a chip únicos.

15 El reloj 148 de chip es dividido en un reloj I y Q de ensanchamiento por el divisor 150, que es controlado por un control de chip par (Even Chip Control, ECL). Los chips pares e impares son seleccionados por separado por un selector 116 de código con modulación I y un selector 136 de código con modulación Q .

20 Los chips modulados de código pares e impares son seleccionados mediante un reloj apropiado del código modulado seleccionado. Para un cambio de fase de datos de 0 o 180 grados, se mantienen el mismo código de ensanchamiento modulado de datos en el lado de la señal. Para una transición de la fase de datos de -90 o +90 grados, el código de ensanchamiento modulado de datos es conmutado por el control de chip par (ECL). El control ECL proporciona la sincronización apropiada del reloj a los selectores 116 y 136 de códigos con modulación I y Q para generar las secuencias de chips con modulación I y Q deseadas. El ECL es generado a partir de la lógica de cambio de fase, designada como 106, que desplaza el lado (I o Q) en el que se encuentran los chips pares, después de que el detector 104 de cambio de fase (PD) reconoce que se ha producido un cambio de fase. De esta manera, si los chips pares para el símbolo anterior están en el lado I , una detección de cambio de fase por parte del detector 104 de cambio de fase conmuta los chips pares al lado Q para el símbolo actual. La próxima detección de cambio de fase conmuta los chips pares de nuevo al lado I . La detección de cambio de fase es obtenida multiplicando digitalmente (OR exclusivo) los símbolos I y Q anteriores y los símbolos I y Q actuales entre sí. La ecuación para esta operación es la siguiente:

30
$$\text{Detección de cambio de fase} = [I(k-1) \oplus Q(k-1)] \oplus [I(k) \oplus Q(k)] \quad (\text{ecuación 6})$$

en la que $\oplus$ representa la operación OR exclusivo. Si la detección de cambio de fase es 0, entonces no se ha producido un cambio de fase de -90 o +90 grados, mientras que un cambio de fase de -90 o +90 grados resulta en un 1 lógico en la salida del detector 104. Debido a que la salida OR-exclusivo del símbolo I y Q es un 0 lógico para la condición de fase de símbolo de 0 o 180 grados y un 1 lógico para la condición de fase de símbolo de -90 o +90 grados, la única manera de que la detección de cambio de fase sea igual a un 1 lógico es cuando hay un cambio desde una fase de símbolo de 0 o 180 grados a una fase de símbolo de -90 o +90 grados, o hay un cambio desde una fase de símbolo de -90 o +90 grados a una fase de símbolo de 0 o 180 grados. Para estas condiciones de cambio de fase, se realiza una operación OR-exclusivo entre un 0 y un 1, resultando en una detección de cambio de fase igual a 1. Esto resulta en la detección de cambio de fase deseada para la totalidad de los dieciséis posibles cambios de fase anteriores a actuales.

40 Para entender la manera en la que el resto del procedimiento mostrado en la Fig. 16 proporciona las señales I y Q deseadas (tal como se muestra en las Figs. 12 a 15), se describe un simple cambio de fase de símbolo de 0 o 180 grados para una fase de símbolo anterior de 0 o 180 grados. La Fig. 17 muestra las secuencias de chips con modulación I y Q (a y d), la dirección de memoria (b y e), y las condiciones de señal (c y f) para este cambio de fase. A partir de estas señales, se generan las señales I y Q apropiadas para esta condición de cambio de fase. Las secuencias de chips con modulación I y Q son las señales de salida de los selectores 116 y 136 de código con modulación I y Q , respectivamente. Estas dos señales se usan para invertir (-1) o no invertir la salida de la memoria de complemento a 2 de la memoria 120 y la memoria 140 respectiva, usando la operación multiplicador por los multiplicadores 124 y 144 después de las memorias. Mediante el uso de este procedimiento, sólo es necesario almacenar dos condiciones de señal mostradas en la Fig. 8 desde el tiempo T_c hasta $2T_c$ en las memorias de señal. Al comparar los chips con modulación I anterior y actual, se genera la condición (c) de la señal I , tal como se muestra en la Fig. 17. Esta señal, proporcionada por el acondicionador 118, es 0 o 1, donde 0 corresponde al caso en el que los dos chips de modulación son iguales (curva 35 en la Fig. 8 para el tiempo T_c a $2T_c$) y 1 corresponde al caso en el que los dos chips de modulación son opuestos (curva 30 en la Fig. 8 para el

tiempo T_C a $2T_C$). Esta señal apunta la memoria, por medio de un contador 122 de direcciones, a la condición de señal correcta a ser leída desde la memoria 120.

El mismo procedimiento se usa para generar la condición (f) de la señal Q, que proporciona el mismo nivel 0 o 1 correspondiente a las mismas condiciones de señal determinadas por el acondicionador 138. Tal como se muestra en la Fig. 17, el recuento ascendente o descendente correcto en la memoria I y Q resulta en la salida de la condición de señal apropiada. La salida de la memoria de señal para el lado I es multiplicada por la secuencia de chips con modulación I para obtener la señal I deseada. De manera similar, la salida de la memoria de señal para el lado Q es multiplicada por la secuencia de chips con modulación Q para obtener la señal Q deseada. El contador (122 o 142) de direcciones de memoria para la memoria de señal en el lado I y el lado Q operan en direcciones opuestas. Por ejemplo, cuando el contador de direcciones de memoria I está realizando un recuento ascendente, el contador de direcciones de memoria Q está realizando un recuento descendente tal como se muestra en la Fig. 17.

La memoria (120 o 140) de señal almacena las dos condiciones (30 o 35 en la Fig. 8) de la señal. Para un contador de direcciones de memoria que funciona a M veces la velocidad de chips, la memoria de señal es almacenada con los valores siguientes:

$$q(n) = \begin{cases} \left[\frac{\sin\left(\frac{\pi}{2} \left[\frac{n}{M} - 2 \right] \right)}{\left(\frac{\pi n}{2M} \right)} \right]^3 + \left[\frac{\sin\left(\frac{\pi}{2} \left[\frac{n}{M} - 2 \right] \right)}{\left(\frac{\pi n}{2M} \right)} \right]^3 & ; \text{para la condición de señal 0} \\ - \left[\frac{\sin\left(\frac{\pi}{2} \left[\frac{n}{M} - 2 \right] \right)}{\left(\frac{\pi n}{2M} \right)} \right]^3 + \left[\frac{\sin\left(\frac{\pi}{2} \left[\frac{n}{M} - 2 \right] \right)}{\left(\frac{\pi n}{2M} \right)} \right]^3 & ; \text{para la condición de señal 1} \end{cases} ; \text{para } n = 0, 1, 2, \dots M.$$

(ecuación 7)

El contador (122 o 142) de direcciones de memoria realiza un recuento ascendente, comenzando con 1 y contando hasta M, mientras que el recuento descendente comienza en (M-1) y realiza un recuento descendente hasta 0. Al operar el contador de direcciones de memoria de esta manera, se obtienen el valor máximo de 1 y el valor mínimo de 0. Estos dos valores se requieren cuando el contador de direcciones de memoria es detenido para un cambio de fase de símbolo de -90 o +90 grados.

Para el otro caso de un cambio de fase de símbolo sencillo de 0 o 180 grados para una fase de símbolo anterior de -90 o +90 grados, las secuencias de chips con modulación I y Q, dirección de memoria, y condiciones de señal en la Fig. 17 se intercambian con las señales de datos $I(k-1)$ e $I(k)$ reemplazadas con $Q(k-1)$ y $Q(k)$ para la señal I y $-Q(k-1)$ y $-Q(k)$ para la señal Q. Este cambio en la señal es proporcionado por la operación de inversión (mezclador 146) que precede al selector 136 de código 136 con modulación Q. La ubicación de chip par (ECL en la Fig. 16) se usa para conmutar apropiadamente las secuencias de chips moduladas. Esta misma ubicación de chip par (ECL) se usa para proporcionar la dirección de contador de direcciones de memoria correcta (ascendente o descendente). La ubicación de chip par es establecida a la señal I para el símbolo inicial, que corresponde a un valor de 0. La primera detección de cambio de fase igual a 1 cambia el ECL a un valor de 1, correspondiente a los chips pares en la señal Q. El ECL es conmutado de nuevo a 0 para la próxima detección de cambio de fase de 1. Cada valor de detección de cambio de fase de 1 cambia el valor del ECL al otro valor, concretamente, de 0 a 1 o de 1 a 0.

Las señales de cambio de fase de símbolo de -90 o +90 grados son generadas usando estos mismos conceptos e introduciendo la detección de dos casos diferentes cerca del límite de símbolo para controlar apropiadamente los contadores de direcciones de memoria I y Q y la condición de la señal. La Fig. 18 muestra las secuencias de chips con modulación I y Q (a y d), la dirección de memoria (b y e) y las condiciones de señal (c y f) para un cambio de fase de símbolo de -90 o +90 grados desde una fase de símbolo anterior de 0 o 180 grados.

La Fig. 19 muestra las secuencias de chips con modulación I y Q (a y d), la dirección de memoria (b y e), y las condiciones de señal (c y f) para un cambio de fase de símbolo de -90 o +90 grados desde una fase de símbolo anterior de -90 o +90 grados. A partir de las Figs. 18 y 19, deben determinarse las condiciones del caso 1 y el caso 2 para proporcionar las acciones requeridas del contador de direcciones de la memoria Q y las condiciones de las señales I y Q requeridas. En ambas Figuras, los dos casos para los contadores de direcciones de memoria son

controlados durante el período de chip antes y después del límite de símbolo. Para el caso 1, el contador de direcciones de memoria continúa en su secuencia normal en el periodo de chip antes del límite de símbolo, pero es detenido en el periodo de chip después del símbolo de límite y continúa en su secuencia normal en el próximo periodo de chip después del límite de símbolo. Para el caso 2, el contador de direcciones de memoria es detenido en el periodo de chip antes del límite de símbolo y continúa en su secuencia normal, empezando en el periodo de chip después del límite de símbolo.

El control de las condiciones de las señales I y Q es más complicado. Para los chips pares en la señal I para el símbolo anterior (fase de símbolo anterior de 0 o 180 grados), la condición de la señal Q cambia un periodo de chip antes que la condición de la señal I (Fig. 18). Las condiciones de las señales I y Q durante un cambio dependen del caso 1 o el caso 2. Para los chips pares en la señal Q para el símbolo anterior (fase de símbolo anterior de -90 o +90 grados), la condición de la señal I cambia un periodo de chip antes que la condición de la señal Q (Fig. 19). Las condiciones de las señales I y Q durante un cambio dependen del caso 1 o el caso 2.

La generación de las secuencias de chip con modulación I y Q para un cambio de fase símbolo de -90 o +90 grados para cualquier condición de fase de símbolo anterior se consigue mediante la selección apropiada del reloj par o el reloj impar en la construcción de los relojes I y Q. La señal de ubicación de chip par (ECL) proporciona la señal de control de reloj de ensanchamiento usada para seleccionar el reloj par o el reloj impar apropiado por parte del selector 150 de reloj (Fig. 16) para los relojes I y Q. La Fig. 20 muestra la generación de las secuencias de chips con modulación I y Q (g y k) para un cambio de fase de símbolo de -90 o +90 grados para la condición 1, que corresponde a un estado de fase de símbolo anterior de 0 o 180 grados. Las secuencias de chips con modulación I y Q deseadas, mostradas en la Fig. 18, son generadas tal como se muestra en la Fig. 20.

La Fig. 21 muestra la generación de las secuencias de chips con modulación I y Q (g y k) para un cambio de fase de símbolo de -90 o +90 grados para la condición 2, que corresponde a un estado de fase de símbolo anterior de -90 o +90 grados. Las secuencias de chip con modulación I y Q deseadas, mostradas en la Fig. 19, son generadas tal como se muestra en la Fig. 21. Se muestra el límite de símbolo para demostrar la relación de temporización entre las señales en la Fig. 18 a la Fig. 21.

El cambio de símbolo de -90 o +90 grados requiere la detección del estado de la señal del caso 1 y el caso 2, tal como se muestra en la Fig. 18 y la Fig. 19, para el control apropiado de los contadores de direcciones de memoria I y Q y las condiciones de las señales I y Q. La Fig. 22 muestra cómo la señal (c) de cambio de fase junto con la señal de ubicación de chip par (ECL) (d) es usada para generar la señal (i) de detección de casos (CD). Para un cambio de fase entre el símbolo k-1 y el símbolo k, el cambio de fase es igual a 1. Para un cambio de fase igual a 1, el estado de la señal ECL(k) (0 o 1), que es el valor invertido de ECL(k-1), es usado para determinar qué señales se examinan para la señal de detección de casos (CD). Para ECL(k-1) igual a 0, los dos casos se basan en $I(k-1) \cdot C(8 \cdot k-1) = -Q(k) \cdot C(8 \cdot k)$. Si esta condición es verdadera, entonces se detecta el caso 1. Si esta condición es falsa, entonces se detecta el caso 2. Para ECL(k-1) igual a 1, los dos casos se basan en $Q(k-1) \cdot C(8 \cdot k-1) = I(k) \cdot C(8 \cdot k)$. Si esta condición es verdadera, entonces se detecta el caso 1. Si esta condición es falsa, entonces se detecta el caso 2. La temporización (i) de la señal de detección de casos (CD) con respecto al límite de símbolo se muestra en la Fig. 22. Debido a que el control del contador de direcciones de memoria y las condiciones de las señales I y Q debe ocurrir antes del punto de detección de la señal CD, hay retardos (110) de temporización incorporados en el modulador 100 mostrado en la Fig. 16 para proporcionar la alineación de temporización apropiada.

La Fig. 23 muestra la diferencia de temporización para la detección de casos (a), la detección de casos de memoria (b) y la detección de casos de señal (d) con respecto al límite de símbolo mostrado en la Fig. 17 a la Fig. 22. La detección de casos de memoria proporciona la referencia de temporización para implementar los tiempos de parada de recuento apropiados para los contadores (c) de direcciones de memoria I y Q tal como se muestra en la Fig. 23. Los contadores de direcciones de memoria I y Q continúan en la secuencia de recuento ascendente y descendente apropiada, tal como se muestra en la Fig. 18 y la Fig. 19, con los tiempos de parada de recuento apropiados proporcionados por la detección de casos de memoria (b) mostrada en la Fig. 23. El control de temporización para las condiciones (f y g) de las señales I y Q es determinado por la detección de casos de señal (d) y las señales (e) de ubicación de chip par (ELC), tal como se muestra en la Fig. 23. Estas señales proporcionan la temporización de las señales I y Q requerida mostrada en la Fig. 18 y la Fig. 19.

Tal como se muestra en la Fig. 23, la temporización para las condiciones (f y g) las señales I y Q es controlada por la detección de casos de señal (d) y las señales (e) de ubicación de chip par (ELC). Para generar la señal requerida durante este período de tiempo, la condición del caso determinado por la señal de detección de casos es usada junto con la señal de ubicación de chip par (ELC). La Fig. 18 muestra las condiciones de las señales I y Q requeridas para un cambio de fase de -90 o +90 grados para una fase de símbolo anterior de 0 o 180 grados. Para el periodo de chip en el que la condición de las señales I y Q se define como 0 o 1, el estado de la señal puede ser cualquiera de ellos, ya que el contador de direcciones de memoria está en un modo de parada de recuento durante

el tiempo de periodo de chip.

La Fig. 24 muestra que estas señales requeridas son generadas retardando y adelantando las secuencias de modulación I y Q y realizando una operación de multiplicación (operación OR-exclusivo para señales digitales). Usando la detección de casos de señal (h) para aplicar la operación de multiplicación (operación OR-exclusivo para señales digitales), sólo durante el primer periodo de chip para la señal de condición (i) de la señal Q y manteniendo ese estado durante una ventana de 3 periodos de chip. La Fig. 19 muestra las condiciones de las señales I y Q requeridas para un cambio de fase de -90 o +90 grados para una fase de símbolo anterior de -90 o +90 grados.

Las condiciones de las señales I y Q son generadas usando el mismo procedimiento que el usado para una fase de símbolo anterior de 0 o 180 grados, excepto que la operación de multiplicación en el primer periodo de chip es usada para la condición de señal I versus la condición de señal Q. Esto se hace retardando o adelantando la secuencia de modulación I y Q y realizando una operación de multiplicación (operación OR-exclusivo para señales digitales) y usando la detección de casos de señal (h) para aplicar la operación de multiplicación (operación OR-exclusivo para señales digitales) sólo sobre el primer periodo de chip para la condición de la señal I (d) y manteniendo en ese estado durante una ventana de 3 periodos de chip.

Con referencia a la Fig. 5, las señales I y Q desde el modulador son sometidas a conversión ascendente usando un convertidor ascendente analógico o digital. Para la conversión ascendente analógica, las señales I y Q son convertidas en señales analógicas con un convertidor digital a analógico I y Q independiente seguido de un filtro de paso bajo antes de la conversión ascendente con un mezclador en cuadratura analógico. El filtro de paso bajo elimina cualquier imagen de muestreo. Para la conversión ascendente digital, las señales I y Q son sometidas a conversión ascendente usando un mezclador en cuadratura digital y, a continuación, convirtiendo a señales analógicas con un único DAC seguido de un filtro de paso banda. El filtro de paso banda elimina cualquier imagen de muestreo. Para la conversión ascendente digital, las señales de modulador I y Q pueden ser interpoladas a una tasa de muestreo más alta usando técnicas de interpolación o accediendo a la memoria de las señales I y Q a una tasa de muestreo más alta.

La Fig. 25 muestra el espectro de potencia para la señal con modulación QPSK/QBL-MSK usando esta técnica de mapeo a 4,8 Mcps con 8 chips por símbolo. La reducción gradual de los lóbulos laterales es ligeramente más alta que la obtenida para la modulación de datos BPSK. Esto es debido a que la señal I o Q se establece a cero para un cambio de fase de -90 o +90 grados, lo que no proporciona una transición suave de la señal en las condiciones finales. Se consigue un rendimiento mejorado cambiando el mapeo durante esta condición a la forma de pulso de chip, que añade dos condiciones de memoria adicionales y una complejidad de circuito adicional para detectar esta condición. Se consigue una mejora similar en la reducción gradual del espectro de potencia mediante el filtrado de la señal con modulación QPSK/QBL-MSK con un filtro de paso bajo Butterworth de 6 MHz con 5 polos, o un filtro de paso banda equivalente. La Fig. 26 muestra el espectro de potencia con el filtrado adicional.

Para otras descripciones similares y no similares, por favor véanse las patentes siguientes US 7.593.454, US 7.630.428, US 7.609.755, US 7.801.225 y US 7.715.505.

Aunque se ha ilustrado y descrito en la presente memoria con referencia a ciertas realizaciones específicas, sin embargo, la presente invención no pretende limitarse a los detalles mostrados. Más bien, pueden realizarse diversas modificaciones en los detalles sin apartarse del espíritu de la invención. El alcance de la invención debe ser definido por las reivindicaciones siguientes.

REIVINDICACIONES

1. Un procedimiento de aplicación de conformado de pulsos a una señal modulada de ensanchamiento por secuencia que tiene formas de onda en fase (I) y en cuadratura (Q) formateadas en serie, en el que cada forma de onda incluye un número predeterminado de chips por símbolo, en el que el procedimiento comprende las etapas de:
5
(a) examinar los chips contiguos de las formas de onda I y Q en un límite (47) de símbolo;
(b) determinar que una de las formas de onda I o Q, en el límite de símbolo, incluye dos chips primero y segundo contiguos separados por un único periodo de chip, en el que el primer chip pertenece a un símbolo anterior y el segundo chip pertenece a un símbolo (47) actual; y
10
(c) determinar que los chips primero y segundo son de valor opuesto; y
(d) igualar a cero uno de entre el primer chip y el segundo chip, si se determinan (48) ambas etapas (b) y (c).
2. Procedimiento según la reivindicación 1, que incluye las etapas de:
(e) insertar un chip en la otra forma de onda de entre la forma de onda I o Q, durante la duración del pulso igualado a cero en la etapa (d), en el que el chip insertado tiene un valor que es el mismo que un valor (48) de chip inmediatamente anterior; y
15
(f) extender un valor de pico entre el chip inmediatamente anterior y el chip insertado para proporcionar una parte superior plana entre los mismos.
3. Procedimiento según la reivindicación 2, en el que la etapa (b) incluye determinar que la forma de onda Q incluye los dos chips primero y segundo contiguos separados por un único periodo de chip, y la etapa (d) incluye
20
igualar a cero el primer chip.
4. Procedimiento según la reivindicación 2, en el que la etapa (b) incluye determinar que la forma de onda Q incluye los dos chips primero y segundo contiguos separados por un único periodo de chip, y la etapa (d) incluye igualar a cero el primer chip.
5. Procedimiento según la reivindicación 1, en el que la etapa (a) incluye determinar que existen las dos
25
condiciones siguientes:
(i) un estado de símbolo de 0 o 180 grados antes del límite de símbolo, y
(ii) un cambio de fase de -90 o +90 grados después del límite de símbolo.
6. Procedimiento según la reivindicación 1, en el que la etapa (a) incluye determinar que existen las dos
condiciones siguientes:
30
(i) un estado de símbolo de -90 o +90 grados antes del límite de símbolo, y
(ii) un cambio de fase de -90 o +90 grados después del límite de símbolo.
7. Procedimiento según la reivindicación 2, en el que la etapa (f) incluye extender un valor fijo de nivel de señal +1 o -1 para proporcionar la parte plana entre el chip inmediatamente anterior y el chip insertado.
8. Procedimiento según la reivindicación 1, en el que la señal modulada de ensanchamiento por secuencia es una
35
de entre modulación por desplazamiento de fase en cuadratura (Offset Quadrature Phase Shift Keying, OQPSK), modulación por desplazamiento mínimo (Minimum Shift Keying, MSK), MSK Gaussiana, modulación de frecuencia moderada (Tamed Frequency Modulation, TFM), OQPSK libre de fluctuación entre símbolos (Intersymbol Jitter Free OQPSK, IJF- OQPSK), OQPSK filtrada con coseno alzado (Raised Cosine filtered OQPSK, RC-OQPSK), modulación de fase continua (Continuous Phase Modulation, CPM) con ancho de banda eficiente, y el
40
procedimiento incluye además la etapa de transmitir la señal modulada de ensanchamiento por secuencia después de realizar las etapas (d).
9. Procedimiento según la reivindicación 1, en el que el número de chips por símbolo son 8 chips.
10. Procedimiento según la reivindicación 1, que incluye la etapa de aplicar un conformado de pulsos a la señal
45
modulada de ensanchamiento por secuencia usando una tabla de consulta (Look-Up Table, LUT) almacenada en la memoria.

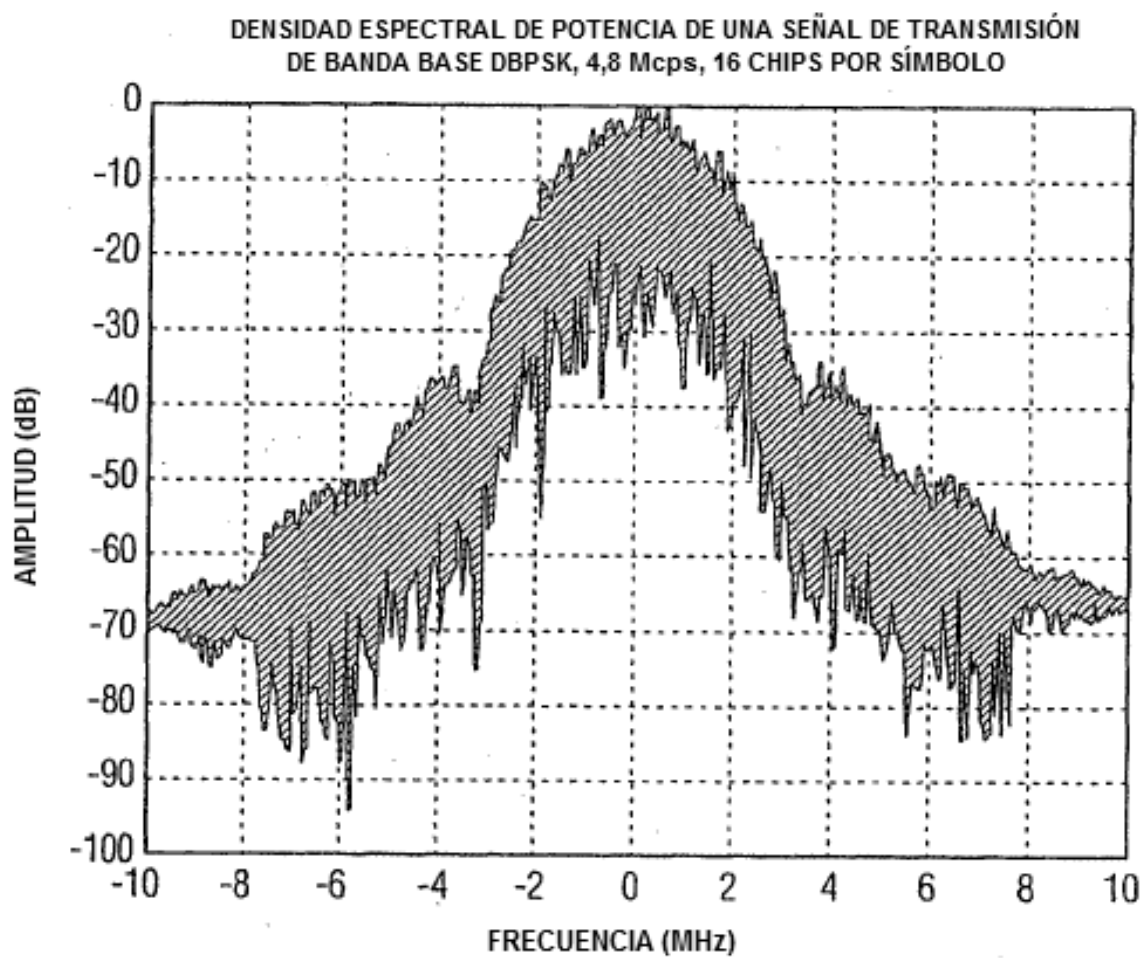
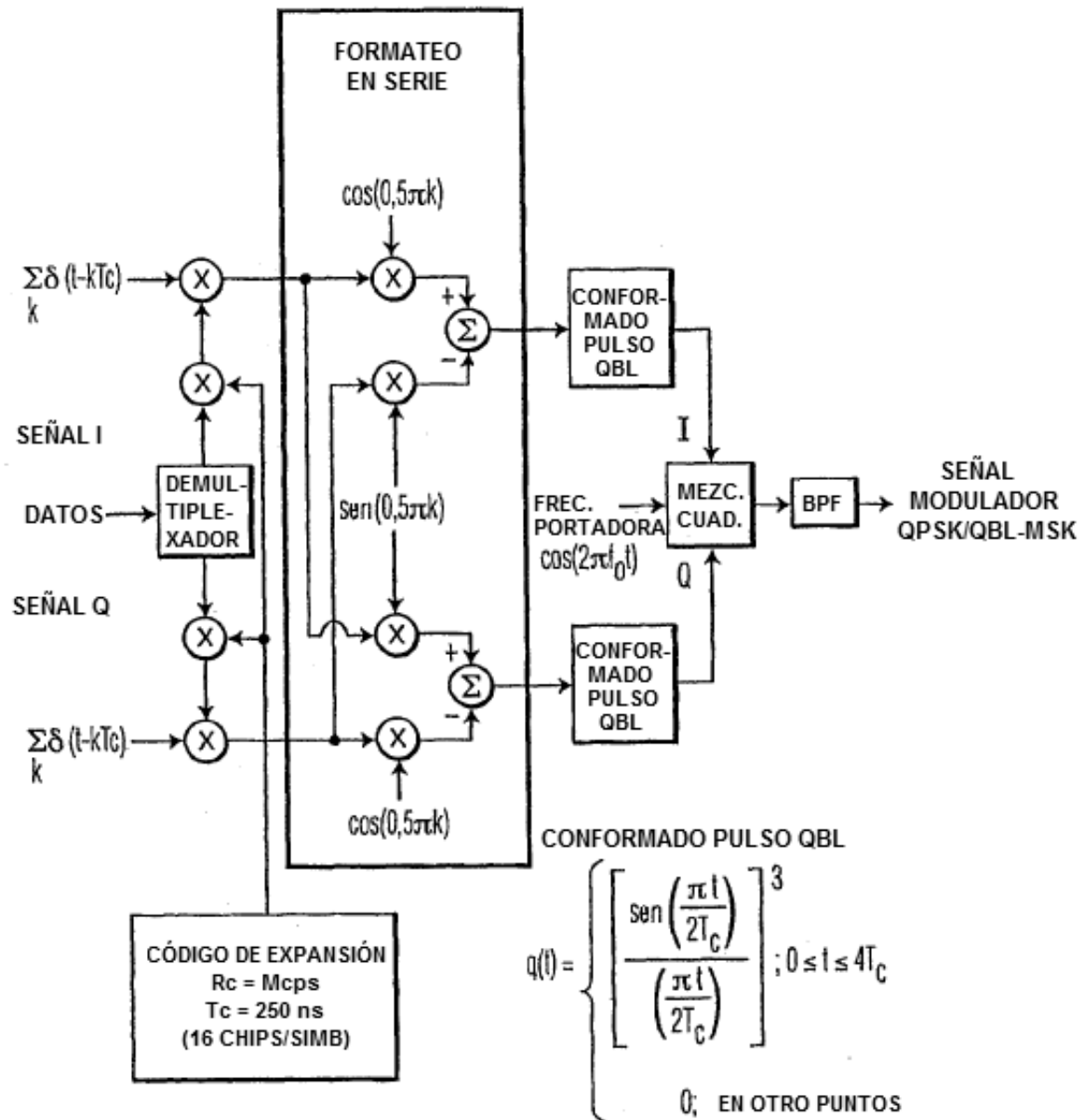


FIG. 1

Técnica anterior



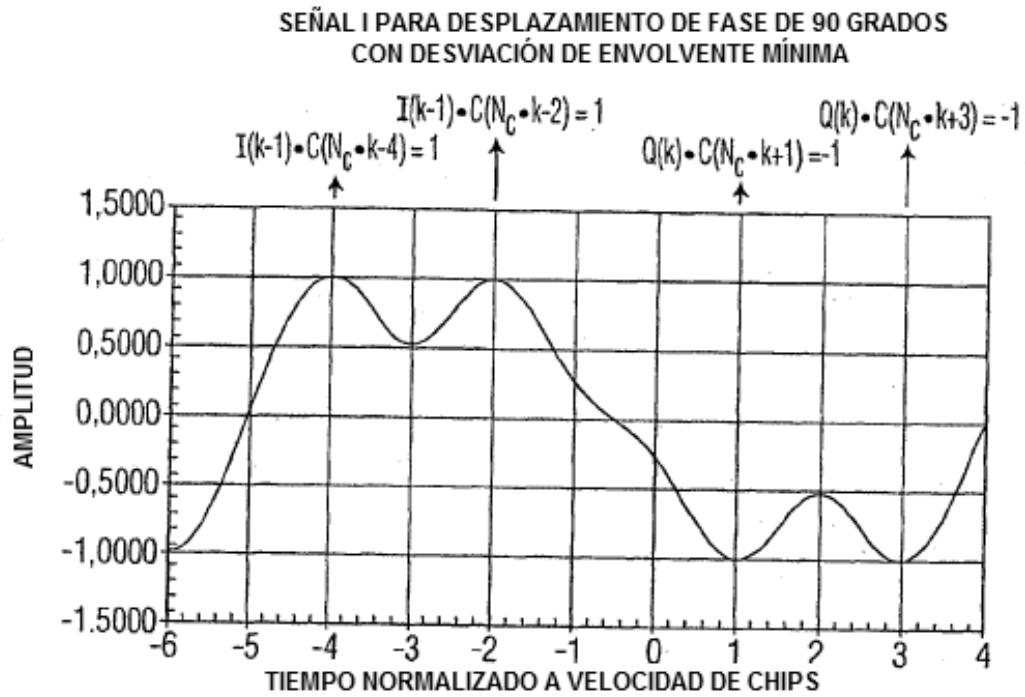


FIG. 3A

TÉCNICA ANTERIOR

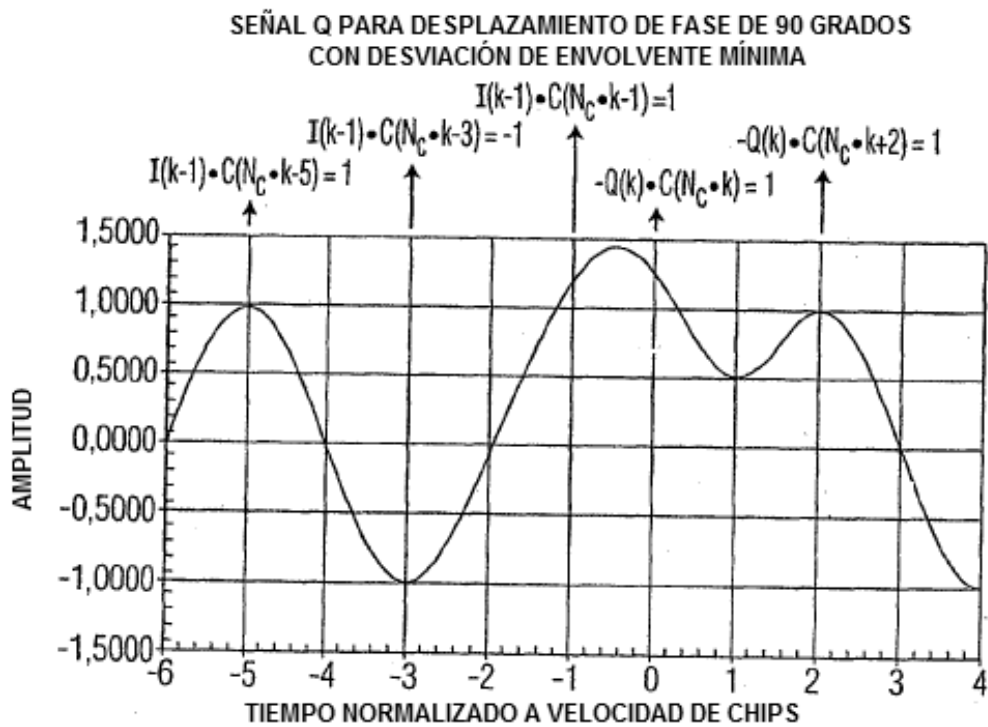


FIG. 3B

TÉCNICA ANTERIOR

ENVOLVENTE DE RF PARA DESPLAZAMIENTO DE FASE DE 90 GRADOS
CON DESVIACIÓN DE ENVOLVENTE MÍNIMA

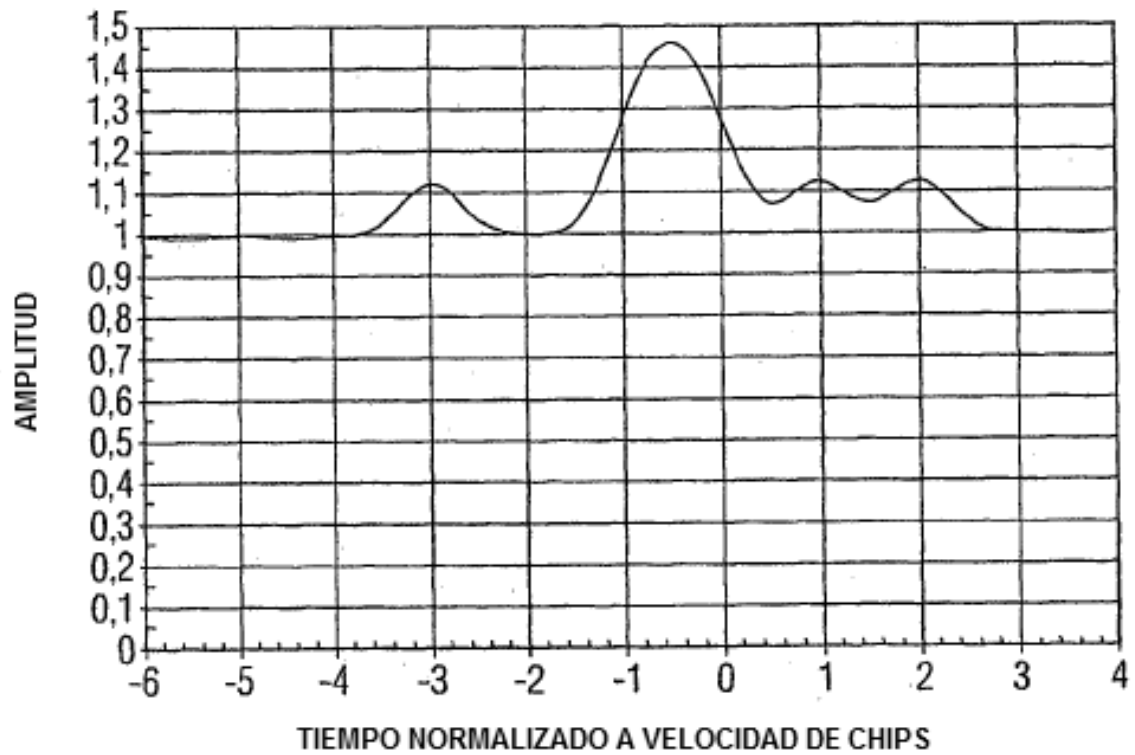


FIG. 3C
TÉCNICA ANTERIOR

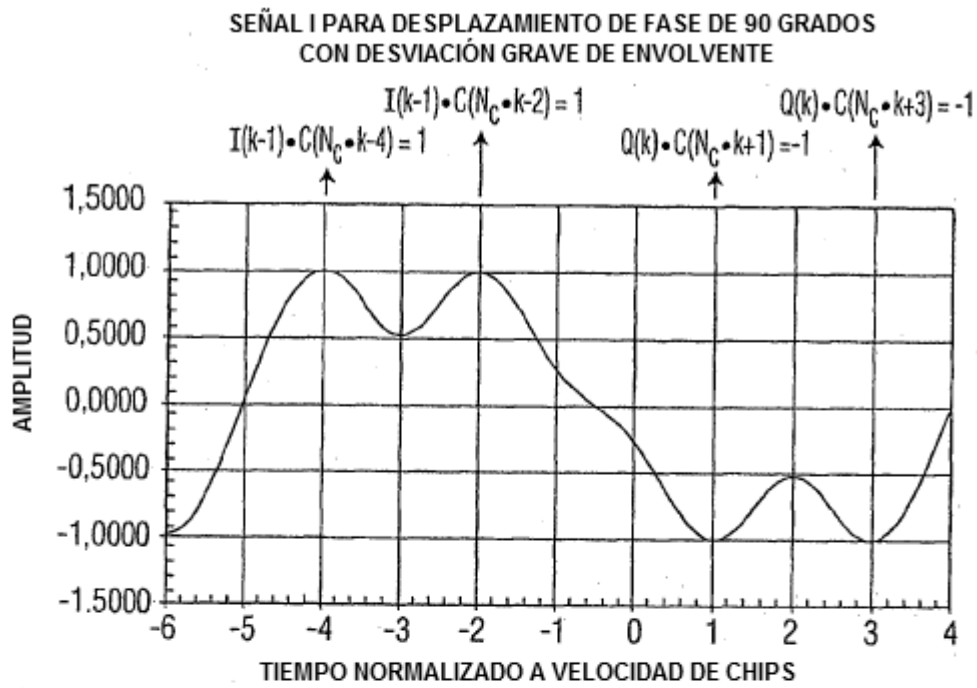


FIG. 4A

TÉCNICA ANTERIOR

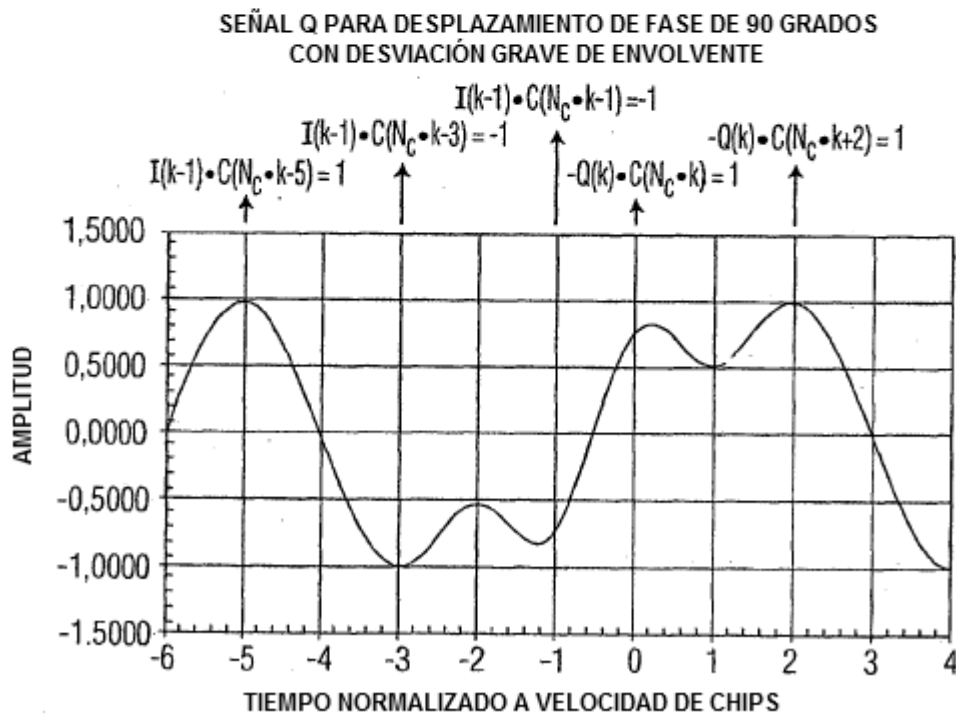


FIG. 4B

TÉCNICA ANTERIOR

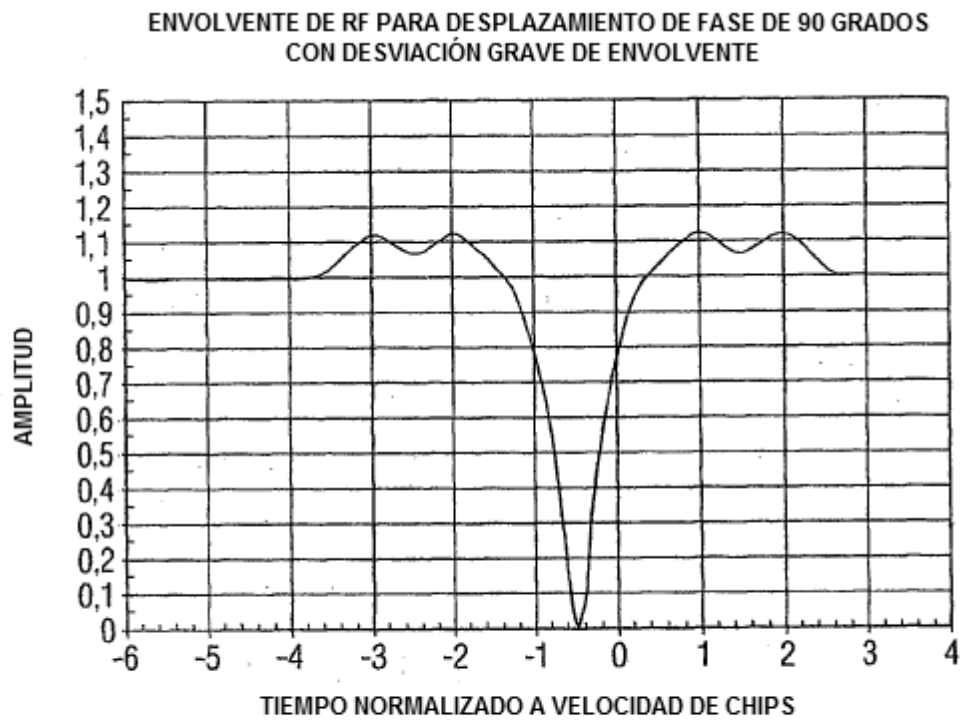
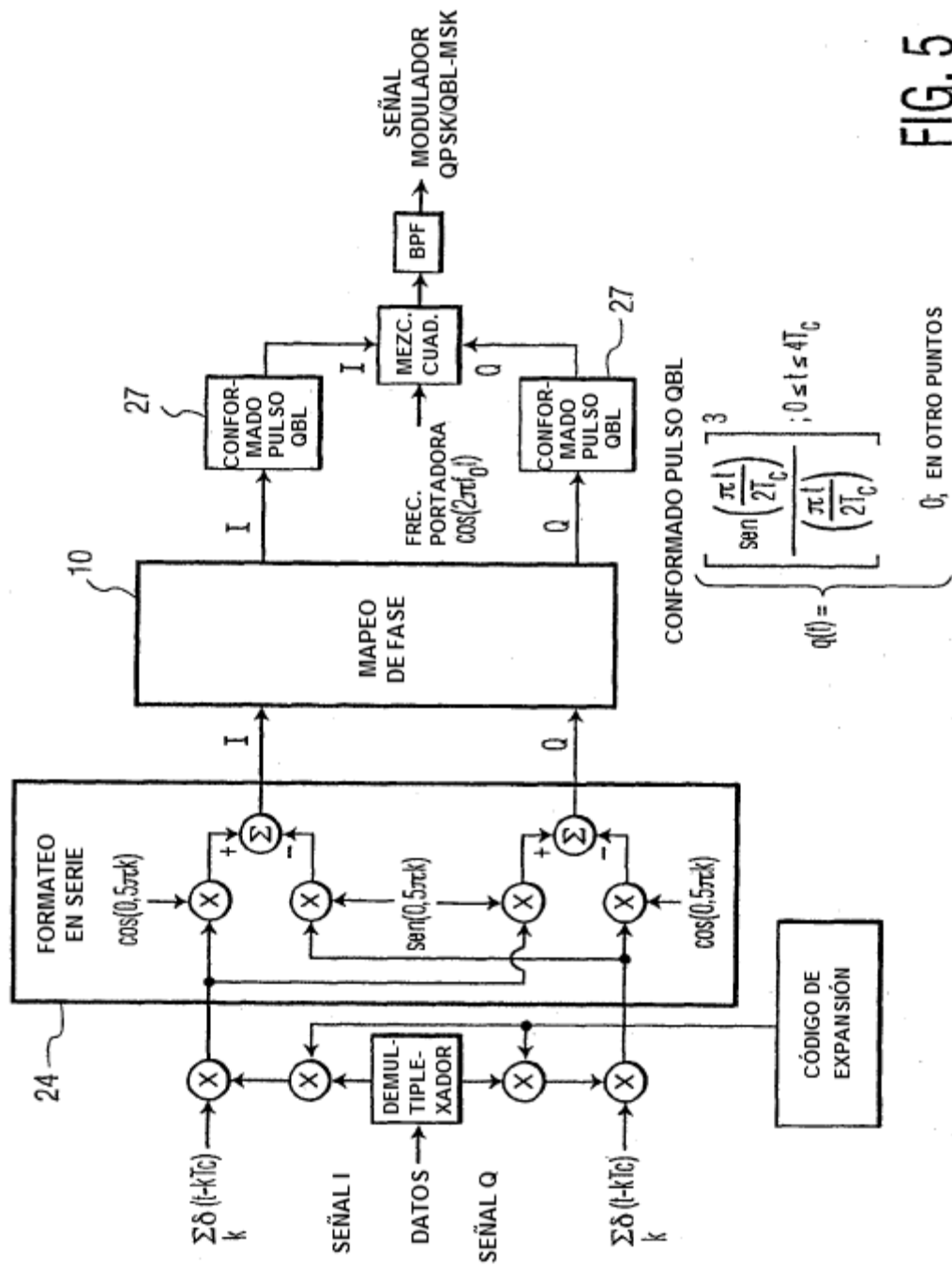


FIG. 4C
TÉCNICA ANTERIOR



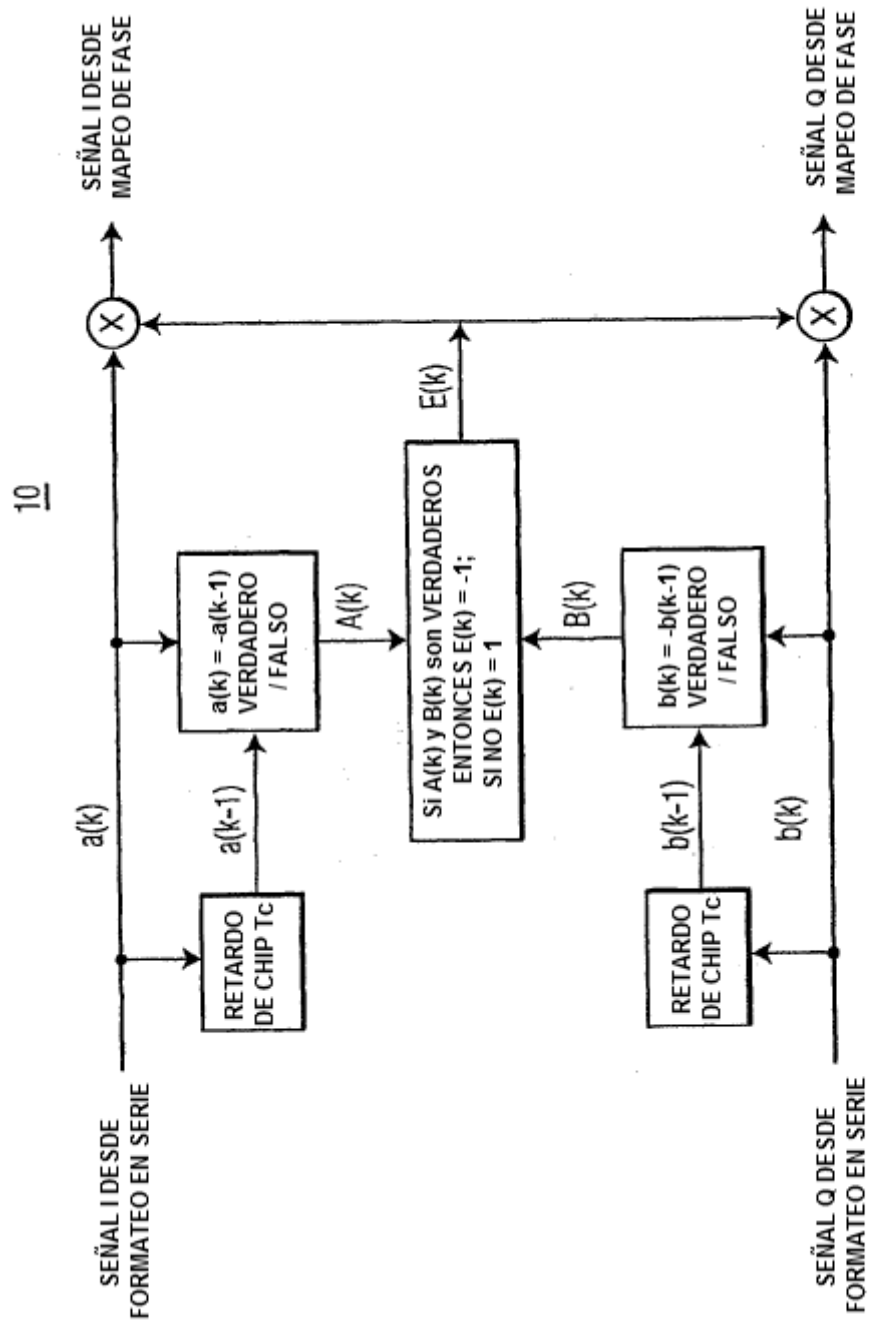


FIG. 6
TÉCNICA ANTERIOR

DENSIDAD ESPECTRAL DE POTENCIA DE SEÑAL DE TRANSMISIÓN
DE BANDA BASE DQPSK, 4,8 Mcps, 8 CHIPS POR SÍMBOLO

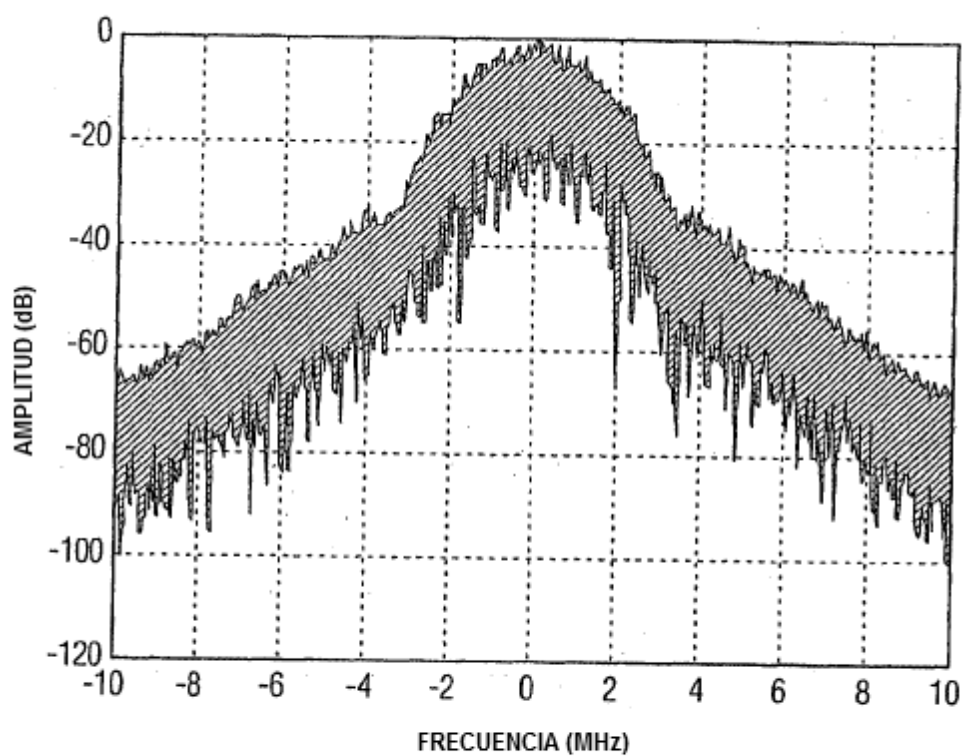


FIG. 7

TÉCNICA ANTERIOR

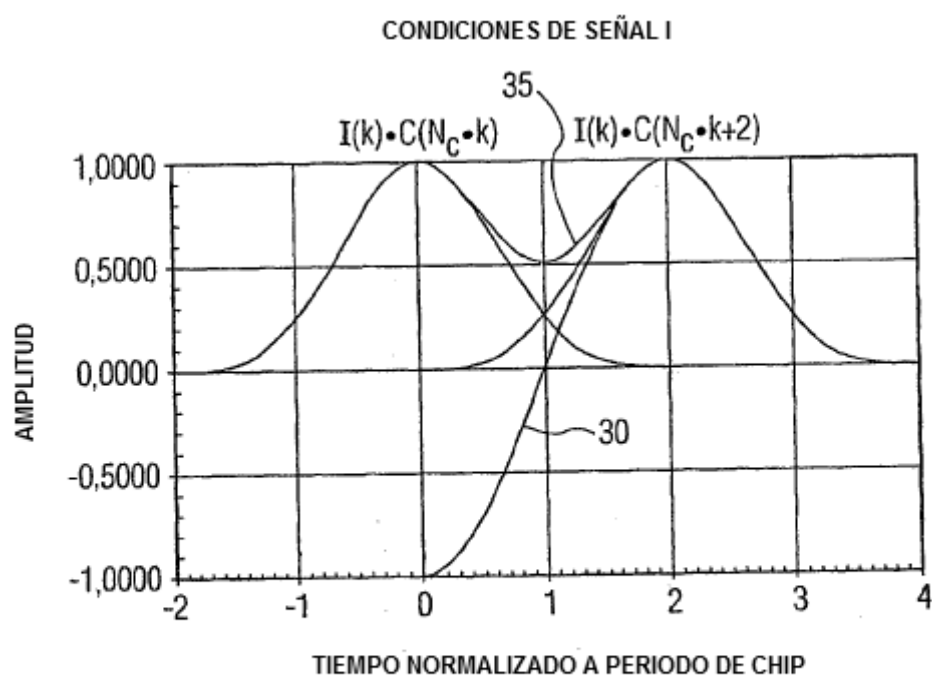


FIG. 8

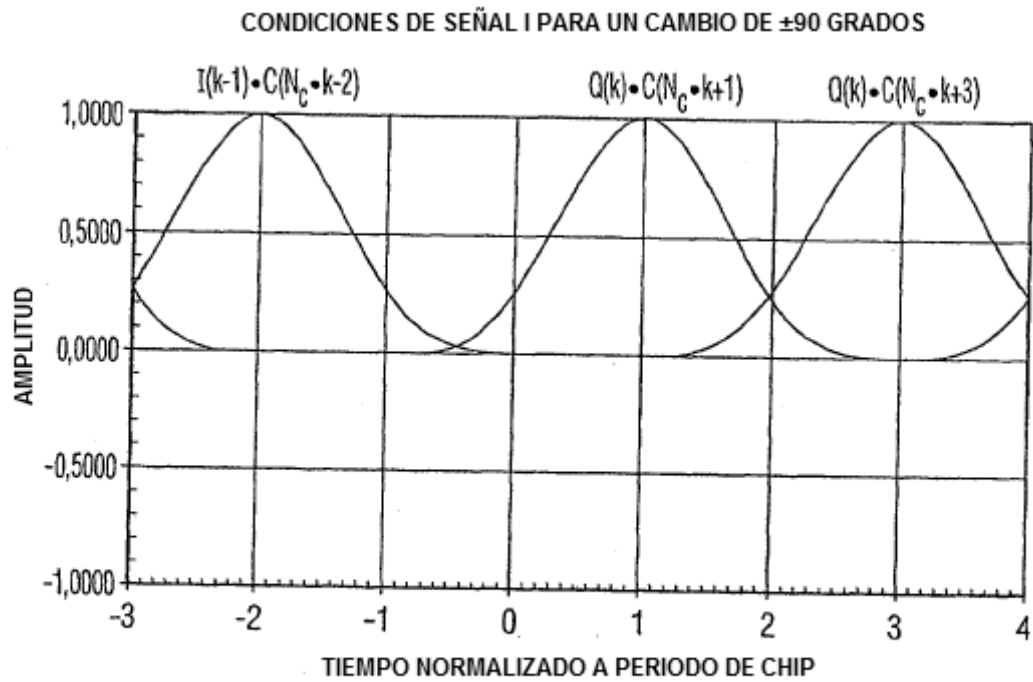


FIG. 9A

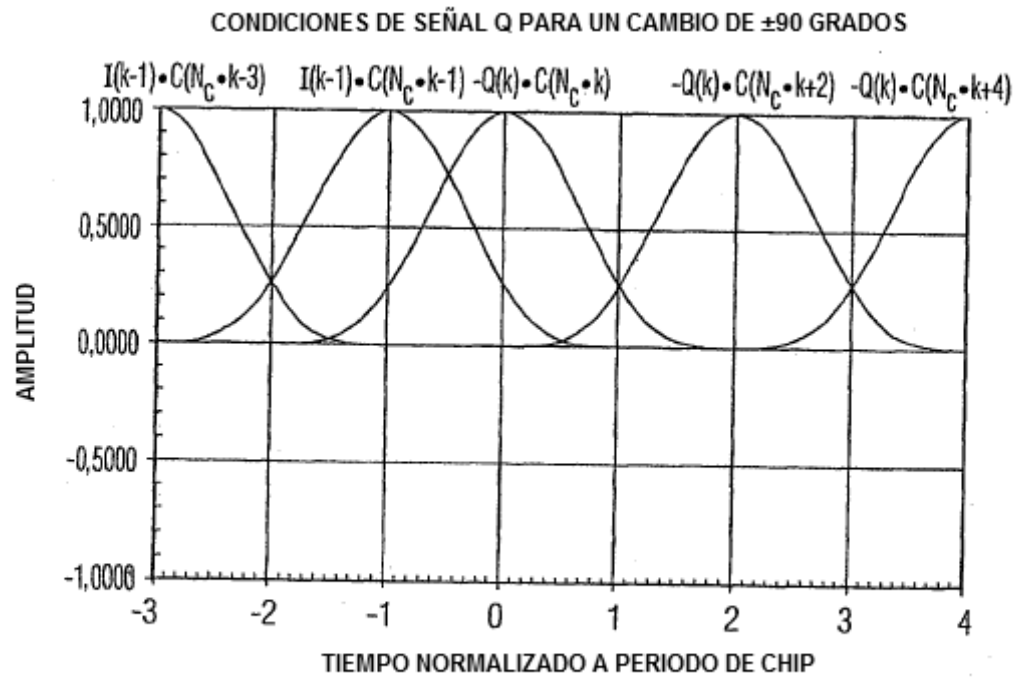


FIG. 9B

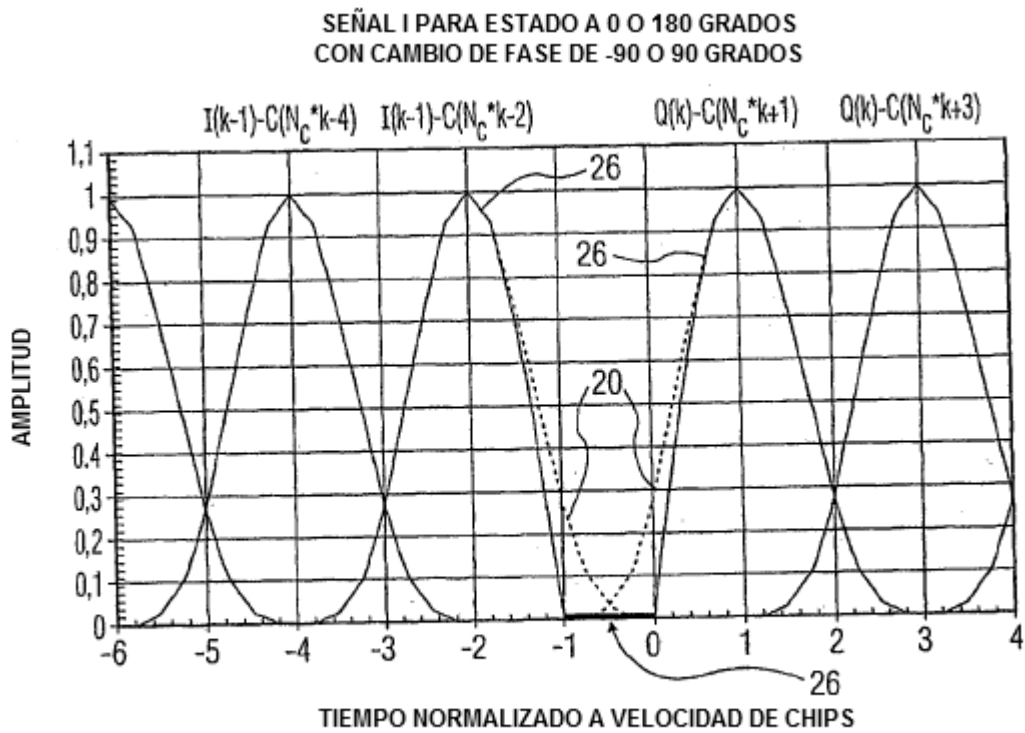


FIG. 10A

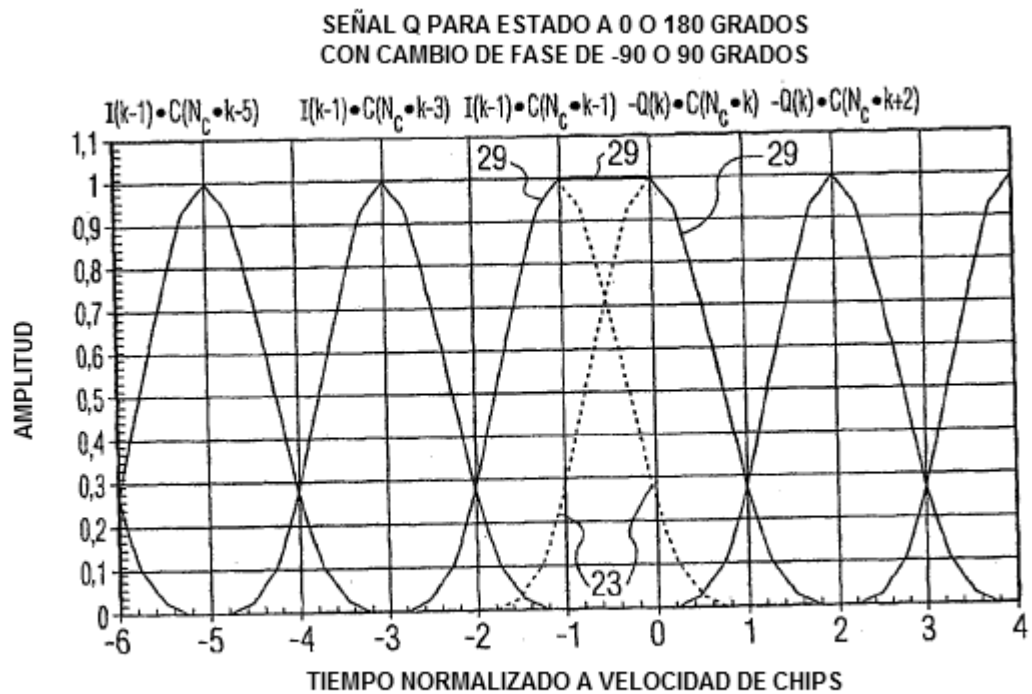


FIG. 10B

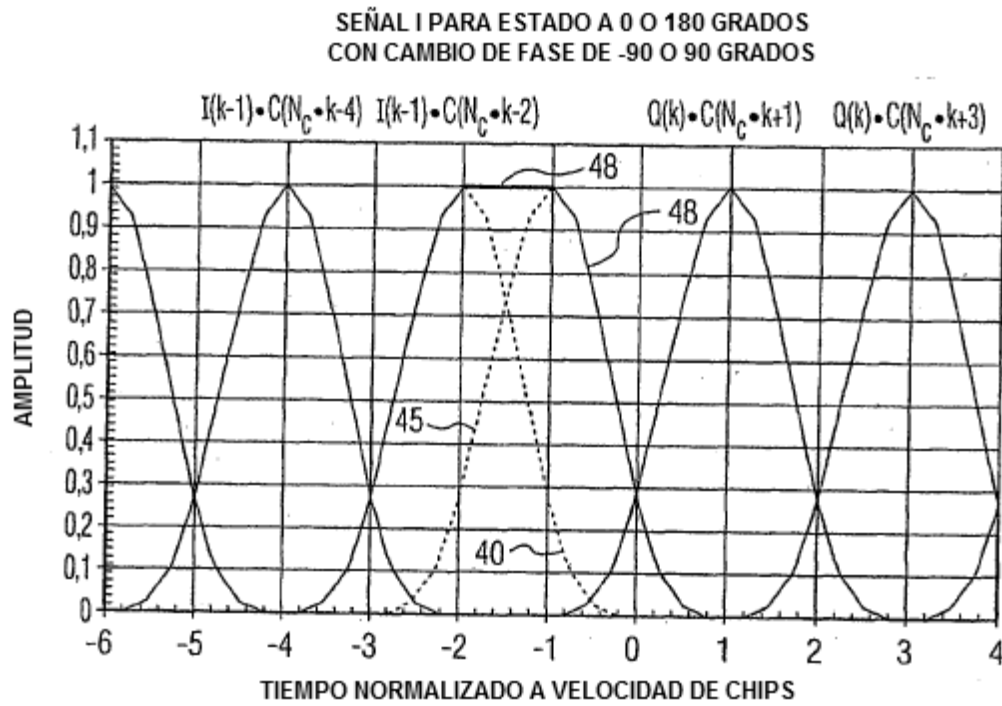


FIG. 11A

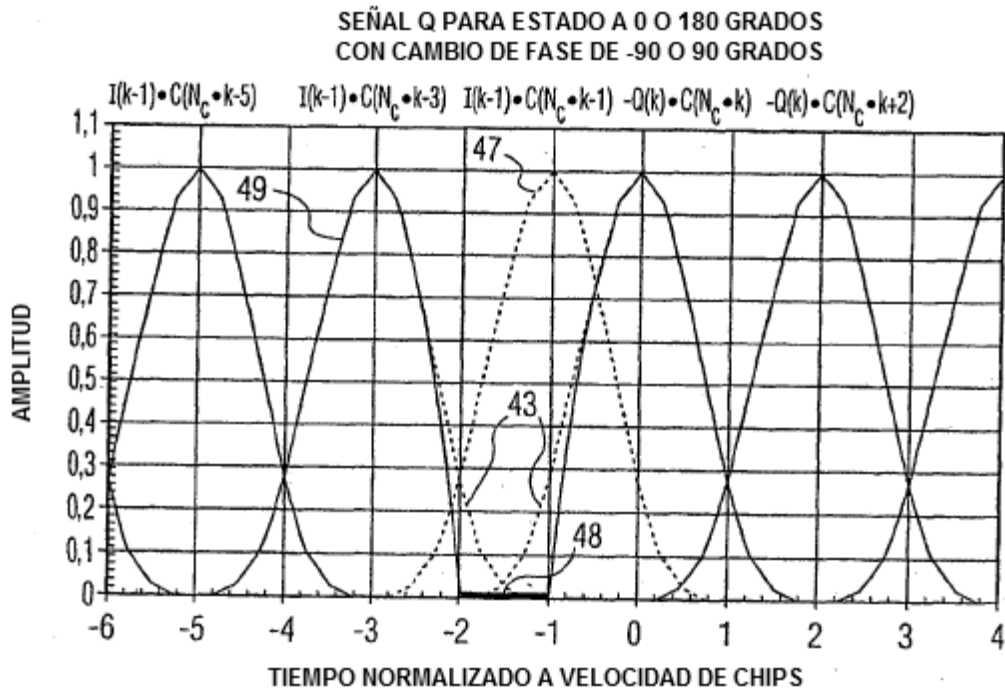


FIG. 11B

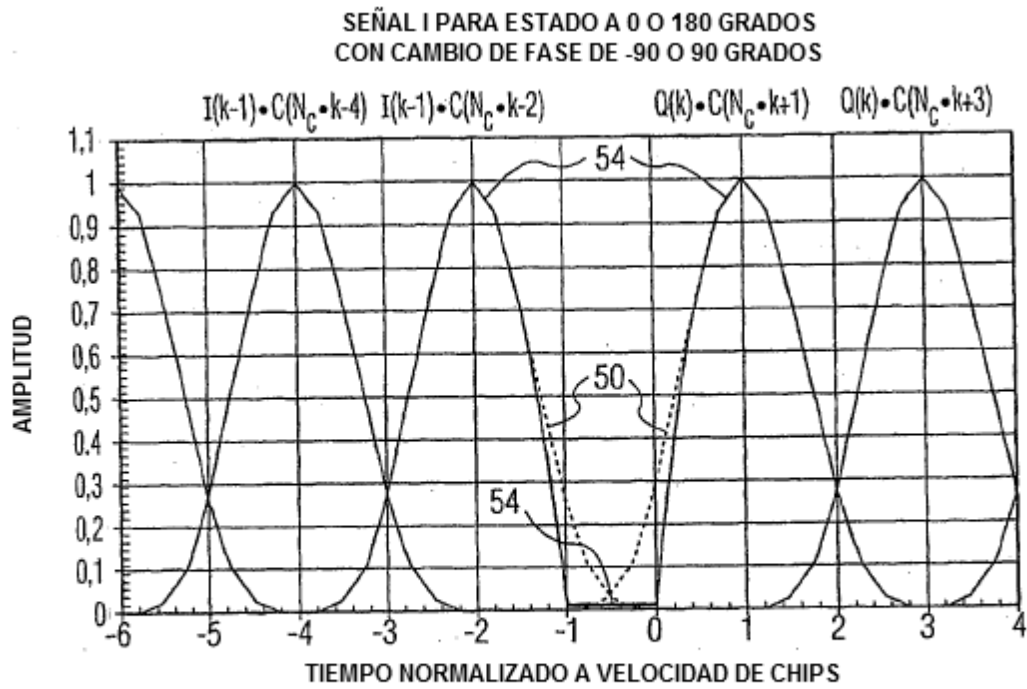


FIG. 12A

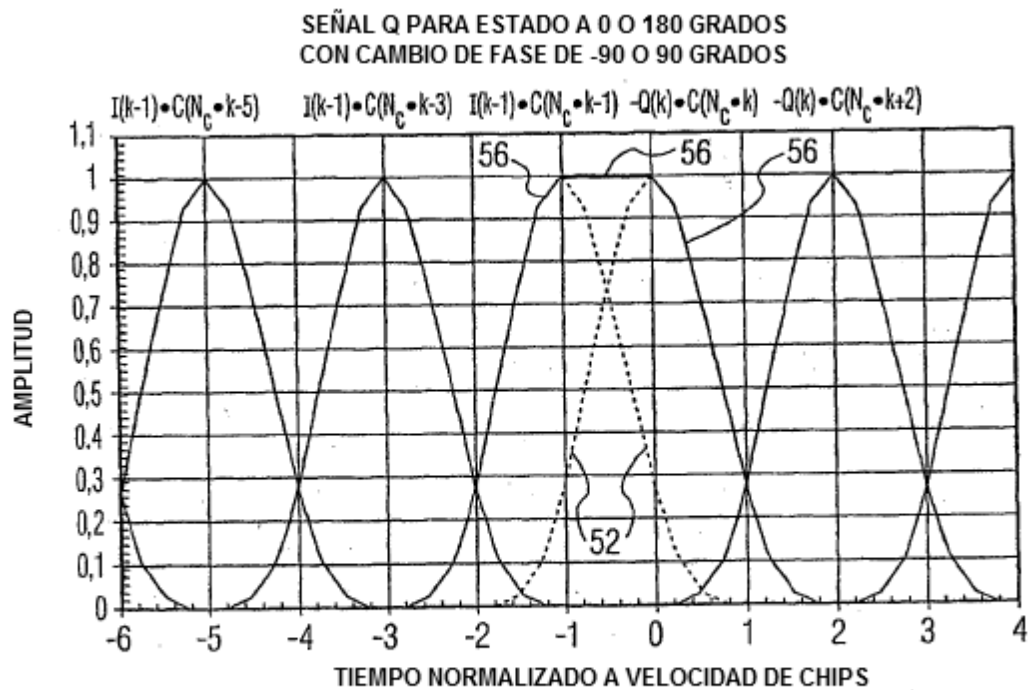


FIG. 12B

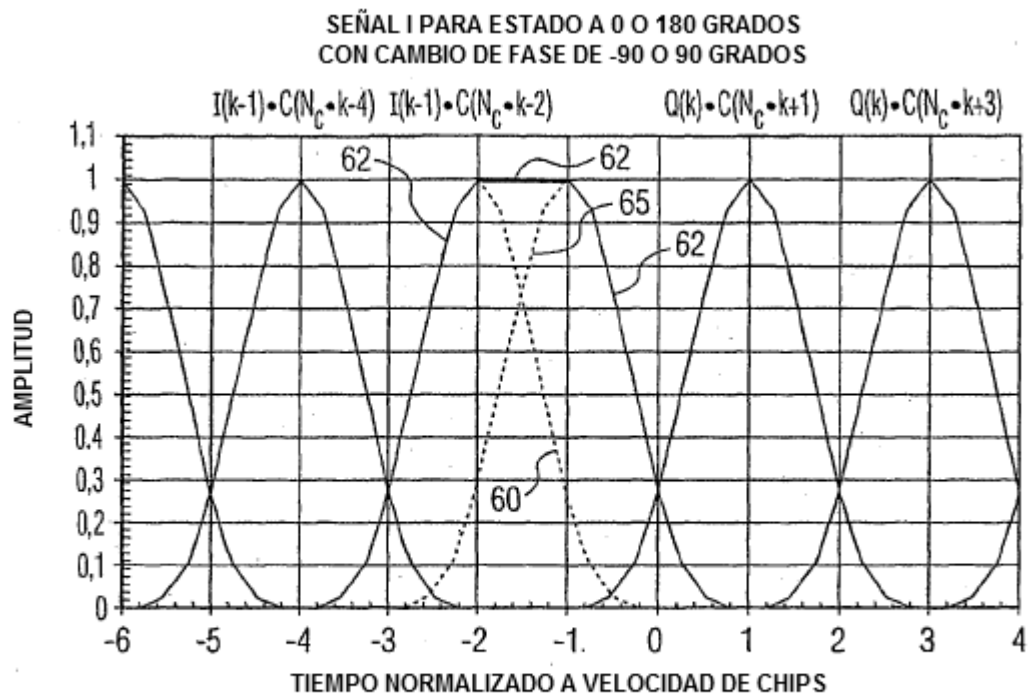


FIG. 13A

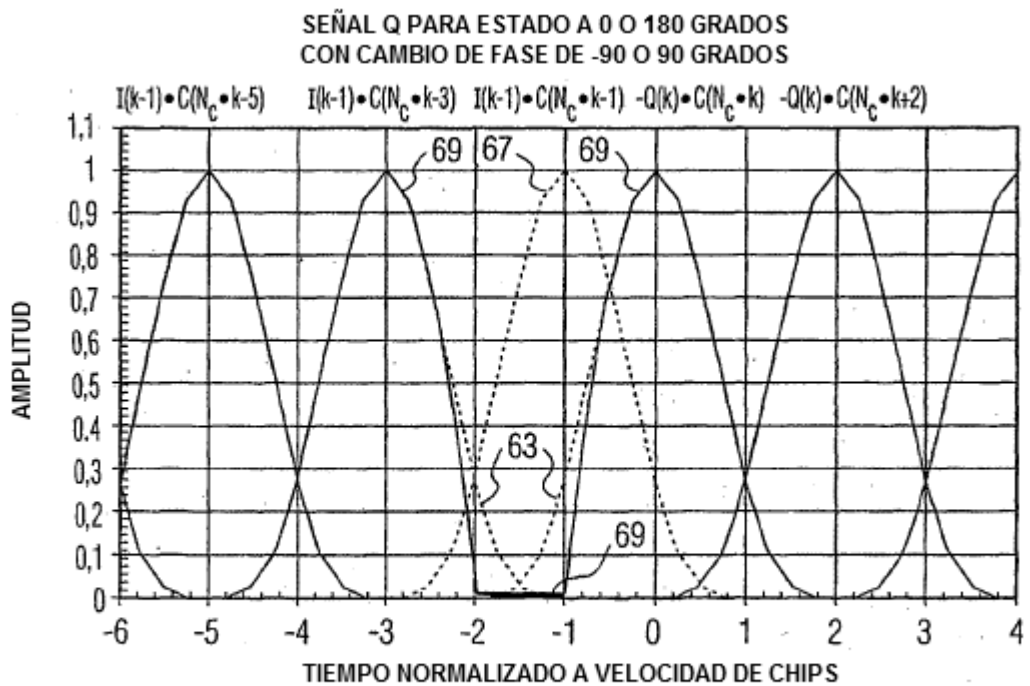


FIG. 13B

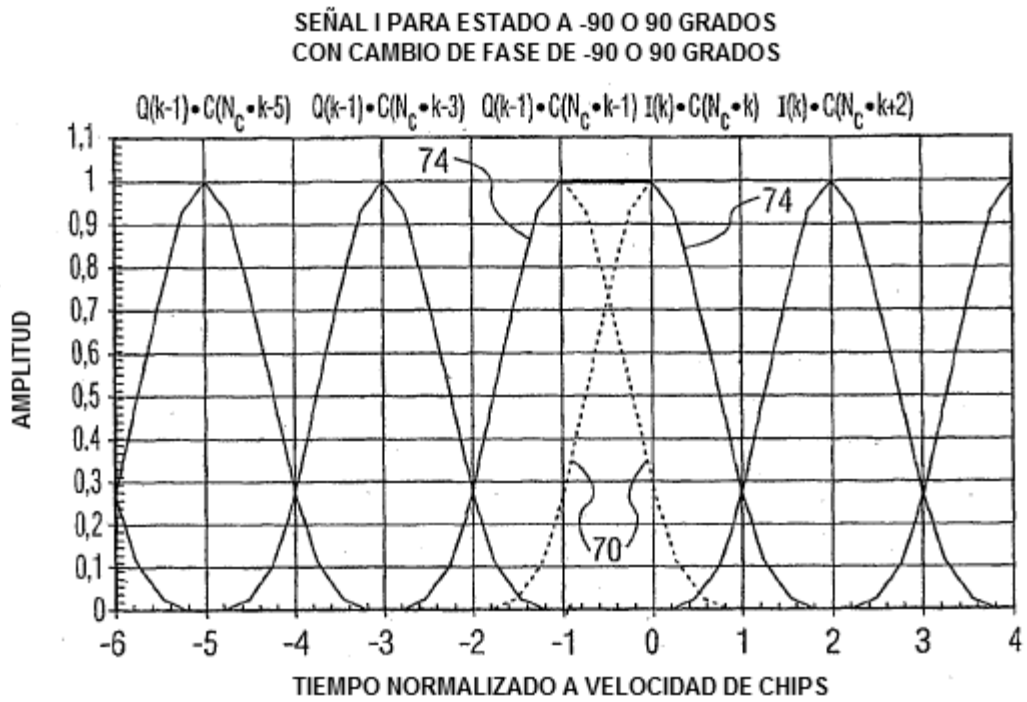


FIG. 14A

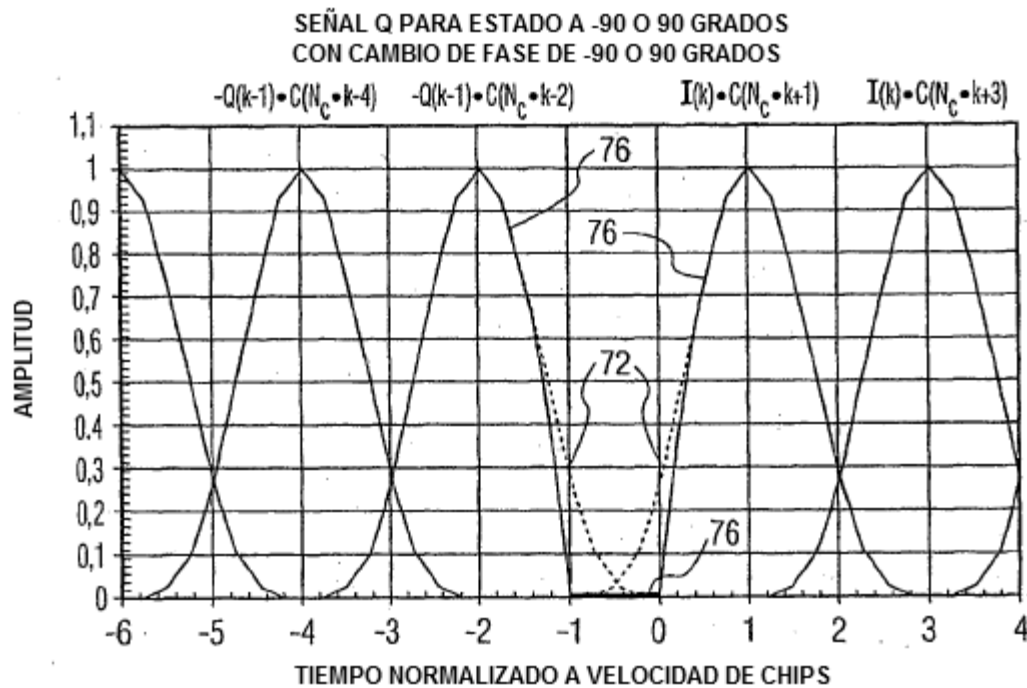


FIG. 14B

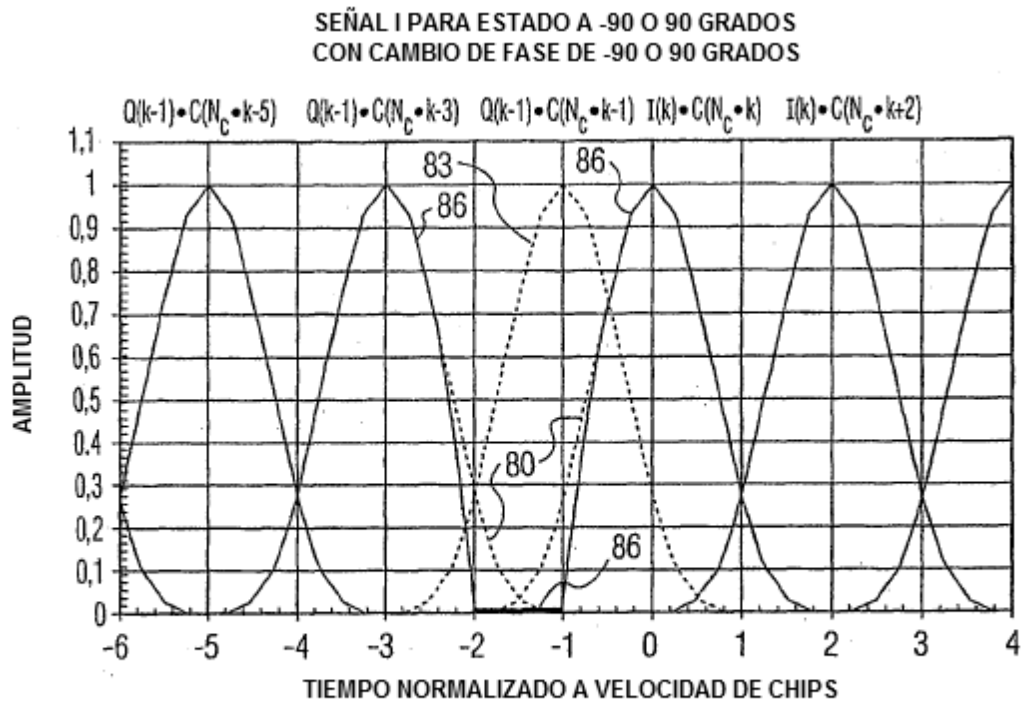


FIG. 15A

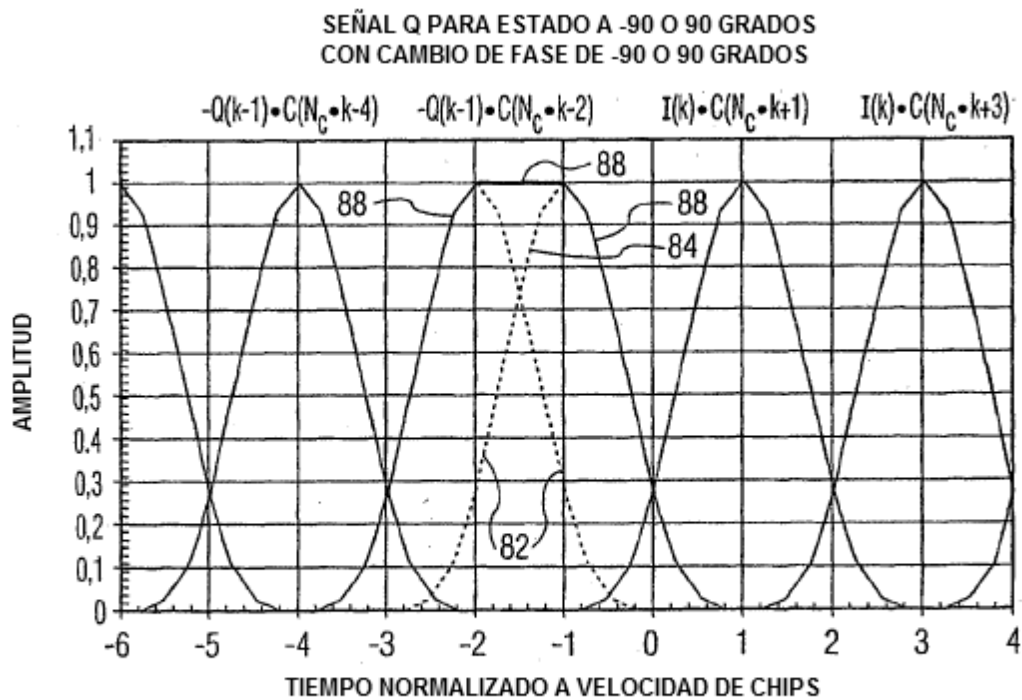


FIG. 15B

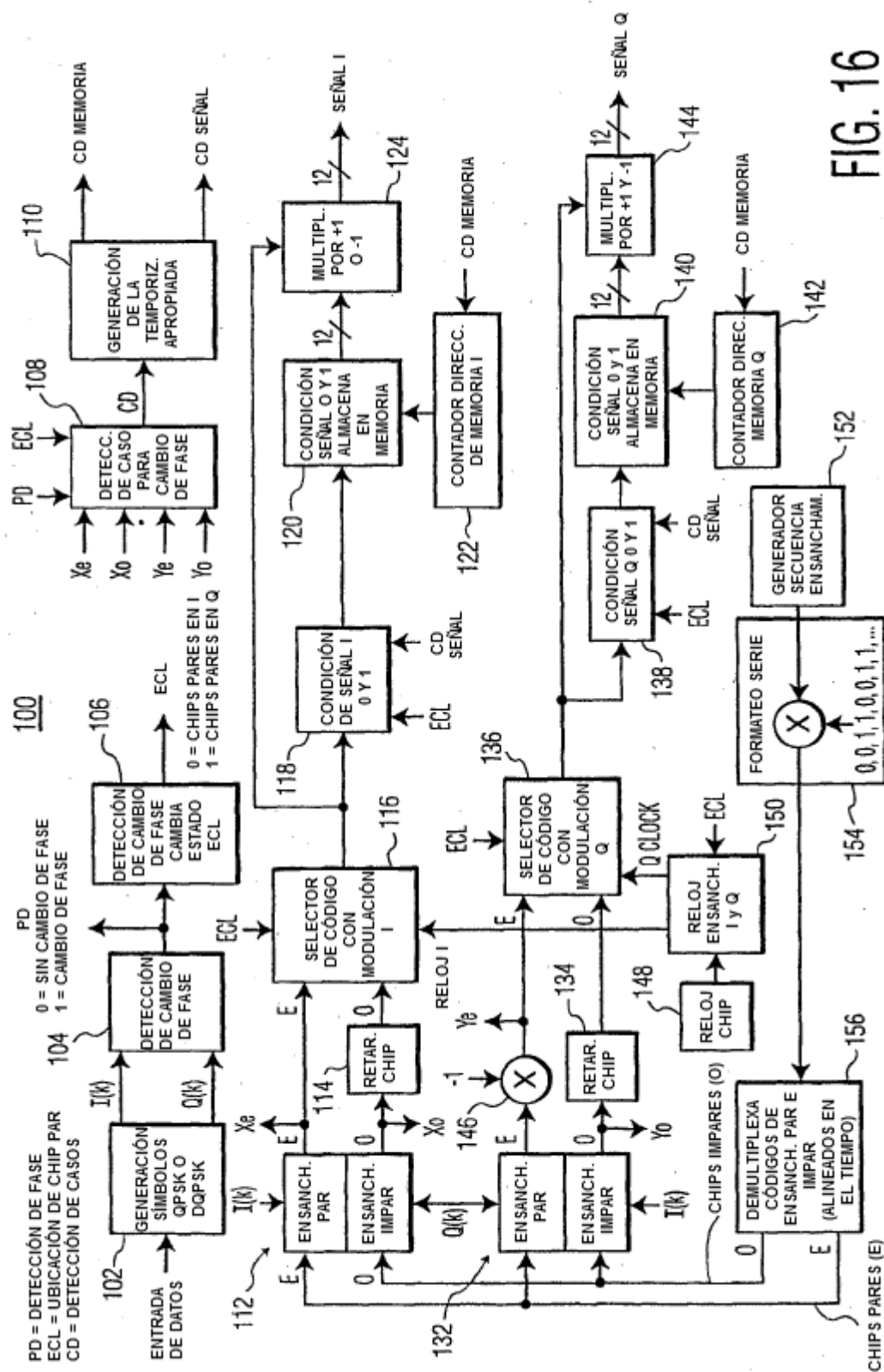


FIG. 16

PARA UN ESTADO A 0 O 180 GRADOS
CON CAMBIO DE FASE DE 0 O 180 GRADOS

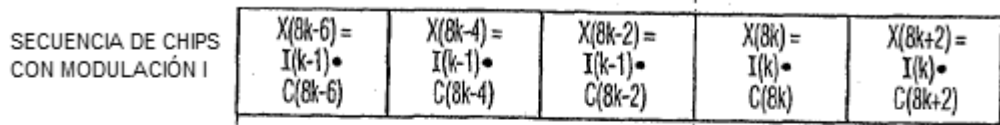


FIG. 17A

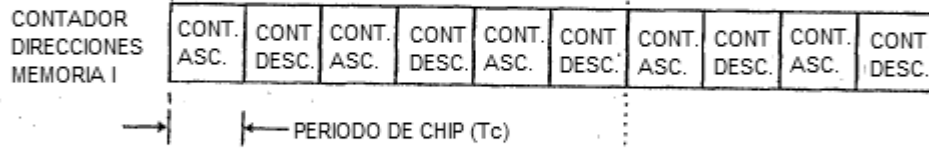


FIG. 17B

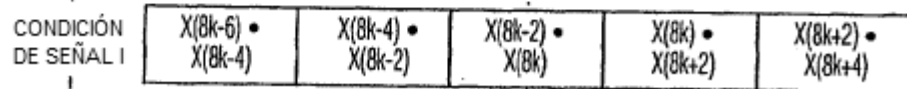


FIG. 17C

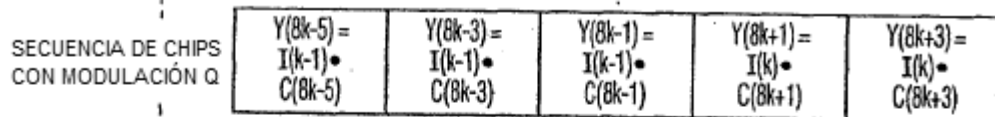


FIG. 17D

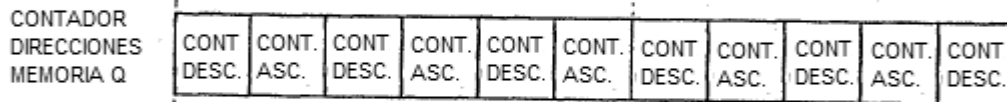
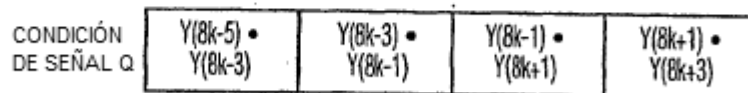


FIG. 17E



LÍMITE DE SÍMBOLO

FIG. 17F

PARA UN ESTADO INICIAL DE 0 O 180 GRADOS
CON CAMBIO DE FASE DE +90 O -90 GRADOS

$X(8k-6) = I(k-1) \cdot C(8k-6)$	$X(8k-4) = I(k-1) \cdot C(8k-4)$	$X(8k-2) = I(k-1) \cdot C(8k-2)$	$X(8k+1) = Q(k) \cdot C(8k+1)$	$X(8k+3) = Q(k) \cdot C(8k+3)$
----------------------------------	----------------------------------	----------------------------------	--------------------------------	--------------------------------

SECUENCIA DE CHIPS
CON MODULACIÓN I

FIG. 18A

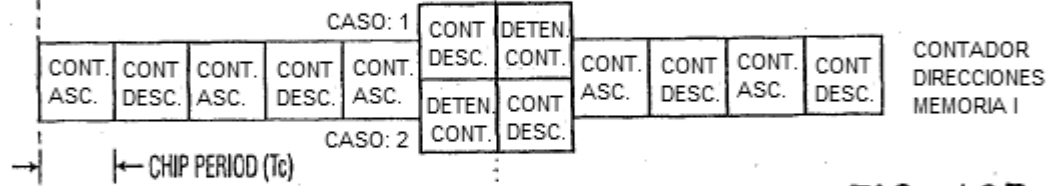


FIG. 18B

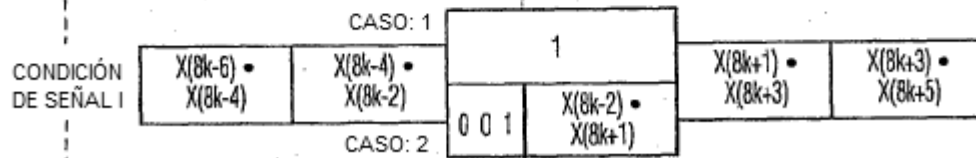


FIG. 18C

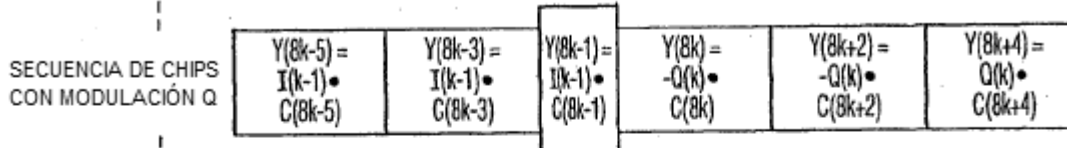


FIG. 18D

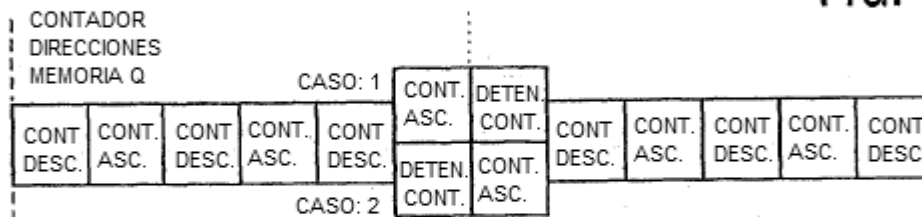


FIG. 18E

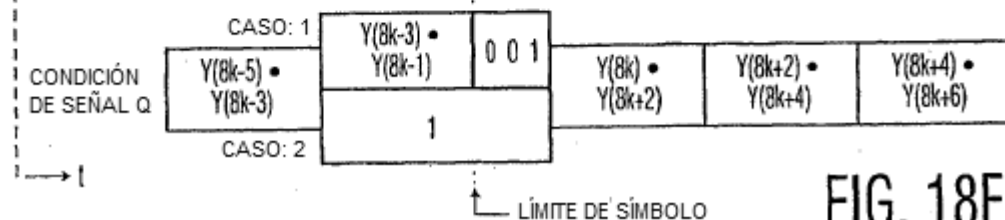


FIG. 18F

PARA UN ESTADO INICIAL DE -90 O +90 GRADOS
CON UN CAMBIO DE FASE DE -90 O +90 GRADOS

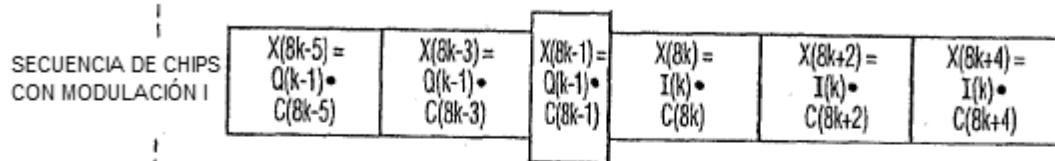


FIG. 19A

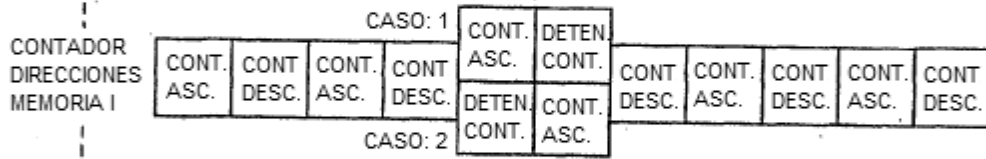


FIG. 19B

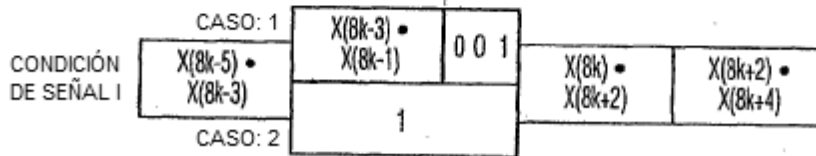


FIG. 19C

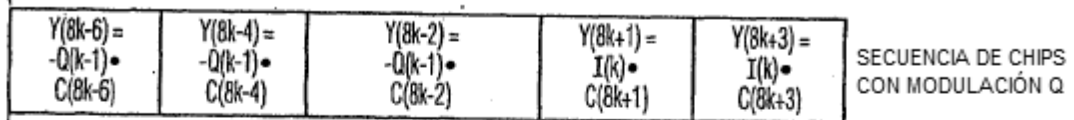


FIG. 19D

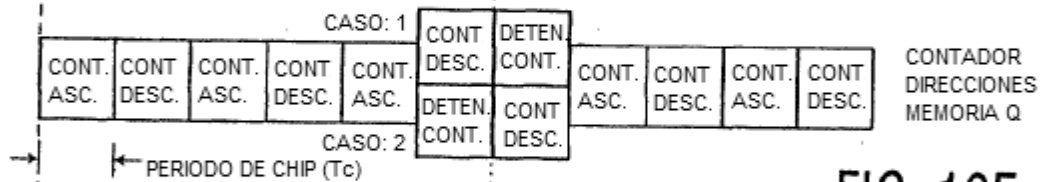


FIG. 19E

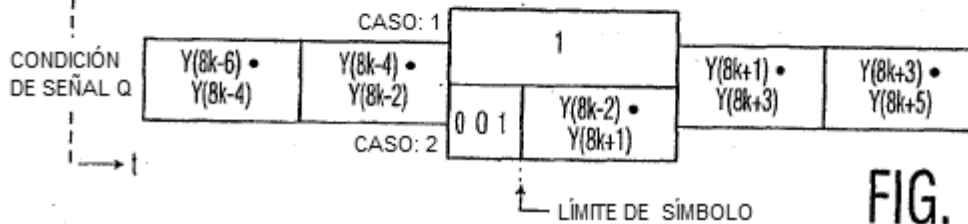


FIG. 19F



FIG. 20A

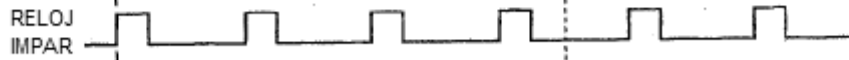


FIG. 20B

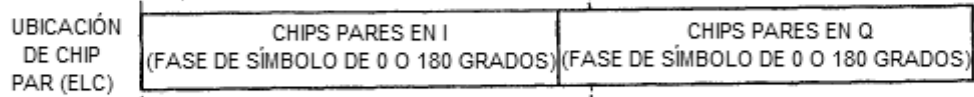


FIG. 20C

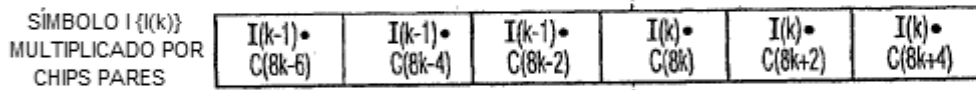


FIG. 20D

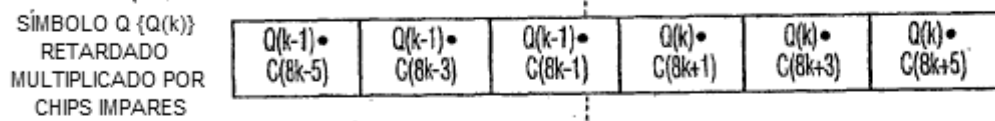


FIG. 20E



FIG. 20F

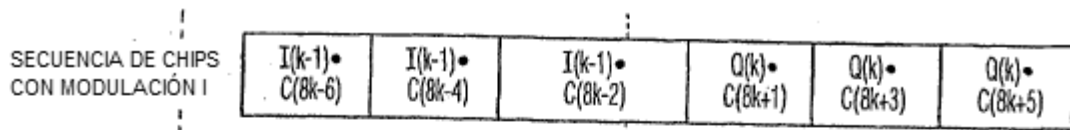


FIG. 20G

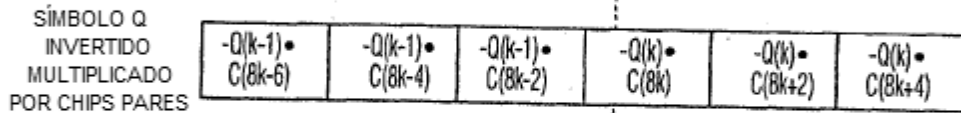


FIG. 20H

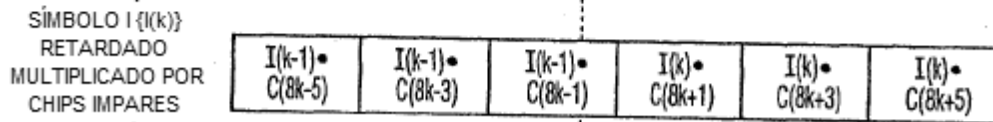


FIG. 20I

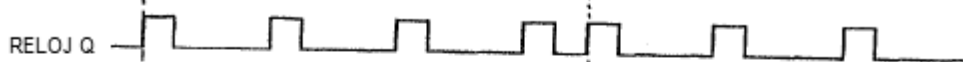


FIG. 20J

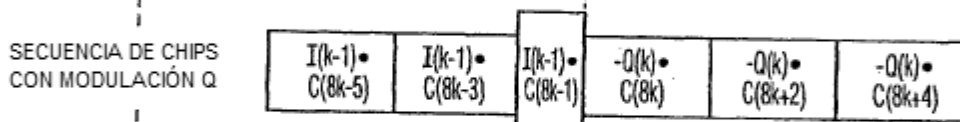
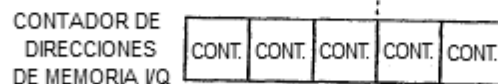


FIG. 20K



LÍMITE DE SÍMBOLO

FIG. 20L

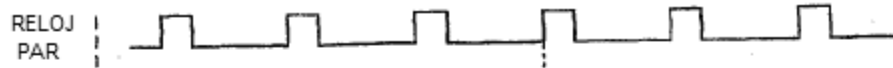


FIG. 21A

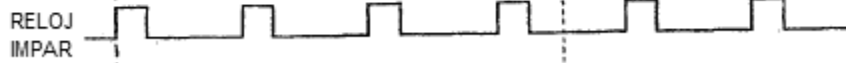


FIG. 21B

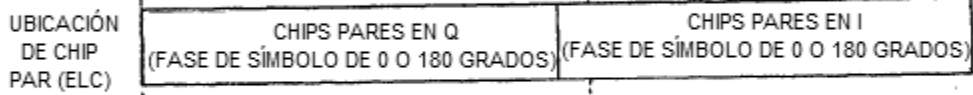


FIG. 21C

SÍMBOLO I {I(k)}
MULTPLICADO POR
CHIPS PARES

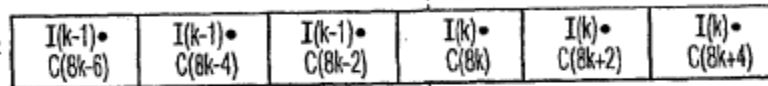


FIG. 21D

SÍMBOLO Q {Q(k)}
RETARDADO
MULTPLICADO POR
CHIPS IMPARES

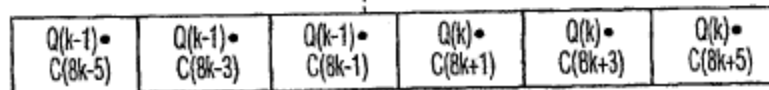


FIG. 21E

RELOJ I



LÍMITE DE SÍMBOLO

FIG. 21F

SECUENCIA DE CHIPS
CON MODULACIÓN I

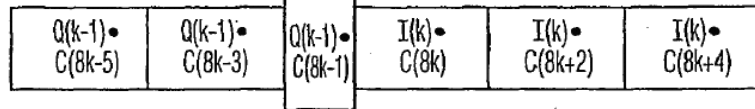


FIG. 21G

SÍMBOLO Q $(-Q(k))$
INVERTIDO
MULTIPLICADO
POR CHIPS PARES

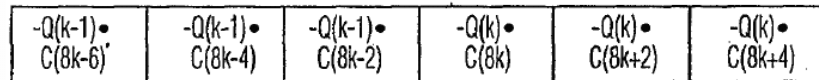


FIG. 21H

SÍMBOLO I $\{I(k)\}$
RETARDADO
MULTIPLICADO POR
CHIPS IMPARES

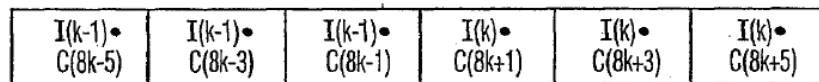


FIG. 21I

RELOJ Q

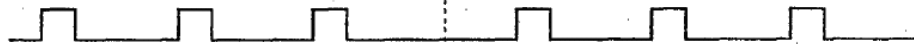


FIG. 21J

SECUENCIA DE CHIPS
CON MODULACIÓN Q

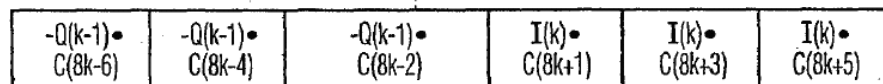
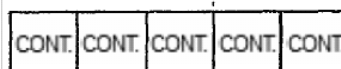


FIG. 21K

CONTADOR DE
DIRECCIONES
DE MEMORIA VQ



LÍMITE DE SÍMBOLO

FIG. 21L

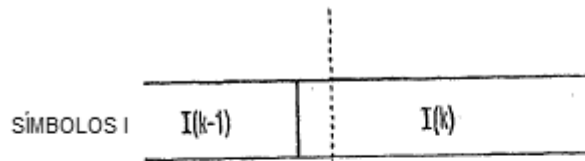


FIG. 22A

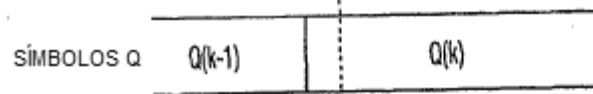


FIG. 22B

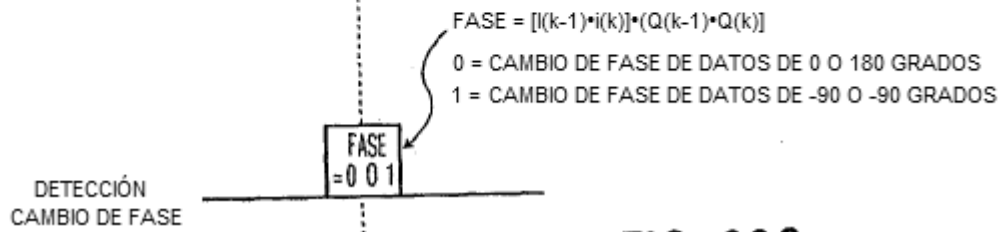


FIG. 22C

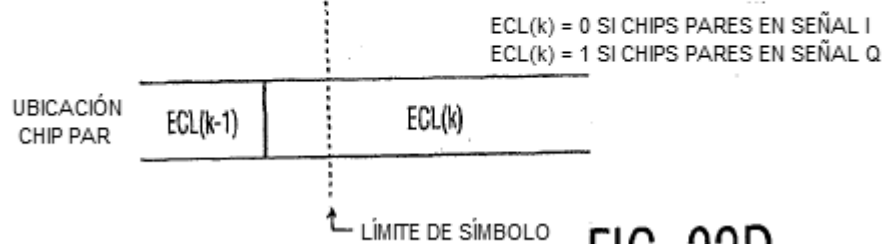


FIG. 22D

SÍMBOLO $\{I(k)\}$
MULTIPLICADO
POR CHIPS
PARES

$I(k-1) \cdot C(8k-6)$	$I(k-1) \cdot C(8k-4)$	$I(k-1) \cdot C(8k-2)$	$I(k) \cdot C(8k)$	$I(k) \cdot C(8k+2)$	$I(k) \cdot C(8k+4)$
------------------------	------------------------	------------------------	--------------------	----------------------	----------------------

FIG. 22E

SÍMBOLO $Q \{Q(k)\}$
RETARDADO
2 CHIPS
MULTIPLICADO
POR CHIPS
IMPARES

$Q(k-1) \cdot C(8k-5)$	$Q(k-1) \cdot C(8k-3)$	$Q(k-1) \cdot C(8k-1)$	$Q(k) \cdot C(8k+1)$	$Q(k) \cdot C(8k+3)$	$Q(k) \cdot C(8k+5)$
------------------------	------------------------	------------------------	----------------------	----------------------	----------------------

FIG. 22F

SÍMBOLO
 $Q \{Q(k)\}$
MULTIPLICADO
POR CHIPS
PARES

$-Q(k-1) \cdot C(8k-6)$	$-Q(k-1) \cdot C(8k-4)$	$-Q(k-1) \cdot C(8k-2)$	$-Q(k) \cdot C(8k)$	$-Q(k) \cdot C(8k+2)$	$-Q(k) \cdot C(8k+4)$
-------------------------	-------------------------	-------------------------	---------------------	-----------------------	-----------------------

FIG. 22G

SÍMBOLO $I \{I(k)\}$
RETARDADO
2 CHIPS
MULTIPLICADO
POR CHIPS
IMPARES

$I(k-1) \cdot C(8k-5)$	$I(k-1) \cdot C(8k-3)$	$I(k-1) \cdot C(8k-1)$	$I(k) \cdot C(8k+1)$	$I(k) \cdot C(8k+3)$	$I(k) \cdot C(8k+5)$
------------------------	------------------------	------------------------	----------------------	----------------------	----------------------

FIG. 22H

DETECCIÓN
DE CASOS

CD = 0
0 1

SI $ECL(k-1) = 0$

CASO 1: $CD = 0$ IF $I(k-1) \cdot C(8k-1) = -Q(k) \cdot C(8k)$

CASO 2: $CD = 1$ IF $I(k-1) \cdot C(8k-1) = Q(k) \cdot C(8k)$

SI $ECL(k-1) = 1$

CASO 1: $CD = 0$ IF $Q(k-1) \cdot C(8k-1) = I(k) \cdot C(8k)$

CASO 2: $CD = 1$ IF $Q(k-1) \cdot C(8k-1) = -I(k) \cdot C(8k)$

FIG. 22I

CONTADOR
DIRECCIONES DE
MEMORIA VQ

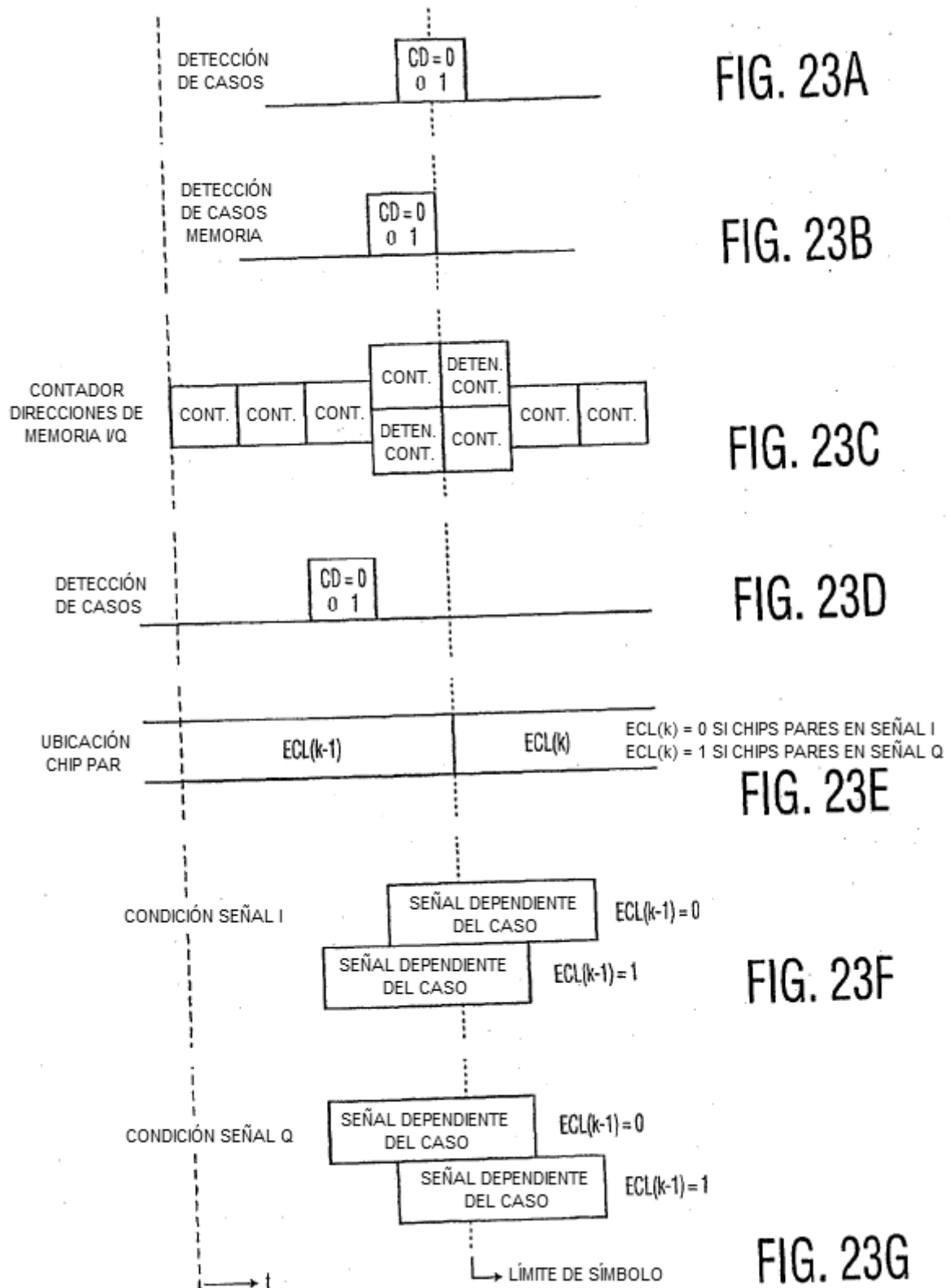
CONT	CONT	CONT	CONT	CONT	CONT
------	------	------	------	------	------

t

LÍMITE DE SÍMBOLO

PERIODO DE CHIP (T_c)

FIG. 22J



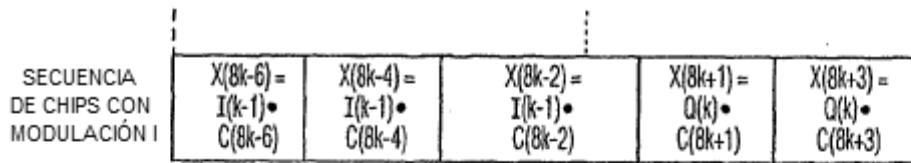


FIG. 24A

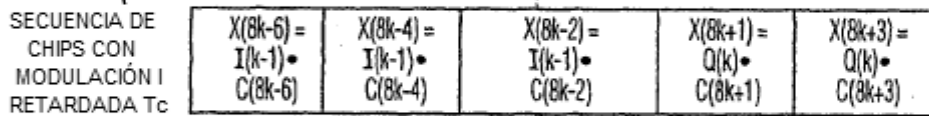


FIG. 24B

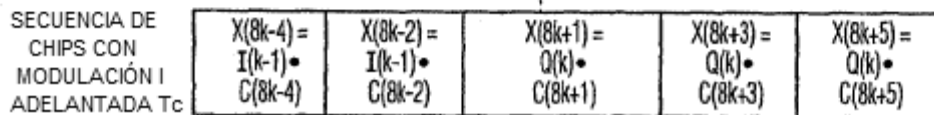


FIG. 24C

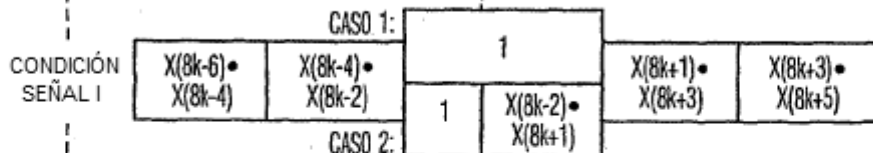
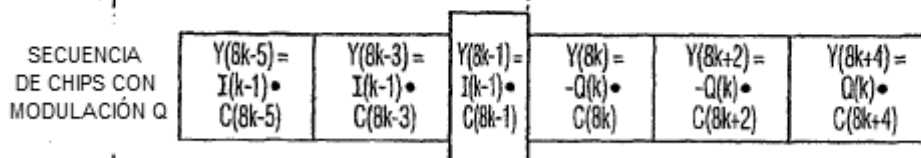


FIG. 24D



LÍMITE DE SÍMBOLO

FIG. 24E

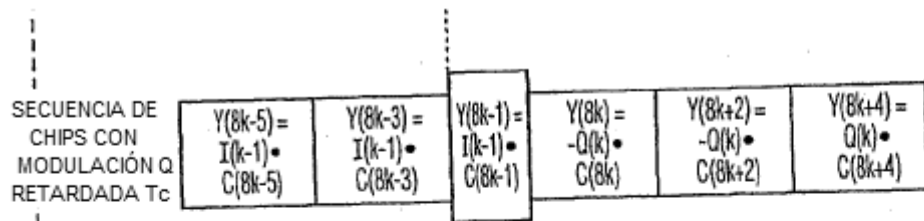


FIG. 24F

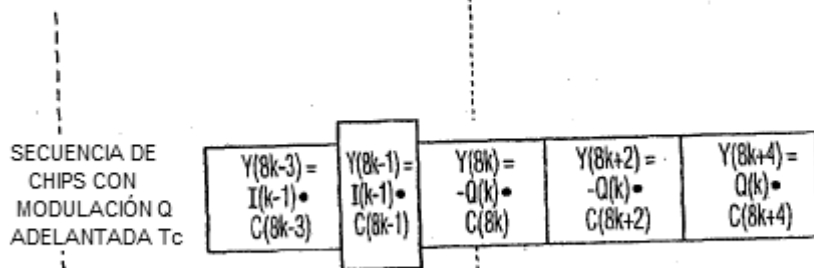


FIG. 24G

DETECCIÓN CASOS SEÑAL

CD=1

FIG. 24H

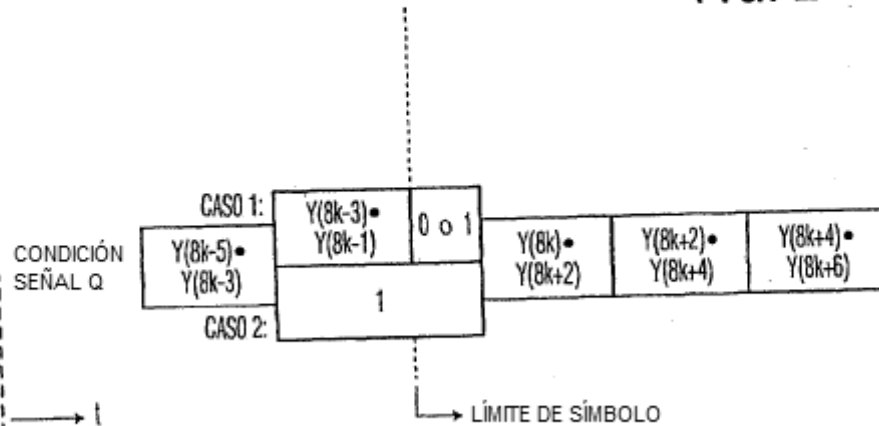


FIG. 24I

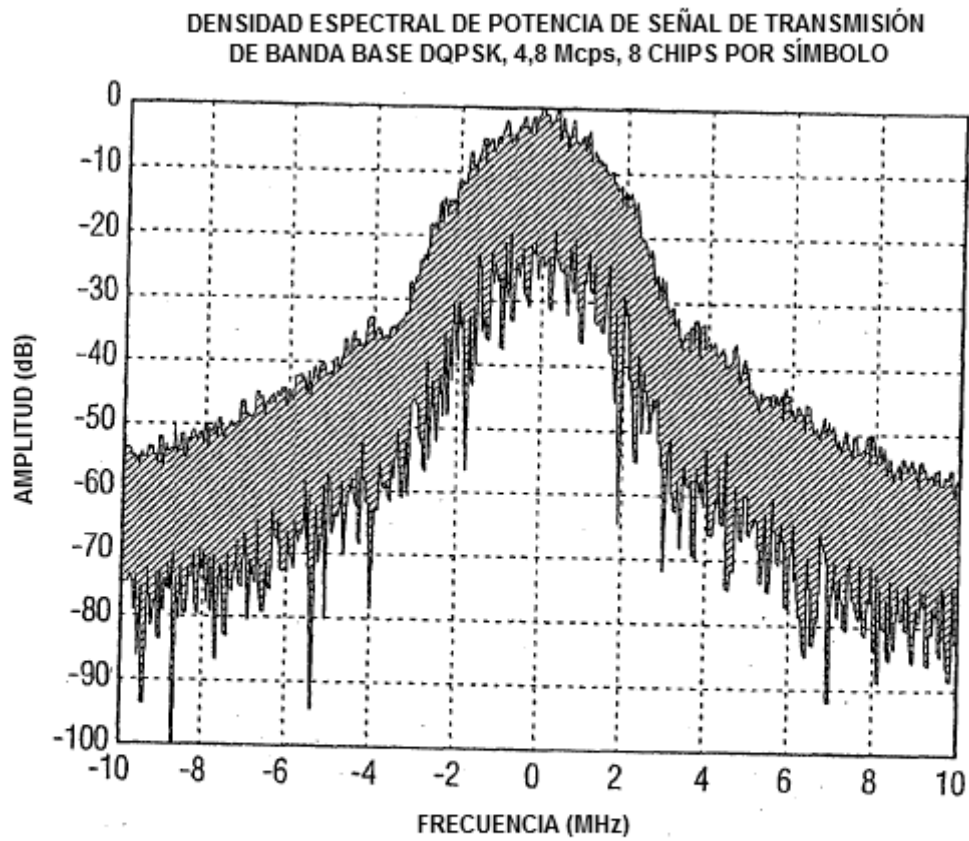


FIG. 25

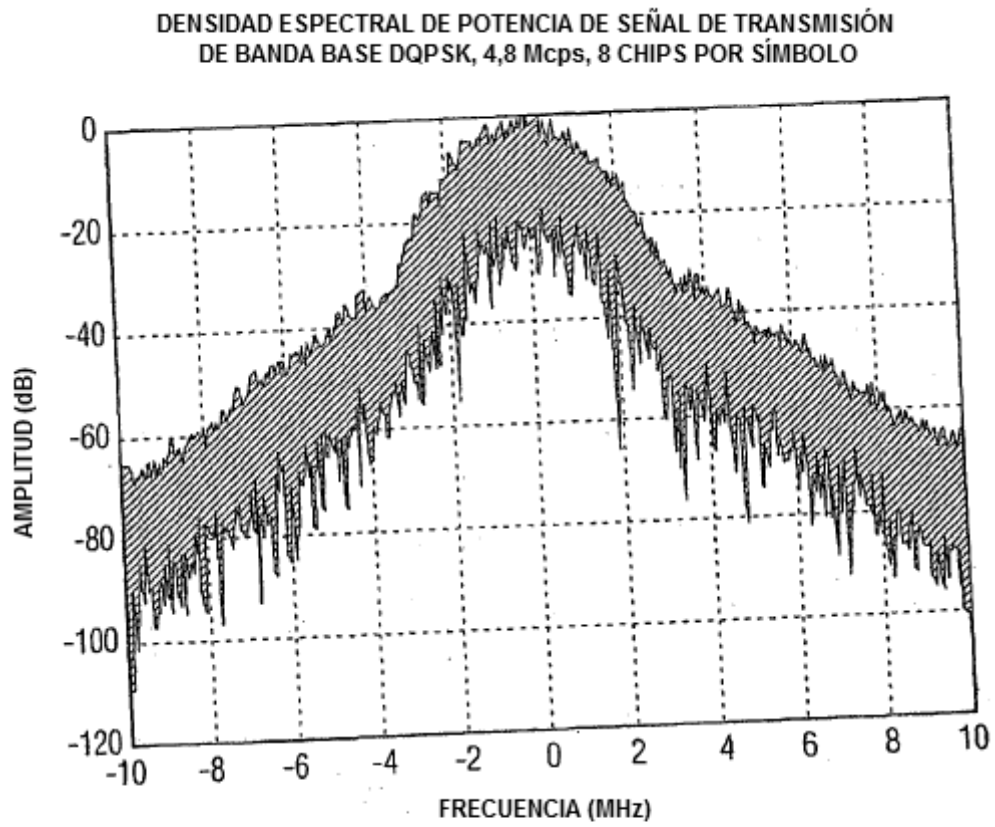


FIG. 26