

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 549 188**

21 Número de solicitud: 201430599

51 Int. Cl.:

G11C 15/00 (2006.01)

12

SOLICITUD DE PATENTE

A1

22 Fecha de presentación:

23.04.2014

43 Fecha de publicación de la solicitud:

23.10.2015

71 Solicitantes:

**UNIVERSIDAD DEL PAIS VASCO - EUSKAL
HERRIKO UNIBERTSITATEA (UPV/EHU) (100.0%)
Barrio Sarriena, s/n
48940 Leioa (Bizkaia) ES**

72 Inventor/es:

**ARAUJO PARRA, José Ángel;
LÁZARO ARROTEGUI, Jesús;
ASTARLOA CUÉLLAR, Armando y
ZULOAGA IZAGUIRRE, Aitzol**

74 Agente/Representante:

VALLEJO LÓPEZ, Juan Pedro

54 Título: **Sistema y método de lectura y escritura de una memoria digital**

57 Resumen:

Sistema y método de lectura y escritura de una memoria digital (1) que permite acelerar la localización de uno o más datos que se desean buscar (5) segmentando dicha memoria digital (1) en una pluralidad de segmentos (11) que son leídos en paralelo. Cada segmento (11) está conectado a, al menos, un comparador (3) a través de al menos un puerto de lectura (12), permitiendo implementar topologías con múltiples puertos de lectura (12) y/o con múltiples búsquedas simultáneas mediante múltiples bancos de comparadores (3).

ES 2 549 188 A1

DESCRIPCIÓN

Sistema y método de lectura y escritura de una memoria digital.

5 Objeto de la invención

La presente invención se refiere al campo de la tecnología electrónica digital, y más concretamente, a la gestión de una memoria digital.

10 Antecedentes de la invención

15 Son muchas las aplicaciones que requieren un rápido acceso a datos almacenados en memorias digitales para su correcto funcionamiento. Es el caso, por ejemplo, de protocolos de redundancia como el protocolo de redundancia paralela (PRP, del inglés 'Parallel Redundancy Protocol') y el protocolo de redundancia sin cortes de alta disponibilidad (HSR, del inglés 'High-availability Seamless Redundancy Protocol'; recogido en el estándar IEC62439 – 3, edición 2, 2012). Tanto las redes PRP como HSR se basan en el uso controlado de tramas duplicadas, por lo que los nodos de la red deben almacenar las tramas que han recibido anteriormente durante un cierto tiempo, para así decidir si las tramas recibidas a continuación deben ser reenviadas, eliminadas o aceptadas.

20 Una de las aplicaciones de las redes PRP y HSR son los buses de proceso y de estación en subestaciones, de acuerdo con el estándar IEC61850 – 90 – 4, edición 1, publicado en diciembre de 2013. Debido a que estas redes soportan tipos de tráfico con exigencias en cuanto a su tiempo de retardo, es necesario que el proceso de gestión y localización de tramas en memoria se realice de forma eficiente y en un tiempo lo más reducido posible.

25 Esta necesidad, con niveles de exigencia variables, aparece también en diversas aplicaciones, como por ejemplo, en conmutadores Ethernet, tanto estándar como incorporando protocolos PRP y HSR. En este caso, los conmutadores deben almacenar en memoria los puertos de salida asociados a cada dirección de Control de Acceso al Medio (MAC, del inglés 'Media Access Control') de destino.

30 A la hora de implementar las memorias digitales necesarias para el correcto funcionamiento de las aplicaciones descritas, se conocen en el estado de la técnica distintas estructuras, entre las que cabe destacar las memorias de acceso aleatorio (RAM, del inglés 'Random Access Memory'); las memorias asociativas, también denominadas memorias direccionables por contenido (CAM, del inglés 'Content Addressable Memory'); y las tablas de dispersión, también conocidas como tablas fragmentadas (en inglés 'hash table').

35 Para localizar un dato almacenado en una memoria RAM, es necesaria la lectura secuencial (posición a posición) de la memoria. Es la opción que menos recursos necesita, pero a cambio tiene asociados los tiempos de búsqueda más elevados, resultando inviables para la mayoría de aplicaciones mencionadas.

40 Las memorias CAM suponen la combinación de una memoria RAM con un banco de comparadores. Al comprobarse todos los datos a la vez, se aumenta notablemente la velocidad de búsqueda. Sin embargo, la comparación en paralelo de todas las posiciones de memoria de la CAM requiere una gran cantidad de recursos, que hace inviable su aplicación en casos de memorias con un número elevado de entradas.

45 Las tablas de dispersión aplican una función al dato que se desea encontrar, de forma que el resultado de dicha función indica la posición en memoria en la que se encuentra el dato buscado. Como el número de posiciones en memoria es menor que el número posible de datos, se producen colisiones, que son aquellos casos en los que para datos diferentes se obtiene una misma posición en memoria. Este fenómeno debe ser gestionado y minimizado por el sistema, con el consiguiente aumento del tiempo y los recursos necesarios.

50 A partir de estos tipos básicos de memoria, se han desarrollado distintas estrategias y topologías para la gestión de datos en memoria. Por ejemplo, WO 1990/004849 A1 presenta una estructura de memorias en paralelo, teniendo cada memoria su propio buffer, que sirve tanto para leer y escribir como para comunicar con las memorias adyacentes. Otra alternativa es propuesta por US 2003/0235099 A1, en este caso basada en la replicación del contenido de la memoria en múltiples bancos de datos. Se consigue así aumentar la velocidad de búsqueda, aunque dicha mejora supone un escalado considerable de los recursos necesarios, tanto a nivel de control como en cuanto al tamaño total de las memorias digitales.

55 WO 2007/038805 A1 presenta una estructura matricial que comprende múltiples celdas CAM. Sobre dicha estructura se aplica una estrategia que combina búsquedas en serie y en paralelo. La búsqueda es gestionada desde unos medios de control que generan líneas de búsqueda para cada columna de la estructura matricial. US 2005/0268028 A1 propone una memoria de búsqueda en paralelo que comprende una pluralidad de memorias CAM. Unos medios de control generan comandos que indican sobre qué

subconjunto de entradas de las memorias CAM se aplica la búsqueda de datos. US 2002/075714 A1 presenta una estructura de almacenamiento de datos basada en múltiples memorias CAM, asociadas a un circuito de selección basado en clases. Dependiendo de un código de clase de los datos que se desean localizar, se activan o desactivan las memorias CAM correspondientes.

5

El problema del tiempo de búsqueda se acentúa cuando la tasa a la que se reciben los datos que se desean localizar (por ejemplo las tramas de red PRP y HSP) es muy elevada. Puesto que los datos se intentan localizar uno a uno, existen escenarios en los que se reciben datos a más velocidad de la que se pueden gestionar. Esta situación puede llegar a provocar saturaciones en los nodos, con el consiguiente incumplimiento de restricciones de tiempo del sistema.

10

Existen ciertos sistemas de memoria que soportan búsquedas concurrentes, aunque todos ellos presentan limitaciones. US 6374326 B1 propone una estructura basada en múltiples bancos de memorias CAM para permitir operaciones de búsqueda concurrentes. Los múltiples bancos se gestionan con una misma clave de búsqueda, de la cual cada banco extrae un subconjunto de bits, que aplica a su búsqueda. Nótese que, en un determinado instante, cada banco de memorias realiza una única búsqueda, pudiendo dicha búsqueda ser distinta a la de los bancos adyacentes. Es decir, esta topología no puede aplicarse para buscar simultáneamente varios datos en una misma memoria CAM, a no ser que se apliquen técnicas de redundancia que aumentan la complejidad del sistema y los recursos necesarios para su funcionamiento.

15

20

US 3771139 A1 presenta una memoria asociativa que soporta múltiples búsquedas de contenido simultáneas. En particular, los datos de entrada son almacenados en memoria junto con los datos con los que se desean comparar. A continuación, se inicia un proceso iterativo de comparación bit a bit que se realiza simultáneamente para todas las búsquedas. No obstante, este sistema sólo es más rápido que una memoria CAM convencional si el número de elementos comparados es mayor que una constante determinada por la complejidad de la búsqueda y por la implementación hardware. Adicionalmente, requiere utilizar parte de la capacidad de la memoria para almacenaje de los datos de entrada y de bits de etiquetado del algoritmo.

25

30

EP 0,805,457 A2 presenta celdas de memoria CAM que incorporan tres circuitos comparadores independientes integrados, permitiendo simultáneamente tres operaciones de comparación sobre cada bit almacenado en la memoria CAM. Adicionalmente, la separación de los puertos de acceso y escritura permite ejecutar simultáneamente operaciones de lectura, escritura y comparación, si bien no en la misma fila. Esta opción está limitada a tres comparaciones simultáneas y, al afectar a la topología de cada celda CAM, no puede ser implementada sobre una memoria genérica.

35

A pesar de las distintas estrategias empleadas, todos los sistemas de gestión de memoria descritos presentan limitaciones en cuanto al tiempo y los recursos necesarios para realizar las búsquedas de datos en memoria.

40

Nótese asimismo que en muchas de las aplicaciones mencionadas, las entradas más antiguas acaban siendo obsoletas con el tiempo. Su presencia en memoria aumenta el número total de entradas, actuando en detrimento del tiempo de búsqueda y de la cantidad de recursos empleados por el sistema. Este problema puede ser solucionado sobrescribiendo las entradas más antiguas de la memoria con entradas más recientes. No obstante, las memorias RAM, CAM y las tablas de dispersión no soportan de manera nativa el control del envejecimiento de las entradas. Es decir, la información almacenada en la memoria no está ordenada cronológicamente ni contiene información temporal sobre cuándo fue almacenada. Para incorporar esta información, es necesario un control adicional externo que determine la antigüedad de cada entrada. Este control adicional supone un notable aumento de los recursos necesarios, pudiendo llegar a limitar el tamaño de la memoria o la velocidad de gestión de la misma.

45

50

Teniendo en cuenta todos los factores mencionados, existe en el estado de la técnica la necesidad de un sistema y método de gestión de memorias digitales capaces de realizar búsquedas de datos a una gran velocidad, minimizando la cantidad de recursos empleados en dichas búsquedas.

55

Descripción de la invención

La presente invención soluciona los problemas anteriormente descritos mediante al menos una memoria digital segmentada en la que, ante la necesidad de localizar un dato de entrada entre una pluralidad de datos almacenados en memoria, todos los segmentos de la memoria digital se analizan en paralelo. A su vez, cada uno de dichos segmentos es leído secuencialmente. Cada segmento cuenta con uno o más puertos de salida, estando cada puerto de salida conectado a uno o más comparadores. Se consigue así un aumento notable de la velocidad de búsqueda, soportando asimismo múltiples búsquedas concurrentes.

60

65

En un primer aspecto de la invención se presenta un sistema de lectura y escritura de al menos una memoria digital. La memoria digital comprende una pluralidad de posiciones de memoria, estando dichas posiciones de memoria agrupadas en una pluralidad de segmentos de memoria, o submemorias. Cada

- segmento cuenta a su vez con al menos un puerto de salida independiente, permitiendo realizar búsquedas al mismo tiempo en todos los segmentos. Dentro de cada segmento, las búsquedas se realizan secuencialmente, es decir, cada posición de memoria se lee en un ciclo, recorriendo una a una todas las posiciones de memoria del segmento. Cada posición de memoria tiene capacidad a su vez para uno o más datos almacenados. El contenido de las posiciones de memoria leídas en cada segmento se transmiten a través de los puertos de salida a uno o más bancos de comparadores, en los que los datos almacenados en dichas posiciones se comparan con uno o más datos de entrada. Todo el proceso es gestionado por unos medios de control que supervisan la búsqueda.
- 5
- 10 Preferentemente, cada segmento de memoria cuenta con múltiples puertos de lectura, estando cada puerto de lectura conectado a uno o más comparadores. De esta forma, cada puerto de lectura se encarga de proporcionar los datos almacenados en un subconjunto de posiciones de memoria dentro del segmento, reduciendo el tiempo total de búsqueda de manera proporcional al número de puertos de lectura.
- 15 También preferentemente, cada puerto de lectura está conectado a una pluralidad de comparadores. Cada comparador conectado a un mismo puerto de lectura compara los datos almacenados en el segmento correspondiente con un dato de entrada distinto, permitiendo realizar búsquedas concurrentes y reduciendo por lo tanto el retardo provocado por el proceso de búsqueda.
- 20 Preferentemente, cada posición de memoria tiene capacidad para múltiples datos almacenados. En este caso, la lectura de cada posición de memoria proporciona una pluralidad de datos almacenados, que pueden ser gestionados por uno o más comparadores. Se aumenta así el número de datos comparados en cada ciclo de búsqueda, reduciendo por lo tanto el tiempo necesario para la ejecución de dicha búsqueda.
- 25 En cuanto al proceso de escritura de la memoria digital, se contemplan dos opciones preferentes para la configuración de los medios de escritura con el fin de controlar la antigüedad de los datos almacenados y borrar adecuadamente los datos obsoletos. Dichas opciones preferentes no son excluyentes, pudiendo ser aplicadas al sistema tanto de manera independiente como conjunta:
- 30 – Escribir en las posiciones de memoria de manera secuencial. De esta manera, una vez ocupada toda la memoria digital, las entradas más antiguas se sobrescriben automáticamente con las entradas más recientes.
- 35 – Almacenar etiquetas indicativas del instante en el que se guardó en memoria cada dato almacenado. Esta estrategia supone un mayor gasto de recursos, pero permite implementar diversas técnicas de control de antigüedad de las entradas en memoria, tales como borrado de entradas una vez superen una determinada antigüedad, y escritura de nuevos datos sobre los datos más antiguos.
- 40 Preferentemente, tanto la memoria como los medios de control y los comparadores están integrados en un circuito digital, tal como una matriz de puertas programables (FPGA, del inglés 'Field Programmable Gate Array), un circuito integrado para aplicaciones específicas (ASIC, del inglés 'Application Specific Integrated Circuit') o cualquier otro tipo de circuito digital integrado.
- 45 Así mismo, algunas de las aplicaciones preferentes del sistema de lectura y escritura descritos son la búsqueda en memoria de tramas duplicadas en protocolos de redundancia como PRP y HSR, así como la conmutación de tramas Ethernet, estando en este caso almacenados en memoria el puerto de salida asociado a cada dirección MAC. No obstante, el sistema presentado puede ser aplicado de manera genérica a cualquier otro escenario que requiera realizar búsquedas de datos en memoria en un tiempo reducido.
- 50

En un segundo aspecto de la invención se presenta un método de lectura y escritura de una memoria digital, en el que dicha memoria digital está dividida en una pluralidad de segmentos, cada segmento comprendiendo a su vez una pluralidad de posiciones de memoria. Dichas posiciones de memoria tienen capacidad para al menos un dato almacenado. El método de la invención comprende los siguientes pasos:

55

- 60 – Leer en paralelo la pluralidad de segmentos de la memoria digital. Cada segmento se lee de manera secuencial, proporcionando en cada ciclo de lectura la información contenida en una posición de memoria del segmento.
- 65 – Transmitir a al menos un comparador la información proporcionada, es decir, el dato o datos almacenados en la posición de memoria correspondiente. Dicho comparador está conectado con el segmento de memoria a través de al menos un puerto de lectura.
- Comparar al menos un dato de entrada con los datos almacenados proporcionados a través de los puertos de lectura.

5 Preferentemente, el método comprende además utilizar múltiples puertos de lectura en cada segmento de memoria. Cada puerto de lectura proporciona el contenido de un subconjunto de posiciones de memoria dentro del segmento de memoria correspondiente, reduciendo por lo tanto el tiempo de búsqueda. Todos los puertos de lectura operan en paralelo, mientras que las posiciones de memoria de los subconjuntos correspondientes son recorridos de manera secuencial.

10 Preferentemente, el método comprende conectar cada puerto de lectura con una pluralidad de comparadores, permitiendo así realizar búsquedas simultáneas. Para ello, una pluralidad de datos de entrada son distribuidos entre los comparadores conectados a un mismo puerto de lectura, siendo por lo tanto comparados en paralelo.

15 Preferentemente, cada posición de memoria tiene capacidad para múltiples datos almacenados, de manera que todos los datos almacenados en una misma posición de memoria son proporcionados a uno o más comparadores en un mismo ciclo. También preferentemente, el método implementa una o ambas de las siguientes técnicas de control de antigüedad de entradas a la hora de escribir en memoria:

- Escribir en las posiciones de memoria secuencialmente.
- Almacenar etiquetas indicativas de la antigüedad de los datos almacenados.

20 Algunas de las aplicaciones preferentes del método de la invención son la búsqueda de tramas en protocolos de redundancia como PRP y HSR, y la conmutación de tramas Ethernet en función de su dirección MAC.

25 Finalmente, en un tercer aspecto de la invención se presenta un programa de ordenador que comprende medios de código de programa de ordenador adaptados para implementar el método descrito al ejecutarse en un ordenador, un procesador digital de la señal, un circuito integrado específico de la aplicación, un microprocesador, un microcontrolador o cualquier otra forma de hardware programable.

30 El sistema, método, y programa de ordenador descritos optimizan por lo tanto el tiempo de búsqueda de datos en la memoria digital, permitiendo realizar búsquedas simultáneas de múltiples datos de entrada. Además, la velocidad de búsqueda es escalable mediante la adecuada selección del número de segmentos, el número de puertos de lectura de cada segmento, el número de datos almacenados por posición de memoria y el número de comparadores conectados a cada puerto de lectura. Los medios de control y los comparadores utilizados para acelerar las búsquedas suponen un uso eficiente de recursos, sin utilizar espacio en memoria para redundancias o almacenaje de información de control, y sin añadir niveles de complejidad que impidan el uso de memorias de alta capacidad. Finalmente, la estructura de memoria propuesta puede ser implementada en cualquier circuito integrado genérico.

40 Otras ventajas y características adicionales de la invención serán evidentes de la descripción detallada que sigue y serán particularmente señaladas en las reivindicaciones adjuntas.

Descripción de las figuras

45 Con objeto de ayudar a una mejor comprensión de las características de la invención de acuerdo con un ejemplo preferente de realización práctica de la misma, y para complementar esta descripción, se acompañan como parte integrante de la misma las siguientes figuras, cuyo carácter es ilustrativo y no limitativo:

50 La Figura 1 muestra un esquema de los elementos que conforman el sistema de la invención de acuerdo una implementación particular del mismo.

La Figura 2 ilustra la estructura de la memoria digital de acuerdo con una implementación particular de la invención.

55 La figura 3 presenta una implementación particular de la invención con un único puerto de lectura por cada segmento de memoria y un único comparador por cada puerto de lectura.

60 La figura 4 presenta una implementación particular de la invención con múltiples puertos de lectura por cada segmento de memoria y un único comparador por cada puerto de lectura.

La figura 5 presenta una implementación particular de la invención con un único puerto de lectura por cada segmento de memoria y múltiples comparadores por cada puerto de lectura.

65 La figura 6 presenta una implementación particular de la invención con múltiples puertos de lectura por cada segmento de memoria y múltiples comparadores por cada puerto de lectura.

Realización preferente de la invención

Nótese que las realizaciones preferentes de la invención están descritas utilizando una única memoria digital en la que se realiza la búsqueda y almacenamiento de datos. No obstante, pueden existir implementaciones con varias memorias digitales operando en paralelo dentro del alcance de la invención tal y como ha sido reivindicada. En caso de existir varias memorias digitales, el funcionamiento de la invención es el mismo, bastando con considerar que los segmentos de memoria sobre los que se realiza la búsqueda están distribuidos en dos o más memorias físicamente separadas.

La figura 1 muestra esquemáticamente los principales elementos de una realización preferente del sistema de la invención, que implementan a su vez una realización preferente del método de la invención. En particular, el sistema comprende una memoria 1, gestionada por unos medios de control 2. Los medios de control 2 gestionan también unos comparadores 3 conectados a las salidas de la memoria 1. El sistema comprende además unos medios de selección 4, supeditados a los medios de control 2, que generan las señales de entrada que precisa la memoria 1 con el fin de realizar las escrituras y lecturas en cada momento.

El proceso de búsqueda comienza cuando el sistema recibe al menos un dato de entrada 5, que se desea localizar en la memoria 1. Los datos de entrada 5 pendientes de ser localizados se almacenan en un buffer 6, siendo a continuación comparados en los comparadores 3 con los datos almacenados 10 en la memoria 1. Dependiendo del resultado de dichas comparaciones, es decir, de si un determinado dato de entrada 5 se encuentra duplicado en la memoria 1 o no, unos medios de señalización 7 generan la señalización de salida 8 correspondiente. La señalización de salida 8 puede ser, por ejemplo, un valor positivo o negativo dependiendo de si se ha localizado el dato de entrada 5 en memoria, una dirección de un puerto de salida asociado al dato de entrada 5, o cualquier otra información correspondiente a la aplicación particular en la que se utiliza la estructura de memoria descrita.

Los medios de control 2 son los encargados de controlar cuándo se localizan o no los datos de entrada 5, cuándo comienzan y terminan las búsquedas, y qué acciones deben ser realizadas en función de las señales recibidas del resto de bloques del sistema, generando también para ello la señalización correspondiente. Si uno de los datos de entrada 5 es localizado en la memoria 1, dicha memoria 1 proporciona el dato localizado, así como cualquier otra información adicional guardada en esa posición de memoria 9, en caso de haberla. Dicha información adicional se escribe, lee o actualiza en consecuencia dependiendo de la aplicación concreta que hace uso del sistema de la invención. Cuando un dato de entrada 5 no es localizado en la memoria 1, este hecho se indica en la señalización de salida 8. Dependiendo de la aplicación concreta, el dato de entrada puede ser incorporado a la memoria 1 para futuras búsquedas.

Algunas aplicaciones preferentes de la invención son la localización de tramas duplicadas en nodos de red PRP y HSR, o la conmutación de tramas Ethernet en función de su dirección MAC de destino. Dichas aplicaciones son particularmente exigentes en cuanto al tiempo de búsqueda, ya que de dicho tiempo de búsqueda depende el retardo total introducido por la red de comunicaciones. No obstante, la invención puede utilizarse para cualquier otra aplicación que requiera una rápida búsqueda de datos de entrada 5 en una memoria 1.

La figura 2 presenta con mayor detalle la organización de la memoria 1. La memoria 1 comprende una pluralidad de posiciones de memoria 9, cada una de las cuales tiene capacidad para uno o más datos almacenados 10. A su vez, las posiciones de memoria 9 están agrupadas en segmentos 11, teniendo típicamente dichos segmentos 11 una longitud constante. Dichos segmentos 11 actúan como sub-memorias sobre las que se realizan búsquedas de forma paralela, multiplicando así la velocidad de búsqueda por el número de segmentos 11 en los que se divide la memoria 1.

La figura 3 presenta en detalle el proceso de búsqueda y comparación para el caso particular en el que cada segmento 11 tiene un único puerto de lectura 12, y cada puerto de lectura 12 está conectado a un único comparador 3. En este caso, todos los comparadores reciben del buffer 6 el mismo dato de entrada 5 que se desea localizar. La búsqueda se realiza en paralelo en todos los segmentos 11, de modo que en cada ciclo de reloj, cada comparador 3 recibe la información comprendida en una posición de memoria 9 de un segmento 11. Dicha información puede ser uno o más datos almacenados 10, dependiendo de la capacidad de dicha posición de memoria 9. Dentro de cada segmento 11, la búsqueda se realiza de manera secuencial. Es decir, en ciclos de reloj consecutivos, se procede a la lectura de posiciones de memoria consecutivas. La señalización de control necesaria para realizar las lecturas descritas es proporcionada por los medios de selección 4, dirigidos a su vez por los medios de control 2.

En general, el proceso de búsqueda se da por terminado cuando uno de los comparadores 3 determina que el dato de entrada 5 coincide con uno de los datos almacenados 10 proporcionado a través del puerto de lectura 12 correspondiente. En ese caso, se proporciona como señalización de salida 8 el resultado de dicha búsqueda junto con cualquier información adicional contenida en la posición de memoria 9 del dato

almacenado 10. Por ejemplo, en el caso de búsqueda de tramas duplicadas en redes redundantes tipo PRP y HSR, la señalización de salida puede incluir exclusivamente el resultado afirmativo o negativo de la búsqueda, o bien incluir también información adicional de interés previamente almacenada junto al dato.. Por el contrario, en el caso de conmutación de tramas Ethernet, el puerto de salida correspondiente al dato almacenado 10 está guardado en la misma posición de memoria 9, siendo dicho puerto de salida transmitido en la señalización de salida 8.

Nótese, por lo tanto, que en los casos en los que una posición de memoria 9 comprende información adicional asociada a los datos almacenados 10, dicha información adicional no es considerada a la hora de realizar la comparación con el dato de entrada 5 en el comparador 3. Nótese asimismo que en el caso en el que una posición de memoria 9 comprende múltiples datos almacenados 10, todos los datos almacenados 10 en dicha posición de memoria 9 son comparados en un único ciclo de reloj. Esto puede implementarse mediante un único comparador 3 con capacidad para comparar múltiples datos almacenados 10 con un único dato de entrada 5, o mediante múltiples comparadores, cada uno de ellos adaptado para comparar un único dato almacenado 8 con un único dato de entrada 5.

La figura 4 presenta en detalle el proceso de búsqueda y comparación para el caso particular en el cada segmento 11 tiene múltiples puertos de lectura 12, y cada puerto de lectura 12 está conectado a un único comparador 3. Los múltiples puertos de lectura 12 actúan en paralelo, de modo que cada uno de dichos puertos de lectura 12 proporciona de manera secuencial el contenido de un subconjunto de posiciones de memoria 9 del segmento 11. Dichos subconjuntos pueden incluir posiciones de memoria 9 consecutivas o alternas dependiendo de las implementaciones particulares. Cada uno de los subconjuntos es comparado con el mismo dato de entrada 5 en un comparador 3 independiente, con el consiguiente incremento de velocidad de búsqueda.

La figura 5 presenta en detalle el proceso de búsqueda y comparación para el caso particular en el cada segmento 11 tiene un único puerto de lectura 12, y cada puerto de lectura 12 está conectado a múltiples comparadores 3 que reciben múltiples datos de entrada 5. Es decir, un mismo dato almacenado 10 es proporcionado a una pluralidad de comparadores 3 en un mismo ciclo de reloj, siendo comparado en paralelo con múltiples datos de entrada 5. Se consigue así soporte para múltiples búsquedas concurrentes, permitiendo resolver situaciones en las que la tasa de llegada de datos de entrada 5 es mayor que la tasa de resolución de los procesos de búsqueda, y reduciendo en definitiva el tiempo de espera desde la recepción de un dato de entrada 5 y la resolución de su búsqueda asociada.

En la figura 6 se combinan múltiples puertos de lectura 12 por cada segmento 11, con múltiples comparadores 3 por cada puerto de lectura 12. En consecuencia, cada puerto de lectura 12 proporciona los datos almacenados 10 en un subconjunto de posiciones de memoria 9 del segmento 11, siendo cada uno de dichos datos almacenados 10 comparado con un dato de entrada 5 distinto en cada comparador 3. Nótese que a pesar de que el ejemplo se ha descrito utilizando dos puertos de lectura 12 por cada segmento 11, y dos comparadores por cada puerto de lectura 12, distintas implementaciones pueden utilizar un número mayor de cada uno de dichos elementos.

Con el fin de controlar la antigüedad de los datos almacenados 10 en memoria 1, se contemplan dos opciones principales. No obstante, cualquier otra estrategia de control de antigüedad de las entradas de una base de datos conocida en el estado de la técnica puede ser aplicada. De acuerdo con una primera opción, las posiciones de memoria 9 se escriben de forma secuencial, de forma que una vez ocupada toda la memoria 1, las nuevas operaciones de escritura implican el borrado de las entradas más antiguas. Adicionalmente, si se desea imponer un tiempo de vida máximo a los datos almacenados 10 dentro de la memoria 1, basta con asegurar que la tasa de escritura es mayor que dicho tiempo de vida máximo dividida entre el número máximo de datos almacenados 10 en la memoria 1. De no ser así, pueden introducirse operaciones de borrado adicionales hasta alcanzar la tasa de escritura requerida.

En una segunda opción, los medios de escritura asocian a cada dato almacenado 10 en memoria 1 una etiqueta permitiendo controlar la antigüedad de dicho dato. Dicha etiqueta puede estar bien almacenada en la propia memoria 1, bien almacenada en un registro auxiliar, dependiendo de la implementación particular. Ante la llegada de un nuevo dato para escribir, si la memoria 1 está llena, se selecciona el dato almacenado 10 cuya etiqueta indica una mayor antigüedad, y se sobrescribe dicho dato seleccionado. Si, a través de las etiquetas, se detecta que un dato almacenado 10 ha superado un determinado umbral de tiempo preestablecido, dicho dato almacenado 10 es considerado obsoleto o borrado dependiendo de la implementación. Nótese que ambas opciones de control de antigüedad (es decir, escritura secuencial y etiquetas) pueden combinarse entre sí, así como utilizarse en conjunción con otros métodos de control de antigüedad adicionales conocidos en el estado de la técnica..

Para analizar la mejora de velocidad obtenida, consideremos una memoria 1 con 'n' posiciones de memoria 9, distribuidas en 'p' segmentos 11. Cada segmento 11 cuenta por lo tanto con 'm=n/p' posiciones de memoria 9. Consideramos asimismo que existen 's' datos almacenados 10 en cada posición de memoria 9, y que cada segmento 11 cuenta con 'k' puertos de lectura 12. Por cada ciclo de lectura, se leerán por lo

tanto simultáneamente 'k·p·s' datos almacenados 10, aumentando en ese mismo factor la velocidad de búsqueda respecto a una búsqueda secuencial convencional. De esta manera, todas las posiciones de memoria 9 son recorridas en 'm/k' ciclos de reloj.

5 Tomemos como ejemplo un sistema con una necesidad de búsqueda de datos en menos de 1 μ s, dentro de una memoria con 2048 datos almacenados. Dicho problema puede resolverse de acuerdo con la invención con una memoria de doble puerto con 1024 posiciones, cada una de dichas posiciones con capacidad para dos datos almacenados. Partiendo de un reloj con una frecuencia de 100 MHz, es decir un periodo de 0,01 μ s, las búsquedas deben resolverse en un número máximo de 100 ciclos. Esto puede lograrse dividiendo la
10 memoria en 8 segmentos, cada uno de los cuales agrupa 128 posiciones de memoria. Al haber dos puertos de lectura, todas las posiciones de memoria pueden recorrerse en 64 ciclos de reloj, es decir, en 0,64 μ s. Si el dato se encuentra en memoria, se obtiene una respuesta positiva en un tiempo igual o menor de 0,64 μ s. Si el dato no se encuentra en memoria, se determina en dicho tiempo máximo de 0,64 μ s.

15 Continuando con el mismo ejemplo, si el sistema recibe datos de entrada 5 desde cuatro fuentes distintas de manera simultánea, basta con incorporar cuatro bancos de comparadores 3, cada uno de los cuales recibe uno de los datos de entrada 5. Es decir, la salida de cada puerto de lectura 12 es comparada en paralelo en cuatro comparadores 3 con cuatro datos de entrada 5 distintos. Cada vez que se localiza un dato de los cuatro datos de entrada 5, se puede proporcionar la señalización de salida 8 correspondiente sin
20 necesidad de esperar a la finalización del resto de búsquedas paralelas. Asimismo, esto permite iniciar nuevas búsquedas incluso cuando búsquedas anteriores continúan en proceso. En función de si un dato de entrada 5 es localizado o no, la posición de memoria 9 correspondiente es leída, escrita, actualizada parcialmente, o lo que corresponda a la aplicación concreta que esté siendo implementada. Esta misma estructura, con cuatro bancos de comparadores 3, es válida si se reciben datos de entrada 5 de una única
25 fuente con una tasa cuatro veces mayor al tiempo máximo de búsqueda.

Finalmente, supongamos un último ejemplo en el que un dato debe estar en memoria un máximo de 400 ms, siendo considerado obsoleto después de dicho periodo. En este caso, los datos almacenados 10 en memoria son sobrescritos de manera secuencial con los nuevos datos de entrada 5. Dichas escrituras
30 deben darse como mínimo cada 400 ms / 2048 posiciones = 195 μ s. En caso de que la llegada de datos de entrada 5 no sea suficientemente rápida, los datos almacenados 10 son borrados hasta alcanzar dicha tasa.

El sistema, método y programa de ordenador descritos consiguen, en definitiva, reducir notablemente el tiempo de búsqueda necesario para localizar datos de entrada 5 en memoria 1, siendo dicha reducción de tiempo escalable en función de la topología concreta y el número de elementos (particiones 11, puertos de
35 lectura 12, comparadores 3, y datos almacenados 10 en cada posición de memoria 9) del sistema. La invención permite asimismo realizar múltiples búsquedas en paralelo, siendo dicho número de búsquedas también escalable en función del número de comparadores 3 conectados a cada puerto de lectura 12. Esto permite reducir notablemente el retardo en sistemas en los que se reciben datos de entrada 5 con una tasa mayor que el tiempo de búsqueda necesario para localizar cada uno de dichos datos de entrada 5. Finalmente, la invención supone un uso eficiente de recursos, evitando problemas asociados al uso excesivo de recursos tales como la imposición de límites en el tamaño máximo de la memoria 1 sobre la que se aplica, el uso de memorias auxiliares para redundancia de datos, o el uso parcial de la memoria 1 para
40 almacenamiento de datos temporales o de control.

45 A la vista de esta descripción y figuras, el experto en la materia podrá entender que la invención ha sido descrita según algunas realizaciones preferentes de la misma, pero que múltiples variaciones pueden ser introducidas en dichas realizaciones preferentes, sin salir del objeto de la invención tal y como ha sido reivindicada.

50 En este texto, el término "comprende" y sus derivaciones (como "comprendiendo", etc.) no deben entenderse en un sentido excluyente. Es decir, estos términos no deben interpretarse como excluyentes de la posibilidad de que lo que se describe y define pueda incluir más elementos, etapas, etc.

REIVINDICACIONES

1. Sistema de lectura y escritura de al menos una memoria digital (1), comprendiendo la al menos una memoria digital (1) una pluralidad de posiciones de memoria (9) agrupadas en una pluralidad de segmentos (11), cada posición de memoria (9) teniendo capacidad para al menos un dato almacenado (10);
5 caracterizado por que comprende:
 - medios de control (2) adaptados para leer en paralelo la pluralidad de segmentos (11) de la al menos una memoria digital (1), siendo la pluralidad de posiciones de memoria (9) de cada segmento (11) leída secuencialmente;
 - y al menos un comparador (3) conectado a al menos un puerto de lectura (12) de cada segmento (11), estando el al menos un comparador (3) adaptado para comparar el al menos un dato almacenado (10) con al menos un dato de entrada (5).
- 10 2. Sistema según la reivindicación 1, caracterizado por que cada segmento (11) comprende una pluralidad de puertos de lectura (12), estando cada puerto de lectura (12) conectado a al menos un comparador (3).
- 15 3. Sistema según cualquiera de las reivindicaciones anteriores, caracterizado por que cada puerto de lectura (12) está conectado a una pluralidad de comparadores (3) y por que la pluralidad de comparadores (3) están adaptados para comparar simultáneamente el al menos un dato almacenado (10) de cada segmento (11) con una pluralidad de datos de entrada (5).
- 20 4. Sistema según cualquiera de las reivindicaciones anteriores, caracterizado por que cada posición de memoria (9) tiene capacidad para una pluralidad de datos almacenados (10), y por que los comparadores (3) están adaptados para comparar en un mismo ciclo de reloj la pluralidad de datos almacenados (10) en cada posición de memoria (9) con el al menos un dato de entrada (5).
- 25 5. Sistema según cualquiera de las reivindicaciones anteriores, caracterizado por que comprende además medios de escritura adaptados para escribir sobre la pluralidad de posiciones de memoria (9) en orden secuencial.
- 30 6. Sistema según cualquiera de las reivindicaciones anteriores, caracterizado por que comprende además medios de escritura adaptados para almacenar, procesar y controlar una pluralidad de etiquetas indicativas de una antigüedad de la pluralidad de datos almacenados (10) en la pluralidad de posiciones de memoria (9).
- 35 7. Sistema según cualquiera de las reivindicaciones anteriores, caracterizado por que la al menos una memoria digital (1), los medios de control (2) y los comparadores (3) están implementados en un circuito digital integrado.
- 40 8. Sistema según cualquiera de las reivindicaciones anteriores, caracterizado por que los datos almacenados (10) y el al menos un dato de entrada (5) son tramas de un protocolo de redundancia.
- 45 9. Sistema según cualquiera de las reivindicaciones 1 a 7, caracterizado por que los datos almacenados (10) y el al menos un dato de entrada (5) son direcciones de control de acceso al medio de un conmutador Ethernet.
- 50 10. Método de lectura y escritura de una memoria digital (1), comprendiendo la memoria digital (1) una pluralidad de posiciones de memoria (9) agrupadas en una pluralidad de segmentos (11), cada posición de memoria (9) con capacidad para al menos un dato almacenado (10), caracterizado por que comprende:
 - leer en paralelo la pluralidad de segmentos (11) de la memoria digital (1), siendo la pluralidad de posiciones de memoria (9) de cada segmento (11) leída secuencialmente;
 - conectar cada segmento (11) con al menos un comparador (3) mediante al menos un puerto de lectura (12);
 - comparar el al menos un dato almacenado (10) con al menos un dato de entrada (5).
- 55 11. Método según la reivindicación 10, caracterizado por que comprende conectar cada segmento (11) con una pluralidad de comparadores (3) a través de una pluralidad de puertos de lectura (12).
- 60 12. Método según cualquiera de las reivindicaciones 10-11, caracterizado por que comprende:
 - conectar cada puerto de lectura (12) con una pluralidad de comparadores (3);
 - comparar simultáneamente el al menos un dato almacenado (10) de cada segmento (11) con una pluralidad de datos de entrada (5).
- 65 13. Método según cualquiera de las reivindicaciones 10-12, caracterizado por que cada posición de

ES 2 549 188 A1

memoria (9) tiene capacidad para una pluralidad de datos almacenados (10) y por que el método comprende además comparar la pluralidad de datos almacenados (10) con el al menos un dato de entrada (5) en un mismo ciclo de reloj.

- 5 14. Método según cualquiera de las reivindicaciones 10-13, caracterizado por que comprende además escribir sobre la pluralidad de posiciones de memoria (9) en orden secuencial.
- 10 15. Método según cualquiera de las reivindicaciones 10 a 14, caracterizado por que comprende además almacenar, procesar y controlar una pluralidad de etiquetas indicativas de una antigüedad de los datos almacenados (10) en la pluralidad de posiciones de memoria (9).
16. Método según cualquiera de las reivindicaciones 10-15, caracterizado por que los datos almacenados (10) y el al menos un dato de entrada (5) son tramas de un protocolo de redundancia.
- 15 17. Método según cualquiera de las reivindicaciones 10-15, caracterizado por que los datos almacenados (10) y el al menos un dato de entrada (5) son direcciones de control de acceso al medio de un conmutador Ethernet.
- 20 18. Programa de ordenador que comprende medios de código de programa de ordenador adaptados para realizar las etapas del método según cualquiera de las reivindicaciones 10 a 17, cuando dicho programa se ejecuta en un ordenador, un procesador digital de señal, un circuito integrado específico de la aplicación, un microprocesador, un microcontrolador o cualquier otra forma de hardware programable.

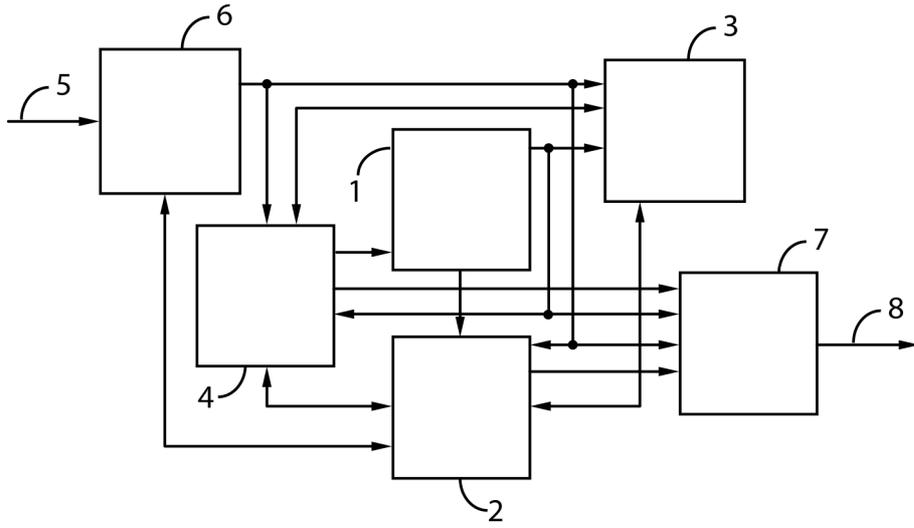


FIG. 1

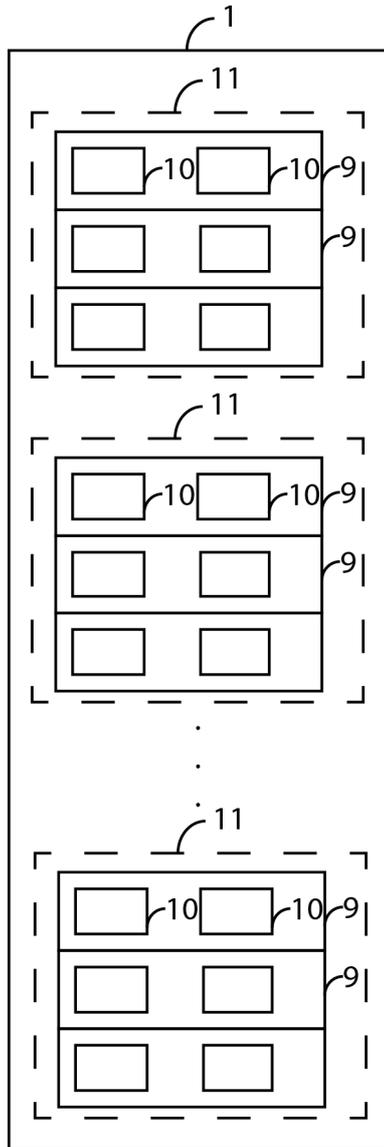


FIG. 2

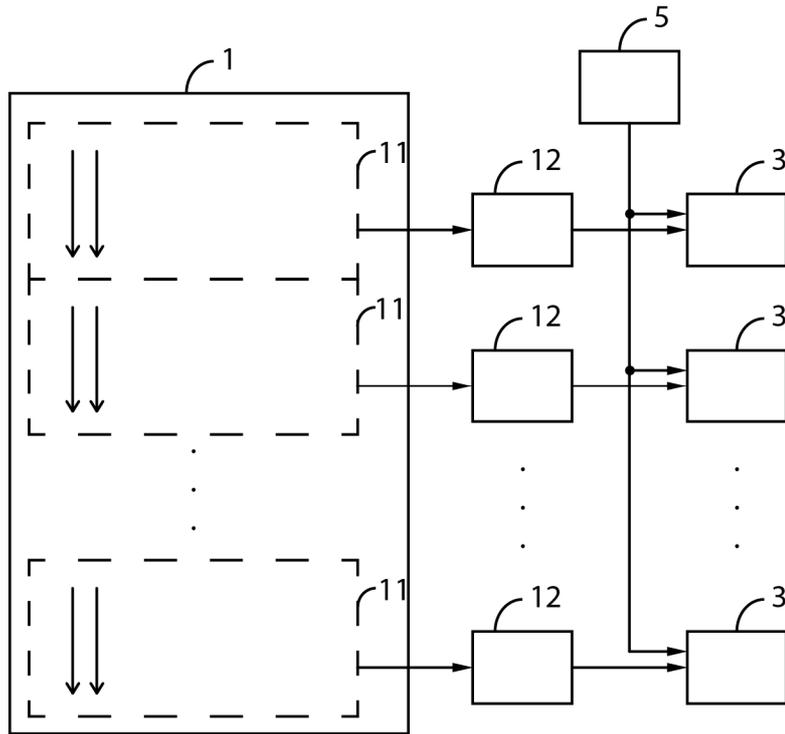


FIG. 3

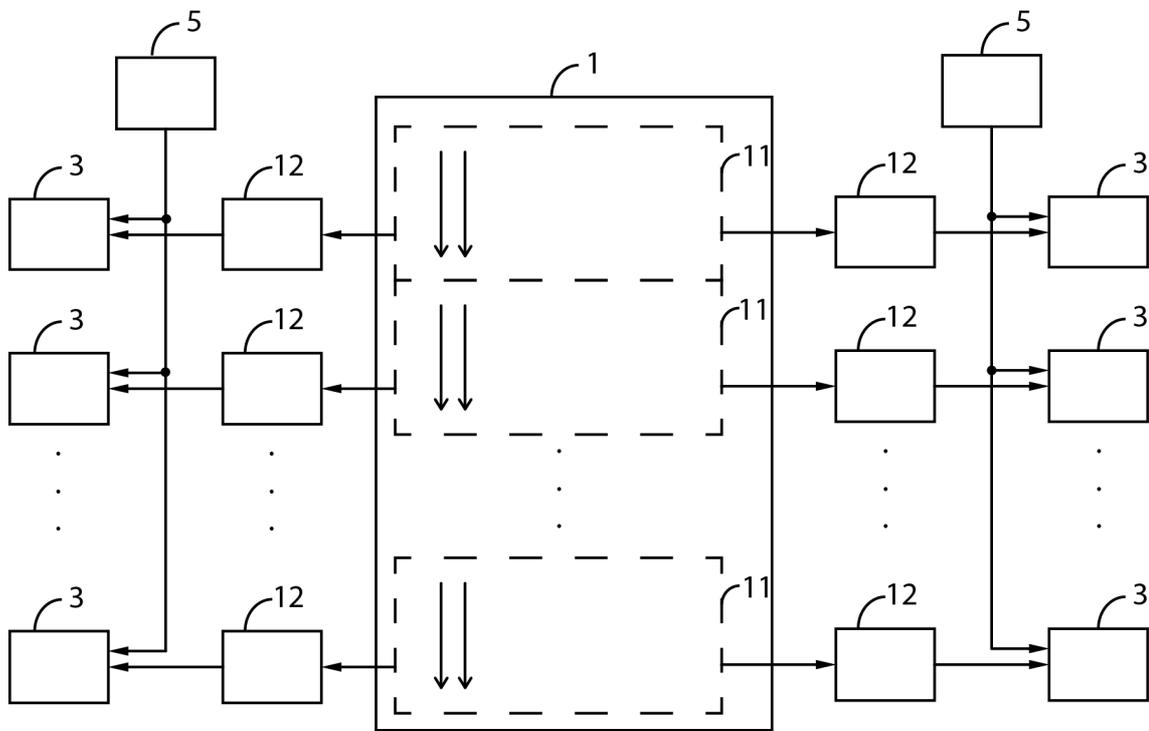


FIG. 4

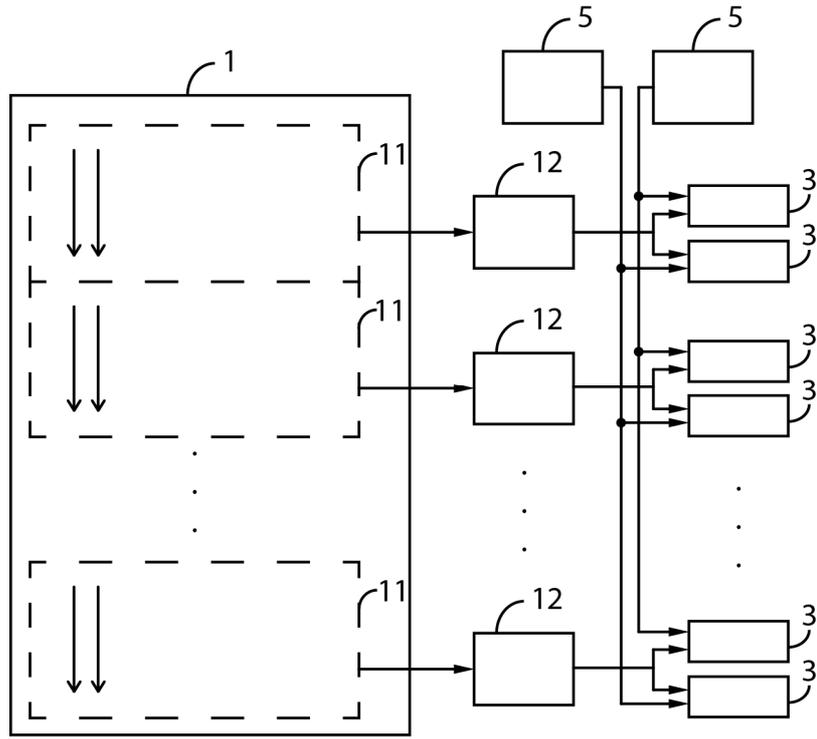


FIG. 5

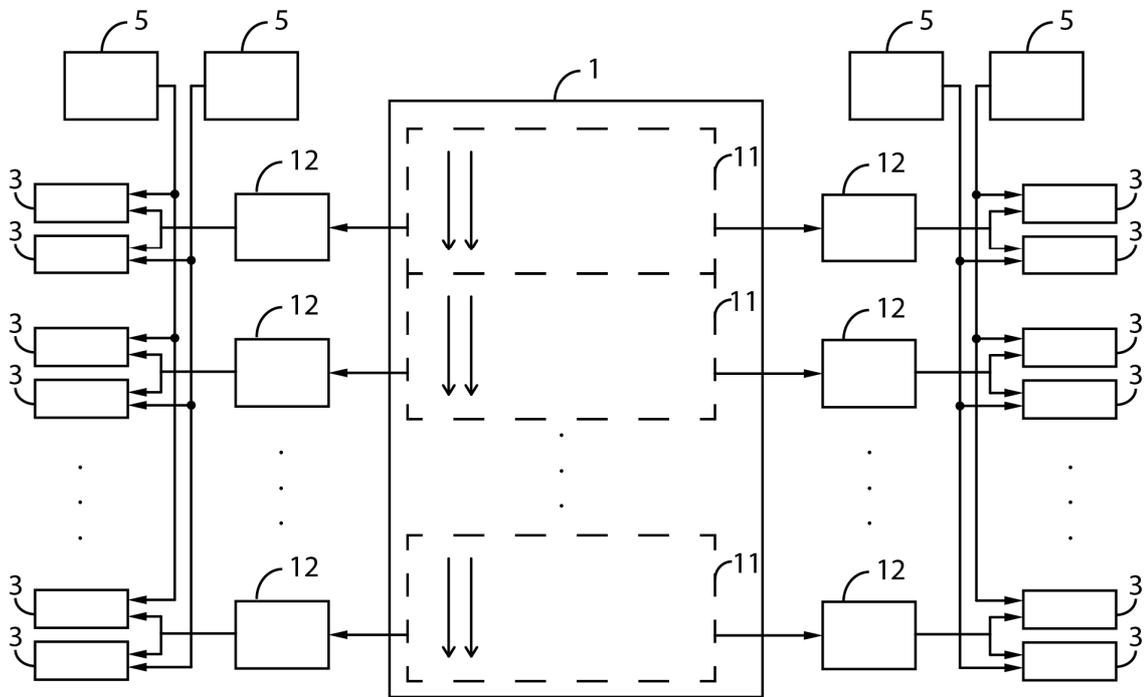


FIG. 6



- ②¹ N.º solicitud: 201430599
②² Fecha de presentación de la solicitud: 23.04.2014
③² Fecha de prioridad:

INFORME SOBRE EL ESTADO DE LA TÉCNICA

⑤¹ Int. Cl.: **G11C15/00** (2006.01)

DOCUMENTOS RELEVANTES

Categoría	⑤ ⁶ Documentos citados	Reivindicaciones afectadas
X	US 2004049630 A1 (STARK MOSHE) 11.03.2004, párrafos 34,36,48,59,63.	1-18
A	US 2003039135 A1 (SRINIVASAN VARADARAJAN et al.) 27.02.2003	1,10,18
A	GB 2312769 A (PLESSEY SEMICONDUCTORS LTD) 05.11.1997	1
A	US 2004128434 A1 (KHANNA SANDEEP et al.) 01.07.2004	1

Categoría de los documentos citados

X: de particular relevancia

Y: de particular relevancia combinado con otro/s de la misma categoría

A: refleja el estado de la técnica

O: referido a divulgación no escrita

P: publicado entre la fecha de prioridad y la de presentación de la solicitud

E: documento anterior, pero publicado después de la fecha de presentación de la solicitud

El presente informe ha sido realizado

para todas las reivindicaciones

para las reivindicaciones n.º:

Fecha de realización del informe
30.04.2015

Examinador
M. Muñoz Sánchez

Página
1/4

Documentación mínima buscada (sistema de clasificación seguido de los símbolos de clasificación)

G06F, G11C

Bases de datos electrónicas consultadas durante la búsqueda (nombre de la base de datos y, si es posible, términos de búsqueda utilizados)

INVENES, EPODOC, WPI

Fecha de Realización de la Opinión Escrita: 30.04.2015

Declaración

Novedad (Art. 6.1 LP 11/1986)	Reivindicaciones	SI
	Reivindicaciones 1, 10, 18	NO
Actividad inventiva (Art. 8.1 LP11/1986)	Reivindicaciones	SI
	Reivindicaciones 2-9, 11-17	NO

Se considera que la solicitud cumple con el requisito de aplicación industrial. Este requisito fue evaluado durante la fase de examen formal y técnico de la solicitud (Artículo 31.2 Ley 11/1986).

Base de la Opinión.-

La presente opinión se ha realizado sobre la base de la solicitud de patente tal y como se publica.

1. Documentos considerados.-

A continuación se relacionan los documentos pertenecientes al estado de la técnica tomados en consideración para la realización de esta opinión.

Documento	Número Publicación o Identificación	Fecha Publicación
D01	US 2004049630 A1 (STARK MOSHE)	11.03.2004
D02	US 2003039135 A1 (SRINIVASAN VARADARAJAN et al.)	27.02.2003
D03	GB 2312769 A (PLESSEY SEMICONDUCTORS LTD)	05.11.1997
D04	US 2004128434 A1 (KHANNA SANDEEP et al.)	01.07.2004

2. Declaración motivada según los artículos 29.6 y 29.7 del Reglamento de ejecución de la Ley 11/1986, de 20 de marzo, de Patentes sobre la novedad y la actividad inventiva; citas y explicaciones en apoyo de esta declaración

Se considera D01 el documento más próximo del estado de la técnica al objeto de la solicitud.

Reivindicaciones independientes

Reivindicación 1: El documento D01, divulga un sistema de lectura escritura de claves en una memoria bidimensional (filas y columnas). Las búsquedas de una clave o varias de ellas en paralelo se realizan concurrentemente en varias filas y secuencialmente columna a columna dentro de cada fila particular (segmento). Por cada fila el sistema dispone de al menos un comparador e implícitamente un puerto de lectura. Además esta memoria bidimensional puede tener en la celda de memoria de cada clave los datos correspondientes a ella (pár. 34, 36, 48, 59, 63).

Así el documento D01 afecta a la novedad de la reivindicación 1 según el art. 6.1 de la Ley de Patentes.

Reivindicación 10: el método reivindicado se corresponde directamente con los elementos necesarios para su ejecución señalados en la reivindicación 1 y, por tanto, se remitiéndonos al análisis de esta reivindicación se concluye que el documento D01 afecta a la novedad de la reivindicación 10 según el art. 6.1 de la Ley de Patentes.

Reivindicación 18: el programa de ordenador supone una mera implementación de las operaciones ejecutadas en el método de la reivindicación 10 y así el documento D01 también afecta a la novedad de la reivindicación 18 según el art. 6.1 de la Ley de Patentes.

Reivindicaciones dependientes

Reivindicaciones 2-9: las características contenidas en estas reivindicaciones, según su redacción actual, sin concretar más su implementación, se consideran meras opciones comunes y por tanto evidentes para el experto en la materia. En conclusión, el documento D01 afecta a la actividad inventiva de las reivindicaciones 2-9 según el art. 8.1 de la Ley de Patentes.

Reivindicaciones 11-17: las características contenidas en estas reivindicaciones, se corresponden directamente con los elementos necesarios para su ejecución señalados en las reivindicaciones 2-9. En conclusión, el documento D01 afecta a la actividad inventiva de las reivindicaciones 11-17 según el art. 8.1 de la Ley de Patentes.