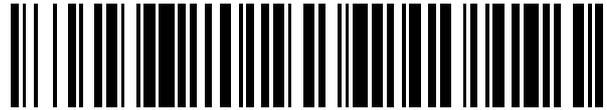


19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 551 583**

51 Int. Cl.:

H03D 13/00 (2006.01)

H04L 7/00 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **23.11.2010** **E 10807749 (6)**

97 Fecha y número de publicación de la concesión europea: **12.08.2015** **EP 2643929**

54 Título: **Método y circuito para recuperación de reloj de un flujo de datos**

45 Fecha de publicación y mención en BOPI de la traducción de la patente:
20.11.2015

73 Titular/es:

ABB TECHNOLOGY AG (100.0%)
Affolternstrasse 44
8050 Zürich, CH

72 Inventor/es:

VALIANI, MASSIMO;
TAZZARI, DAVIDE y
VERNIA, FILIPPO

74 Agente/Representante:

TOMAS GIL, Tesifonte Enrique

ES 2 551 583 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Método y circuito para recuperación de reloj de un flujo de datos.

5 Campo técnico

[0001] La presente invención se refiere a un método y un circuito para recuperación de reloj y recuperación de datos de un flujo de datos, por ejemplo un flujo de datos en un canal de comunicación.

10 Estado de la técnica

[0002] En la comunicación entre diferentes dispositivos conectados a un canal de comunicación, la información y los datos se transmiten en forma de flujo de datos constituido por una alternancia de valores de una cantidad entre dos o más niveles. Típicamente, en la transmisión digital la señal de comunicación toma alternativamente dos valores (alto y bajo, o "0" y "1") con una frecuencia dada. En general, el canal de comunicación puede ser un bus, en el que la transmisión tiene lugar a través de señales eléctricas, un canal óptico, en el que la transmisión tiene lugar mediante impulsos ópticos, un canal radioeléctrico, etc.

15

[0003] La transmisión tiene lugar a rápida velocidad a través de una secuencia de valores altos y bajos (0 y 1) según un protocolo de transmisión. Algunas vías de transmisión, llamadas "transmisiones sincronizadas" requieren que el bus de datos esté combinado con una línea de comunicación auxiliar donde se transmite la señal de reloj. Los dispositivos conectados a la línea de transmisión usan la línea dedicada a la señal de reloj para sincronizar su transmisión y recepción y para interpretar correctamente el flujo de datos principal. Esta técnica es muy robusta, pero tiene la desventaja intrínseca de la necesidad de una línea adicional para el reloj, que de hecho no transmite información importante. Otras vías de transmisión, llamadas "transmisiones asincronizadas" no requieren la presencia de una línea auxiliar para la señal de reloj. Para estas vías de transmisión, la señal de reloj debe ser recuperada. Se adoptan diferentes técnicas para la recuperación de reloj: las más comunes están basadas en el muestreo de alta velocidad de la señal en el bus y diezmo posterior. Otras técnicas se basan en bloqueo de fase de la señal en el canal de comunicación mediante circuitos PLL (lazos de seguimiento de fase por sus siglas en inglés), donde una señal de reloj simulada generada internamente por los dispositivos que participan en la comunicación es ajustada con la señal que circula en el canal de comunicación. En este último proceso, el flujo de datos transmitido en el canal es necesario para presentar una transición entre al menos dos niveles para corregir cualquier error del oscilador del circuito PLL.

20

25

30

35 [0004] Un ejemplo de un sistema de recuperación de reloj viene descrito en el documento US-A-2004/0146131.

[0005] Otro circuito de recuperación de reloj se describe en C.R. HOGGE: "A self correcting clock recovery circuit", Jour. de lightwave Tech., 1 Dec. 1985, páginas 1312-1314.

40 Resumen de la invención

[0006] Según un aspecto, la invención se refiere a una recuperación de reloj y método de recuperación de datos que es particularmente eficaz y que puede también ser implementado con recursos limitados en un entorno digital.

45 [0007] El objetivo de una forma de realización preferida de la invención es proporcionar un reloj y método de recuperación de datos que sea robusto y tenga una inmunidad alta frente al ruido.

[0008] El objetivo de formas de realización preferidas de la invención es proporcionar un método que pueda operar a una baja frecuencia, limitando así cargas computacionales.

50 [0009] Según otro aspecto, la invención se refiere a un circuito PLL para recuperación de reloj y datos, que es de bajo coste y puede ser implementado con dispositivos que también tengan MIPS (millones de instrucciones por segundo) bajos, es decir con una capacidad de cálculo baja.

55 [0010] Según otro aspecto, la invención propone un circuito detector de fase particularmente eficaz adecuado para su uso en un circuito PLL de recuperación de reloj y datos.

[0011] Sustancialmente, según un primer aspecto, la invención se refiere a un método para la recuperación de reloj y la recuperación de datos de un flujo de datos en un canal de comunicación según la reivindicación 1. El método comprende los pasos de:

- 60
- muestreo de un flujo de datos en el canal de comunicación, caracterizado por las transiciones entre al menos dos niveles (por ejemplo, dos valores de voltaje) a una frecuencia de muestreo determinada por una señal de reloj y generación de una señal muestreada;
 - 65 - determinación de un desplazamiento de fase entre el flujo de datos en el canal de comunicación y la señal muestreada;

- modificación de la fase de la señal de reloj en base a dicho desplazamiento de fase, para obtener una diferencia de fase deseada entre la señal muestreada y el flujo de datos en el canal de transmisión.

5 [0012] En la práctica, para la recuperación de reloj y datos de un flujo de datos transmitido en modo en serie en el canal de transmisión, se fija una frecuencia de muestreo como función de la frecuencia de transmisión en el canal de comunicación, y los datos en el canal de comunicación son muestreados con un circuito sample-and-hold controlado por una señal de reloj con una fase que se bloquea a la fase del flujo de datos en el canal mediante un PLL.

10 [0013] En una forma de realización práctica, el flujo de datos en el canal de comunicación es muestreado a un punto predeterminado de la señal de reloj, preferiblemente al flanco de subida de la señal de reloj.

15 [0014] En algunas formas de realización, el método según la presente invención comprende un paso inicial de determinación de la frecuencia de transmisión de flujo de datos, para fijar la frecuencia de la señal de reloj a un valor igual a o mayor que la frecuencia de transmisión, típicamente a una frecuencia igual a la frecuencia de transmisión de datos en el canal de comunicación.

20 [0015] El desplazamiento de fase entre la señal muestreada y el flujo de datos es determinado aplicando la señal muestreada y el flujo de datos a dos entradas de un comparador de fase que suministra una señal de desplazamiento de fase de salida. Según una forma de realización particularmente ventajosa de la invención, el comparador de fase se obtiene con un circuito digital, ventajosamente a través de compuertas lógicas, por ejemplo y preferiblemente a través de una compuerta lógica exclusiva OR (X-OR). En otras formas de realización el comparador de fase se puede obtener con un circuito biestable.

25 [0016] La señal de reloj generada por un oscilador, por ejemplo un oscilador digital controlado por fase, puede ser controlada ventajosamente de modo que su fase es modificada como función de la señal de desplazamiento de fase obtenida del comparador de fase. La información temporal puede ser obtenida a partir de la señal de desplazamiento de fase, es decir un dato que indica la duración de la señal de desplazamiento de fase. Este valor, que puede ser obtenido, por ejemplo, con un temporizador de ejecución libre, es preferiblemente sometido a una operación de traducción y si es necesario a una operación de filtrado y la señal de tiempo traducida y modificada constituye la entrada de un compensador, típicamente, por ejemplo, un compensador integral proporcional. La señal de salida del compensador constituye el valor de control del oscilador. La señal puede converger hacia un valor igual a cero, cuando se solicita una señal recuperada sincronizada con la señal en el bus. En otras formas de realización, el compensador puede ser ajustado para hacer que el desplazamiento de fase entre la señal de bus y la señal recuperada converja hacia un valor diferente de cero, típicamente igual a la mitad del periodo de señal de reloj. De esta manera, el muestreo de la señal de bus se realiza en el medio de cada bit transmitido, lo que da la ventaja de inmunidad frente a ruido y no linealidades eléctricas del canal de transmisión.

35 [0017] Más características ventajosas de formas de realización preferidas del método según la invención se indican en las reivindicaciones anexas y se describen con mayor detalle a continuación con referencia a una forma de realización.

40 [0018] Según otro aspecto, la invención se refiere a un circuito detector de fase según la reivindicación 12. El circuito comprende:

- 45 - una entrada para un flujo de datos en una frecuencia de comunicación;
 - un circuito sample-and-hold, controlado por una señal de muestreo con una frecuencia de muestreo;
 - un comparador de fase con una primera entrada a la que se aplica el flujo de datos y una segunda entrada a la que se aplica la señal muestreada, la salida de dicho comparador de fase es una función de la diferencia de fase entre dicho flujo de datos y dicha señal muestreada.

50 [0019] Según otro aspecto, la invención se refiere a un circuito para la recuperación de reloj y recuperación de datos a partir de un flujo de datos en un canal de comunicación, que comprende un circuito PLL con un detector del tipo definido anteriormente.

55 [0020] Otras formas de realización y características ventajosas del circuito detector de fase y del circuito PLL según la invención se definen en las reivindicaciones anexas y se describen a continuación con referencia a una forma de realización.

60 Breve descripción de los dibujos

[0021] La invención ahora será mejor entendida siguiendo la descripción y dibujo anexo, que muestra una forma de realización práctica no limitativa de la invención. Más en particular:

65 Fig. 1 muestra esquemáticamente un canal de comunicación al que están conectados los dispositivos que deben comunicar en dicho canal;

Fig. 1A muestra un ejemplo de símbolos de un protocolo de transmisión de datos en el canal de comunicación de la

Fig. 1;

Fig. 2 muestra un diagrama de bloques del circuito detector de fase según la invención;

Fig. 3 muestra formas de onda de las señales en el circuito detector de fase de la figura 2 donde se prevé que la operación sample-and-hold digital se realice en el flanco de subida de la señal de reloj CLK;

5 Fig. 4 muestra un diagrama mostrando una propiedad del circuito detector de fase de la Fig. 2;

Fig. 5 muestra un diagrama de bloques del circuito PLL según la invención, donde está insertado el circuito de detector de fase de la Fig. 2;

Fig. 6 muestra la topología del compensador integral proporcional del circuito PLL de la Fig. 5; y

10 Figs 7 a 9 muestra formas de onda del flujo de datos en el canal de transmisión y de los datos recuperados del circuito PLL según la invención en tres condiciones de funcionamiento diferentes.

Descripción detallada de una forma de realización de la invención

15 [0022] La Fig. 1 muestra un diagrama de un canal de comunicación genérico 1 en el que son conectados dispositivos D1, D2, ... Dn. El canal de comunicación puede, por ejemplo, ser un bus de comunicación, en el que puede haber presente un voltaje que está sujeto a una serie de transiciones entre un valor alto ("Vbus") y un valor bajo ("gnd") para generar bits de información que se transmiten a través del bus de comunicación. La modulación de voltaje en el bus es determinada por la transmisión de datos por los dispositivos D1, D2, ... Dn según un protocolo, cuya estructura no es importante para entender la presente invención y puede ser cualquiera. Lo único importante es
20 que en el bus de comunicación 1 hay presente un flujo de datos con un conjunto de transiciones entre los valores de voltaje (en el ejemplo ilustrado dos valores, "Vbus", "gnd").

25 [0023] La transmisión de datos tiene lugar con una frecuencia de transmisión dada, que se puede fija o variable en función del tipo de dispositivos conectados, la condición del canal de comunicación u otros parámetros. La frecuencia de transmisión es la frecuencia con la cual los bits de información únicos son transmitidos. Una combinación de varios bits de transmisión forma un símbolo. Puramente por medio de ejemplo, la Fig. 1A muestra dos símbolos, definidos como "1" y "0", que pueden ser usados para comunicar información en el canal de comunicación 1. Cada símbolo está formado por una secuencia de un número dado de bits. Cada bit tiene una duración T_{com} , mientras que cada símbolo tiene una duración igual a un múltiplo de la duración de un bit. En el
30 ejemplo ilustrado, la duración T_{symbol} de un símbolo es $4T_{com}$, ya que cada símbolo está formado por cuatro bits. El símbolo definido como "1" está constituido por un primer bit durante el cual el voltaje en el canal de comunicación es igual al valor bajo "gnd" y tres bits durante los cuales el voltaje está en el valor alto "Vbus". Al contrario, el símbolo "0" es codificado como una secuencia de cuatro bits, los tres primeros están al valor bajo "gnd" y el último al valor alto "Vbus". Debe entenderse que también pueden proporcionarse varios otros símbolos, definidos por otras
35 secuencias de bits y que también pueden proporcionarse otros protocolos de transmisión, en los que cada símbolo está constituido por una secuencia de bits de longitud diferente al primero mostrado.

40 [0024] La frecuencia de transmisión se define como la inversa de la duración de un bit de información, por lo tanto $f_{com} = 1/T_{com}$. La frecuencia de símbolo (f_{symbol}) se define como el inverso de la duración T_{symbol} de un símbolo. Por lo tanto, en el ejemplo ilustrado la frecuencia de comunicación es igual a a partir de $= 4 f_{symbol}$.

45 [0025] Los dispositivos únicos D1, D2, ... Dn deben ajustar sus relojes internos al flujo de datos en el canal de comunicación 1 para ser capaces de dialogar correctamente en el canal de comunicación 1. La frecuencia de reloj debe ser ajustada como función de la frecuencia de transmisión y la fase de la señal de reloj debe permitir al dispositivo "bloquear" la fase del flujo de datos transmitida en el canal de transmisión para permitir tanto la recuperación de datos, es decir el muestreo correcto y la consecuente interpretación correcta de los datos, como corregir la transmisión de información del dispositivo al canal de comunicación.

50 [0026] En general, el reloj interno de un dispositivo genérico D1 tiene una frecuencia sustancialmente igual a la frecuencia de comunicación o a un múltiplo de dicha frecuencia. En el ejemplo descrito aquí, ventajosamente se proporciona una frecuencia de reloj igual al valor de la frecuencia de comunicación. Esta frecuencia de reloj es el mínimo admisible para una operación de bloqueo y recuperación de la señal en el canal de comunicación, lo que tiene la ventaja de limitar la complejidad computacional. La fase de la señal de reloj debe ser bloqueada a la fase del flujo de datos en el canal 1, es decir cada dispositivo D1, D2, ... Dn que debe comunicar a través del canal 1 debe
55 tener su propio reloj sincronizado con el flujo de datos en el canal.

[0027] "Sincronizado" se entiende en general como una señal que tiene un desplazamiento de fase deseado con respecto al flujo de datos, no necesariamente un desplazamiento de fase igual a cero.

60 [0028] Para permitir que un dispositivo genérico D1 ejecute la recuperación de reloj y la recuperación de datos, según la presente invención el dispositivo dispone de un circuito detector de fase, mostrado esquemáticamente en la Fig. 2 e indicado como conjunto con 3, que suministra de la manera descrita posteriormente una señal de entrada para un PLL.

65 [0029] El circuito detector de fase 3 comprende un circuito sample-and-hold 5 con una entrada 5A para que la señal sea muestreada. Una entrada B de un comparador de fase 7 se conecta a la salida del circuito sample-and-hold 5. El

comparador de fase 7 comprende otra entrada A y una salida Y. Cuando el PLL ha "bloqueado" el flujo de datos en el canal de comunicación 1, en la salida del circuito sample-and-hold hay presente una señal muestreada, que recupera el flujo de datos en el canal de comunicación 1 y que tiene un retraso con respecto al flujo de datos (es decir un desplazamiento de fase) de valor predeterminado, que puede ser cero o diferente a cero y típicamente igual a una fracción de la duración del periodo de bit (T_{com}) de la señal presente en el canal 1.

[0030] El flujo de datos que viene del canal de comunicación, indicado en la Fig. 2 como "señal bus", se aplica a la entrada A del comparador de fase 7 y a la entrada 5A del circuito sample-and-hold 5.

[0031] El circuito sample-and-hold 5 es controlado por la señal de reloj CLK del dispositivo, por ejemplo generada por un oscilador digital controlado por fase. Como se ha indicado anteriormente, la señal de reloj CLK tiene una frecuencia típicamente igual a la frecuencia de comunicación en el canal de comunicación 1. Por lo tanto, una señal digital que representa la recuperación de la señal presente en el bus de comunicación 1 está presente en la salida del circuito sample-and-hold 5. El desplazamiento de fase entre la señal de bus y la señal recuperada depende de la fase de la señal de reloj.

[0032] Esquemáticamente, el bloque 5, que representa el circuito sample-and-hold, comprende en una manera conocida de por sí un interruptor electrónico 11 (por ejemplo un MOSFET), cuyo cierre y abertura son controlados por la señal de reloj CLK. El cierre del interruptor electrónico 11 coloca la entrada 5A del circuito sample-and-hold en comunicación con un condensador 13 y la entrada de no inversión de un amplificador operativo 15 cuya entrada de inversión es conectada a la salida del amplificador. El amplificador 15 funciona como un búfer de salida.

[0033] En esta forma de realización, el comparador de fase está formado por una compuerta lógica OR (X-OR) exclusiva. La tabla real de esta compuerta lógica es, como se conoce, la siguiente:

A	B	Y
L	L	L
L	H	H
H	L	H
H	H	L

L y H son dos niveles genéricos digitalizados que las señales en las entradas A y B de la compuerta puede tomar. La salida de la compuerta es "H" sólo si las señales de entrada son distintas entre sí. En el caso en cuestión, L y H indican los dos niveles que la señal en el bus de comunicación 1 puede tomar, por ejemplo L puede ser el valor bajo ("gnd") y H el valor alto ("Vbus") del voltaje de bus.

[0034] La Fig. 3 muestra la forma de la señal en las entradas A y B y en la salida Y del comparador de fase 7, A es la señal que viene del bus de comunicación 1, B la señal muestreada, es decir la señal recuperada del circuito sample-and-hold 5, Y la señal de salida del comparador de fase 7 y CLK la señal de reloj en base a qué muestreo es realizado. El muestreo tiene lugar en cada flanco de subida de la señal CLK. Empezando por el instante genérico t_0 , donde la señal en el bus 1 (entrada A de la compuerta 7) y la señal muestreada (entrada B de la compuerta 7) son ambos bajas (nivel L), la salida Y de la compuerta X-OR es baja (L) y es mantenida a este valor hasta el posterior flanco de subida de la señal en el bus (entrada A), en el instante t_1 . En este flanco de subida la señal de salida Y de la compuerta X-OR 7 va al valor alto (H) ya que las dos entradas A y B son distintas entre sí. Este valor alto de la salida Y es mantenido hasta el instante de muestreo posterior t_2 , que coincide con el flanco de subida de la señal de reloj CLK.

[0035] En el instante t_2 la señal de salida Y vuelve a ser baja, ya que la señal en la primera entrada A (señal de bus) y la señal en la segunda entrada B (señal muestreada) tienen el mismo valor alto, resultado de la operación sample-and-hold. El posterior flanco de subida de la señal de salida Y se obtiene en el instante t_3 , cuando la señal de bus en la entrada A va al valor bajo, mientras que la señal en la entrada B se mantiene alta por la señal sample-and-hold 5. El instante de muestreo posterior se obtiene en el instante t_4 , en el flanco de subida posterior de la señal de reloj CLK, coincidiendo con que la señal Y tiene un flanco de bajada, etcétera.

[0036] En el diagrama de la Fig. 3 el tiempo finito necesario para cada transición de la señal ha sido descuidado y se ha representado una situación ideal, donde la transición de nivel de señal es instantánea tanto en el flanco de subida, como en el flanco de bajada de la señal.

[0037] En el caso donde las señales de entrada en la compuerta X-OR 7 tienen el mismo patrón y el mismo periodo, y si no hay coincidencia entre flancos de subida y flancos de bajada de las dos señales, es fácil entender del diagrama de la Fig. 3 en que la duración de la parte alta ("H") de la señal de salida Y corresponde al retraso, es decir el desplazamiento de fase entre las señales A y B. En otros términos, muestreando el flujo de datos en el bus 1 con una frecuencia de muestreo igual a la frecuencia de transmisión y aplicando la señal de bus y la señal de muestreo a las dos entradas A y B del comparador de fase 7, el desplazamiento de fase entre las dos señales igual a T_{delay} (Fig. 3) es dado por el intervalo de tiempo durante el cual la señal de salida Y de la compuerta X-OR toma un valor

alto (H).

[0038] Por lo tanto, la señal de salida Y del circuito detector de fase es tal que la duración del pulso alto (H) es igual al desplazamiento de fase entre la señal de bus (y por lo tanto el flujo de datos en el bus 1) y la señal digital recuperada por el circuito sample-and-hold 5.

[0039] El circuito detector de fase 3 forma parte de un circuito PLL, donde la señal de salida del comparador de fase 7 se usa como señal de error de fase. El circuito PLL, de ahora en adelante descrito con referencia a las Figs 5 y 6, está diseñado para hacer que la señal de error de fase converja hacia un valor de desplazamiento de fase deseado entre el flujo de datos y la señal muestreada por el circuito sample-and-hold 5. Esto se obtiene actuando sobre la fase de la señal de reloj generada por el oscilador del circuito PLL.

[0040] El circuito detector de fase 3 tiene una propiedad importante que se puede expresar de la siguiente manera: un flanco de transición de bajada (es decir del valor alto al valor bajo) de la señal de salida Y de la señal de detector de fase 3 coincide siempre con un flanco de transición de subida de la señal de reloj CLK.

[0041] Esta propiedad se puede demostrar simplemente a través de una comprobación *ad absurdum*. Una transición de bajada de la señal de salida Y se obtiene sólo en la competencia con las cuatro condiciones siguientes:

1. (A,B) = (L,H) -----> (A,B) = (L,L)
2. (A,B) = (H,L) -----> (A,B) = (L,L)
3. (A,B) = (H,L) -----> (A,B) = (H,H)
4. (A,B) = (L,H) -----> (A,B) = (H,H)

donde A, B, L, H tienen los significados definidos anteriormente. La demostración de la propiedad expresada anteriormente para la primera condición es como sigue, con referencia a la Fig. 4. Dicha figura muestra la señal A que permanece baja (L), la señal B que cambia de alta (H) a baja (L) y el consiguiente flanco de transición de bajada, es decir el flanco de bajada de la señal de salida Y del comparador de fase. Los tres gráficos a continuación (indicados con CLK="H", CLK="L" y CLK="↓") representan tres condiciones absurdas, es decir que no pueden ocurrir en coincidencia con la transición de bajada de la señal Y. De hecho, en la situación considerada, el flanco de bajada (transición de bajada) de la señal de salida Y se determina por una variación (transición de bajada) de la señal muestreada. Puesto que una transición de la señal muestreada no puede ocurrir en competencia con un instante de muestreo, y puesto que ha sido afirmado que el muestreo tiene lugar en una transición de subida de la señal CLK, las tres condiciones representadas en la Fig. 4 son absurdas, puesto que el muestreo de la señal A, y en consecuencia una variación de la señal muestreada B, no ocurre en ninguna de estas condiciones.

[0042] Una demostración similar se puede obtener para las tres condiciones restantes.

[0043] Esta propiedad es importante para los fines del cálculo de la duración del pulso alto de la señal de salida Y. De hecho, permite el uso de un modo de cálculo temporal llamado Gated Count Mode.

[0044] Con referencia al diagrama de bloques de la Fig. 5, los bloques funcionales restantes del circuito PLL serán descritos ahora según una forma de realización de la invención.

[0045] Empezando por la señal de salida Y del circuito detector de fase, es necesaria en primer lugar para calcular el tiempo de retraso, es decir el desplazamiento de fase entre la señal de bus A y la señal muestreada B, este retraso es definido por el intervalo de tiempo durante el cual la señal Y permanece alta. Esta duración se calcula a través de un bloque 20 definido como bloque extractor de intervalo de tiempo, indicado como ΔT en el diagrama de bloques de la Fig. 5. En esencia, es un temporizador digital, cuya función es aquella de extraer un valor temporal de la señal de entrada. Para este propósito se puede usar un temporizador de ejecución libre, que es muestreado por el algoritmo de control a una frecuencia fija. Éste puede usar, por ejemplo, un modo de cómputo llamado "Gated Count Mode" o un modo de cómputo llamado "Input Capture Mode". Se prefiere el primer modo. En este modo el temporizador es iniciado cuando la señal de entrada hace una transición de subida y el cómputo es muestreado a la transición de bajada de la señal Y. En base a las propiedades demostradas anteriormente, según las cuales un flanco de bajada (transición alto-bajo) de la señal Y coincide con un flanco de subida de la señal de reloj CLK, el temporizador puede ser controlado por software a través de la señal de reloj CLK. La propiedad mencionada anteriormente permite el restablecimiento de tiempo medido en cada flanco de subida de la señal de reloj también en ausencia de sincronismo.

[0046] De esta manera, se obtiene un método simple y robusto para determinar la amplitud de señal de entrada alta, que representa el retraso temporal por ser calculado.

[0047] Al contrario, el Input Capture Mode cuenta el tiempo entre dos flancos de una señal de entrada. Este modo de cómputo puede usarse también, puesto que es el tiempo entre dos flancos consecutivos (subida y bajada respectivamente) de la señal de salida Y del circuito detector de fase 3 que deben ser medidos.

[0048] En cualquier caso, se use el modo de cómputo que se use, la salida del bloque 20, indicada con T_Delay en el diagrama de bloques de la Fig. 5, es una medición digital de la duración temporal del intervalo durante el cual la señal Y está en el valor alto, tiempo que corresponde al desplazamiento de fase entre la señal de bus y la señal muestreada.

5 [0049] Este valor temporal es enviado a un bloque desplazador de retraso 30, llamado "desplazador de intervalo temporal" o desplazador ΔT . La función de este bloque es como sigue: si el valor T_Delay calculado por el bloque 20 está comprendido entre 0 y $T_{CLK}/2$ (donde T_{CLK} es el tiempo de reloj), el retraso T_Delay calculado por el bloque 20 permanece invariado. Si el retraso T_Delay está comprendido entre $T_{CLK}/2$ y T_{CLK} , su valor se traduce por T_{CLK} . La
10 señal de salida, indicada con T_Delay^{Mod} , del bloque 30 se define por lo tanto de la siguiente manera:

$$T_Delay^{Mod} = \begin{cases} T_Delay & \text{si } 0 \leq T_Delay \leq \frac{T_{CLK}}{2} \\ T_Delay - T_{CLK} & \text{si } \frac{T_{CLK}}{2} < T_Delay \leq T_{CLK} \end{cases}$$

15 Este movimiento permite que todos los puntos en el intervalo $[0; T_{CLK}]$ estén hechos estables para la convergencia con la excepción del punto $T_{CLK}/2$ que llega a ser un punto de equilibrio inestable para el algoritmo de bloqueo de fase. En particular, el punto "0" se convertirá en estable; este punto será preferido en general como punto de convergencia del algoritmo en sus formas de realización prácticas. Se pueden usar otras funciones de movimiento como alternativa a aquélla indicada anteriormente, pero en este caso el punto de equilibrio inestable será diferente del punto central $T_{CLK}/2$.

20 [0050] La señal T_Delay^{Mod} es filtrada en un bloque de filtro LP (filtro de bucle) indicado con 40, que será descrito a continuación, y la señal de salida del filtro, indicada con $T_Delay^{Mod}_{Avg}$ es suministrada a un compensador integral proporcional PI, indicado con 50. Este bloque está constituido por un compensador integral proporcional digital en el dominio Z y suministra un DPCO (oscilador digital controlado por fase, por sus siglas en inglés) 60 con una señal que representa una variación de fase (Δ fase) para obtener el bloqueo de fase de la señal de reloj al flujo de datos en el canal de comunicación 1.

30 [0051] El compensador integral proporcional 50 puede tener la estructura representada por el diagrama de bloques de la Fig. 6. El compensador PI recibe la señal de entrada $T_Delay^{Mod}_{Avg}$ y un valor de desplazamiento de fase deseado entre la señal de reloj y el flujo de datos. Este desplazamiento de fase deseado es indicado como "Target Delay" y es suministrado por un bloque 52. Como será explicado a continuación, este retraso deseado puede ser 0 (es decir la señal muestreada está sincronizada con el flujo de datos en el canal de comunicación). En otras formas de realización el retraso puede estar comprendido típicamente entre 0 y $T_{CLK}/2$, por ejemplo puede ser igual a $T_{CLK}/3$.

35 [0052] La diferencia entre el valor Target_Delay en el paso n del algoritmo ($Target_Delay[n]$) y el valor $T_Delay^{Mod}_{Avg}$ en el paso n ($T_Delay^{Mod}_{Avg}[n]$) es multiplicada por una constante de ganancia α y añadida al valor de la variación de fase calculada en el paso precedente (n-1) para obtener el valor de la variación de fase (Δ fase[n-1]) en el paso actual [n] del algoritmo de control. Este valor (Δ fase[n]) es suministrado a la entrada de control del oscilador 60.

40 [0053] El valor de la constante de ganancia α se elige en base a algunas consideraciones en la función de desplazamiento de bucle cerrado del PLL. Las siguientes relaciones aplican:

$$\begin{cases} T_delay^{MOD}_{Avg}[n] = M[n] \otimes h_{LPF}[n] \\ M[n] = \Delta Fase[n-1] \\ (Target_Delay[n] - T_delay^{MOD}_{Avg}[n]) * \alpha + \Delta Fase[n-1] = \Delta Fase[n] \end{cases}$$

45 donde $h_{LPF}[n]$ representa la respuesta del filtro 40 al pulso y será descrito posteriormente y el símbolo \otimes indica la operación de convolución.

[0054] La función de transferencia del filtro de LP puede variar según cómo se configure este filtro. En la hipótesis más simple, la del filtro carente,

$$h_{LPF}[n] = 1$$

50 el retraso filtrado es igual a $M[n]$. En este caso la función de transferencia en el dominio Z es dada por

$$H(z) = \frac{M(z)}{Target_Delay(z)} = \frac{\alpha}{1 - (1 - \alpha)z^{-1}}$$

y la respuesta temporal del sistema es dada por

$$M[n] = Target_Delay[n] + \alpha(1 - \alpha)^n$$

[0055] Puede verse fácilmente que en este caso hay un único polo en

$$z = 1 - \alpha$$

el cual es asintóticamente estable para $0 < \alpha \leq 1$.

[0056] El bloque 60 es un generador de onda rectangular que tiene dos entradas y una salida. La primera entrada suministra a la frecuencia de onda rectangular que debe ser generada, mientras la segunda entrada es una entrada de fase y viene del bloque 50. La salida del bloque 60 es la señal de reloj CLK que controla el circuito sample-and-hold 3.

[0057] Debe observarse que para ser capaz de implementar correctamente este bloque dentro del algoritmo de sincronización es necesario ejecutar una estimación preliminar de la frecuencia de transmisión de la señal en el canal de comunicación 1. Esto puede llevarse a cabo fácilmente utilizando un contador que mide el período de tiempo de la señal en el canal de comunicación 1. La frecuencia de la señal de reloj CLK es determinada ventajosamente igual al valor de la frecuencia de transmisión.

[0058] Ventajosamente, en una forma de realización preferida de la invención, también se aplica un retraso de muestreo, a través del bloque 70, a la señal de reloj generada por el oscilador digital controlado por voltaje 60. Esto tiene en cuenta el hecho de que las transiciones de señal en el canal de comunicación no son instantáneas, sino que cada flanco de subida y cada flanco de bajada de la señal está caracterizado por un tiempo de transición finito de la señal del valor bajo al valor alto y viceversa. Estos tiempos de transición son determinados por las capacitancias parasitarias del canal de comunicación y por los filtros de ruido activos y pasivos presentes en el canal.

[0059] Indicando con T_{RISE} y T_{FALL} las duraciones de los flancos de subida y de bajada de la señal respectivamente, el máximo entre los tiempos de los flancos de subida y de bajada de la señal en el canal de comunicación se define como

$$T_{BUS} = \max(T_{RISE}; T_{FALL})$$

Este tiempo T_{BUS} se añade a la señal de muestreo generada por el circuito PLL, de modo que el muestreo es realizado siempre después de que la señal haya completado el flanco de subida o de bajada.

[0060] Las Figs 7 a 9 muestran las formas de onda de la señal de comunicación en el bus, de la señal recuperada, de la señal de reloj y del retraso entre la señal de bus y la señal recuperada en tres condiciones de funcionamiento diferentes.

En cada diagrama, A indica la señal de bus, es decir el flujo de datos en el bus de comunicación 1, B indica la señal recuperada a través del circuito PLL anteriormente descrito, CLK indica la señal de reloj y ΔT indica el retraso entre las señales A y B. Cuando el circuito PLL ha bloqueado la señal de bus, el retraso ΔT es igual al retraso deseado (Target_Delay) determinado por el bloque 52.

[0061] El diagrama de la Fig. 7 muestra las formas de onda en el caso de Target_Delay = 0. Debe ser observado que el retraso real ΔT entre las dos señales A y B no es realmente igual a cero, sino más bien a un valor finito, aunque muy pequeño, y se debe al tiempo de cálculo necesario para ejecutar los algoritmos de control de la presente invención que no pueden ser eliminados. La Fig. 8 muestra las formas de onda en el caso de un retraso establecido entre las señales A y B igual a $T_{CLK}/4$, es decir a un cuarto del período de reloj, mientras que la Fig. 9 muestra las mismas formas de onda con un retraso establecido igual a $T_{CLK}/3$.

[0062] En las Figs 7 a 9 se puede observar que el flanco de subida de la señal CLK es mostrado coincidente en el tiempo con el flanco de subida de la señal muestreada (B). Ésta es una situación teórica. En la práctica, habrá un ligero retraso entre la señal CLK y la señal muestreada B, debido a los tiempos de procesamiento.

REIVINDICACIONES

1. Método para la recuperación de reloj y la recuperación de datos a partir de un flujo de datos en un canal de comunicación (1), que incluye las etapas de:
- 5 - muestreo de un flujo de datos en dicho canal de comunicación (1) en una frecuencia de muestreo determinada por una señal de reloj (CLK) y generación de una señal muestreada;
 - determinación de un desplazamiento de fase entre el flujo de datos de comunicación y la señal muestreada aplicando la señal muestreada y el flujo de datos a dos entradas de un comparador de fase (7) que suministra una señal de desplazamiento de fase de salida (Y); **caracterizado por** los pasos de:
 - 10 - aplicación de dicha señal de desplazamiento de fase a un bloque de cálculo de un tiempo de retraso (20) entre dos flancos de la señal de desplazamiento de fase, para suministrar una señal que es una función de dicho tiempo de retraso;
 - 15 - aplicación de una señal que es una función del tiempo de retraso en un compensador (50), cuya salida modifica la fase de dicha señal de reloj (CLK por sus siglas en inglés) en base a dicho desplazamiento de fase, para obtener una diferencia de fase deseada entre dicha señal muestreada y dicho flujo de datos.
2. Método según la reivindicación 1, donde dicho flujo de datos es muestreado en un punto predeterminado de la señal de reloj.
3. Método según la reivindicación 1 o 2, donde dicho flujo de datos es muestreado a través de un circuito sample-and-hold (5).
4. Método como se reivindica en una o más de las reivindicaciones precedentes, donde dicho flujo de datos es muestreado en los flancos de subida de dicha señal de reloj (CLK).
5. Método como se reivindica en una o más de las reivindicaciones precedentes, que comprende el paso de estimar una frecuencia de transmisión del flujo de datos y donde la frecuencia de la señal de reloj (CLK) es determinada como función de la frecuencia de transmisión del flujo de datos.
6. Método como se reivindica en una o más de las reivindicaciones anteriores, donde dicha señal de desplazamiento de fase (Y) es generada aplicando el flujo de datos y la señal muestreada en las entradas (A,B) de una compuerta lógica OR exclusiva (7), y donde la señal de desplazamiento de fase (Y) es determinada por la señal de salida de dicha compuerta lógica (7).
7. Método como se reivindica en una o más de las reivindicaciones anteriores, donde dicha señal de reloj (CLK) es modificada como función de dicha señal de desplazamiento de fase.
8. Método como se reivindica en una o más de las reivindicaciones anteriores, donde dicho compensador (50) es un compensador integral proporcional.
9. Método como se reivindica en una o más de las reivindicaciones anteriores, donde la salida de dicho compensador (50) es aplicada a un generador de señales de reloj (60).
10. Método según la reivindicación 9, donde una señal que indica dicha diferencia deseada en la fase entre la señal muestreada y el flujo de datos es aplicada a dicho generador de señales de reloj (60).
11. Método según la reivindicación 9 o 10, donde la salida de dicho generador de señales de reloj (60) es aplicada a un bloque de retraso de muestreo (70) y la salida del bloque de retraso (70) es utilizada para controlar el muestreo del flujo de datos.
12. Circuito para la recuperación de reloj y la recuperación de datos a partir de un flujo de datos en un canal de comunicación, que comprende un circuito PLL que comprende:
- 55 - un oscilador que genera una señal de reloj en una frecuencia de reloj;
 - un circuito detector de fase que comprende:
 - 60 a. una entrada (5A) para dicho flujo de datos en una frecuencia de comunicación;
 - b. un circuito sample-and-hold (5), controlado por una señal de muestreo en una frecuencia de muestreo;
 - c. un comparador de fase (7) con una primera entrada (A) a la que es aplicado el flujo de datos y una segunda entrada (B) a la que es aplicada una señal muestreada por dicho circuito sample-and-hold (5), la salida (Y) de dicho comparador de fase (7) es una señal de fase que es una función de la diferencia de fase entre dicho flujo de datos y dicha señal muestreada;
 - 65 - un bloque extractor de intervalo de tiempo (20) para determinar la duración de dicha señal de fase (Y), a una

entrada de la cual es aplicada dicha señal de fase;

- un compensador (50), cuya entrada recibe una señal que es una función de la señal de fase y cuya salida suministra una señal de variación de fase que actúa como una señal de control para dicho oscilador (60), que modifica la fase de la señal de reloj de dicho oscilador tal como para hacer que la diferencia de fase entre la señal muestreada y el flujo de datos converja hacia una diferencia de fase deseada.

5 13. Circuito según la reivindicación 12, donde dicha frecuencia de muestreo es una función de una frecuencia de comunicación.

10 14. Circuito según la reivindicación 12 o 13, donde un bloque desplazador de intervalo de tiempo (30) es asociado con dicho bloque de extractor de intervalo de tiempo (20).

15 15. Circuito como se reivindica en una o varias de las reivindicaciones 12 a 14, donde dicha frecuencia de muestreo es una función de la frecuencia de comunicación.

16. Circuito como se reivindica en una o varias de las reivindicaciones 12 a 15, donde dicho comparador de fase comprende una compuerta lógica OR exclusiva (7).

20 17. Circuito como se reivindica en una o varias de las reivindicaciones 12 a 16, donde dicho compensador (50) es un compensador integral proporcional.

18. Circuito según la reivindicación 17, que comprende un bloque de retraso de muestreo (70) que impone un retraso en la señal de muestreo en función del tiempo de transición de nivel máximo del flujo de datos.

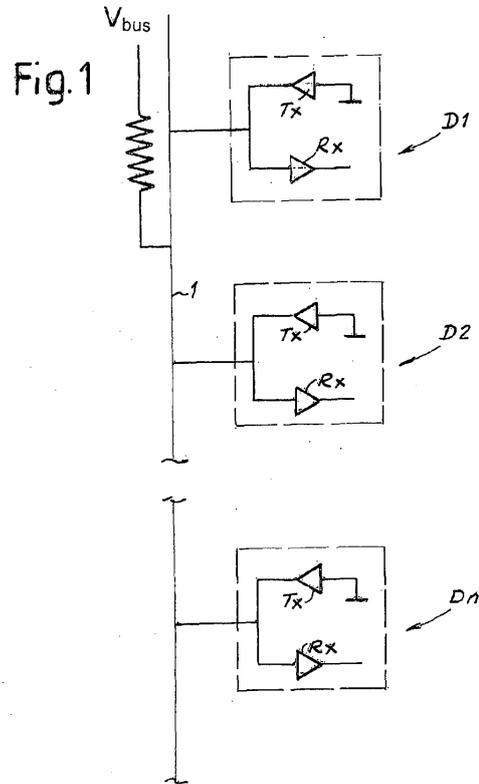


Fig. 1A

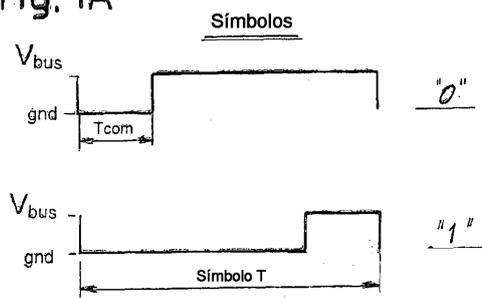


Fig. 2

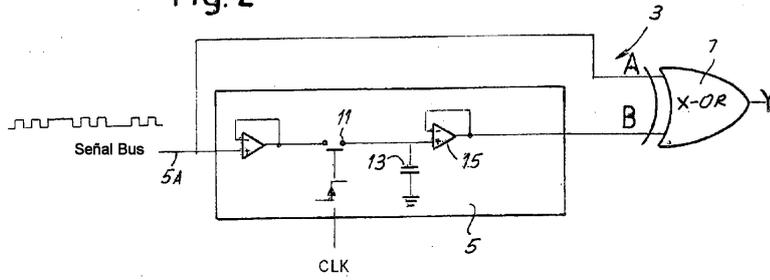


Fig. 3

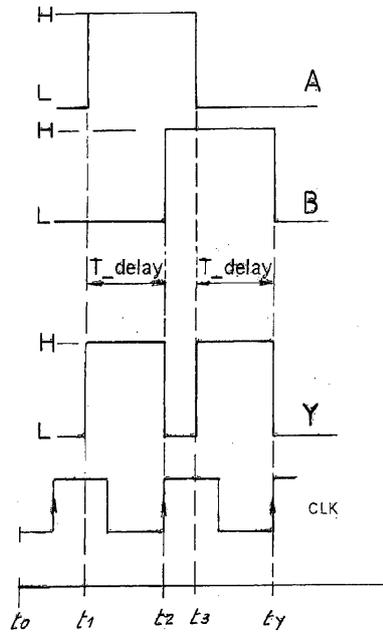
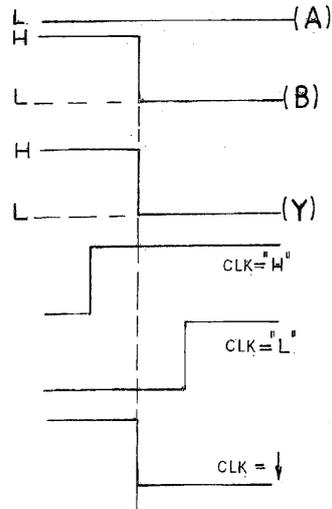
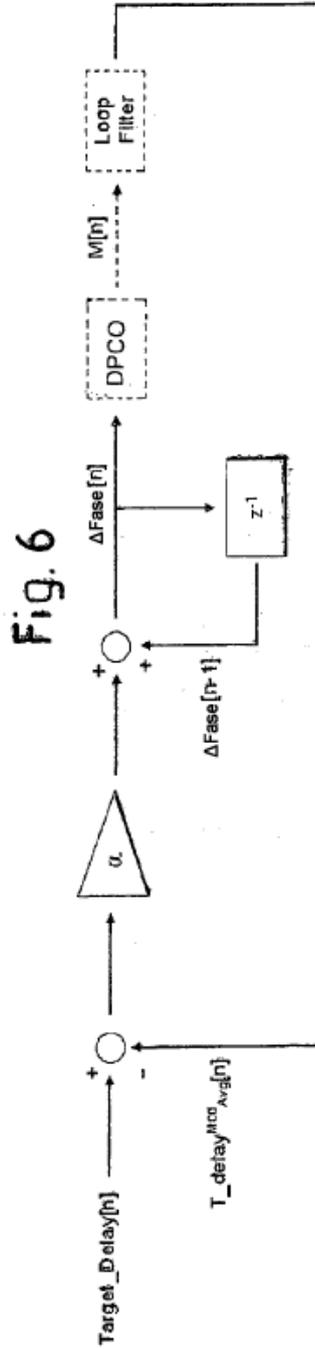
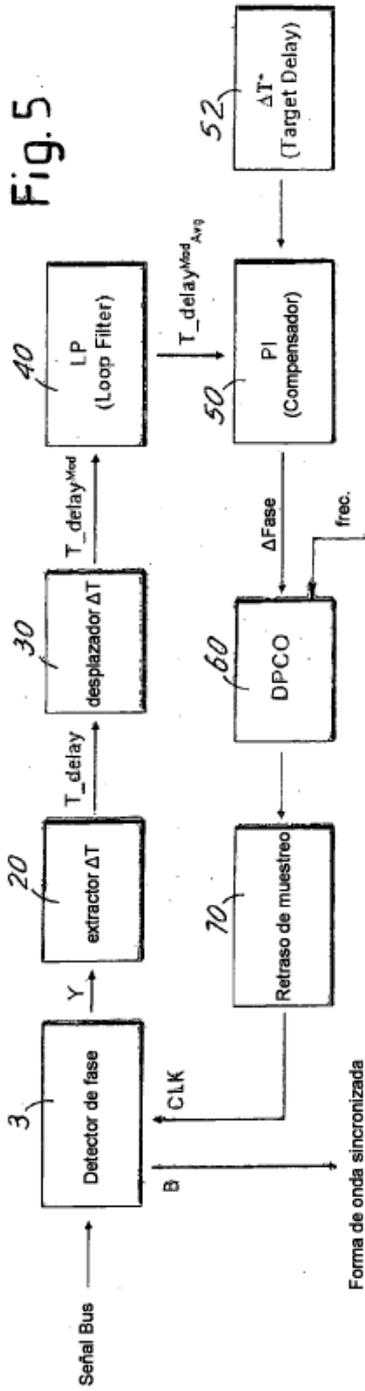


Fig. 4





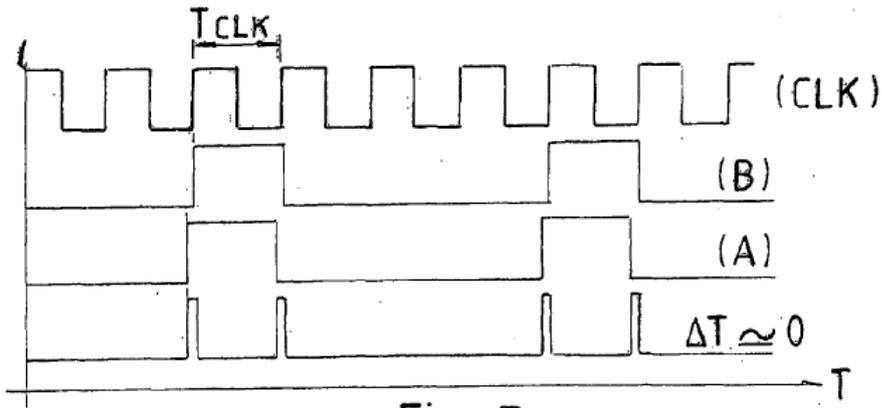


Fig. 7

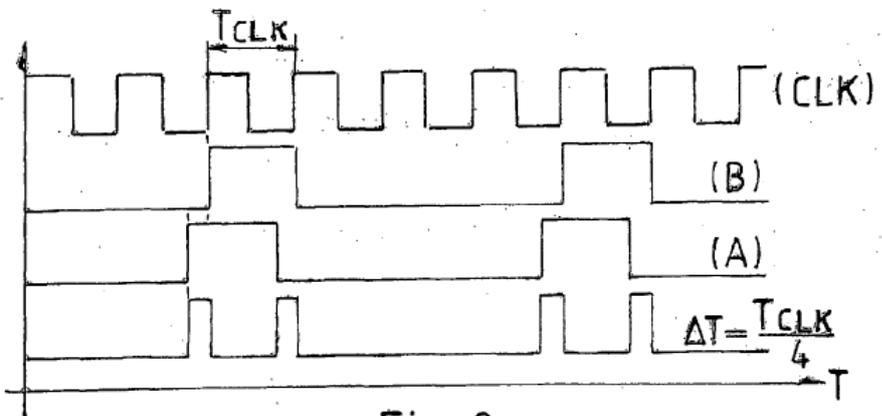


Fig. 8

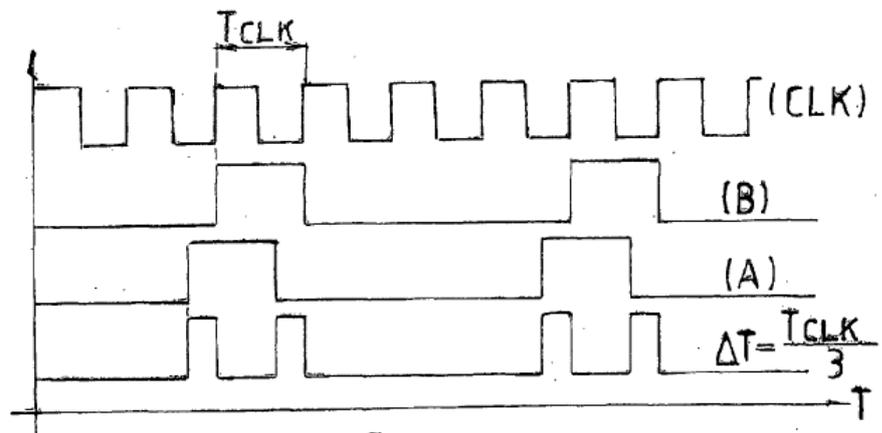


Fig. 9