

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 555 210**

51 Int. Cl.:

H03M 1/06 (2006.01)

H03H 21/00 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **16.12.2008** **E 08875462 (7)**

97 Fecha y número de publicación de la concesión europea: **14.10.2015** **EP 2359479**

54 Título: **Métodos y aparatos para la estimación y la compensación de los errores de no linealidad**

45 Fecha de publicación y mención en BOPI de la traducción de la patente:
29.12.2015

73 Titular/es:

**SIGNAL PROCESSING DEVICES SWEDEN AB
(100.0%)
Teknikringen 6
583 30 Linköping, SE**

72 Inventor/es:

JOHANSSON, HÅKAN

74 Agente/Representante:

VALLEJO LÓPEZ, Juan Pedro

ES 2 555 210 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Métodos y aparatos para la estimación y la compensación de los errores de no linealidad

5 **Campo técnico**

La presente invención se refiere a la estimación y la compensación de los errores de no linealidad. Más específicamente, la presente invención se refiere a la estimación y la compensación de los errores de no linealidad de un circuito de conversión adaptado para recibir una señal de entrada en tiempo continuo y emitir una señal de salida digital, tal como un convertidor de analógico a digital.

Antecedentes

Puede preferirse el procesamiento de la señal digital sobre el procesamiento de señal analógica en muchos casos, por ejemplo, debido a una mayor precisión, un menor consumo de energía, y/o a una superficie de circuito necesaria más pequeña. Con el fin de procesar una señal analógica por medio de un procesamiento de señal digital, ésta tiene que convertirse a una representación digital. Esto se realiza normalmente en un convertidor de analógico a digital (ADC), en el que la señal analógica se muestrea a una tasa de muestreo f_s para generar una señal analógica de tiempo discreto, que a continuación se convierte a una representación digital.

Debido al comportamiento no lineal no deseado de, por ejemplo, el ADC y/o de los circuitos que preceden al ADC, tales como los amplificadores y/o los filtros, la señal está sujeta normalmente a una distorsión no lineal. Una distorsión no lineal de este tipo puede compensarse, por ejemplo, en el dominio digital usando un procesamiento de señal digital.

Para evitar el solapamiento, la señal analógica debería limitarse en banda y tener un ancho de banda que sea menor que la mitad de la tasa de muestreo. Un problema es que normalmente la distorsión no lineal tiende a aumentar el ancho de banda de una señal. Por lo tanto, incluso si la señal analógica (sin distorsión) está limitada en banda adecuadamente, la señal distorsionada no lineal puede muy bien tener un ancho de banda que sea mayor que la mitad de la tasa de muestreo. Un enfoque de fuerza bruta para eludir este problema es aumentar la tasa de muestreo del ADC de tal manera que la tasa de muestreo sea mayor que dos veces el ancho de banda de la señal distorsionada no lineal con el fin de capturar de manera correcta la señal distorsionada no lineal y facilitar la compensación adecuada de la distorsión no lineal en el dominio digital. Sin embargo, aumentar la tasa de muestreo del ADC es indeseable, por ejemplo, en que los requisitos más duros, por ejemplo en términos de velocidad, se establece en los componentes de circuito del ADC, tales como circuitos y comparadores de muestreo y retención.

El artículo de W.A. Frank et al., "Sampling requirements for Volterra system identification", Cartas de procesamiento de señal del IEEE, vol. 3, nº 9, pág. 266 a 268, Septiembre de 1996 divulga que una tasa de muestreo de dos veces tan alta como el ancho de banda de la señal no distorsionada es suficiente para identificar de manera correcta los núcleos de Volterra discretos correspondientes a los núcleos de Volterra continuos de un modelo no lineal. En el artículo de J. Tsimbinos et al., "Input Nyquist sampling suffices to identify and compensate nonlinear systems", Procesamiento de señal en transacciones del IEEE, vol. 46, nº 10, pág. 2833 a 2837, Octubre de 1998, esto se utiliza para muestrear una señal distorsionada a una tasa de muestreo de dos veces el ancho de banda de la señal no distorsionada y para compensar la distorsión no lineal usando un modelo de Volterra inverso. Sin embargo, el uso de un modelo inverso de tipo Volterra resulta en una relativamente alta complejidad computacional, especialmente para altas órdenes de no linealidad y/o mucha memoria, lo que es una desventaja.

El documento US 6.570.514 B1 divulga un compensador de error de linealidad para compensar los errores de linealidad, tales como la distorsión armónica y la distorsión intermodulación, en los dispositivos. El compensador incluye un medio de desplazamiento de fase y un medio de exponenciación para generar una señal de compensación.

Sumario

Un objetivo de la presente invención es proporcionar unos medios para estimar y compensar la distorsión no lineal de la circuitería, tal como un convertidor de analógico a digital, que tenga una señal de entrada en tiempo continuo y una señal de salida digital.

De acuerdo con un primer aspecto, se proporciona una unidad de estimación para estimar un error de no linealidad de un circuito de conversión adaptado para recibir una señal de entrada en tiempo continuo, esencialmente limitada en banda a una banda de frecuencia angular que tenga un límite inferior ω_1 y un límite superior ω_2 , y emitir una señal de salida digital, en la que $\omega_1 > (L-1)\pi/T$, $\omega_2 < L\pi/T$, L es un número entero positivo, y T es un periodo de muestreo del circuito de conversión. La unidad de estimación comprende un puerto de entrada para recibir una señal de entrada digital que tiene una primera tasa de muestreo $1/T$. La señal de entrada digital es una aproximación de la señal de entrada en tiempo continuo al circuito de conversión. Además, el circuito de conversión comprende un puerto de salida para emitir una señal de error estimada digital que tiene la primera tasa de muestreo. La señal de

error estimada digital es una estimación del error de no linealidad del circuito de conversión. Por otra parte, para cada número entero P_k en un conjunto de números enteros, la unidad de estimación comprende una primera unidad de filtro lineal para generar una primera señal $s_1(n)$ como una función lineal de la señal de entrada digital, una unidad de interpolación para interpolar la primera señal $s_1(n)$ para generar una segunda señal $s_2(m)$ que tiene una segunda tasa de muestreo que es un factor $L \cdot R_k$ más alto que la primera tasa de muestreo, en el que R_k es un valor seleccionado de manera que $L \cdot R_k \geq T \cdot \omega_2 \cdot P_k / \pi$, una unidad de no linealidad para generar una tercera señal $s_3(m)$ como $(s_2(m))^{P_k}$, y una segunda unidad de filtro lineal para generar un componente de la señal de error estimada basándose en la tercera señal $s_3(m)$, en la que dicho componente tiene la primera tasa de muestreo. Además, la unidad de estimación comprende un circuito sumador para generar la señal de error estimada como la suma de todos los componentes de la señal de error estimada generada para los números enteros P_k en dicho conjunto de números enteros.

Para $L = 1$, la primera unidad de filtro lineal puede estar dispuesta para recibir dicha señal de entrada digital para generar la primera señal $s_1(n)$.

Para $L \geq 2$, la unidad de estimación puede comprender una unidad de interpolación de paso alto dispuesta para realizar la interpolación de paso alto de la señal de entrada digital con el factor L para generar una señal de entrada interpolada. La primera unidad de filtro lineal $100-k$ puede estar dispuesta para recibir dicha señal de entrada interpolada para generar la primera señal $s_1(n)$.

La unidad de interpolación puede comprender R_k ramas computacionales. Cada rama computacional de la unidad de interpolación puede comprender un componente polifásico de un filtro de interpolación de la unidad de interpolación y adaptarse para generar cada R_k -ésima muestra de la segunda señal $s_2(m)$.

La unidad de no linealidad puede comprender R_k ramas computacionales, cada una de las cuales puede estar adaptada para generar cada R_k -ésima muestra de la tercera señal $s_3(m)$.

La segunda unidad de filtro lineal puede comprender R_k ramas computacionales. Cada rama computacional de la segunda unidad de filtro lineal puede estar adaptada para recibir cada R_k -ésima muestra de la tercera señal $s_3(m)$. Además, cada rama computacional de la segunda unidad de filtro lineal puede comprender un componente polifásico de un filtro de la segunda unidad de filtro lineal. Por otra parte, la segunda unidad de filtro lineal puede comprender un circuito sumador para generar muestras del componente de la señal de error estimada como la suma de las muestras de las señales de salida de los componentes polifásicos del filtro de la segunda unidad de filtro lineal. Para $L \geq 2$, la segunda unidad de filtro lineal puede comprender además una o más unidades de muestreador descendente para muestrear en descenso las señales de salida de los componentes polifásicos o la señal de salida del circuito sumador con el factor L .

De acuerdo con un segundo aspecto, se proporciona un circuito de compensación para compensar los errores de no linealidad de un circuito de conversión adaptado para recibir una señal de entrada en tiempo continuo y generar una señal de salida digital. El circuito de compensación comprende un puerto de entrada para recibir la señal de salida digital desde el circuito de conversión. Además, el circuito de compensación comprende una primera unidad de restador para restar una primera señal de error estimada a partir de la señal de salida digital del circuito de conversión y generar de este modo una primera señal de salida digital compensada. Además, el circuito de compensación comprende una primera unidad de estimación de acuerdo con el primer aspecto, dispuesta para recibir la señal de salida digital desde el circuito de conversión en su puerto de entrada y generar la primera señal de error estimada en su puerto de salida.

El circuito de compensación puede comprender M unidades de estimación adicionales de acuerdo con el primer aspecto. Para $2 \leq i \leq M+1$, la i -ésima unidad de estimación puede adaptarse para generar una i -ésima señal de error estimada en su puerto de salida. Además, de nuevo para $2 \leq i \leq M+1$, el circuito de compensación puede comprender una i -ésima unidad de restador para restar la i -ésima señal de error estimada a partir de la señal de salida digital del circuito de conversión y generar de este modo una i -ésima señal de salida digital compensada. Por otra parte, una vez más para $2 \leq i \leq M+1$, la i -ésima unidad de estimación puede estar dispuesta para recibir la $(i-1)$ -ésima señal de salida digital compensada en su puerto de entrada.

De acuerdo con un tercer aspecto, se proporciona un circuito electrónico. El circuito electrónico comprende un circuito de conversión adaptado para recibir una señal de entrada en tiempo continuo y generar una señal de salida digital. Además, el circuito electrónico comprende un circuito de compensación de acuerdo con el segundo aspecto. El circuito de compensación está dispuesto para recibir la señal de salida digital del circuito de conversión en su puerto de entrada. El circuito de conversión puede ser un convertidor de analógico a digital.

De acuerdo con un cuarto aspecto, un circuito integrado comprende el circuito de compensación de acuerdo con el segundo aspecto.

De acuerdo con un quinto aspecto, un aparato electrónico comprende el circuito de compensación de acuerdo con el segundo aspecto. El aparato electrónico puede ser, por ejemplo, pero no se limita a, un equipo de medición, un

receptor de radio o un equipo de radar.

De acuerdo con un sexto aspecto, se proporciona un método de estimación de un error de no linealidad de un circuito de conversión adaptado para recibir una señal de entrada en tiempo continuo, esencialmente limitada en banda a una banda de frecuencia angular que tiene un límite inferior ω_1 y un límite superior ω_2 , y emitir una señal de salida digital, en la que $\omega_1 > (L-1)\pi/T$, $\omega_2 < L\pi/T$, L es un número entero positivo, y T es un periodo de muestreo del circuito de conversión. De acuerdo con el método, se recibe una señal de entrada digital que tiene una primera tasa de muestreo. La señal de entrada digital es una aproximación de la señal de entrada en tiempo continuo al circuito de conversión. Además, el método comprende, para cada número entero P_k en un conjunto de números enteros, generar una primera señal $s_1(n)$ como una función lineal de la señal de entrada digital, interpolar la primera señal $s_1(n)$ para generar una segunda señal $s_2(m)$ que tiene una segunda tasa de muestreo que es un factor $L \cdot R_k$ más alta que la primera tasa de muestreo, en el que R_k es un valor seleccionado de manera que $L \cdot R_k \geq T \cdot \omega_2 \cdot P_k / \pi$, generar una tercera señal $s_3(m)$ como $(s_2(m))^{P_k}$, y generar un componente de una señal de error estimada basándose en el filtrado lineal de la tercera señal $s_3(m)$, en el que dicho componente tiene la primera tasa de muestreo. Por otra parte, de acuerdo con el método, la señal de error estimada se genera como la suma de todos los componentes de la señal de error estimada generada para los números enteros P_k en dicho conjunto de números enteros.

De acuerdo con un séptimo aspecto, se proporciona un método de compensación de errores de no linealidad de un circuito de conversión adaptado para recibir una señal de entrada en tiempo continuo y generar una señal de salida digital. El método comprende recibir la señal de salida digital del circuito de conversión. Además, el método comprende generar una primera señal de error estimada de acuerdo con el método del sexto aspecto usando la señal de salida digital del circuito de conversión como la señal de entrada digital. Por otra parte, el método comprende generar una primera señal de salida digital compensada restando la primera señal de error estimada de la señal de salida digital del circuito de conversión.

El método puede comprender generar M señales de salida digitales compensadas adicionales. Para $2 \leq i \leq M+1$, una i -ésima señal de error estimada puede generarse de acuerdo con el método del sexto aspecto usando la $(i-1)$ -ésima señal de salida compensada como la señal de entrada digital. Por otra parte, de nuevo para $2 \leq i \leq M+1$, la i -ésima señal de salida digital compensada puede generarse restando la i -ésima señal de error estimada de la señal de salida digital del circuito de conversión.

De acuerdo con un octavo aspecto, se proporciona un producto de programa de ordenador que comprende unos medios de código de programa de ordenador para ejecutar el método de acuerdo con el aspecto sexto o séptimo cuando dichos medios de código de programa de ordenador se ejecutan por un dispositivo electrónico que tiene capacidades informáticas.

De acuerdo con un noveno aspecto, se proporciona un medio legible por ordenador que tiene almacenado en el mismo un producto de programa de ordenador que comprende unos medios de código de programa de ordenador para ejecutar el método de acuerdo con el aspecto sexto o séptimo cuando dichos medios de código de programa de ordenador se ejecutan por un dispositivo electrónico que tiene capacidades informáticas.

De acuerdo con un décimo aspecto, se proporciona una entidad de descripción de hardware que comprende un código de descripción de hardware interpretable que describe la unidad de estimación de acuerdo con el primer aspecto o el circuito de compensación de acuerdo con el segundo aspecto y permitiendo la fabricación asistida por ordenador de los mismos como una unidad de hardware de aplicación específica, a través de la configuración de una unidad de hardware configurable, o una combinación de las mismas.

Debería enfatizarse que el término "comprende/que comprende" cuando se usa en esta memoria descriptiva se toma para especificar la presencia de características, números enteros, etapas o componentes, pero no excluye la presencia o adición de una o más características, números enteros, etapas, componentes o grupos de los mismos.

Breve descripción de los dibujos

Otros objetivos, características y ventajas de las realizaciones de la invención aparecerán a partir de la siguiente descripción detallada, haciendo referencia a los dibujos adjuntos, en los que:

- La figura 1 es un diagrama de bloques de un circuito electrónico de acuerdo con una realización de la presente invención;
- La figura 2 es un diagrama de bloques de un circuito de compensación de acuerdo con una realización de la presente invención;
- La figura 3 ilustra un modelo de referencia de tiempo continuo de un circuito de conversión;
- Las figuras 4a-f ilustran la derivación de un modelo de tiempo discreto de un circuito de conversión;
- La figura 5 es un diagrama de bloques de una unidad de estimación de acuerdo con una realización de la presente invención;
- Las figuras 6a y b son diagramas de bloques de unas realizaciones de una unidad de interpolación;

- Las figuras 7a y b son diagramas de bloques de unas realizaciones de una unidad de no linealidad;
 Las figuras 8a y b son diagramas de bloques de unas realizaciones de una unidad de filtro lineal;
 La figura 9 ilustra de manera esquemática un circuito integrado de acuerdo con una realización de la presente invención;
 5 La figura 10 ilustra de manera esquemática un aparato electrónico de acuerdo con una realización de la presente invención;
 Las figuras 11 y 12 son diagramas de flujo para los métodos de acuerdo con unas realizaciones de la presente invención;
 La figura 13 es un diagrama de bloques de una unidad de estimación de acuerdo con una realización de la presente invención;
 10 La figura 14 es un diagrama de bloques de una unidad de interpolación de paso alto de acuerdo con una realización de la presente invención;
 Las figuras 15a-b son diagramas de bloques de una unidad de filtro lineal de acuerdo con unas realizaciones de la presente invención; y
 15 La figura 16 ilustra de manera esquemática un medio legible por ordenador y una unidad de hardware programable.

Descripción detallada

- 20 La figura 1 es un diagrama de bloques de un circuito electrónico 1 de acuerdo con una realización de la presente invención. El circuito electrónico 1 comprende un circuito de conversión 10 adaptado para recibir una señal de entrada en tiempo continuo $x_a(t)$, en la que t indica el tiempo, en un puerto de entrada 12 del circuito de conversión 10 y genera una señal de salida digital $y(n)$, en la que n es un índice de secuencia de valores enteros, del circuito de conversión de 10 en un puerto de salida 14 del circuito de conversión. El circuito de conversión 10 se ilustra en la
 25 figura 1 como un convertidor de analógico a digital (ADC). Sin embargo, el circuito de conversión 10 no se limita a un ADC, sino que puede comprender, por ejemplo, un ADC y unos componentes adicionales, tales como, pero no limitado a, unos amplificadores de amortiguación, unos amplificadores de ganancia variable (VGA), y/o unos filtros conectados al ADC. Tanto el ADC como dichos componentes adicionales pueden, en tal caso, contribuir a un error de no linealidad del circuito de conversión 10. En el resto de esta memoria descriptiva, el circuito de conversión 10 se denominará como el ADC 10 por simplicidad, aunque esta terminología no debería interpretarse como una limitación como se ha indicado anteriormente.

- Idealmente, la señal de salida digital $y(n)$ del ADC 10 es igual a $x(n) = x_a(nT)$, en la que T es el período de muestreo del ADC 10 y $x(n)$ indica una señal de salida ideal, o deseada, del ADC 10. Sin embargo, debido a las no linealidades en el ADC 10, $y(n)$ se desviará de $x(n)$.
 35

- De acuerdo con la realización ilustrada en la figura 1, el circuito electrónico 1 comprende un circuito de compensación para compensar los errores de no linealidad del ADC 10. El circuito de compensación 20 está dispuesto para recibir la señal de salida digital del ADC 10 en un puerto de entrada 22 del circuito de compensación
 40 20.

- Además, de acuerdo con la realización ilustrada en la figura 1, el circuito de compensación 20 comprende una unidad de estimación 30a. La unidad de estimación 30a tiene un puerto de entrada 32a para recibir una señal de entrada digital, que es una aproximación de tiempo discreto de la señal de entrada en tiempo continuo $x_a(t)$ del ADC
 45 10. La unidad de estimación 30a está adaptada para usar un modelo (que se describe adicionalmente a continuación) de las no linealidades del ADC 10 para estimar el error de no linealidad en la señal de salida digital del ADC 10 usando la señal de entrada digital de la unidad de estimación 30a como entrada para el modelo. En la realización ilustrada en la figura 1, la señal de salida digital $y(n)$ del ADC 10, que es una relativamente buena aproximación de tiempo discreto de la señal de entrada $x_a(t)$ para el ADC 10 (es decir, una relativamente buena
 50 aproximación de $x(n)$) siempre que los errores de no linealidad del ADC 10 sean relativamente pequeños en comparación con la señal de salida deseada $x(n)$, se usa como la señal de entrada digital de la unidad de estimación 30a. La unidad de estimación 30a está adaptada para generar una señal de error estimada, que es una estimación del error de no linealidad del ADC 10, en un puerto de salida 34a de la unidad de estimación 30a.

- Además, en la realización ilustrada en la figura 1, el circuito de compensación 20 comprende una unidad de restador 40a para restar la señal de error estimada generada por la unidad de estimación 30a de la señal de salida digital $y(n)$ del ADC 10. De este modo, la unidad de restador 40a genera una señal de salida digital compensada $y_1(n)$, que se emite en un puerto de salida 42a de la unidad de restador 40a. La señal de salida digital compensada $y_1(n)$ generada por la unidad de restador 40a puede ser una señal de salida del circuito de compensación 20.
 60

- Siempre que los parámetros de modelo del modelo se sintonicen de manera apropiada para capturar el error de no linealidad, y que el error de no linealidad en la señal de salida digital $y(n)$ sea relativamente pequeño en comparación con la señal de salida deseada $x(n)$, la señal de salida digital compensada $y_1(n)$ será una mejor aproximación de $x(n)$ que lo que es $y(n)$. Por lo tanto, el ADC 10 junto con el circuito de compensación 20 proporciona un ADC (con $y_1(n)$ como señal de salida) que tiene una mejor linealidad que solo el ADC 10. Debería observarse que esto no es cierto en un sentido general para cualquier sistema no lineal. Por ejemplo, si el error de
 65

no linealidad es excesivamente grande, $y(n)$ será una aproximación demasiado pobre de $x(n)$ de la unidad de estimación 30a que es capaz de hacer una estimación suficientemente buena del error de no linealidad, por lo que $y_1(n)$ puede ser en realidad una aproximación peor de $x(n)$ de lo que es $y(n)$. Los ADC (u otros circuitos de conversión), a los que pueden aplicarse las realizaciones de la presente invención, pueden determinarse para mejorar la linealidad, por ejemplo, por medio de mediciones y/o simulaciones de circuitos. En el resto de esta memoria descriptiva, se supone que las no linealidades del ADC 10 son de tal manera que $y_1(n)$ es una mejor aproximación de $x(n)$ que $y(n)$.

De acuerdo con la realización ilustrada en la figura 1, el circuito de compensación 20 está dispuesto para realizar la compensación de la señal de salida digital $y(n)$ del ADC 10 en una sola fase. De acuerdo con otras realizaciones, el circuito de compensación 20 está dispuesto para realizar la compensación de manera iterativa en una pluralidad de fases. Esto se ilustra en la figura 2, que muestra un diagrama de bloques del circuito de compensación 20 de acuerdo con una realización de la presente invención. En la realización ilustrada en la figura 2, la compensación se realiza en tres fases. Esto es, sin embargo, solo un ejemplo usado para la ilustración. En otras realizaciones, puede usarse cualquier número de fases para la compensación.

Además de la unidad de estimación 30a y de la unidad de restador 40a, que también están presentes en la realización ilustrada en la figura 1, la realización del circuito de compensación 20 ilustrada en la figura 2 comprende dos unidades de estimación adicionales 30b y c, y dos unidades de restador adicionales 40b y c. En lo siguiente, las unidades de estimación 30a, b, y c se denominan como las unidades de estimación primera, segunda y tercera, respectivamente. Del mismo modo, las unidades de restador 40a, b, y c se denominan como las unidades de restador primera, segunda, y tercera, respectivamente. La señal de error estimada generada en el puerto de salida 34a de la primera unidad de estimación 30a se denomina como una primera señal de error estimada, y la señal de salida digital compensada $y_1(n)$ generada en el puerto de salida 42a de la primera unidad de restador 40a se denomina como una primera señal de salida digital compensada. Del mismo modo, la señal de error estimada generada en un puerto de salida 34b de la segunda unidad de estimación 30b se denomina como una segunda señal de error estimada, y la señal de salida digital compensada generada en un puerto de salida 42b de la segunda unidad de restador 40b se denomina como una segunda señal de salida digital compensada $y_2(n)$. Por otra parte, la señal de error estimada generada en un puerto de salida 34c de la tercera unidad de estimación 30c se denomina como una tercera señal de error estimada, y la señal de salida digital compensada generada en un puerto de salida 42c de la tercera unidad de restador 40c se denomina como una tercera señal de salida digital compensada $y_3(n)$.

La primera unidad de estimación 30a y la primera unidad de restador 40a están dispuestas como en la realización ilustrada en la figura 1. La segunda unidad de estimación 30b está dispuesta para recibir la primera señal de salida digital compensada $y_1(n)$ en su puerto de entrada 32b. Ya que la primera señal de salida digital compensada $y_1(n)$ es una mejor aproximación de $x(n)$ que la que es la señal de salida digital $y(n)$ del ADC 10, la segunda unidad de estimación 30b tiene unos datos de entrada más adecuados que los que tiene la primera unidad de estimación 30a, y por lo tanto está capacitada para hacer una mejor estimación del error de no linealidad en la señal de salida digital $y(n)$ del ADC 10 que la primera unidad de estimación 30a. La segunda unidad de restador 40b está dispuesta para restar la segunda señal de error estimada generada en el puerto de salida 34b de la segunda unidad de estimación 30b de la señal de salida digital $y(n)$ del ADC 10 para generar la segunda señal de salida digital compensada $y_2(n)$. Ya que la segunda señal de error estimada es una mejor estimación del error de no linealidad en la señal de salida digital $y(n)$ del ADC 10 que la que es la primera señal de error estimada, la segunda señal de salida digital compensada $y_2(n)$ es una mejor aproximación de $x(n)$ que lo que es la primera señal de salida digital compensada $y_1(n)$.

De manera similar, la tercera unidad de estimación 30c está dispuesta para recibir la segunda señal de salida digital compensada $y_2(n)$ en su puerto de entrada 32c. Ya que la segunda señal de salida digital compensada $y_2(n)$ es una mejor aproximación de $x(n)$ que lo que es la primera señal de salida digital compensada $y_1(n)$, la tercera unidad de estimación 30c tiene unos datos de entrada más adecuados que los que tiene la segunda unidad de estimación 30b, y por lo tanto está capacitada para hacer una mejor estimación del error de no linealidad en la señal de salida digital $y(n)$ del ADC 10 que la segunda unidad de estimación 30b. La tercera unidad de restador 40c está dispuesta para restar la tercera señal de error estimada generada en el puerto de salida 34c de la tercera unidad de estimación 30c de la señal de salida digital $y(n)$ del ADC 10 para generar la tercera señal de salida digital compensada $y_3(n)$. Ya que la tercera señal de error estimada es una mejor estimación del error de no linealidad en la señal de salida digital $y(n)$ del ADC 10 que la que es la segunda señal de error estimada, la tercera señal de salida digital compensada $y_3(n)$ es una mejor aproximación de $x(n)$ que la que es la segunda señal de salida digital compensada $y_2(n)$.

Anteriormente, se ha descrito la compensación en múltiples fases con referencia a la figura 2, en la que el número de fases, o iteraciones, es de tres. En términos más generales, las realizaciones de un circuito de compensación 20 dispuesto para realizar la compensación en una pluralidad de fases comprende, además de la primera unidad de estimación 30a, M unidades de estimación adicionales, en la que M es un número entero. La i -ésima unidad de estimación está adaptada para generar una i -ésima señal de error estimada en un puerto de salida de la i -ésima unidad de estimación. Además, dichas realizaciones del circuito de compensación 20 dispuesto para realizar la compensación en una pluralidad de fases comprende, además de la primera unidad de restador 30a, M unidades de restador adicionales. La i -ésima unidad de restador está dispuesta para restar la i -ésima señal de error estimada de

la señal de salida digital $y(n)$ del ADC 10 y generar de ese modo una i -ésima señal de salida digital compensada $y_i(n)$. Para $2 \leq i \leq M+1$, la i -ésima unidad de estimación está dispuesta para recibir la $(i - 1)$ -ésima señal de salida digital compensada $y_{i-1}(n)$ en su puerto de entrada.

- 5 Las realizaciones del circuito de compensación 20 dispuesto para realizar la compensación en una pluralidad de fases descritas anteriormente proporcionan unas señales de salida digitales compensadas que se mejoran de manera gradual (para cada fase) a las aproximaciones de la señal de salida deseada $x(n)$. La señal de salida digital compensada generada por la unidad de restador en la última fase de la cadena, es decir, $y_{M+1}(n)$ con referencia a la descripción general anterior, puede ser la señal de salida del circuito de compensación 20. El ADC 10 junto con el
 10 circuito de compensación 20 proporciona un ADC (con $y_{M+1}(n)$ como señal de salida) que tiene una mejor linealidad que solo el ADC 10.

Todas de la pluralidad de unidades de estimación (es decir, 30a-c en la figura 2) en el circuito de compensación 20 pueden ser del mismo tipo. De acuerdo con algunas realizaciones, todas las unidades de estimación 30a-c son
 15 idénticas. De acuerdo con otras realizaciones, una o más de las unidades de estimación 30a-c pueden ser diferentes de las otras. Como ejemplo, la precisión computacional de las unidades de estimación puede adaptarse a la calidad de sus respectivas señales de entrada. Por ejemplo, para una unidad de estimación en una fase temprana de la cadena, la exactitud de la señal de error estimada generada puede estar limitada por inexactitudes (en términos de desviación de $x(n)$) en la señal de entrada a la unidad de estimación. En tal caso, los requisitos relativos a la
 20 precisión computacional para esta unidad de estimación pueden relajarse en comparación con las unidades de estimación en las fases posteriores de la cadena, con lo que puede evitarse el uso de una mayor precisión computacional que la necesaria. Por ejemplo, esto puede utilizarse representando una o más señales internas y/o unos coeficientes del modelo con menos bits en dicha unidad de estimación en la fase temprana de la cadena que en dichas unidades de estimación en las fases posteriores de la cadena, lo que a su vez facilita un consumo de
 25 energía reducido y/o una superficie de circuito necesaria.

Por ejemplo, puede determinarse un número adecuado de fases en el circuito de compensación 20 basándose en mediciones y/o simulaciones por ordenador. Los siguientes factores pueden considerarse al determinar el número de
 30 fases:

- Cuando el número de fases aumenta, pueden comenzar a dominar otros errores que los compensados por el circuito de compensación 20. Ejemplos de tales errores pueden ser el ruido, los errores de cuantificación, y/o los errores debidos a las imprecisiones en el modelo usado internamente en las unidades de estimación. Para un cierto número de fases (que, por ejemplo, puede determinarse basándose en las mediciones y/o las simulaciones
 35 por ordenador), la mejora conseguida sumando una fase adicional puede ser despreciable.
- Una especificación de sistema puede dictar una cierta calidad, por ejemplo, en términos de señal-ruido mínima y la relación de distorsión (SNDR) u otra métrica de rendimiento, para la señal de salida del circuito de compensación 20. Una vez que se cumple esta especificación, puede ser innecesario añadir más fases en el
 40 circuito de compensación 20.

Una derivación del modelo de no linealidad de tiempo discreto usado en las realizaciones de las unidades de estimación 30a-c (las figuras 1 y 2) se presenta a continuación con referencia a las figuras 3 y 4a-f.

La figura 3 ilustra un modelo de referencia de tiempo continuo del ADC 10 (u otro circuito de conversión) que se usa
 45 como punto de partida para la derivación del modelo de no linealidad de tiempo discreto. En el modelo de referencia, la señal de entrada en tiempo continuo $x_a(t)$ se introduce en un número de ramas, cuyas salidas se suman entre sí para formar una señal de salida en tiempo continuo $y_a(t)$, que se muestrea a una tasa de muestreo de $1/T$, en la que T indica el período de la muestra, para formar la señal de salida de tiempo discreto $y(n) = y_a(nT)$. La rama superior de la figura 3 proporciona la señal deseada, mientras que las otras N ramas contribuyen a un error de no linealidad
 50 $e_a(t) = H_a[x_a(t)]$, en la que H_a es un operador no lineal de tiempo continuo que actúa sobre $x_a(t)$. Se verifica fácilmente que $y(n) = x(n) + e(n)$, en la que el error de no linealidad de tiempo discreto $e(n) = e_a(nT)$. A continuación, la derivación se refiere a un modelo de tiempo discreto que representa un operador no lineal de tiempo discreto H , que es equivalente al operador no lineal de tiempo continuo H_a , de tal manera que $e(n) = H[x(n)]$.

55 En el modelo de referencia en la figura 3, para cada k de tal manera que $1 \leq k \leq N$, la k -ésima rama comprende un sistema lineal con una respuesta de impulso $f_{ak}(t)$, que se sigue por una no linealidad estática $(\cdot)^{P-k}$, en la que $P-k$ es un número entero. La no linealidad estática se sigue a su vez por otro sistema lineal con una respuesta de impulso $g_{ak}(t)$. Un sistema no lineal compuesto de un sistema lineal seguido de una no linealidad estática y otro sistema lineal se denomina como un sistema de LNL (lineal no lineal lineal). Un modelo de no linealidad, tal como el ilustrado en la
 60 figura 3, que tiene una serie de ramas paralelas de modelos LNL, se denomina como un modelo LNL paralelo. Por ejemplo, tales modelos se presentan en el artículo de H.- W. Chen, "Modeling and identification of parallel nonlinear systems: Structural classification and parameter estimation methods", Proc. del IEEE, vol. 83, nº 1, pág. 39 - 66, Enero de 1995. El tipo de modelo ilustrado en la figura 3 ha resultado ser útil para modelar circuitos electrónicos analógicos, tales como, pero no limitado a los ADC. A continuación, los sistemas lineales con respuestas de impulso
 65 $f_{ak}(t)$ y $g_{ak}(t)$ se denominan como el filtro $f_{ak}(t)$ y el filtro $g_{ak}(t)$, respectivamente.

El conjunto de números enteros $[P_1, \dots, P_N]$ debería elegirse, por ejemplo, sobre la base de las mediciones y/o las simulaciones por ordenador, tal como para capturar de manera adecuada las no linealidades del circuito a modelar. De acuerdo con un ejemplo no limitativo, $P_k = k + 1$, de tal manera que dicho conjunto de números enteros se compone de todos los números enteros entre e incluyendo a 2 y $N + 1$. En los circuitos que emplean una topología diferencial, los términos de distorsión de orden par normalmente se cancelan o se cancelan de manera aproximada. Para un circuito de este tipo, una elección adecuada puede ser $P_k = 2k + 1$, de tal manera que dicho conjunto de números enteros se compone de todos los números enteros impares entre e incluyendo a 3 y $2N + 1$.

A continuación, se supone que la señal de entrada en tiempo continuo $x_a(t)$ está limitada en banda de manera correcta, al no tener (o, en la práctica, solo despreciable) un contenido espectral por encima de una frecuencia $f_0 < 1/(2T)$, de tal manera que puede muestrearse a la tasa de muestreo $1/T$ sin solapamiento de acuerdo con el teorema de muestreo de Nyquist. A pesar de que $x_a(t)$ está limitada en banda de manera correcta, el error de no linealidad $e_a(t)$ por lo general no estará limitado en banda de manera correcta, debido a la propagación de la frecuencia espectral provocada por las no linealidades $(\cdot)^{P_k}$. Por lo tanto, la señal $y(n)$ se obtiene por un submuestreo de $y_a(t)$, con lo que el contenido de $y_a(t)$ localizado por encima de la frecuencia $1/(2T)$ se solapa en la banda de señal $0 \leq f < 1/(2T)$, en la que f indica la frecuencia.

Las figuras 4a-f ilustran la derivación de un modelo de tiempo discreto de una de las ramas (la k -ésima rama) del modelo ilustrado en la figura 3. En la figura 4a, la toma de muestras en los tiempos nT se mueve desde después de la suma de las señales de salida de las ramas (que es el caso en la figura 3) a directamente después del filtro $g_{ak}(t)$. La salida del muestreador en la figura 4a se indica por $e_k(n)$. Se comprueba fácilmente que el error de no linealidad

$$e(n) = \sum_{k=1}^N e_k(n).$$

En la figura 4b, la toma de muestras en la salida del filtro $g_{ak}(t)$ se reemplaza con un muestreador R_k veces más rápido seguido por un muestreador descendente que muestrea en descenso la señal de salida del muestreador con el factor R_k y descarta las muestras redundantes. El factor R_k se selecciona mayor que o igual a $T \cdot \omega_0 \cdot P_k / \pi$, en la que $\omega_0 = 2 \pi f_0$ es la frecuencia angular correspondiente a la frecuencia de ancho de banda de la señal f_0 . A continuación, se usa el índice de secuencia n para las señales de tiempo discreto con la tasa de muestreo $1/T$ y se usa el índice de secuencia m para las señales de tiempo discreto con la tasa de muestreo R_k/T .

Como se ha indicado anteriormente, $x_a(t)$ es de banda limitada y no tiene contenido espectral por encima de la frecuencia f_0 . En consecuencia, la señal de salida de la no linealidad $(\cdot)^{P_k}$ es de banda limitada y no tiene contenido espectral por encima de una frecuencia $f_0 P_k$. Ya que el factor R_k se selecciona mayor que o igual a $T \cdot \omega_0 \cdot P_k / \pi$, la señal de salida del filtro $g_{ak}(t)$ puede muestrearse a la tasa de muestreo R_k/T sin solapamiento de acuerdo con el teorema de muestreo. Por lo tanto, el filtro $g_{ak}(t)$ seguido por el muestreador en la figura 4b puede sustituirse por un muestreador seguido por un filtro digital $g_k(m)$ que tenga la misma respuesta de frecuencia que $g_{ak}(t)$, es decir, $G(e^{j\omega T/R_k}) = g_{ak}(j\omega)$, en la región de frecuencia angular $0 \leq \omega \leq \omega_0 P_k$, en la que j indica la unidad imaginaria, ω indica

la frecuencia angular, $G(e^{j\omega T/R_k}) = \sum_{m=-\infty}^{\infty} g_k(m) e^{-j\omega m T/R_k}$ indica la transformada de Fourier de

$$G_{ak}(j\omega) = \int_{-\infty}^{\infty} g_{ak}(t) e^{-j\omega t} dt$$

tiempo discreto de $g_k(m)$, y $G_{ak}(j\omega)$ indica la transformada de Fourier de tiempo continuo de $g_{ak}(t)$. Esto se ilustra en la figura 4c.

Como la no linealidad $(\cdot)^{P_k}$ es estática (sin memoria), el orden del muestreador y la no linealidad $(\cdot)^{P_k}$ pueden intercambiarse. Esto se muestra en la figura 4d.

Ya que el filtro $f_{ak}(t)$ es lineal, la señal de salida del filtro $f_{ak}(t)$ es limitada en banda de manera correcta para permitir la toma de muestras en la tasa de muestreo $1/T$ sin solapamiento. La señal de entrada a la no linealidad puede obtenerse de manera equivalente a través de la toma de muestras de la señal de salida en la tasa de muestreo $1/T$ e interpolando la señal muestreada resultante con el factor R_k . En la figura 4e, esto se logra mediante la toma de muestras ascendente con el factor R_k seguido de una filtración con un filtro de interpolación $h_k(m)$.

Por lo tanto, el filtro $f_{ak}(t)$, seguido por el muestreador en la figura 4e puede sustituirse por un muestreador seguido por un filtro digital $f_k(n)$ que tenga la misma respuesta de frecuencia que $f_{ak}(t)$, es decir, $F(e^{j\omega T}) = f_{ak}(j\omega)$, en la región

de frecuencia angular $0 \leq \omega \leq \omega_0$, en la que $F(e^{j\omega T}) = \sum_{n=-\infty}^{\infty} f_k(n) e^{-j\omega n T}$ indica la transformada

$$F_{ak}(j\omega) = \int_{-\infty}^{\infty} f_{ak}(t) e^{-j\omega t} dt$$

de Fourier de tiempo discreto de $f_k(n)$, y indica la transformada de
 Fourier de tiempo continuo $f_{ak}(t)$. Esto se ilustra en la figura 4f.

5 Sustituyendo cada una de las ramas en la parte no lineal del modelo en la figura 3 con la rama de tiempo discreto correspondiente ilustrada en la figura 4f y realizando la adición de las señales de salida $e_k(n)$ de las diferentes ramas en tiempo discreto para formar $e(n)$, y añadiendo $e(n)$ a $x(n)$ para formar $y(n)$, se obtiene un modelo de tiempo discreto que es equivalente al modelo de tiempo continuo ilustrado en la figura 3. Equivalente en este contexto significa que los mismos valores de muestra de $y(n)$ se obtienen para el modelo de tiempo discreto derivado que para el modelo de tiempo continuo ilustrado en la figura 3. Ya que todas las ramas funcionan en la misma tasa de muestreo de entrada $1/T$ (es decir, que todas tienen la misma señal de entrada $x(n)$), puede compartirse un único muestreador dispuesto a muestrear $x_a(t)$ para formar $x(n)$ entre todas las ramas en el modelo de tiempo discreto.

10 Como se describe a continuación en el contexto de las realizaciones de la unidad de estimación 30, el uso de una representación polifásica de los filtros en la figura 4f permite el uso de la tasa de muestreo $1/T$ a lo largo de todo el modelo de tiempo discreto equivalente. Es decir, aunque las no linealidades aumentan el ancho de banda de las señales, no es necesario usar una tasa de muestreo que sea superior que $1/T$ en cualquier lugar dentro del modelo.

20 La figura 5 es un diagrama de bloques de una unidad de estimación 30 de acuerdo con una realización de la presente invención. Por ejemplo, la unidad de estimación 30 puede ser una cualquiera de las unidades de estimación 30a-c en las figuras 1 y 2. La estructura interna de la unidad de estimación de 30 en la realización ilustrada en la figura 5 se basa en y está motivada por el modelo de tiempo discreto derivado anteriormente con referencia a las figuras 3 y 4a-f.

25 De acuerdo con la realización, la unidad de estimación 30 comprende un puerto de entrada 32 para recibir una señal de entrada digital que tiene la tasa de muestreo $1/T$. El puerto de entrada 32 se corresponde con los puertos de entrada 32a-c de las unidades de estimación 30a-c en las figuras 1 y 2. Además, la unidad de estimación 30 comprende un puerto de salida 34 para emitir una señal de error estimada digital que tiene también la tasa de muestreo $1/T$. El puerto de salida 34 se corresponde con los puertos de salida 34a-c de las unidades de estimación 30a-c en las figuras 1 y 2.

30 Para cada número entero P_k en un conjunto de números enteros (en la que k es un número entero en el intervalo de $1 \leq k \leq M$), la unidad de estimación 30 comprende una rama computacional que comprende una primera unidad de filtro lineal $100-k$, una unidad de interpolación $105-k$, una unidad de no linealidad $110-k$, y una segunda unidad de filtro lineal $115-k$.

35 La primera unidad de filtro lineal $100-k$ se corresponde con el filtro $f_k(n)$ en la figura 4f. Está dispuesta para generar una primera señal $s_1(n)$ como una función lineal de la señal de entrada digital a la unidad de estimación 30. Con este fin, se dispone para funcionar a la tasa de muestreo $1/T$ y realizar el filtrado con la respuesta de impulso $f_k(n)$.

40 La unidad de interpolación $105-k$ se corresponde con el muestreador ascendente con el factor R_k en combinación con el filtro de interpolación $h_k(m)$ en la figura 4f. Está dispuesto para interpolar la primera señal $s_1(n)$ para generar una segunda señal $s_2(m)$ que tiene la tasa de muestreo R_k/T (en la que $R_k \geq T \cdot \omega_0 P_k / \pi$ como se ha tratado anteriormente).

45 La unidad de no linealidad $110-k$ se corresponde con la no linealidad $(\cdot)^{P-k}$ en la figura 4f. Está dispuesta para generar una tercera señal $s_3(m)$ como $(s_2(m))^{P-k}$.

50 La segunda unidad de filtro lineal $115-k$ se corresponde con el filtro $g_k(m)$ en combinación con el muestreador descendente con el factor R_k en la figura 4f. Sin embargo, si la segunda unidad de filtro lineal $115-k$ se implementa usando una descomposición polifásica, como se describe a continuación con referencia a la figura 8b, no se necesita un muestreo en descenso real a realizarse en la segunda unidad de filtro lineal $115-k$, ya que solo cada R_k -ésima muestra de la señal de salida del filtro de $g_k(m)$ se genera realmente a continuación en la segunda unidad de filtro lineal $115-k$. La segunda unidad de filtro lineal $115-k$ está dispuesta para generar un componente, que se corresponde con $e_k(n)$ en la figura 4f, de la señal de error estimada basándose en la tercera señal $s_3(m)$. Dicho componente tiene la tasa de muestreo $1/T$.

60 La segunda unidad de filtro lineal $115-k$ está dispuesta para realizar un filtrado que es lineal y variante en el tiempo, en contraste con la primera unidad de filtro lineal $100-k$, que está dispuesta para realizar el filtrado que es lineal e invariante en el tiempo. La varianza en el tiempo de la segunda unidad de filtro lineal $115-k$ se debe a que la señal de entrada al segundo filtro lineal $115-k$ tiene una tasa de muestreo más alta que la señal de salida de la segunda unidad de filtro lineal $115-k$. Obsérvese, sin embargo, la rama como un todo, es decir, que desde el puerto de entrada de la primera unidad de filtro lineal $100-k$ al puerto de salida de la segunda unidad de filtro lineal $115-k$ es

invariante en el tiempo.

De acuerdo con la realización ilustrada en la figura 5, la unidad de estimación 30 comprende además un circuito sumador 117 dispuesto para generar la señal de error estimada, para emitirse en el puerto de salida 34, como la suma de los componentes de la señal de error estimada generada en las ramas computacionales de la unidad de estimación 30.

La figuras 6a y b ilustran diferentes realizaciones de la unidad de interpolación 105-k. De acuerdo con la realización ilustrada en la figura 6a, que puede verse como un mapeo directo de la parte correspondiente de la ilustración en la figura 4f, la unidad de interpolación 105-k comprende una unidad de muestreador ascendente 120 y una unidad de filtro digital 122. La unidad de muestreador ascendente 120 está adaptada para muestrear en ascenso la señal de salida de la primera unidad de filtro lineal 105-k con el factor R_k insertando R_k-1 ceros (o muestras de otro valor que representa un nivel de CC de la señal) entre cada muestra de la señal de salida de la primera unidad de filtro lineal 105-k. La unidad de filtro digital 122 está dispuesta para funcionar a la tasa de muestreo R_k/T y realizar el filtrado con la respuesta de impulso $h_k(m)$ para generar la segunda señal $s_2(m)$. La segunda señal $s_2(m)$ se emite en un puerto de salida 124 de la unidad de filtro digital 122.

La realización ilustrada en la figura 6b utiliza una descomposición polifásica del filtro $h_k(m)$. En esta realización, la unidad de interpolación 105-k comprende R_k ramas computacionales. Cada una de estas ramas computacionales comprende una unidad de filtro digital 130-1,..., 130- R_k , que es un componente polifásico del filtro de interpolación $h_k(m)$. Cada una de estas unidades de filtro digitales 130-1,..., 130- R_k está adaptada para generar cada R_k -ésima muestra de la segunda señal $s_2(m)$. Por ejemplo, para cada $i = 0, 1, 2, \dots, R_k-1$, la unidad de filtro digital 130-($i+1$) puede estar dispuesta para generar las muestras $s_2(n \cdot R_k + i)$ y emitir estas muestras en un puerto de salida 132-($i+1$) de la unidad de filtro digital 130-($i+1$). Si

$$H_k(z) = \sum_{m=-\infty}^{\infty} h_k(m)z^{-m}$$

indica la transformada z de $h_k(m)$, $h_{ki}(n)$ indica la respuesta de impulso del filtro digital 130-($i+1$), y

$$H_{ki}(z) = \sum_{n=-\infty}^{\infty} h_{ki}(n)z^{-n}$$

indica la transformada z de $h_{ki}(n)$, entonces $H_k(z)$ y $H_{ki}(z)$ están relacionados de acuerdo con

$$H_k(z) = \sum_{i=0}^{R_k-1} H_{ki}(z^{R_k})z^{-i} .$$

Una ventaja de la descomposición polifásica es que cada una de las unidades de filtro digitales 130-1,..., 130- R_k funciona a la tasa de muestreo $1/T$. Esto a su vez facilita un consumo de energía reducido y unos requisitos de circuito de velocidad relajados en comparación con la realización ilustrada en la figura 6a, en la que la unidad de filtro digital 122 está dispuesta para funcionar a la mayor tasa de muestra R_k/T .

La figuras 7a y b ilustran diferentes realizaciones de la unidad de no linealidad 110-k. En la realización ilustrada en la figura 7a, la unidad de no linealidad 110-k comprende una sola rama computacional 140, que está dispuesta para funcionar a la tasa de muestreo R_k/T , recibir cada muestra de la segunda señal $s_2(m)$ en un puerto de entrada 142 de la rama computacional 140, y generar cada muestra de la tercera señal $s_3(m)$ en un puerto de salida 144 de la rama computacional 140. En las realizaciones en las que la unidad de interpolación 105-k se implementa como en la figura 6a, el puerto de entrada 142 de la rama computacional 140 puede conectarse directamente al puerto de salida 124 de la unidad de filtro digital 122. En las realizaciones en las que la unidad de interpolación 105-k se implementa como en la figura 6b, puede usarse un circuito de interfaz (no mostrado), tal como un multiplexor, para proporcionar una conexión operativa entre uno apropiado de los puertos de salida 132-1,..., 132- R_k y el puerto de entrada 142 de la rama computacional 140 por cada período de la muestra.

En la realización ilustrada en la figura 7b, la unidad de no linealidad 110-k comprende R_k ramas computacionales 150-1,..., 150- R_k . Cada una de las ramas computacionales 150-1,..., 150- R_k está adaptada para funcionar a la tasa de muestreo $1/T$ y recibir cada R_k -ésima muestra de la segunda señal $s_2(m)$ en un puerto de entrada 152-1,..., 152- R_k de la rama computacional 150-1,..., 150- R_k . Además, cada una de las ramas computacionales 150-1,..., 150- R_k está adaptada para generar cada R_k -ésima muestra de la tercera señal $s_3(m)$ en un puerto de salida 154-1,..., 154- R_k de la rama computacional 150-1,..., 150- R_k . Por ejemplo, para cada $i = 0, 1, 2, \dots, R_k-1$, la rama computacional 150-($i+1$) puede estar dispuesta para recibir las muestras $s_2(n \cdot R_k + i)$ en su puerto de entrada 152-($i+1$) y generar las muestras $s_3(n \cdot R_k + i)$ en su puerto de salida 154-($i+1$).

En las realizaciones en las que la unidad de interpolación 105-k se implementa como en la figura 6b, cada uno de los puertos de entrada de 152-1,..., 152- R_k de las ramas computacionales 150-1,..., 150- R_k puede conectarse

directamente a uno solo de los puertos de salida 132-1,..., 132- R_k de las unidades de filtro digitales 130-1,..., 130- R_k . Por ejemplo, para cada $i = 0, 1, 2, \dots, R_k-1$, el puerto de entrada 152-($i+1$) puede conectarse directamente al puerto de salida 132-($i+1$).

- 5 En las realizaciones en las que la unidad de interpolación 105- k se implementa como en la figura 6a, puede usarse un circuito de interfaz (no mostrado), tal como un demultiplexor, para proporcionar una conexión operativa entre el puerto de salida 124 de la unidad de filtro digital 122 y uno apropiado de los puertos de entrada 152-1,..., 152- R_k de las ramas computacionales 150-1,..., 150- R_k para cada período de la muestra.
- 10 La figuras 8a y b ilustran diferentes realizaciones de la segunda unidad de filtro lineal 115- k . De acuerdo con la realización ilustrada en la figura 8a, que puede verse como un mapeo directo de la parte correspondiente de la ilustración en la figura 4f, la segunda unidad de filtro lineal 115- k comprende una unidad de filtro digital 160 y una unidad de muestreador descendente 162. La unidad de filtro digital 160 está dispuesta para funcionar a la tasa de muestreo R_k/T , recibir cada muestra de la tercera señal $s_3(m)$ en un puerto de entrada 164 de la unidad de filtro digital 160, y realizar el filtrado con la respuesta de impulso $g_k(m)$. La unidad de muestreador descendente 162 está adaptada para muestrear en descenso la señal de salida de la unidad de filtro digital 160 con el factor R_k descartando todo pero cada R_k -ésima muestra de la señal de salida de la unidad de filtro digital 160 para generar el componente de la señal de error estimada a introducirse en el circuito sumador 117 (figura 5) en un puerto de salida 166 de la unidad de muestreador descendente 162.
- 15 En las realizaciones en las que la unidad de no linealidad 110- k se implementa como en la figura 7a, el puerto de entrada 164 de la unidad de filtro digital 160 puede conectarse directamente al puerto de salida 144 de la rama computacional 140.
- 20 En las realizaciones en las que la unidad de no linealidad 110- k se implementa como en la figura 7b, puede usarse un circuito de interfaz (no mostrado), tal como un multiplexor, para proporcionar una conexión operativa entre uno apropiado de los puertos de salida 154-1,..., 154- R_k y el puerto de entrada 164 de la unidad de filtro digital 160 para cada período de la muestra.
- 25 La realización ilustrada en la figura 8b utiliza una descomposición polifásica del filtro $g_k(m)$. En esta realización, la segunda unidad de filtro lineal 115- k comprende R_k ramas computacionales. Cada una de las R_k ramas computacionales comprende una unidad de filtro digital 170-1,..., 170- R_k , que es un componente polifásico del filtro $g_k(m)$. Cada uno de los filtros digitales 170-1,..., 170- R_k está adaptado para funcionar a la tasa de muestreo $1/T$ y recibir cada R_k -ésima muestra de la tercera señal $s_3(m)$ en un puerto de entrada 172-1,..., 172- R_k de la unidad de filtro digital 170-1,..., 170- R_k . Por ejemplo, para cada $i = 0, 1, 2, \dots, R_k - 1$, la unidad de filtro digital 170-($i+1$) puede estar dispuesta para recibir las muestras $s_3(n \cdot R_k + i)$ en su puerto de entrada 172-($i+1$). Si

$$G_k(z) = \sum_{m=-\infty}^{\infty} g_k(m) z^{-m}$$

- 40 indica la transformada z de $g_k(m)$, $g_{ki}(m)$ indica la respuesta de impulso del filtro digital 170-($i+1$), y

$$G_{ki}(z) = \sum_{n=-\infty}^{\infty} g_{ki}(n) z^{-n}$$

- indica la transformada z de $g_{ki}(m)$, entonces, $G_k(z)$ y $G_{ki}(z)$ están relacionados de acuerdo con

$$45 \quad G_k(z) = \sum_{i=0}^{R_k-1} G_{ki}(z^{R_k}) z^i .$$

- Además, en la realización ilustrada en la figura 8b, la segunda unidad de filtro lineal comprende un circuito sumador 180 para generar el componente de la señal de error estimada para introducirse al circuito sumador 117 (figura 5) en un puerto de salida 182 del circuito sumador 180 como la suma de señales de salida de las unidades de filtro digitales 170-1,..., 170- R_k .

- De manera similar a la realización de la unidad de interpolación 105- k ilustrada en la figura 6b, una ventaja de la descomposición polifásica usada en la realización ilustrada en la figura 8b es que cada una de las unidades de filtro digitales 170-1,..., 170- R_k funciona a la tasa de muestreo $1/T$. Esto a su vez facilita un consumo de energía reducido y unos requisitos de velocidad de circuito relajados en comparación con la realización ilustrada en la figura 8a, en la que la unidad de filtro digital 160 está dispuesta para funcionar a la mayor tasa de muestra R_k/T .

- En las realizaciones en las que la unidad de no linealidad 110- k se implementa como en la figura 7b, cada uno de los puertos de entrada de 172-1,..., 172- R_k de las unidades de filtro digitales 170-1,..., 170- R_k puede conectarse directamente a uno solo de los puertos de salida 154-1,..., 154- R_k de las ramas computacionales 150-1,..., 150- R_k . Por ejemplo, para cada $i = 0, 1, 2, \dots, R_k-1$, el puerto de entrada 172- ($i+1$) puede conectarse directamente al

puerto de salida 154-($i+1$).

En las realizaciones en las que la unidad de no linealidad 110- k se implementa como en la figura 7a, puede usarse un circuito de interfaz (no mostrado), tal como un demultiplexor, para proporcionar una conexión operativa entre el puerto de salida 144 de la rama computacional 140 y uno apropiado de los puertos de entrada 172-1, ..., 172 - R_k de las unidades de filtro digitales 170-1, ..., 170- R_k para cada período de la muestra.

De acuerdo con algunas realizaciones de la presente invención, el circuito de compensación 20 (figuras 1 y 2) puede estar integrado en un circuito integrado (CI). Esto se ilustra de manera esquemática en la figura 9, que muestra un CI 200 que comprende el circuito de compensación 20.

De acuerdo con algunas realizaciones de la presente invención, el circuito de compensación 20 (figuras 1 y 2) puede estar comprendido en un aparato electrónico. Esto se ilustra de manera esquemática en la figura 10, que muestra un aparato electrónico 210 que comprende el circuito de compensación 20. El aparato electrónico 210 puede comprender, por ejemplo el circuito electrónico 1 (figura 1) y/o el CI 200 (figura 9). El aparato electrónico 210 puede ser, por ejemplo, pero no está limitado a, un equipo de medición, tal como un osciloscopio digital, un analizador de espectro, o similares, que use un ADC para la medición de la señal, un receptor de radio para la comunicación, o un equipo de radar.

De acuerdo con algunas realizaciones de la presente invención, se proporciona un método de compensación de errores de no linealidad del ADC 10 (figura 1). Por ejemplo, el método puede realizarse mediante el circuito de compensación 20 (figuras 1 y 2). De acuerdo con las realizaciones del método, se recibe la señal de salida digital del ADC 10, por ejemplo, en el puerto de entrada 22 del circuito de compensación 20 (figuras 1 y 2). Además, de acuerdo con las realizaciones del método, se genera una primera señal de error estimada, por ejemplo, por la (primera) unidad de estimación 30a (figuras 1 y 2) usando la señal de salida digital del ADC 10 como una señal de entrada digital a un método de estimación de un error de no linealidad del ADC 10. Las realizaciones de dicho método de estimación del error de no linealidad se describen más adelante. Por otra parte, de acuerdo con las realizaciones del método, se genera una primera señal de salida digital compensada, por ejemplo, por la (primera) unidad de restador 40a (figuras 1 y 2) restando la primera señal de error estimada de la señal de salida digital del ADC 10.

Además, las realizaciones del método pueden comprender generar M señales de salida digitales compensadas adicionales. Por ejemplo, para $2 \leq i \leq M+1$, puede generarse una i -ésima señal de error estimada, por ejemplo, en una i -ésima unidad de estimación (tal como la segunda y la tercera unidad de estimación 30b y c en la figura 2) de acuerdo con dicho método de estimación del error de no linealidad usando la ($i-1$)-ésima señal de salida compensada como la señal de entrada digital. Además, la i -ésima señal de salida digital compensada puede generarse, por ejemplo, por una i -ésima unidad de restador (tal como la segunda y la tercera unidad de restador 40b y c en la figura 2) restando la i -ésima señal de error estimada de la señal de salida digital del ADC 10.

La figura 11 es un diagrama de flujo para las realizaciones del método de compensación de errores de no linealidad del ADC 10 como se ha tratado anteriormente. De acuerdo con este diagrama de flujo, la compensación se realiza en N_{iter} iteraciones. N_{iter} se corresponde con el número de fases del circuito de compensación 20 ilustrado en las figuras 1 y 2. El ejemplo del circuito de compensación 20 mostrado en la figura 1 se corresponde con $N_{iter} = 1$. El ejemplo del circuito de compensación 20 mostrado en la figura 2 se corresponde con $N_{iter} = 3$. El valor de N_{iter} puede elegirse basándose en las mismas consideraciones que el número de fases en el circuito de compensación 20 como se ha descrito anteriormente.

En la etapa 305, se inicia el método. La señal de salida digital del ADC 10 se recibe en la etapa 310. En la etapa 315, la señal de salida digital del ADC 10 se establece como una señal de entrada para estimar el error. En la etapa 320, se establece un índice de iteración i a 1.

En la etapa 325, se genera la i -ésima señal de error estimada basándose en la señal de entrada para la estimación. En la etapa 330, se genera la i -ésima señal de salida digital compensada restando la i -ésima señal de error estimada de la señal de salida digital del ADC 10. En la etapa 335, se incrementa el índice de iteración i . En la etapa 340, se comprueba si el índice de iteración i excede el número de iteraciones N_{iter} . Si la respuesta en la etapa 340 es sí, el método se finaliza en la etapa 350. Si la respuesta en la etapa 340 es no, la ($i - 1$)-ésima señal de salida digital compensada se establece como la señal de entrada para la estimación en la etapa 360, y el método vuelve entonces a la etapa 325.

Debería tenerse en cuenta que podrían hacerse varias modificaciones al método ilustrado en la figura 11. Por ejemplo, aunque las etapas ilustradas en la figura 11, para simplificar, se han mostrado como etapas que se ejecutan en secuencia, algunas o todas de estas etapas pueden representar procesos en curso de manera continua que se ejecutan en paralelo. Por ejemplo, algunas muestras de la señal de salida digital del ADC 10 pueden recibirse, mientras que se están generando otras muestras de señales de error estimadas y/o unas señales de salida digitales compensadas. Además, el índice de iteración i se usa en la figura 11 para obtener una representación genérica para cualquier valor de N_{iter} . Sin embargo, para un valor dado de N_{iter} , el índice de iteración i puede omitirse

y la generación de cada señal de error estimada y la señal de salida digital compensada puede asignarse a su propia etapa dedicada.

De acuerdo con las realizaciones de la presente invención, como se ha indicado anteriormente, se proporciona un método para estimar un error de no linealidad del ADC 10. El método puede por ejemplo realizarse por cualquiera de las unidades de estimación 30 (figura 5) o 30a-c (figuras 1 y 2). De acuerdo con las realizaciones del método, se recibe una señal de entrada digital para la estimación que tiene la tasa de muestreo $1/T$, por ejemplo, en el puerto de entrada 32 (figura 5) o 32a-c (figuras 1 y 2). La señal de entrada digital para la estimación es una aproximación de la señal de entrada en tiempo continuo para el ADC 10. Para cada número entero P_k en un conjunto de números enteros, se genera un componente de una señal de error estimada. Una primera señal $s_1(n)$ se genera como una función lineal de la señal de entrada digital para la estimación, por ejemplo, por la primera unidad de filtro lineal $100-k$ (figura 5). La primera señal $s_1(n)$ se interpola, por ejemplo, por la unidad de interpolación $105-k$ (figuras 5 y 6a-b), para generar una segunda señal $s_2(m)$ que tiene la tasa de muestreo R_k/T , en la que $R_k \geq T \cdot \omega_0 \cdot P_k/\pi$. Además, se genera una tercera señal $s_3(m)$, por ejemplo, por la unidad de no linealidad $110-k$ (figuras 5 y 7a-b), como $(s_2(m))^{P-k}$. Por otra parte, se genera el componente de una señal de error estimada, por ejemplo, por la segunda unidad de filtro lineal $115-k$ (figuras 5 y 8a-b), basándose en el filtrado lineal de la tercera señal $s_3(m)$, en la que dicho componente tiene la tasa de muestreo $1/T$. La señal de error estimada se genera como la suma de los componentes de la señal de error estimada generada para cada P_k .

La figura 12 es un diagrama de flujo para una realización del método de estimar el error de no linealidad del ADC 10. Como se indica en la figura 12, el método puede usarse para implementar la etapa 325 en el diagrama de flujo mostrado en la figura 11. El método se inicia en la etapa 400. En la etapa 405, se recibe la señal de entrada digital para la estimación. El procesamiento de la señal de entrada digital para la estimación se realiza en una rama separada del diagrama de flujo en la figura 12 para cada número entero P_k en el conjunto de los números enteros $[P_1, P_2, \dots, P_N]$. En la etapa $410-k$, se genera la primera señal $s_1(n)$ por medio del filtrado lineal de la señal de entrada digital para la estimación. En la etapa $415-k$, se genera la segunda señal $s_2(m)$ por medio de la interpolación de la primera señal $s_1(n)$. En la etapa $420-k$, se genera la tercera señal $s_3(m)$ como $(s_2(m))^{P-k}$. El filtrado lineal se aplica a la tercera señal $s_3(m)$ en la etapa $425-k$ para generar dicho componente de la señal de error estimada. En la etapa 430, se suman entre sí los componentes de la señal de error estimada generados en las etapas $425-1, 425-2, \dots, 425-N$ para formar la señal de error estimada. El procedimiento se acaba en la etapa 440.

De manera similar a la realización del método ilustrado en la figura 11, debería tenerse en cuenta que podrían hacerse varias modificaciones a la realización del método ilustrado en la figura 12. Por ejemplo, aunque se ilustran las etapas de cada rama en la figura 12, para simplificar, se han mostrado como etapas que se ejecutan en secuencia, algunas o todas de estas etapas pueden representar procesos en curso de manera continua que se ejecutan en paralelo. Por ejemplo algunas muestras de la señal de entrada digital para la estimación pueden recibirse mientras que se están generando otras muestras de la primera señal $s_1(n)$, la segunda señal $s_2(n)$, la tercera señal $s_3(n)$, los componentes de la señal de error estimada, y/o la señal de error estimada.

En las realizaciones de la presente invención descritas anteriormente, se ha usado un factor $R_k \geq T \cdot \omega_0 \cdot P_k/\pi$. En muchos casos, es beneficioso, por ejemplo, en términos de los requisitos de superficie de circuito, del consumo de energía y/o de los requisitos de velocidad de circuito, usar el valor más pequeño de R_k que cumple esta condición.

En las realizaciones descritas hasta ahora, se ha asumido que la señal de entrada en tiempo continuo para el ADC está limitada en banda para una banda de frecuencia angular $[0, \omega_0]$ en la que $\omega_0 < \pi/T$, es decir, una banda de frecuencia angular dentro de la primera banda de Nyquist $0 \leq \omega < \pi/T$. de acuerdo con otras realizaciones, la señal de entrada en tiempo continuo para el ADC 10 puede a su vez estar limitada en banda para una banda de frecuencia angular dentro de una banda de Nyquist de orden superior, es decir, una banda de frecuencia angular $[\omega_1, \omega_2]$, en la que $\omega_1 > (L-1)\pi/T$, $\omega_2 < L\pi/T$, y L es un número entero positivo que define el orden de la banda de Nyquist. Es decir, el ADC 10 puede estar dispuesto para realizar un submuestreo. El caso de $L = 1$ se corresponde con la primera banda de Nyquist, en la que $\omega_2 = \omega_0$. Para $L = 1$, no es necesario que $\omega_1 > 0$, ω_1 puede ser igual a 0, así como se ha indicado anteriormente con la banda de frecuencia $[0, \omega_0]$. Sin embargo, indicando, en general, que una realización de la presente invención puede hacerse funcionar para $\omega_1 > (L-1)\pi/T$, $\omega_2 < L\pi/T$ no excluye que la realización también puede hacerse funcionar para $\omega_1 = 0$ cuando $L = 1$.

Para el caso $L > 1$, pueden usarse versiones modificadas de las realizaciones descritas anteriormente. Considérese el modelo de tiempo continuo ilustrado en la figura 3. La señal de salida de una no linealidad $(\cdot)^{P-k}$ está limitada en banda y no tiene contenido espectral por encima de una frecuencia angular $\omega_2 \cdot P_k$. Por lo tanto, puede muestrearse sin solapamiento usando una tasa de muestra $L \cdot R_k/T$, en la que $L \cdot R_k \geq T \cdot \omega_2 \cdot P_k/\pi$. Análogamente, con referencia a la figura 5, para evitar el solapamiento en la unidad de no linealidad $110-k$ para $L > 1$, la segunda señal $s_2(m)$ mencionada anteriormente debería tener una tasa de muestreo que sea un factor $L \cdot R_k$ mayor que $1/T$. Una realización de la estimación 30 para lograr esto se ilustra en la figura 13. Los elementos que son similares o el mismo que en la realización ilustrada en la figura 5 se designan con los mismos signos de referencia en la figura 13 como en la figura 5 y no se describen con más detalle a continuación. En la realización ilustrada en la figura 13, se inserta una unidad de interpolación de paso alto 450 entre el puerto de entrada 32 y las primeras unidades de filtro

lineales 100-1,..., 100- N . Un puerto de entrada 452 de la unidad de interpolación de paso alto 450 se conecta al puerto de entrada 32 de la unidad de estimación 30, y un puerto de salida 454 de la unidad de interpolación de paso alto 450 se conecta a las primeras unidades de filtro lineales 100-1,..., 100- N . La unidad de interpolación de paso alto 450 está dispuesta para realizar la interpolación de paso alto de la señal de entrada digital con el factor L para generar una señal de entrada interpolada. La señal de entrada interpolada se indica de la siguiente manera $x_i(l)$, en la que el índice de secuencia l se usa para indicar que esta señal tiene otra tasa de muestreo que las señales con un índice de secuencia n o m . La unidad de interpolación de paso alto 450 junto con la unidad de interpolación 105- k , que está dispuesta para realizar la interpolación con el factor R_k , proporciona la segunda señal $s_2(m)$ emitida desde la unidad de interpolación 105- k con una tasa de muestreo que es el factor $L \cdot R_k$ mayor que $1/T$.

La figura 14 es un diagrama de bloques de la unidad de interpolación de paso alto 450 de acuerdo con una realización. De acuerdo con la realización, la unidad de interpolación de paso alto 450 comprende una unidad de muestreador ascendente 456 conectado al puerto de entrada 452 de la unidad de interpolación de paso alto 450 para recibir la señal de entrada digital de la unidad de estimación 30. La unidad de muestreador ascendente 456 está adaptada para generar una señal de salida de la unidad de muestreador ascendente 456 insertando $L-1$ ceros entre cada muestra de la señal de entrada digital de la unidad de estimación 30. La señal de salida de la unidad 456 de muestreador ascendente comprende L imágenes espectrales de la señal de entrada digital de la unidad de estimación 30 en diferentes bandas de frecuencia. Un filtro de paso alto 458 con respuesta de impulso $a(l)$ está comprendido en la unidad de interpolación de paso alto 450 para el filtrado de paso alto de la señal de salida de la unidad de muestreador ascendente 456 y generar de este modo la señal de entrada interpolada $x_i(l)$, de tal manera que $x_i(l)$ esencialmente solo contiene la una de dichas imágenes espectrales que reside en la banda de frecuencia más alta, que se corresponde con la banda L -ésima de Nyquist. Varias otras realizaciones de la unidad de interpolación de paso alto 450 son también posibles. Por ejemplo, la unidad de interpolación de paso alto 450 puede realizarse usando una descomposición polifásica del filtro de $a(l)$, como se ha tratado anteriormente con referencia a las realizaciones de la unidad de interpolación 105- k .

La figura 15a es un diagrama de bloques de la segunda unidad de filtro lineal 115- k de acuerdo con una realización. Esta realización se corresponde con la realización ilustrada en la figura 8a, pero adaptada para el funcionamiento con las señales en la L -ésima banda de Nyquist. En comparación con la realización ilustrada en la figura 8a, la unidad de muestreador descendente 162 adaptada para realizar el muestreo descendente con el factor R_k en la figura 8a, se ha reemplazado con una unidad de muestreador descendente 460 adaptada para realizar el muestreo descendente con el factor $R_k \cdot L$ en la figura 15a, de tal manera que a la señal de salida de la segunda unidad de filtro lineal se proporciona la tasa de muestreo $1/T$.

La figura 15b es un diagrama de bloques de la segunda unidad de filtro lineal 115- k de acuerdo con otra realización. Esta realización se corresponde con la realización ilustrada en la figura 8b, pero adaptada para el funcionamiento con las señales en la L -ésima banda de Nyquist. En comparación con la realización ilustrada en la figura 8b, se ha añadido una unidad de muestreador descendente 470 adaptada para realizar el muestreo descendente con el factor L entre el circuito sumador 180 y el puerto de salida 182, de tal manera que a la señal de salida desde la segunda unidad de filtro lineal se proporciona la tasa de muestreo $1/T$. Como alternativa, una unidad de muestreador descendente (no mostrada) adaptada para realizar el muestreo descendente con el factor L puede estar dispuesta entre cada una de las unidades de filtro digitales 170-1,..., 170- R_k y el circuito sumador 180.

Para las señales de tiempo continuo prácticas, no es posible obtener una señal de banda limitada verdadera que no tenga un contenido espectral fuera de una banda de frecuencia de la señal dada. Por ejemplo debido al ruido y al hecho de que tales señales prácticas tienen una longitud finita en el tiempo, habrá en la práctica una cierta cantidad de contenido espectral fuera de dicha banda de frecuencia de la señal, que puede solaparse en la banda de frecuencia de la señal cuando se muestrea la señal. Por lo tanto, la expresión limitada en banda, cuando se usa en esta memoria descriptiva, no debería interpretarse de manera estricta, sino más bien como "esencialmente limitada en banda", es decir, que tiene solo una cantidad insignificante de contenido espectral fuera de la banda de frecuencia de la señal. Por ejemplo, podría determinarse cuánto es una "cantidad insignificante" de una aplicación a otra basándose en un requisito de sistema de esa aplicación (por ejemplo, un requisito de SNR), usando por ejemplo, cálculos, simulaciones por ordenador y/o mediciones de circuitos.

Es una ventaja de las realizaciones de la invención que los errores de no linealidad en la señal de salida del ADC 10 pueden estimarse y compensarse sin tener que aumentar la tasa de muestreo del ADC 10. Además, para una longitud de memoria dada y un orden de la no linealidad, la complejidad computacional del modelo de tiempo discreto usado en las realizaciones de la presente invención es considerablemente menor que, por ejemplo, para un modelo de Volterra correspondiente, que requiere una computación de un número de convoluciones multidimensionales.

Los coeficientes de filtro de las unidades de filtro 100- k y 115- k (figuras 5 y 13), que son los parámetros del modelo para el modelo de ADC de tiempo discreto usado en la unidad de estimación 30, 30a-c (figuras 1, 2, 5, y 13), deberían establecerse de tal manera que dicho modelo de tiempo discreto imite el comportamiento del ADC 10 (figura 1) con una precisión deseada, que puede, por ejemplo, estar en función de una especificación del sistema para un sistema en el que se use el ADC 10. Se conocen diversos métodos de estimación de parámetros y pueden

usarse para este fin. Por ejemplo, la estimación de parámetros puede realizarse como se perfila a continuación (con referencia a la circuitería mostrada en la figura 1):

- 5 – aplicar una o más señales de prueba conocidas que tengan una o más bandas de frecuencia con ninguno o solo un contenido de energía de señal insignificante al puerto de entrada del ADC 10;
- medir la energía de la señal correspondiente en dichas bandas de frecuencia en la señal de salida digital compensada; y
- 10 – adaptar los parámetros del modelo hasta que la energía de la señal en dichas bandas de frecuencia en la señal de salida digital compensada se minimiza o se minimiza esencialmente usando una técnica (minimización) de optimización.

Por ejemplo, la técnica de optimización puede ser cualquier técnica de optimización adecuada, tal como, pero no limitado a, una técnica de descenso más empinado o una técnica de recocido simulada. Si se usa más de una señal de prueba conocida, estas señales de prueba conocidas pueden aplicarse una a la vez secuencialmente y puede medirse la energía de señal en dichas bandas de frecuencia para cada señal de prueba. Cuando se han aplicado todas las señales de prueba y se han medido las energías correspondientes, los parámetros del modelo pueden ajustarse, y la señal de prueba puede una vez más aplicarse de una forma secuencial y puede medirse la energía de señal en dichas bandas de frecuencia para cada señal de prueba para los parámetros del modelo ajustados. Este procedimiento puede repetirse según sea necesario hasta que el modelo – los parámetros se han sintonizado adecuadamente.

En algunas realizaciones, la unidad de estimación 30 (figuras 5 y 13), 30a-c (figuras 1-2) y/o el circuito de compensación 20 (figuras 1-2) pueden implementarse como unas unidades de hardware de aplicación específica dedicada. Como alternativa, las unidades de estimación 30 y 30a-c, el circuito de compensación 20, y/o las partes de los mismos pueden implementarse con unidades de hardware programables y/o configurables, tales como pero no limitado a una o más matrices de puertas programables en campo (FPGA), procesadores, o microcontroladores. Por lo tanto, las realizaciones de la presente invención pueden incorporarse en un producto de programa de ordenador, que permita la implementación del método y las funciones descritas en el presente documento, por ejemplo, las realizaciones del método de compensar los errores de no linealidad y del método de estimación de los errores de no linealidad descritos anteriormente con referencia a las figuras 11 y 12. Por lo tanto, de acuerdo con las realizaciones de la presente invención, se proporciona un producto de programa de ordenador, que comprende unas instrucciones dispuestas para hacer una unidad de hardware programable con capacidades de procesamiento, tal como los anteriormente mencionados uno o más procesadores o microcontroladores, para realizar las etapas de cualquiera de las realizaciones de dichos métodos. El producto de programa de ordenador puede comprender un código de programa que se almacena en un medio legible por ordenador 500, como se ilustra en la figura 16, que puede cargarse y ejecutarse por una unidad de hardware programable 510 que tiene capacidades de procesamiento, para hacer que se realicen las etapas de cualquiera de las realizaciones de dichos métodos. La unidad de hardware programable 510 que tiene capacidades de procesamiento es preferentemente lo que normalmente se conoce como un sistema embebido. Por lo tanto, la unidad de hardware programable representada 510, ilustrada en la figura 13 como un ordenador, y un medio legible por ordenador 500 en la figura 6 debería interpretarse para ser solo con fines ilustrativos para proporcionar la comprensión del principio, y no para interpretarse como cualquier ilustración directa de los elementos.

La unidad de estimación 30 (figura 5) o 30a-c (figuras 1-2), así como el circuito de compensación 20 (figuras 1-2) (a continuación denominado con una expresión común como "unidad electrónica ") pueden fabricarse por medio de una fabricación asistida por ordenador. Por ejemplo, en el caso de la unidad electrónica 30, 30a-c, 20 o las partes de la misma se implementa como una unidad de hardware de aplicación específica en un CI, las máscaras de litografía para la fabricación de la unidad electrónica 30, 30AC, 20 pueden fabricarse por medio de una fabricación asistida por ordenador basándose en el código de descripción de hardware que describe un diseño de circuito físico de la unidad electrónica 30, 30AC, 20, tal como, pero no limitado al código de descripción de hardware en el formato de archivo GDSII usado comúnmente. El código de descripción de hardware que describe un diseño de circuito físico puede generarse por ordenador, por ejemplo, por medio de herramientas de programa de ordenador de síntesis y/o colocar-y-enrutar de otro código de descripción de hardware, tal como pero no limitado a, un código de descripción de hardware en un nivel de registro transferencia (RTL), o un código de descripción de hardware en, por ejemplo, VHDL (VHSIC (circuitos integrados de muy alta velocidad) un lenguaje de descripción de hardware), Verilog, o SystemC, o una combinación de los mismos. Tal código de descripción de hardware también se puede sintetizar para configurar una unidad de hardware configurable, tal como pero no limitado a, una FPGA, para realizar la funcionalidad de la unidad electrónica 30, 30a-c, 20. Existen otros lenguajes de descripción de hardware que los enumerados anteriormente y los lenguajes enumerados no deberían interpretarse como exhaustivos o como limitantes de la invención.

Por consiguiente, de acuerdo con las realizaciones de la presente invención, se proporciona una entidad de descripción de hardware que comprende un código de descripción de hardware interpretable por ordenador que describe la unidad de estimación 30, 30a-c o el circuito de compensación 20 y que permite la fabricación asistida por ordenador de los mismos como una unidad de hardware de aplicación específica, a través de la configuración de una unidad de hardware configurable, o una combinación de las mismas.

La entidad de descripción de hardware puede comprender un archivo o un conjunto de archivos que comprenden el código de descripción de hardware. El archivo o conjunto de archivos puede, por ejemplo, almacenarse en un medio legible por ordenador, tal como el medio legible por ordenador 500 (figura 16).

- 5 En las realizaciones de la presente invención descritas anteriormente, se han usado conceptos de procesamiento de señales multitasa, tales como la interpolación, el muestreo ascendente, el muestreo descendente, y la descomposición polifásica. Tales conceptos son bien conocidos en la técnica y por lo tanto no se discuten en el presente documento con más detalle.
- 10 La presente invención se ha descrito anteriormente con referencia a unas realizaciones específicas. Sin embargo, son posibles otras realizaciones que la descrita anteriormente dentro del alcance de la invención. Pueden proporcionarse etapas del método diferentes que las descritas anteriormente, realizando el método por hardware o software, dentro del alcance de la invención. Las diferentes características y etapas de las realizaciones pueden combinarse en otras combinaciones que las descritas. El alcance de la invención solo está limitado por las reivindicaciones de patente adjuntas.
- 15

REIVINDICACIONES

1. Una unidad de estimación (30, 30a-c) para estimar un error de no linealidad de un circuito de conversión (10), en la que el circuito de conversión está adaptado para recibir una señal de entrada en tiempo continuo y emitir una señal de salida digital, en donde la señal de entrada en tiempo continuo está limitada en banda esencialmente a una banda de frecuencia angular que tiene un límite inferior (ω_1) y un límite superior (ω_2), en la que $\omega_1 > (L-1)\pi/T$, $\omega_2 < L\pi/T$, L es un número entero positivo y T es un periodo de muestreo del circuito de conversión, comprendiendo la unidad de estimación (30, 30a-c):
- 10 un puerto de entrada (32, 32a-c) para recibir una señal de entrada digital que tiene una primera tasa de muestreo $1/T$, en el que la señal de entrada digital es la señal de salida digital del circuito de conversión (10); y un puerto de salida (34, 34a-c) para emitir una señal de error estimada digital que tiene la primera tasa de muestreo, en el que la señal de error estimada digital es una estimación del error de no linealidad del circuito de conversión (10),
- 15 en donde la unidad de estimación comprende una rama para cada P_k , en donde P_k es un número entero en un conjunto de números enteros, k es un número entero en un intervalo de $1 \leq k \leq N$ y P_k es mayor que o igual a 2, comprendiendo cada rama:
- 20 - una primera unidad de filtro lineal (100-k) para generar una primera señal ($s_1(n)$) como una función lineal de la señal de entrada digital;
 - una unidad de interpolación (105-k) para interpolar la primera señal ($s_1(n)$) para generar una segunda señal ($s_2(m)$) que tiene una segunda tasa de muestreo que es un factor $L \cdot R_k$ más alta que la primera tasa de muestreo, en donde R_k es un valor seleccionado de manera que $L \cdot R_k \geq T \cdot \omega_2 \cdot P_k / \pi$;
 - 25 - una unidad de no linealidad (110-k) para generar una tercera señal ($s_3(m)$) como dicha segunda señal ($s_2(m)$) a la potencia P_k ; y
 - una segunda unidad de filtro lineal (115-k) para generar un componente de la señal de error estimada digital basándose en la tercera señal ($s_3(m)$), en la que dicho componente tiene la primera tasa de muestreo,
- en donde los coeficientes de filtro de las unidades de filtro lineal primera y segunda se establecen de tal manera que la unidad de estimación es un modelo de tiempo discreto del circuito de conversión e imita el comportamiento del circuito de conversión con una precisión deseada; y un circuito sumador (117) para generar la señal de error estimada digital como la suma de todos los componentes mencionados de dichas ramas.
- 30
- 35 2. La unidad de estimación (30, 30a-c) de acuerdo con la reivindicación 1, en la que $L = 1$.
3. La unidad de estimación (30, 30a-c) de acuerdo con la reivindicación 1, en donde $L \geq 2$ y la unidad de estimación comprende una unidad de interpolación de paso alto (450) dispuesta para realizar la interpolación de paso alto de la señal de entrada digital con el factor L para generar una señal de entrada interpolada, y en donde la primera unidad de filtro lineal (100-k) está dispuesta para recibir dicha señal de entrada interpolada para generar la primera señal ($s_1(n)$).
- 40
4. La unidad de estimación (30, 30a-c) de acuerdo con cualquier reivindicación anterior, en la que la unidad de interpolación (105-k) comprende R_k ramas computacionales, comprendiendo cada una de las mismas un componente polifásico (130-1, ..., 130- R_k) de un filtro de interpolación de la unidad de interpolación (105-k) y adaptada para generar cada R_k -ésima muestra de la segunda señal ($s_2(m)$).
- 45
5. La unidad de estimación de acuerdo con cualquier reivindicación anterior, en la que la unidad de no linealidad (110-k) comprende R_k ramas computacionales (150-1, ..., 150- R_k), cada una adaptada para generar cada R_k -ésima muestra de la tercera señal ($s_3(m)$).
- 50
6. La unidad de estimación (30, 30a-c) de acuerdo con cualquier reivindicación anterior, en la que la segunda unidad de filtro lineal (115-k) comprende
- 55 R_k ramas computacionales, cada una adaptada para recibir cada R_k -ésima muestra de la tercera señal ($s_3(m)$) y que comprende un componente polifásico (170-1, ..., 170- R_k) de un filtro de la segunda unidad de filtro lineal (115-k); y un circuito sumador (180) para generar unas muestras del componente de la señal de error estimada digital como la suma de las muestras de las señales de salida de los componentes polifásicos del filtro de la segunda
- 60 unidad de filtro lineal (115-k).
7. La unidad de estimación (30, 30a-c) de acuerdo con la reivindicación 6, cuando se refiere a cualquiera de las reivindicaciones 1, 3, 4 y 5, en la que $L \geq 2$ y la segunda unidad de filtro lineal (115-k) comprende además una o más unidades de muestreador descendente (470) para muestrear en descenso las señales de salida de los componentes polifásicos o la señal de salida del circuito sumador (180) con el factor L .
- 65

8. Un circuito de compensación (20) para compensar los errores no lineales de un circuito de conversión (10) adaptado para recibir una señal de entrada en tiempo continuo y generar una señal de salida digital compensada, comprendiendo el circuito de compensación:

5 un puerto de entrada (22) para recibir la señal de salida digital desde el circuito de conversión;
una primera unidad de estimación (30, 30a) de acuerdo con cualquier reivindicación anterior, estando dispuesta
la primera unidad de estimación para emitir una primera señal de error estimada digital, con lo que la primera
señal de salida estimada digital es la señal de error estimada digital de la primera unidad de estimación; y
 10 una primera unidad de restador (40a) para restar dicha primera señal de error estimada de la señal de salida digital del circuito de conversión (10) y generar de este modo una primera señal de salida digital compensada, con lo que la primera señal de salida digital compensada constituye dicha señal de salida digital compensada a menos que el circuito de compensación comprenda una segunda unidad de estimación.

15 9. El circuito de compensación (20) de acuerdo con la reivindicación 8, en donde el circuito de compensación (20) comprende, además, M unidades de estimación adicionales (30b-c) de acuerdo con cualquiera de las reivindicaciones 1-4 y M unidades de restador adicionales (40b-c), en donde M es un número entero y, para $2 \leq i \leq M+1$,

20 - la i -ésima unidad de estimación (30b-c) está adaptada para generar una i -ésima señal de error estimada digital en su puerto de salida (34b-c);
 - La i -ésima unidad de restador (40b-c) está adaptada para restar la i -ésima señal de error estimada digital de la señal de salida digital del circuito de conversión y generar de este modo una i -ésima señal de salida digital compensada; y
 25 - la i -ésima unidad de estimación (30b-c) está dispuesta para recibir la $(i-1)$ -ésima señal de salida digital compensada en su puerto de entrada como su señal de entrada digital, por lo que la $(M+1)$ -ésima señal de salida digital compensada constituye dicha señal de salida digital compensada.

30 10. Un circuito electrónico (1) que comprende un circuito de conversión (10), adaptado para recibir una señal de entrada en tiempo continuo y generar una señal de salida digital, y un circuito de compensación (20) de acuerdo con las reivindicaciones 8 o 9.

11. El circuito electrónico (1) de acuerdo con la reivindicación 10, en donde el circuito de conversión (10) es un convertidor de analógico a digital (10).

35 12. Un circuito integrado (200) que comprende el circuito de compensación (20) de acuerdo con las reivindicaciones 8 o 9.

40 13. Un aparato electrónico (210) que comprende el circuito de compensación (20) de acuerdo con las reivindicaciones 8 o 9.

14. El aparato electrónico (210) de acuerdo con la reivindicación 13, en donde el aparato electrónico es un equipo de medición, un receptor de radio o un equipo de radar.

45 15. Un método de estimación de un error de no linealidad de un circuito de conversión (10) adaptado para recibir una señal de entrada en tiempo continuo y emitir una señal de salida digital, en el que la señal de entrada en tiempo continuo está limitada en banda esencialmente a una banda de frecuencia angular que tiene un límite inferior (ω_1) y un límite superior (ω_2), en el que $\omega_1 > (L-1)\pi/T$, $\omega_2 < L\pi/T$, L es un número entero positivo, y T es un periodo de muestreo del circuito de conversión, y en donde el método comprende:

50 recibir una señal de entrada digital que tenga una primera tasa de muestreo $1/T$, en donde la señal de entrada digital es la señal de salida digital del circuito de conversión (10); y
 para cada P_k en una rama respectiva, en donde P_k es un número entero en un conjunto de *números enteros*, k es un número entero en un intervalo de $1 \leq k \leq N$ y P_k es mayor que o igual a 2, las etapas siguientes:

55 - generar una primera señal ($s_1(n)$) como una función lineal de la señal de entrada digital;
 - interpolar la primera señal ($s_1(n)$) para generar una segunda señal ($s_2(m)$) que tenga una segunda tasa de muestreo que es un factor $L \cdot R_k$ más alta que la primera tasa de muestreo, en donde R_k es un valor seleccionado de manera que $L \cdot R_k \geq T \cdot \omega_2 \cdot P_k / \pi$;
 - generar una tercera señal ($s_3(m)$) como dicha segunda señal ($s_2(m)$) a la potencia P_k ; y
 60 - generar un componente de una señal de error estimada digital basándose en el filtrado lineal de la tercera señal ($s_3(m)$), en donde dicho componente tiene la primera tasa de muestreo, en donde la primera señal y el componente de la señal de error estimada digital son generados por un filtro respectivo primero y segundo en una unidad de estimación, teniendo los filtros primero y segundo coeficientes de filtro establecidos de tal manera que la unidad de estimación es un modelo de tiempo discreto del circuito de conversión que imita el comportamiento del circuito de conversión con una precisión deseada;
 65

generar la señal de error estimada digital como la suma de la totalidad de dichos componentes de dichas ramas;
 y
 emitir la señal de error estimada digital que tiene la primera tasa de muestreo,
 en donde la señal de error estimada digital es una estimación del error no lineal del circuito de conversión.

5 16. Un método de compensación de errores de no linealidad de un circuito de conversión (10) adaptado para recibir una señal de entrada en tiempo continuo y generar una señal de salida digital compensada, comprendiendo el método:

10 recibir la señal de salida digital desde el circuito de conversión (10);
 generar una primera señal de error estimada digital de acuerdo con el método de la reivindicación 15 usando la señal de salida digital del circuito de conversión (10) como la señal de entrada digital; y
 generar una primera señal de salida digital compensada restando la primera señal de error estimada de la señal de salida digital del circuito de conversión (10),
 15 con lo que la primera señal de salida digital compensada constituye dicha señal de salida digital compensada a menos que se genere una segunda señal de error estimada usando la primera señal de salida digital compensada como la señal de entrada digital.

20 17. El método de acuerdo con la reivindicación 16, que comprende además generar M señales de salida digitales compensadas adicionales, en donde M es un número entero, generándose dichas señales, para $2 \leq i \leq M+1$:

- generar una *i*-ésima señal de error estimada digital de acuerdo con el método de la reivindicación 15 usando la (*i*-1)-ésima señal de salida digital compensada como la señal de entrada digital; y
 - generar la *i*-ésima señal de salida digital compensada restando la *i*-ésima señal de error estimada de la señal de salida digital del circuito de conversión,
 25 con lo que la (*M*+1)-ésima señal de salida digital compensada constituye dicha señal de salida digital compensada.

30 18. Un producto de programa de ordenador que comprende unos medios de código de programa de ordenador para ejecutar el método de acuerdo con cualquiera de las reivindicaciones 15-17, cuando dichos medios de código de programa de ordenador son ejecutados por un dispositivo electrónico (500) que tiene capacidades informáticas.

35 19. Un medio legible por ordenador (510) que tiene almacenado en el mismo un producto de programa de ordenador que comprende unos medios de código de programa de ordenador para ejecutar el método de acuerdo con cualquiera de las reivindicaciones 15-17, cuando dichos medios de código de programa de ordenador son ejecutados por un dispositivo electrónico (500) que tiene capacidades informáticas.

40 20. Una entidad de descripción de hardware que comprende un código de descripción de hardware interpretable por un ordenador que describe la unidad de estimación (30, 30a-c) de acuerdo con cualquiera de las reivindicaciones 1-7 o el circuito de compensación (20) de acuerdo con las reivindicaciones 8 o 9 y que permite una fabricación asistida por ordenador de los mismos como una unidad de hardware de aplicación específica, a través de la configuración de una unidad de hardware configurable, o una combinación de las mismas.

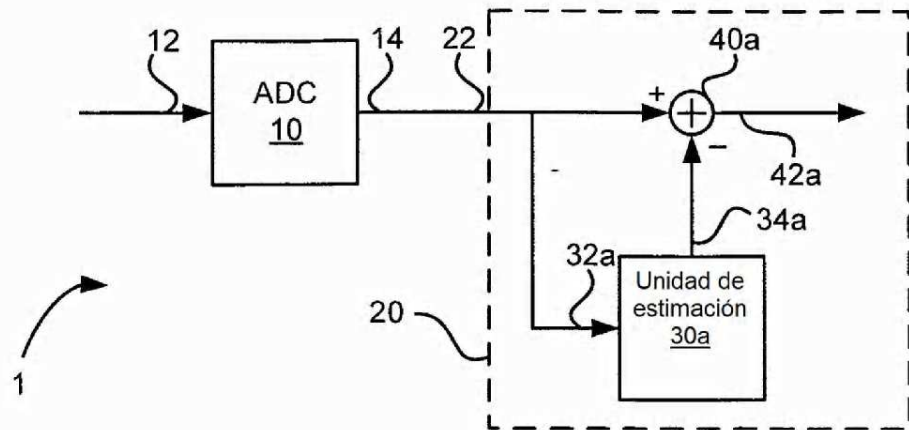


Fig. 1

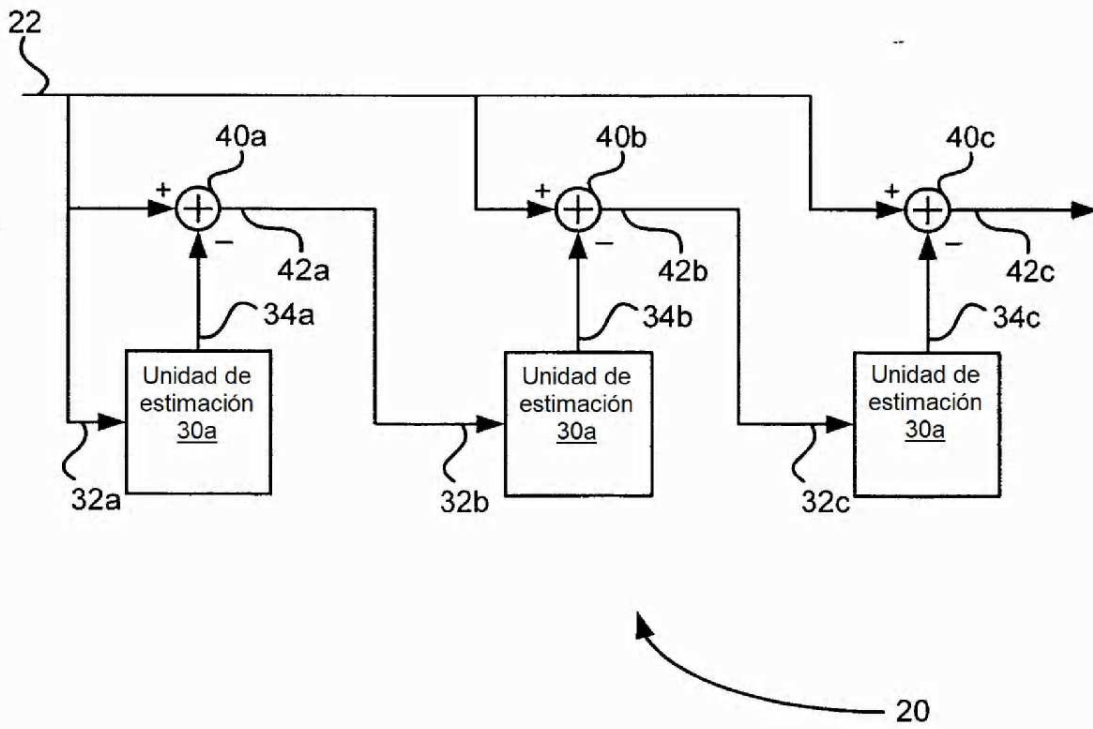


Fig. 2

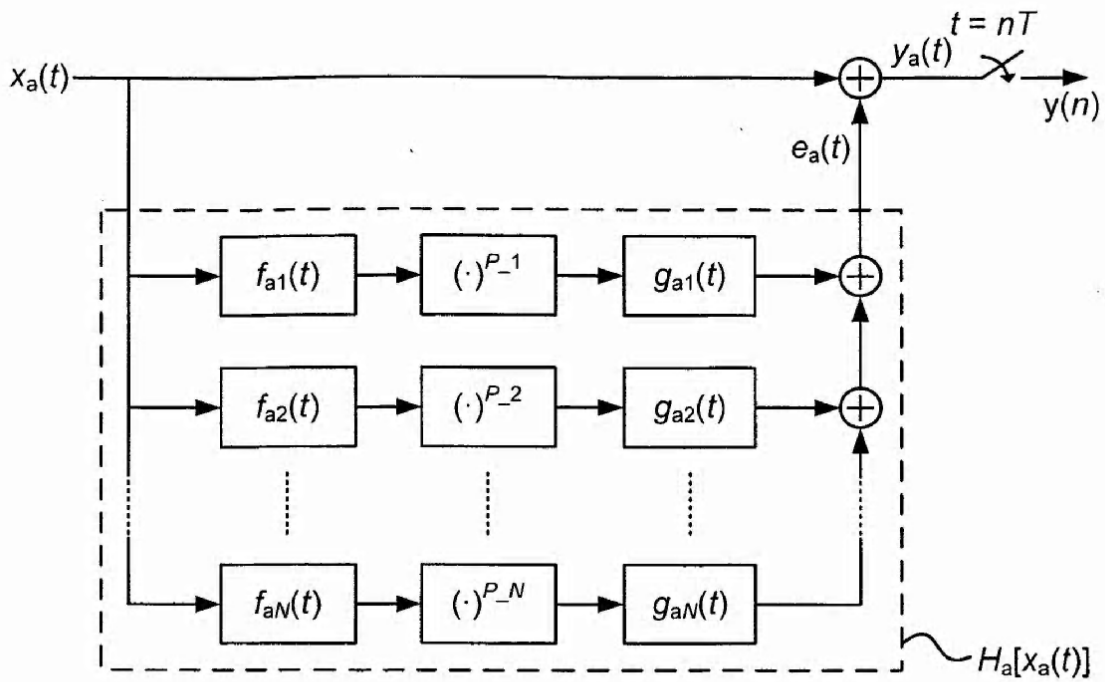


Fig. 3

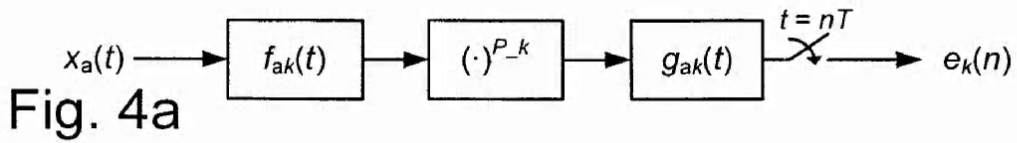


Fig. 4a

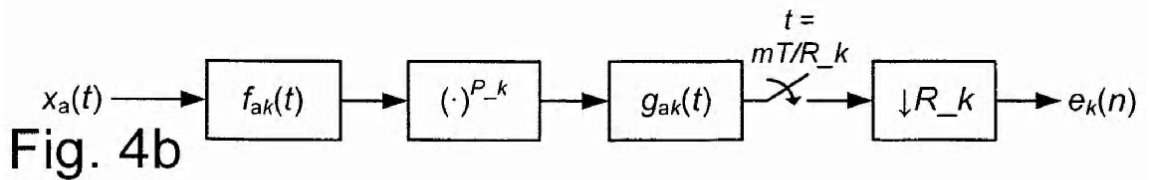


Fig. 4b

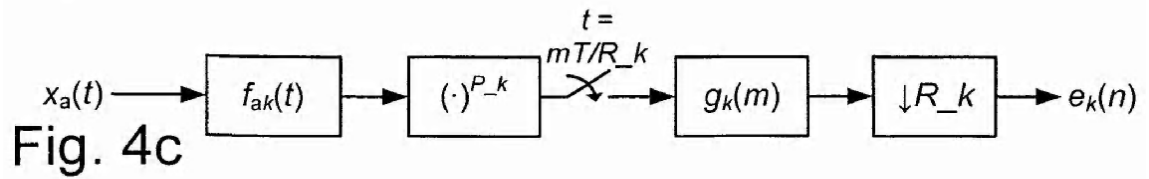


Fig. 4c

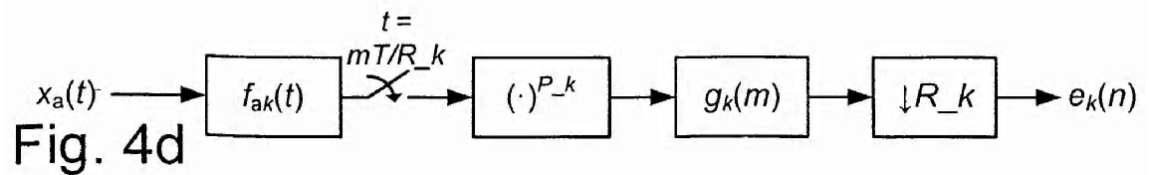


Fig. 4d

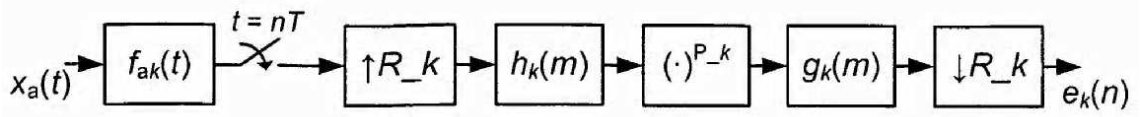


Fig. 4e

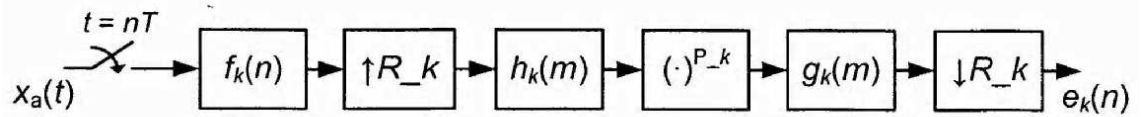


Fig. 4f

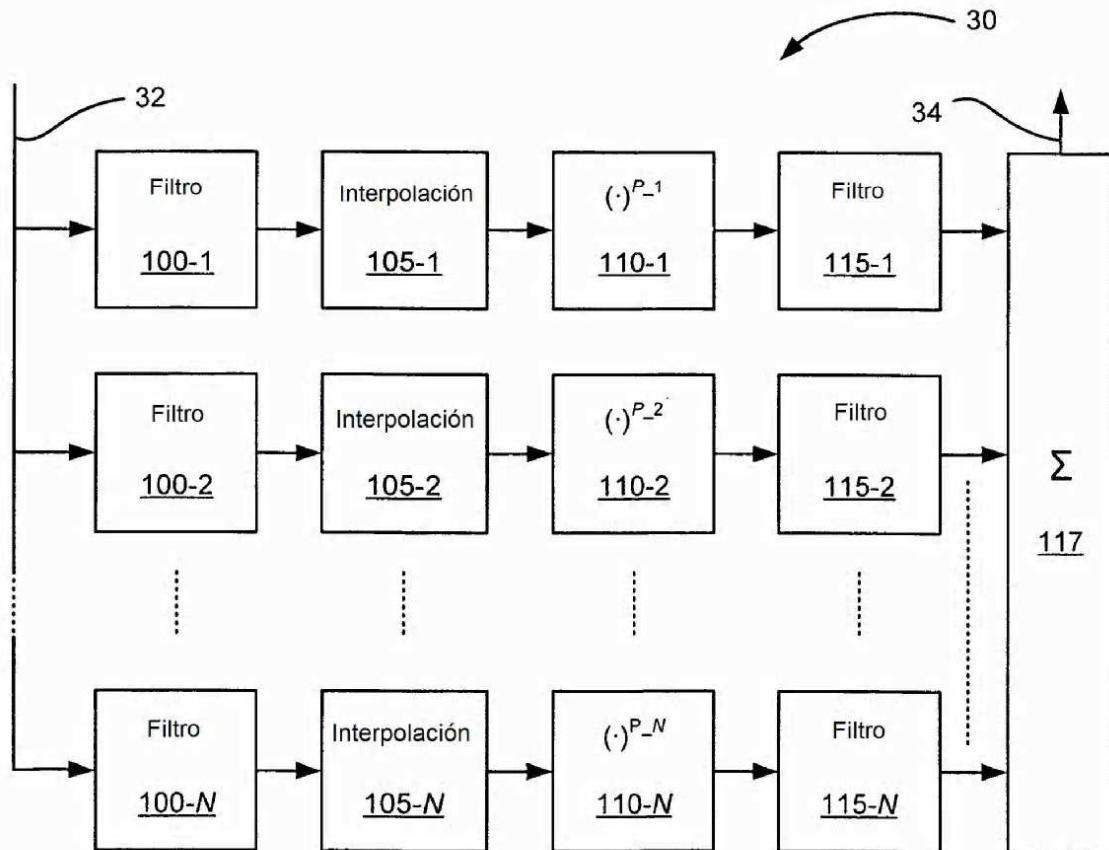


Fig. 5

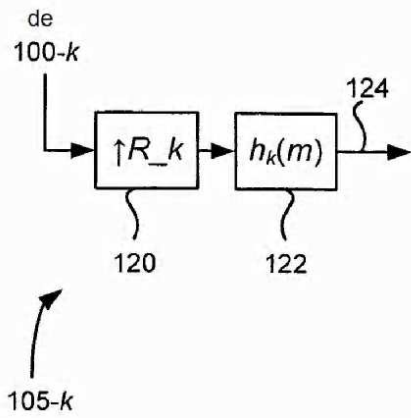


Fig. 6a

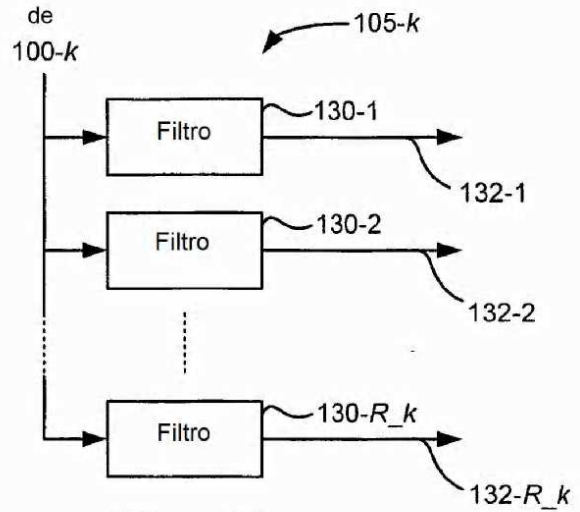


Fig. 6b

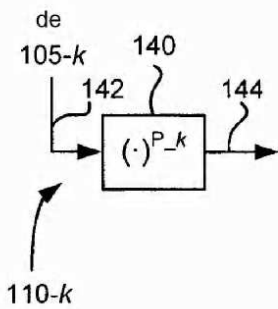


Fig. 7a

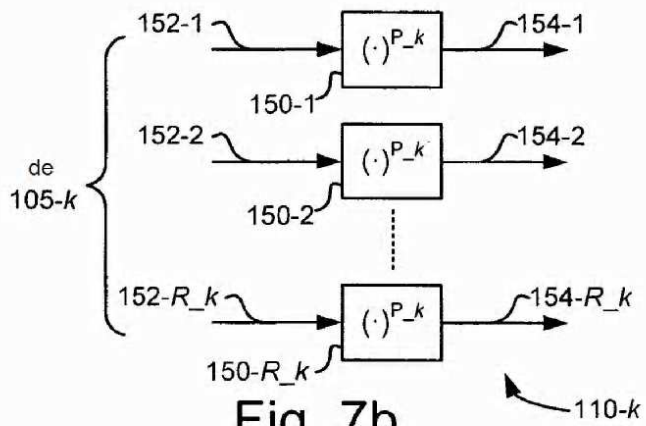


Fig. 7b

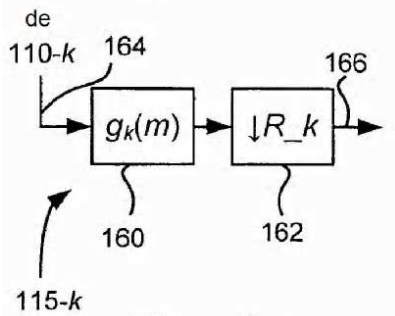


Fig. 8a

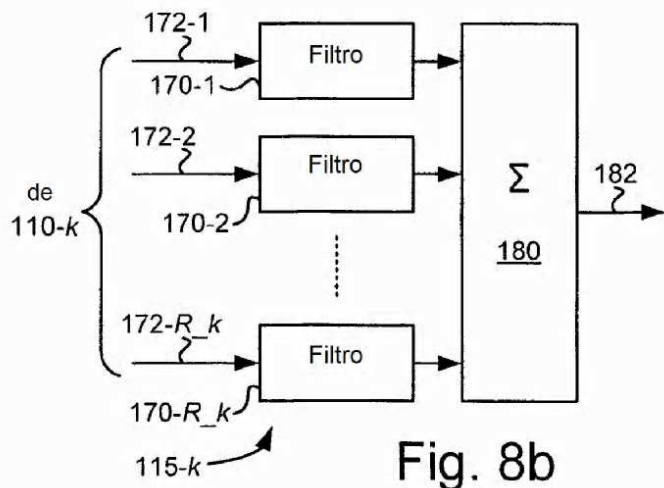


Fig. 8b

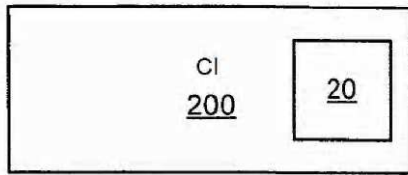


Fig. 9

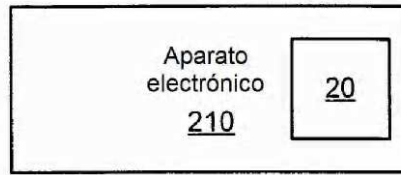


Fig. 10

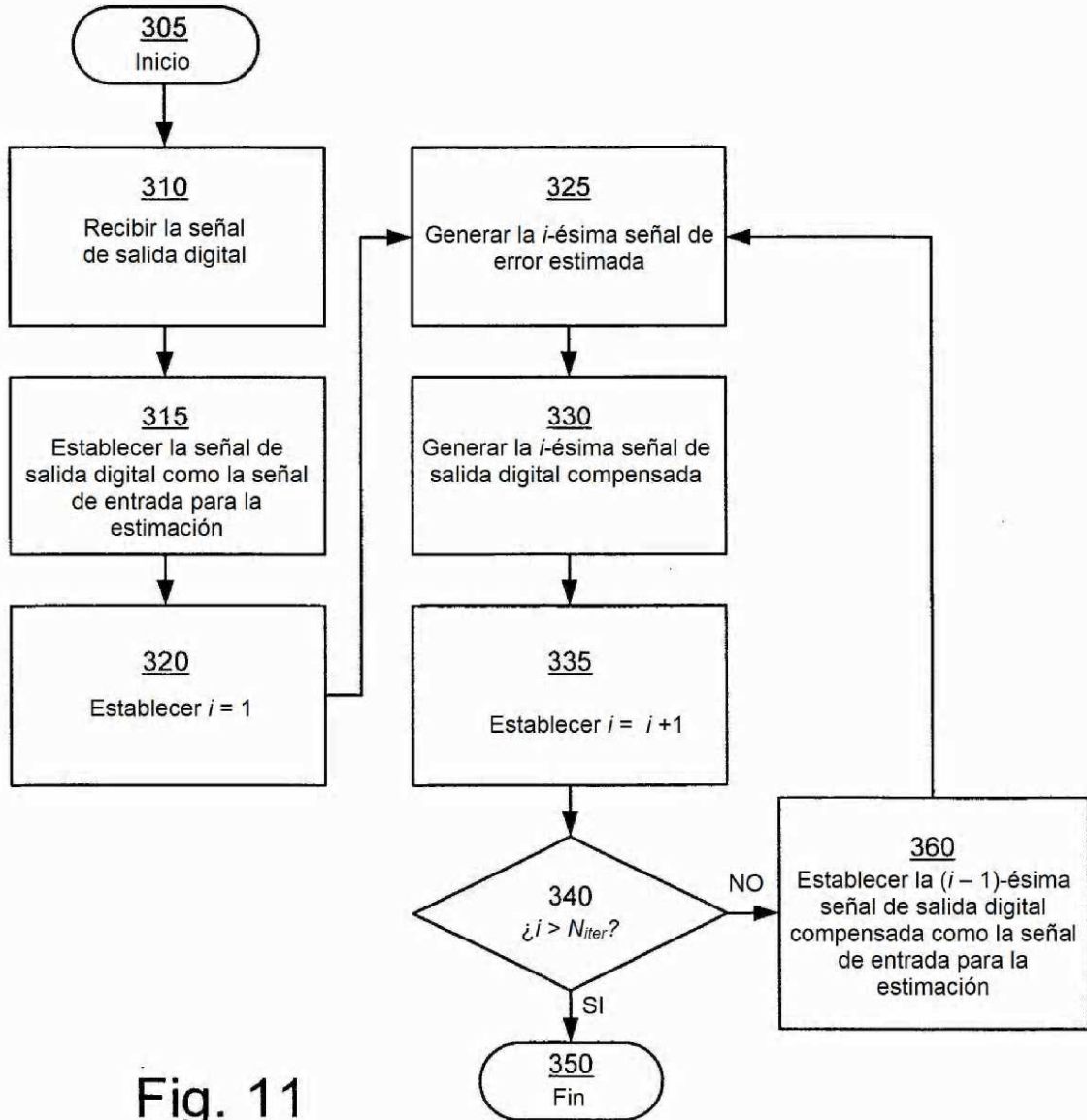
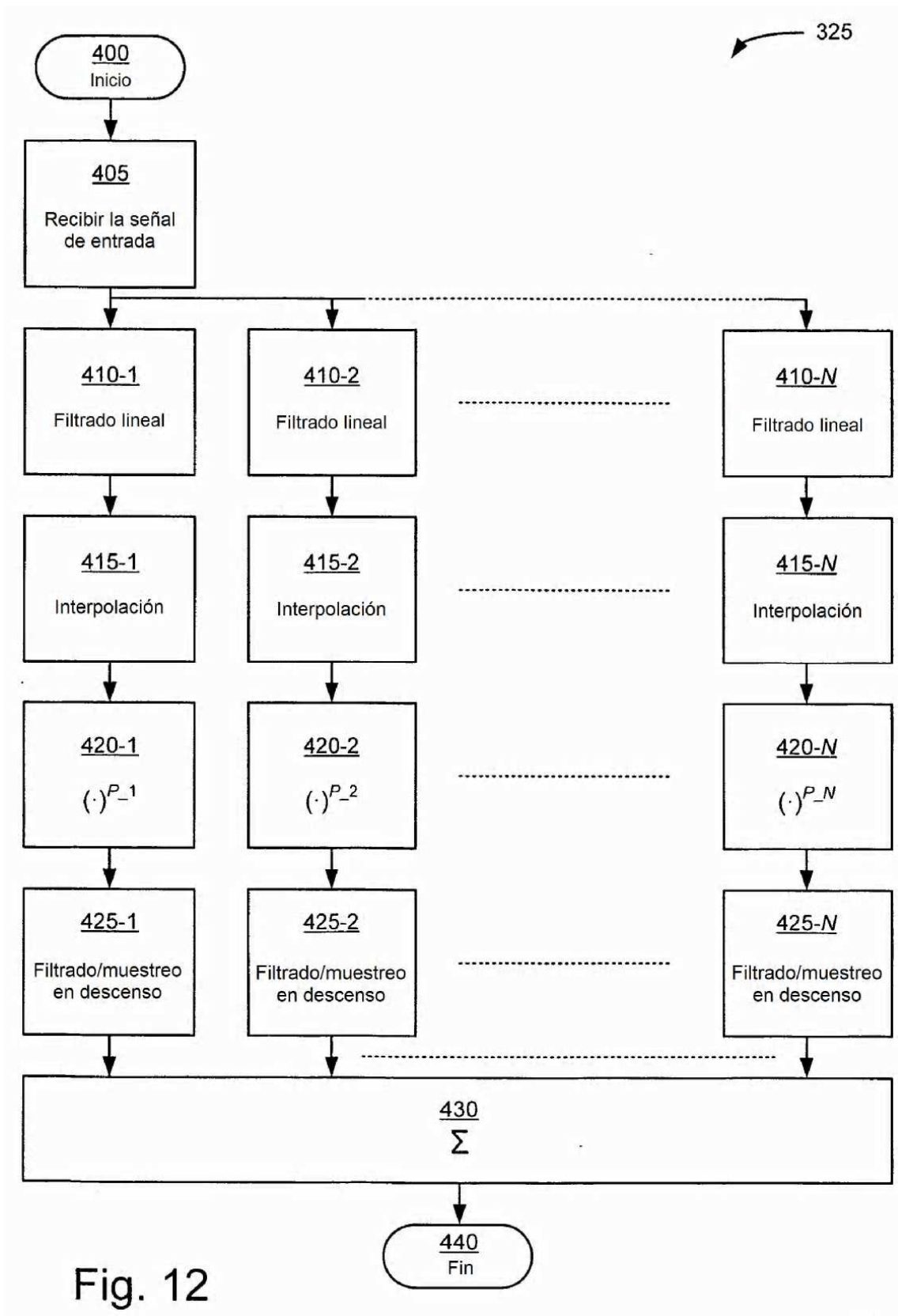


Fig. 11



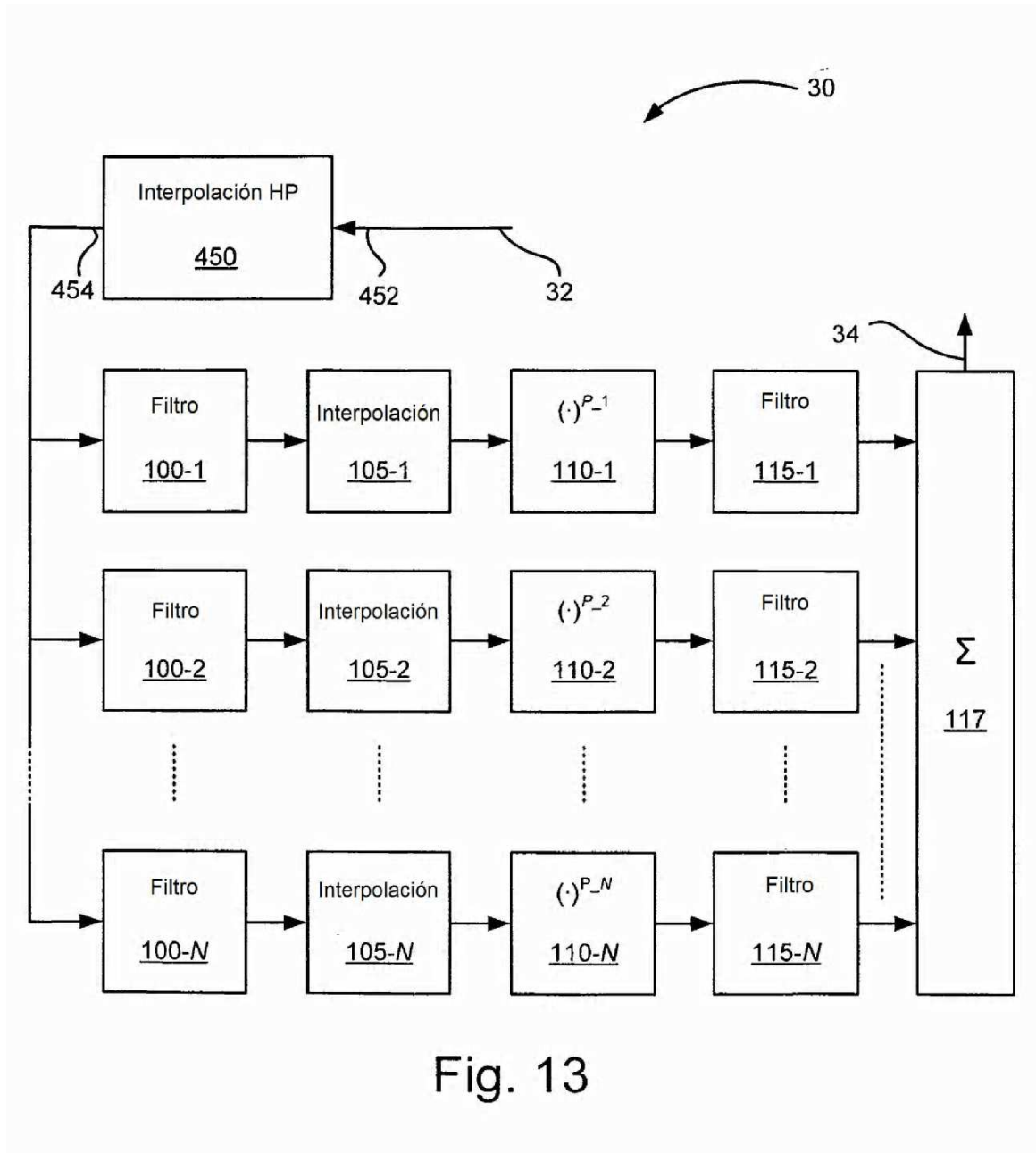


Fig. 13

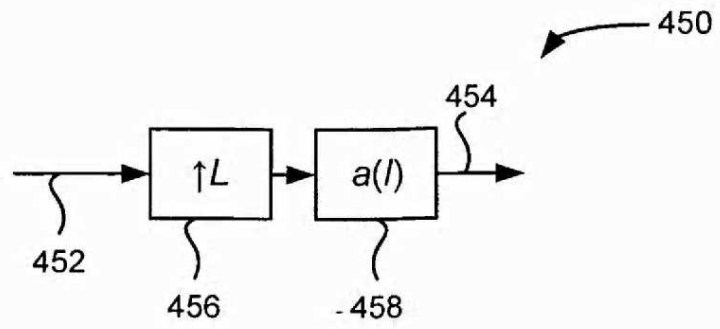


Fig. 14

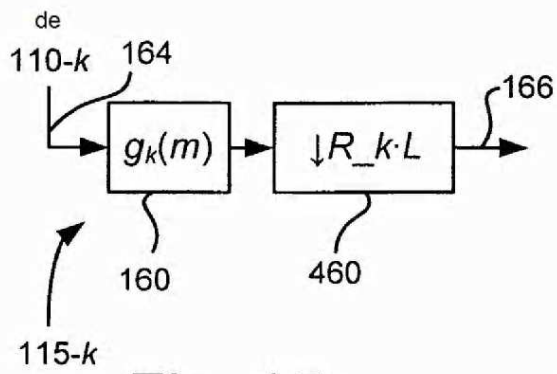


Fig. 15a

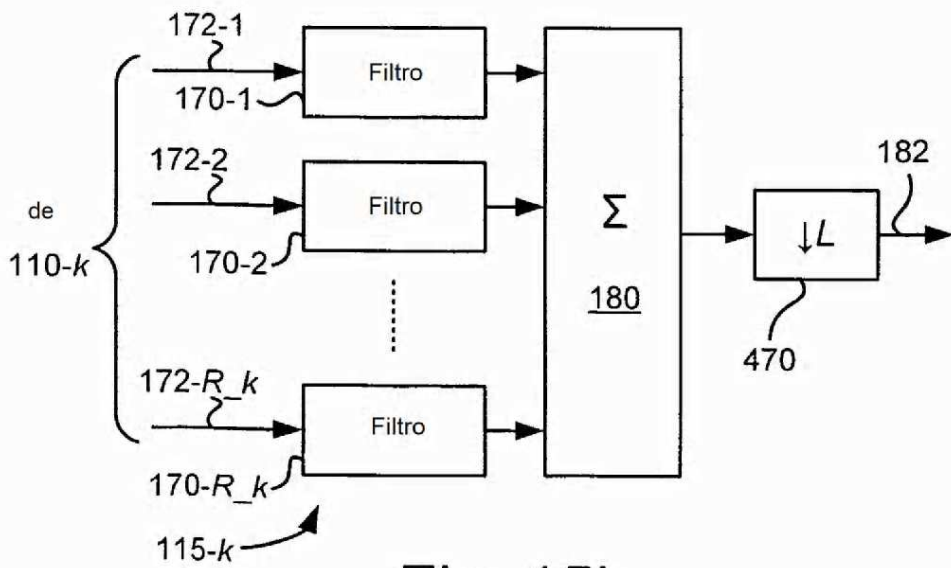


Fig. 15b

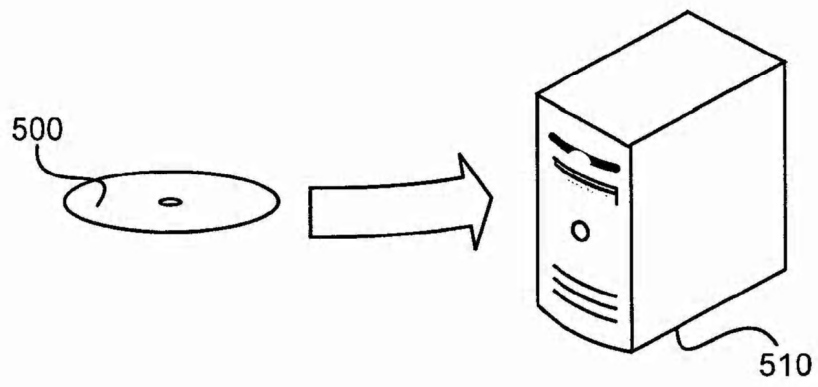


Fig. 16