

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 557 107**

51 Int. Cl.:

H03K 19/0175 (2006.01)

G06F 13/40 (2006.01)

G06F 13/364 (2006.01)

H03K 19/003 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **01.07.2010 E 10730151 (7)**

97 Fecha y número de publicación de la concesión europea: **25.11.2015 EP 2452436**

54 Título: **Circuito eléctrico para la transmisión de señales entre dos maestros y uno o varios esclavos**

30 Prioridad:

10.07.2009 DE 102009027625

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

22.01.2016

73 Titular/es:

**ROBERT BOSCH GMBH (100.0%)
Postfach 30 02 20
70442 Stuttgart, DE**

72 Inventor/es:

FRESE, VOLKER

74 Agente/Representante:

CARVAJAL Y URQUIJO, Isabel

ES 2 557 107 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Circuito eléctrico para la transmisión de señales entre dos maestros y uno o varios esclavos

Estado del arte

5 La presente invención hace referencia a un circuito eléctrico para la transmisión de señales entre dos maestros y uno o varios esclavos, según el preámbulo de la reivindicación 1.

10 En los circuitos electrónicos, en particular en los circuitos digitales, es conocido el hecho de administrar el acceso a componentes comunes del circuito con la ayuda del así llamado principio de maestro/esclavo. De este modo, es posible que un maestro, por ejemplo un microprocesador, con uno o con dos esclavos, se encuentre conectado por ejemplo con dos etapas de salida electrónicas, mediante un sistema bus. El maestro envía una señal de ciclo, una
 10 señal de datos del maestro, así como una señal de selección. Con la señal de selección se selecciona uno de los dos esclavos como receptor. Ese esclavo recibe la señal de datos en el ciclo de la señal de ciclo. Además, el esclavo puede enviar de regreso al maestro una señal de datos en el ciclo de la señal de ciclo recibida.

15 Puesto que el maestro sólo puede enviar la señal de selección y la señal de ciclo, el mismo se encuentra en un nivel superior con respecto a los dos esclavos. Un esclavo solamente puede transmitir una señal de datos al maestro cuando el maestro lo ha seleccionado previamente con la señal de selección. De este modo, el acceso a los componentes comunes, es decir por ejemplo al sistema bus que conecta al maestro y a los esclavos, es administrado por el maestro.

20 En el caso de los dispositivos de control electrónicos, por ejemplo en el área de los vehículos a motor, debido a razones de seguridad, con frecuencia es necesario realizar por duplicado un microprocesador, es decir, proporcionando un así llamado procesador de backup. En el caso mencionado, los dos microprocesadores deben poder ser operados como maestros y los dos maestros deben poder conectarse con los esclavos mediante el sistema bus. El primer requerimiento significa que los microprocesadores deben poseer una así llamada capacidad multi-maestro, lo cual generalmente se asocia a una inversión aumentada. El segundo requerimiento implica el problema de que los dos microprocesadores envían por ejemplo una señal de ciclo, de manera que por ejemplo la
 25 señal de ciclo generada por el primer microprocesador es conducida, entre otras, también contra la salida de la señal, en donde el segundo microprocesador envía su señal de ciclo. Lo mencionado puede ocasionar daños o la destrucción de componentes electrónicos de esa salida de la señal.

30 En el documento de patentes US 6,070,205 A se describe un sistema de procesador que comprende varios maestros del bus y al menos un esclavo del bus, los cuales se encuentran conectados unos a otros mediante un bus de datos común. El acceso de los diferentes maestros del bus al bus de datos está organizado a través de uno o de varios árbitros del bus. Dichos árbitros reciben solicitudes de acceso de los maestros del bus y, mediante líneas de señales correspondientes, conceden el permiso para acceder al bus de datos para maestros del bus individuales.

Es objeto de la presente invención crear un circuito eléctrico con el cual puedan transmitirse señales entre dos maestros y uno o varios esclavos.

35 Descripción de la invención

De acuerdo con la invención, este objeto se alcanzará a través de un circuito eléctrico según la reivindicación 1.

40 Conforme a la invención, los dos maestros y el esclavo o los esclavos se encuentran conectados unos a otros mediante un sistema bus. Respectivamente al menos una señal de datos del maestro puede ser generada por los dos maestros, donde dicha señal puede ser recibida por el esclavo o por los esclavos. En las salidas de los dos maestros, en donde se aplica la respectiva señal de datos del maestro, se encuentra presente respectivamente una puerta de tres estados. Las puertas de tres estados son activas como conmutador cerrado o como conmutador abierto. Las puertas de tres estados son activadas de manera que la puerta de tres estados asociada a uno de los dos maestros actúa como conmutador cerrado y la puerta de tres estados asociada al otro de los dos maestros actúa como conmutador abierto.

45 De acuerdo con la invención, a través de las dos puertas de tres estados se interrumpe de este modo la conexión existente entre los dos maestros mediante el sistema bus. Con ello, la señal de datos del maestro generada por uno de los dos maestros no tiene ninguna influencia sobre el otro maestro. De este modo, no es posible un daño o inclusive la destrucción de componentes en un maestro. De esta manera, sin embargo, ya no es necesario que uno de los dos maestros deba poseer la capacidad multi-maestro mencionada. Por consiguiente, el objeto aspirado por
 50 la presente invención se alcanza con una inversión reducida, en particular a través del agregado de las puertas de tres estados.

De manera ventajosa, también se proporcionan puertas de tres estados en aquellas salidas de los dos maestros en las cuales se aplica una señal de ciclo.

De acuerdo con la invención, las puertas de tres estados son activadas en función de una señal de petición que puede ser generada por uno de los dos maestros cuando ese maestro desea transmitir señales al sistema bus. A través de esa señal de petición puede lograrse que el maestro solicitante obtenga el acceso al sistema bus y pueda transmitir señales mediante el sistema bus.

De acuerdo con la invención las puertas de tres estados son activadas en función de si tiene lugar o no una transmisión hacia el sistema bus. Lo mencionado se determina con la ayuda de una o varias señales de selección. De este modo se garantiza que la adjudicación del acceso al sistema bus sólo sea posible cuando una transmisión precedente al sistema bus ha finalizado.

Otras características, posibilidades de aplicación y ventajas de la invención resultan de la siguiente descripción de ejemplos de ejecución de la invención, donde dichos ejemplos se representan en las figuras del dibujo. Todas las características descritas o representadas, por sí solas o en cualquier combinación, constituyen el objeto de la invención, independientemente de su resumen en las reivindicaciones o de sus remisiones, así como independientemente de su formulación o representación en la descripción, así como en el dibujo.

La figura 1 muestra un diagrama de bloques esquemático de un ejemplo de ejecución de un circuito eléctrico acorde a la invención para transmitir señales entre dos maestros y dos esclavos; la figura 2 muestra un diagrama de bloques esquemático detallado de un ejemplo de ejecución de una parte del circuito de la figura 1; y las figuras 3a, 3b muestran variantes de otra parte del circuito de la figura 1.

En el área de los vehículos a motor se utiliza una pluralidad de dispositivos de control electrónicos. Los dispositivos de control se utilizan por ejemplo para realizar un sistema de antibloqueo para el sistema de frenado del vehículo a motor. En el dispositivo de control está contenido un microprocesador que ejecuta las funciones del sistema de antibloqueo a través de un software. El dispositivo de control se encuentra conectado a etapas de salida electrónicas que se proporcionan para controlar válvulas que pueden accionarse de forma eléctrica. Mediante las válvulas puede modificarse una presión de frenado que actúa sobre un freno de la rueda y, con ello, puede modificarse la fuerza de frenado de la rueda.

Considerando la seguridad del vehículo a motor, es necesario que el microprocesador que se encuentra presente en el dispositivo de control descrito anteriormente, indicado a modo de ejemplo, esté realizado por duplicado, de manera que en el caso de una avería del primer microprocesador sus funciones puedan ser asumidas por el segundo microprocesador.

En la figura 1 se representa un circuito eléctrico 10 que puede utilizarse en el caso del ejemplo precedente. El circuito 10 presenta dos así llamados maestros 11, 12 y dos así llamados esclavos 13, 14. Los dos maestros 11, 12 pueden consistir en los dos microprocesadores mencionados y los dos esclavos 13, 14 pueden consistir en dos etapas de salida. Se entiende que en el circuito de la figura 10 pueden estar presentes también más de dos esclavos 13, 14 o también puede estar presente solamente un único esclavo. Se entiende igualmente que los maestros 11, 12 y los esclavos 13, 14 pueden tratarse también de otros componentes electrónicos de un circuito eléctrico.

Entre los maestros 11, 12 y los esclavos 13, 14 se encuentra presente un sistema bus 15 que en el presente ejemplo de ejecución es adecuado para la transmisión en serie y sincrónica de señales eléctricas.

Ambos maestros 11, 12 son adecuados para generar una señal de ciclo SCLK (SCLK = serial clock) y enviarla mediante una línea SCLK. Las dos líneas SCLK que provienen de los maestros 11, 12 se encuentran conectadas unas con otras y están conectadas a los dos esclavos 13, 14. Los dos esclavos 13, 14 son adecuados para recibir y procesar la señal de ciclo SCLK.

Los dos maestros 11, 12 son adecuados para generar una señal de datos del maestro MO (MO = master out) y enviarla mediante una línea MO. Las dos líneas MO que provienen de los maestros 11, 12 se encuentran conectadas unas con otras y están conectadas a los dos esclavos 13, 14. Los dos esclavos 13, 14 son adecuados para recibir y procesar la señal MO.

Ambos maestros 11, 12 son adecuados para generar una señal de selección CS1 (CSO = chip select) y enviarla mediante una línea CS1. Las dos líneas CS1 que provienen de los maestros 11, 12 se encuentran conectadas unas con otras y están conectadas a uno de los dos esclavos 13, 14. Los esclavos 13, 14 son adecuados para recibir y procesar la señal CS1.

Ambos maestros 11, 12 son adecuados para generar una señal de selección CS2 (CSO = chip select) y enviarla mediante una línea CS2. Las dos líneas CS2 que provienen de los maestros 11, 12 se encuentran conectadas unas

con otras y están conectadas a uno de los dos esclavos 13, 14. El esclavo 14 mencionado es adecuado para recibir y procesar la señal CS2.

En las salidas de los dos maestros 11, 12; en donde se encuentran presentes la señal de ciclo SCLK, la señal de datos del maestro MO y las señales de selección CS1, CS2; se encuentran interpuestas así llamadas puertas de tres estados 16 en las respectivas líneas SCLK, MO, CS1 y CS2. Las puertas de tres estados 16₁₁ están asociadas al maestro 11 y las puertas de tres estados 16₁₂ están asociadas al maestro 12. Las puertas de tres estados 16 mencionadas consisten en componentes digitales que presentan una entrada y una salida, donde su salida puede presentar dos estados en función de una así llamada señal de habilitación. Si la señal de habilitación es por ejemplo "alta o 1", entonces la salida corresponde a la entrada de la puerta de tres estados 16. En ese caso, la puerta de tres estados 16 actúa como un conmutador cerrado. Sin embargo, si la señal de habilitación es "baja o 0", entonces la salida de la puerta de tres estados 16 preferentemente es conectada con una alta resistencia óhmica. En ese caso, la puerta de tres estados 16 actúa como un conmutador abierto.

A través de la puerta de tres estados 16 puede lograrse que las señales generadas y enviadas por los dos maestros 11, 12 no tengan ninguna influencia sobre el otro respectivo maestro 12, 11. A modo de ejemplo, si la señal de ciclo SCLK es enviada por uno de los dos o por los dos maestros 11, 12; entonces la puerta de tres estados 16₁₁ asociada a un maestro 11 es conmutada de manera que éste actúa como conmutador cerrado, mientras que la puerta de tres estados 16₁₂ asociada al otro maestro 12 es conmutada de modo que este último actúa como conmutador abierto. De este modo, ya no existe ninguna conexión entre las salidas de los dos maestros 11, 12 a las que se envía respectivamente la señal de ciclo SCLK. La línea SCLK que se encuentra conectada entre los dos maestros 11, 12 es interrumpida de este modo a través de una de las dos puertas de tres estados 16.

Los dos esclavos 13, 14 son adecuados para generar una señal de datos del esclavo SO (SO = slave out) y enviarla mediante una línea SO. Las dos líneas SO que provienen de los maestros 13, 14 se encuentran conectadas unas con otras y están conectadas a los dos maestros 11, 12. Los dos maestros 11, 12 son adecuados para recibir y procesar la señal de SO. Preferentemente, en las líneas SO no se encuentran contenidas puertas de tres estados.

El circuito eléctrico de la figura 1 presenta una parte del circuito 18 que, entre otras cosas, se proporciona para generar la señal de habilitación para las puertas de tres estados 16. En la figura 2 puede observarse una conformación a modo de ejemplo de la parte del circuito 18.

Una señal CS es suministrada a la parte del circuito 18 como señal de entrada. La señal CS mencionada es generada por una puerta UND 19 que es aplicada del lado de entrada por las dos señales de selección CS1, CS2. La señal CS solamente es "alta o 1" cuando no se encuentra activa ninguna de las dos señales de selección CS1, CS2. De lo contrario la señal CS es "baja o 0". Cabe señalar que en el presente ejemplo de ejecución se supone que las señales de selección CS1, CS2 son "alta o 1" en su estado inactivo.

De acuerdo con la figura 2, la parte del circuito 18 presenta dos puertas NAND 21, 22 a las que se suministra respectivamente la señal CS como señal de entrada. Asimismo, a las dos puertas NAND 21, 22 se suministra una señal de petición REQ como señal de entrada, la cual es generada por uno de los dos maestros 11, 12; en este caso por el maestro 11. En una de las dos puertas NAND 21, en este caso en la puerta NAND 22, la señal de petición REQ se invierte en el lado de entrada.

La señal de petición REQ, del modo mencionado, es generada por el maestro 11, poniéndose allí a disposición del lado de salida. Si la señal de petición REQ es fijada en "alta o 1" por el maestro 11, entonces el maestro 11 solicita el acceso al sistema bus 15. El otro maestro 12 no puede generar una señal de petición REQ de esa clase. En lugar de eso, el maestro 12 obtiene entonces el acceso al sistema bus 15 solamente cuando el maestro 11 no solicita el acceso al sistema bus 15. En este sentido, el maestro 11 se encuentra superordinado con respecto al maestro 12.

La puerta NAND 21 genera del lado de la salida una señal set que sólo es "baja o 0" cuando la señal CS y la señal de petición REQ son "alta o 1". De lo contrario, la señal set es siempre "alta o 1". La puerta NAND 22 genera del lado de salida una señal reset que sólo es "baja o 0" cuando la señal CS es "alta o 1" y la señal de petición REQ es "baja o 0". De lo contrario, la señal reset es siempre "alta o 1".

La señal set y la señal reset se suministran a una entrada S y a una entrada R de un circuito biestable 24. Del lado de salida, el circuito biestable 24 genera una señal de habilitación, a saber, en forma de una señal de habilitación EN no invertida y en forma de una señal de habilitación EN* invertida. En el caso de un paso de la entrada S del circuito biestable 24 a "baja o 0", la señal de habilitación EN se fija en "alta o 1" y la señal de habilitación EN* invertida se fija en "baja o 0". En el caso de un paso de la entrada R del circuito biestable 24 a "baja o 0", la señal de habilitación EN se fija en "baja o 0" y la señal de habilitación EN* invertida se fija en "alta o 1".

La señal de habilitación EN no invertida se aplica al maestro 11 y a aquellas puertas de tres estados 16₁₁ que se encuentran presentes en las salidas del maestro 11, de manera que se encuentran asociadas al maestro 11. La

señal de habilitación EN* invertida se aplica al maestro 12 y a aquellas puertas de tres estados 16₁₂ que se encuentran presentes en las salidas del maestro 12, de manera que se encuentran asociadas al maestro 12.

5 Si la señal de habilitación EN no invertida es "alta o 1", entonces el maestro 11 tiene acceso al sistema bus 15. Esto sucede debido a que las puertas de tres estados 16₁₁ asociadas al maestro 11 actúan como circuitos cerrados, mientras que las puertas de tres estados 16₁₂ asociadas al maestro 12 actúan como circuitos abiertos. Además, el maestro 11 detecta ese estado de las puertas de tres estados 16 en la señal de habilitación EN no invertida que se le ha suministrado, fijada en "alta o 1", mientras que el maestro 12 detecta el estado en la señal de habilitación EN* invertida que se le ha suministrado, fijada en "baja o 0". De este modo, el maestro 11 "sabe" que puede acceder al sistema bus 15, mientras que el maestro 12 "sabe" que no puede acceder al sistema bus 15.

10 Si la señal de habilitación EN no invertida es "baja o 0", resulta entonces un estado inverso en el cual el maestro 11 no tiene acceso al sistema bus 15 y el maestro 12 sí puede acceder al mismo.

15 Las puertas de tres estado 16₁₁ asociadas al maestro 11 y las puertas de tres estados 16₁₂ asociadas al otro maestro 12 se encuentran por tanto siempre conectadas en sentido opuesto, de manera que siempre las puertas de tres estados 16 asociadas a uno de los dos maestros 11, 12 actúan como conmutador cerrado y las otras puertas de tres estados 16 asociadas al otro de los dos maestros 12, 11 actúan como conmutador abierto.

20 Durante el funcionamiento del circuito eléctrico 10 de la figura 1, el maestro 11 solicita el acceso al sistema bus debido a que éste fija la señal de petición REQ en "alta o 1". Tan pronto como las dos señales de salida CS1, CS2 son inactivas, por tanto tan pronto como el sistema bus 15 está libre, de manera que han finalizado las transmisiones precedentes mediante el sistema bus 15, la señal de habilitación EN no invertida se fija en "alta o 1". De este modo, las puertas de tres estados 16₁₁ asociadas al maestro 11 actúan como conmutador cerrado, mientras que las puertas de tres estados 16₁₂ asociadas al maestro 12 representan conmutadores abiertos. Además, debido a la señal de habilitación EN recibida, el maestro 11 "sabe" que puede acceder al sistema bus 15. El maestro 11 selecciona entonces como receptor a uno de los dos esclavos 13, 14 con la ayuda de las señales de selección CS1, CS2. Después, el maestro 11 envía la señal de ciclo SCLK y la señal de datos del maestro MO. El esclavo seleccionado recibe la señal de datos del maestro MO en el ciclo de la señal de ciclo SCLK. Además, el esclavo seleccionado puede enviar de regreso al maestro 11 la señal de datos del esclavo SO. Tan pronto como el maestro 11 no necesita más acceder al sistema bus 15, éste fija la señal de petición REQ en "baja o 0". A continuación, el otro maestro 12, de manera correspondiente, puede acceder al sistema bus 15 hasta que el maestro 11 fija nuevamente la señal de petición REQ en "alta o 1".

30 Se entiende que el funcionamiento antes explicado del circuito 10 es posible también con un único esclavo. En ese caso, la señal de selección se utiliza solamente para indicar el final de una transmisión de señales mediante el sistema bus 15.

En el circuito 10 de la figura 1 no es posible una transmisión de señales entre los dos maestros 11, 12. Del modo ya explicado, esto se impide a través de las puertas de tres estados 16.

35 Si debe posibilitarse desde ese momento una transmisión de señales entre los dos maestros 11, 12; entonces eso puede lograrse debido a que la parte del circuito 30, resaltada como bloque con líneas discontinuas en la figura 1, es modificada de acuerdo con las figuras 3a, 3b.

40 En la figura 3a el maestro 11 se representa con las señales explicadas. De manera adicional con respecto a las puertas de tres estados 16₁₁, otras puertas de tres estados 31 se encuentran asociadas al maestro 11, las cuales se encuentran conectadas respectivamente de forma paralela en sentido opuesto a las puertas de tres estados 16₁₁ individuales. Las puertas de tres estados 16, del mismo modo que antes, son activadas por la señal de habilitación EN no invertida, mientras que las puertas de tres estados 31 adicionales son aplicadas por la señal de habilitación EN* invertida. Esto último puede observarse en la figura 3a debido a que la entrada de las puertas de tres estados 31 correspondiente a la señal de habilitación EN se encuentra invertida.

45 Si el maestro 11 tiene acceso al sistema bus 15, entonces las puertas de tres estados 31 adicionales actúan como conmutadores abiertos. En ese caso, el modo de funcionamiento del circuito de la figura 3a corresponde a las explicaciones relativas a la figura 1. Sin embargo, si el maestro 12 tiene acceso al sistema bus 15, entonces las puertas de tres estados 16 actúan como conmutadores abiertos y las puertas de tres estados 31 adicionales como conmutadores cerrados. De este modo, las señales transmitidas por el maestro 12 al sistema bus 15 llegan también al maestro 11. Si el maestro 11 se encuentra en condiciones de recibir esas señales, entonces el maestro 11 puede leer y procesar desde ese momento las señales transmitidas por el otro maestro 12 al sistema bus 15, mediante las puertas de tres estados 31 adicionales.

ES 2 557 107 T3

Para que el maestro 11 se encuentre en condiciones de recibir señales desde el sistema bus 15, puede ser necesario efectuar una transposición correspondiente del maestro 11. La transposición mencionada puede ser controlada por la señal de habilitación EN suministrada al maestro 11.

- 5 En la figura 3b se parte de la base de que en el maestro 11, en sus salidas, se encuentran presentes respectivamente dos puertas de tres estados 33 conectadas de forma antiparalela. En ese caso, dichas puertas de tres estados 33 pueden ser controladas de manera correspondiente dentro del maestro 11, por software, en función de la señal de habilitación EN suministrada, tal como se explicó para las puertas de tres estados 16, 31 de la figura 3a. Esto último se indica en la figura 3b con la ayuda de una flecha 34. De este modo puede lograrse que el maestro 11 pueda leer y procesar las señales transmitidas por el maestro 12 al sistema bus 15.
- 10 Se entiende que también el maestro 12 puede estar provisto de puertas de tres estados adicionales correspondientes, de manera que también el maestro 12 puede leer y procesar las señales transmitidas por el maestro 11 al sistema bus 15.

REIVINDICACIONES

1. Circuito eléctrico (10) que comprende dos maestros (11, 12) y uno o varios esclavos (13, 14), diseñado para la transmisión de señales entre dos maestros (11, 12) y unos o varios esclavos (13, 14), donde los dos maestros (11, 12) y el esclavo o los esclavos (13, 14) se encuentran conectados unos a otros mediante un sistema bus (15), donde cada uno de los dos maestros (11, 12) está diseñado para generar respectivamente al menos una señal de datos del maestro (MO) y para enviarla mediante una línea MO, donde las dos líneas MO que provienen de los maestros (11, 12) están conectadas una con otra y se encuentran conectadas al esclavo o a los esclavos (13, 14) y la señal de datos del maestro (MO) puede ser recibida por el esclavo o por los esclavos (13, 14), donde en las salidas de los dos maestros (11, 12), en donde se aplica la respectiva señal de datos del maestro (MO), se encuentra presente respectivamente una puerta de tres estados (16),
- donde las puertas de tres estados (16) son activas como conmutador cerrado o abierto, y donde las puertas de tres estados (16) son activadas de manera que la puerta de tres estados (1611) asociada a uno de los dos maestros (11) actúa como conmutador cerrado y la puerta de tres estados (1612) asociada al otro de los dos maestros (12) actúa como conmutador abierto,
- caracterizado porque por los dos maestros (11, 12) es generada respectivamente al menos una señal de selección (CS1, CS2) que es recibida por el esclavo o por los esclavos (13, 14), a través de la cual el esclavo o uno de los esclavos es seleccionado como receptor,
- donde en las salidas de los dos maestros (11, 12), en donde se aplica la respectiva señal de selección, se encuentra presente respectivamente una puerta de tres estados (16), donde las puertas de tres estados (16) se activan en función de una señal de petición (REQ) que es generada por uno de los dos maestros (11, 12) cuando ese maestro (11, 12) desea transmitir señales al sistema bus,
- y porque el circuito eléctrico comprende una parte del circuito (18) a través de la cual las puertas de tres estados (16) se activan en función de respectivamente al menos una señal de selección (CS1, CS2) y la señal de petición (REQ), de modo que sólo puede adjudicarse un acceso al sistema bus cuando las respectivas señales de selección (CS1, CS2) de los dos maestros se encuentran inactivas, de manera que una transmisión precedente al sistema bus se encuentra finalizada.
2. Circuito eléctrico (10) según la reivindicación 1, donde por los dos maestros (11, 12) puede ser generada respectivamente una señal de ciclo (SCLK) que puede ser recibida por el esclavo o por los esclavos (13, 14), y donde en las salidas de los dos maestros (11, 12), en donde se aplica la respectiva señal de ciclo, se encuentra presente respectivamente una puerta de tres estados (16).
3. Circuito eléctrico (10) según la reivindicación 1 ó 2, donde la señal de petición (REQ) y una señal vinculada (CS) pueden ser suministradas a la parte del circuito (18) como señal de entrada, donde la señal vinculada (CS) se origina a partir de una vinculación lógica de las señales de selección (CS1, CS2).
4. Circuito eléctrico según una de las reivindicaciones 1 a 3, donde en la parte del circuito (18) se generan dos señales de habilitación (EN, EN*) en función de la señal de petición (REQ) y de la señal vinculada (CS), donde la primera señal de habilitación (EN) es suministrada a las puertas de tres estados (1611) que se encuentran asociadas a un maestro (11), y la segunda señal de habilitación (EN*) es suministrada a las puertas de tres estados (1612) que se encuentran asociadas al otro maestro (12).
5. Circuito eléctrico (10) según una de las reivindicaciones precedentes, donde las puertas de tres estados (16) son activadas en función de si tiene lugar o no una transmisión hacia el sistema bus (15).
6. Circuito eléctrico (10) según una de las reivindicaciones precedentes, donde las puertas de tres estados (16) se encuentran conectadas respectivamente de forma paralela a una puerta de tres estados (31) conectada en sentido inverso, y donde las puertas de tres estados (31) conectadas de forma paralela en sentido inverso son activadas de forma inversa con respecto a las puertas de tres estados (16).
7. Circuito eléctrico (10) según una de las reivindicaciones precedentes, caracterizado por su utilización en combinación con un dispositivo de control electrónico de un vehículo a motor.

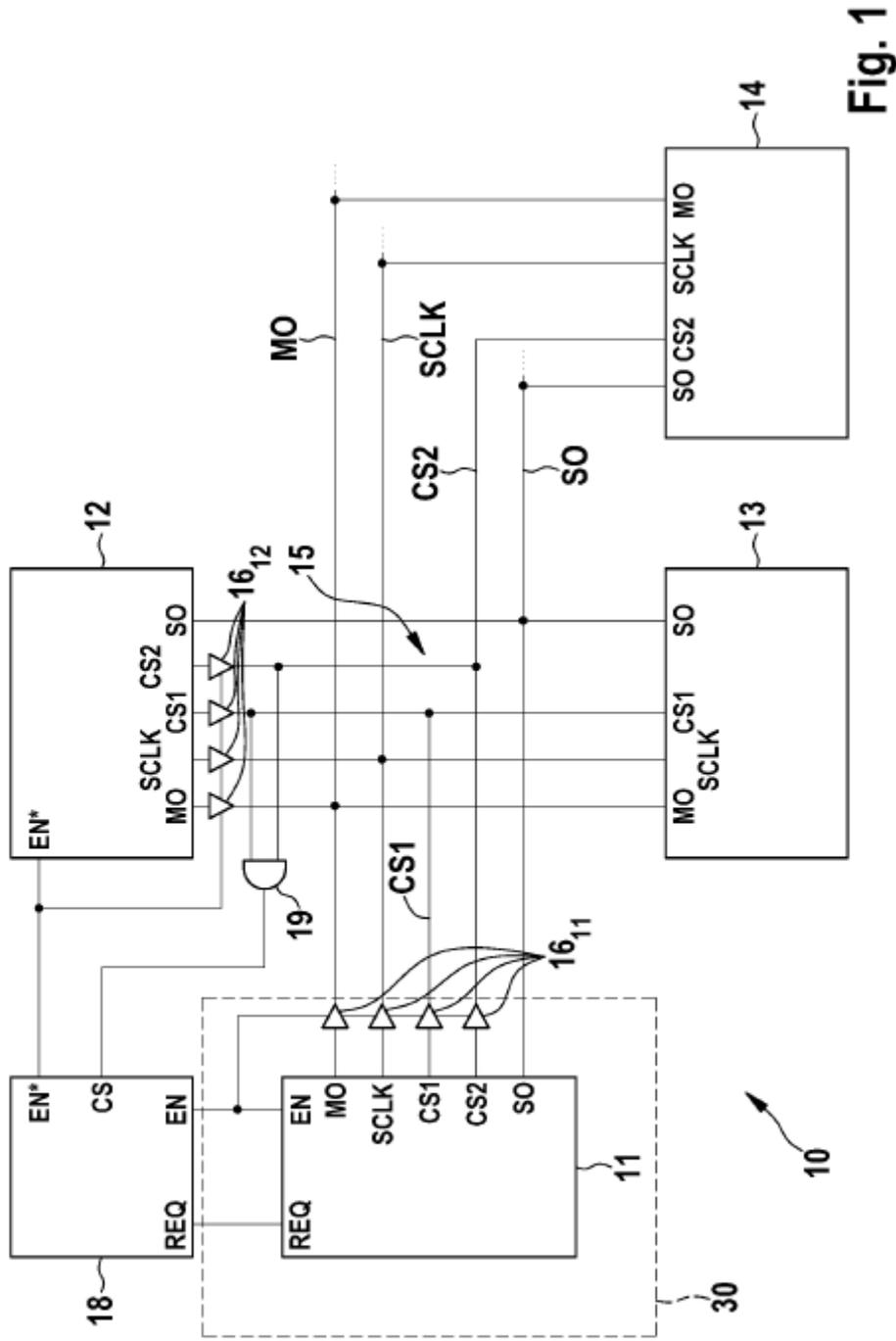


Fig. 1

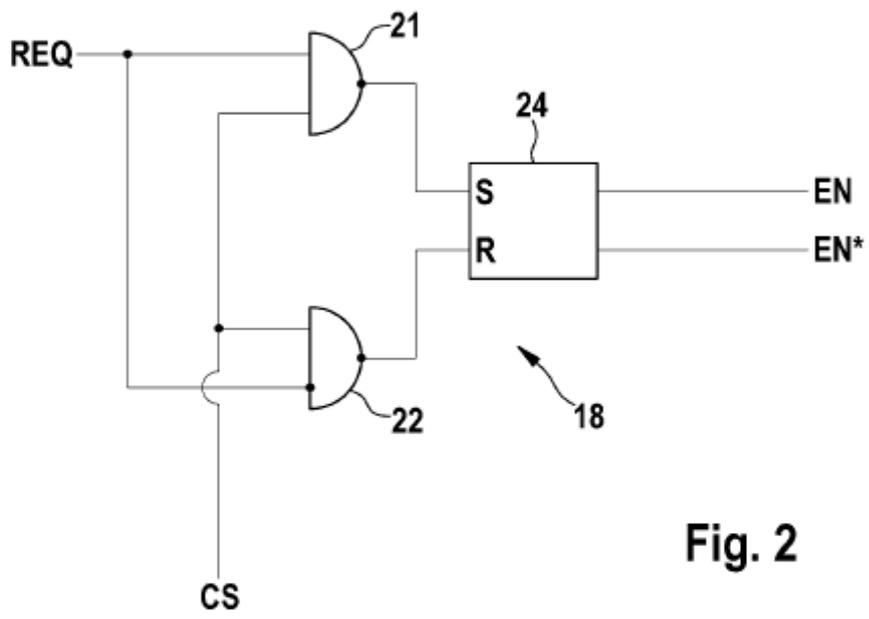


Fig. 2

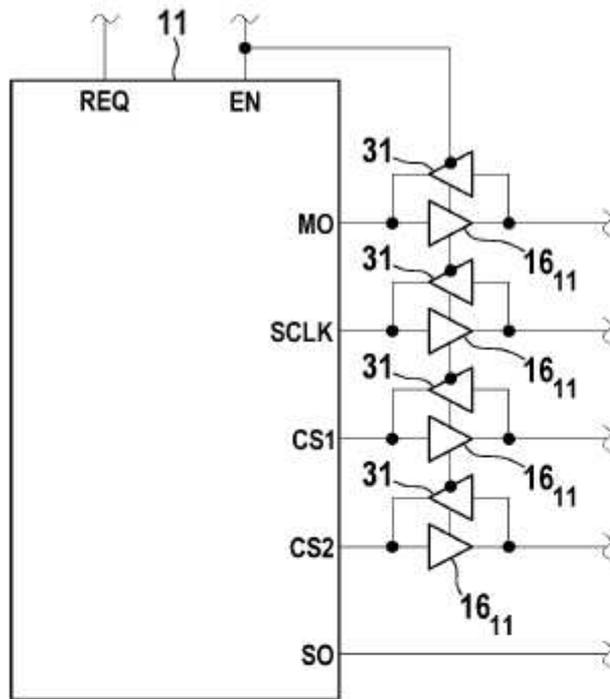


Fig. 3a

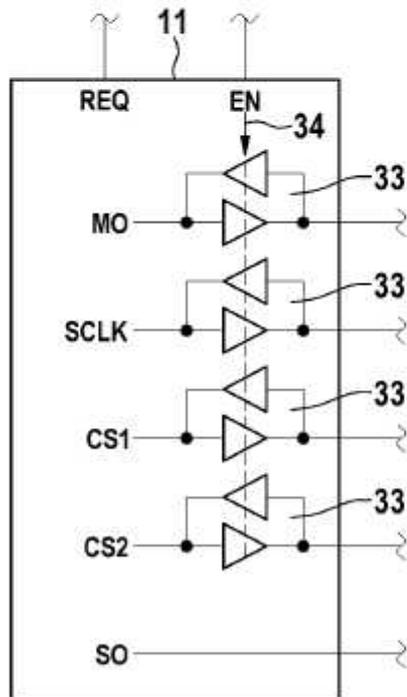


Fig. 3b