

19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 558 118**

51 Int. Cl.:

**H04B 15/04** (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **12.10.2012 E 12188359 (9)**

97 Fecha y número de publicación de la concesión europea: **07.10.2015 EP 2584719**

54 Título: **Circuito de control para reducir la interferencia electromagnética**

30 Prioridad:

**12.10.2011 TW 100136996**

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

**02.02.2016**

73 Titular/es:

**MACROBLOCK, INC. (100.0%)  
6F.-4, No. 18, Pu-Ting Road  
Hsinchu City, TW**

72 Inventor/es:

**CHENG, YU-WEN y  
 TSAI, CHUNG-TA**

74 Agente/Representante:

**LLAGOSTERA SOTO, María Del Carmen**

**ES 2 558 118 T3**

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

**Descripción**

Circuito de control para reducir la interferencia electromagnética

5 **ANTECEDENTES****Campo técnico**

10 La descripción se refiere a un circuito que es capaz de reducir la interferencia electromagnética, y más particularmente, a un circuito de control para reducir la interferencia electromagnética.

**Técnica Relacionada**

15 Con los avances en la tecnología digital, con el fin de ser capaz de soportar la alta densidad y la transmisión de información de alta velocidad, se requiere un generador de reloj fiable y preciso en un sistema digital para generar una señal de reloj de alta frecuencia que actúa como una referencia para la tasa de transmisión de la señal de datos. Un reloj de sistema convencional es generado por una serie de elementos funcionales, tales como conjuntos de chips o IC envasados independientemente altamente integrados. Sin embargo, los IC son susceptibles a las interferencias electromagnéticas (EMI).

20 Las EMI anteriormente mencionadas provocadas por la señal de reloj de alta frecuencia generada por un generador de reloj tienen un impacto negativo en la fiabilidad y el rendimiento del sistema digital. Para minimizar dicho impacto como consecuencia de la conmutación de señal a altas frecuencias, un filtro de EMI o un dispositivo de retardo se encuentran dispuestos en un extremo de la entrada de alimentación. Sin embargo, estos componentes adicionales incrementan el coste de fabricación de toda la circuitería.

30 Con el fin de reducir la energía causada por las señales de reloj de alta frecuencia para reducir la interferencia electromagnética correspondiente, la patente nº US 6249876 emplea una manera lógica para emitir señales de control para la determinación de una corriente de salida de un dispositivo de conversión de digital a analógico (convertidor D / A) y, a continuación, combina la corriente de salida con la corriente en el oscilador con el fin de ajustar la frecuencia de la señal de diversas maneras. Sin embargo, la corriente utilizada en el oscilador es generalmente de varios micro-amperios ( $\mu\text{A}$ ), pero se requiere que la corriente de salida del convertidor D / A sea inferior a varias decenas de nano-amperios (nA). Como resultado, la variación de las corrientes no se puede controlar correctamente, y por lo tanto la frecuencia no se puede controlar de una manera deseada.

40 Además, la patente nº US 7289582 utiliza un oscilador para emitir un voltaje de entrada de referencia a una unidad de control de voltaje, y a través del cambio del voltaje de referencia de entrada, cambia el voltaje de un reloj de salida del oscilador, con el fin de reducir la interferencia electromagnética. Sin embargo, se requieren muchas resistencias conectadas en serie para formar los voltajes de entrada de referencias múltiples (por ejemplo, voltajes de referencia de entrada de  $2^n$ ), y se requieren muchos interruptores para seleccionar el voltaje de salida de la unidad de control de voltaje. Esto hace que todo el diseño del circuito resulte complicado.

45 En la patente US 2010/0007390 A1 se describe que un circuito de generación de señal de reloj incluye un circuito de retardo principal y un circuito de retardo variable. El circuito de retardo principal recibe una señal de retorno del reloj y emite una señal de salida después de un primer retardo cuando recibe la señal de retorno del reloj. Sin embargo, resulta difícil ajustar una frecuencia de las señales.

50 **RESUMEN**

55 La descripción se refiere a un circuito de control para reducir la interferencia electromagnética, que incluye un generador de señal periódica y un controlador de modulación. El generador de señal periódica ajusta una señal de modulación periódica generada por el generador de señal periódica, de acuerdo con una señal de retorno de modulación. El controlador de modulación está acoplado al generador de señal periódica para recibir la señal de modulación periódica, ajustar una frecuencia de la señal de modulación periódica recibida de acuerdo con una pluralidad de períodos de retardo establecidos de acuerdo con una pluralidad de señales de control, y generar la señal de retorno de modulación.

60 En una realización, el controlador de modulación incluye un generador de señal de control y una unidad de retardo. El generador de señal de control recibe la señal de retorno de modulación para generar las señales de control de acuerdo con la señal de retorno de modulación recibida. La unidad de retardo está acoplada al generador de señal de control para recibir la señal de modulación periódica, y de acuerdo con la señal de control, con el fin de ajustar los períodos de retardo para ajustar la frecuencia de la señal de modulación periódica, a fin de generar la señal de retorno de modulación.

65

En una realización, la unidad de retardo incluye interruptores M y aislantes (M-1). Los primeros extremos de los interruptores M se acoplan entre sí y reciben la señal de modulación periódica. Un segundo extremo del primer interruptor entre los interruptores M envía la señal de retorno de modulación. Los primeros extremos de los interruptores M se conectan a los segundos extremos de los interruptores M de acuerdo con las señales de control de n bits, donde n es un número entero positivo mayor que uno, y  $M = 2^n$ . El aislante i-ésimo está acoplado al segundo extremo del interruptor (i + 1) -ésimo, y los segundos extremos de los aislantes (M-1) están acoplados al segundo extremo del primer interruptor, donde i es un número entero positivo, y  $0 < i < M$ . El período de retardo asociado con el aislante i-ésimo es más corto que el período de retardo asociado con el aislante (i + 1) -ésimo.

En otra realización, la unidad de retardo incluye interruptores N y aislantes (N / 2). Un primer extremo del primer interruptor entre los interruptores N recibe la señal de modulación periódica. Un segundo extremo del interruptor (N-1) -ésimo da salida a la señal de retorno de modulación. Un segundo extremo del interruptor j-ésimo está acoplado a un primer extremo del interruptor (j+2) -ésimo. Un primer extremo del interruptor j-ésimo está acoplado a un primer extremo del interruptor (j+1) -ésimo. Los primeros extremos de los interruptores N están conectados a los segundos extremos de los interruptores N de acuerdo con las señales de control de n bits, donde n es un número entero positivo mayor que 1,  $N = 2 * n$ , j es un número impar, y  $0 < j < N$ , y un primer extremo del aislante k-ésimo está acoplado a un segundo extremo del interruptor (k\*2) -ésimo, un segundo extremo del aislante k-ésimo está acoplado a un segundo extremo del interruptor (K\*2-1) -ésimo, donde k es un número entero positivo, y  $0 < k < N-1$ . El período de retardo asociado con el aislante k-ésimo es más largo que el período de retardo del aislante (k+1) -ésimo.

En una realización, el generador de señal de control es un generador de números aleatorios. En otra realización, el generador de señal de control es un contador.

En una realización, el generador de señal periódica incluye una unidad de interruptor, un condensador y un generador de impulsos. Un primer extremo de la unidad de interruptor recibe un voltaje de funcionamiento. Un segundo extremo de la unidad de interruptor está conectado a tierra. Un extremo de control de la unidad de interruptor recibe la señal de modulación de retorno, y de acuerdo con la señal de modulación de retorno, controla un extremo de salida de la unidad de interruptor para formar selectivamente una trayectoria de conducción con el primer extremo o el segundo extremo de la unidad de interruptor. Un primer extremo del condensador está acoplado al extremo de salida de la unidad de interruptor y proporciona un voltaje de condensador, y un segundo extremo del condensador está conectado a tierra. El generador de impulsos está acoplado al primer extremo del condensador para recibir el voltaje del condensador y compara el voltaje del condensador con al menos una señal de referencia para generar la señal de modulación periódica.

En una realización, la unidad de interruptor incluye una fuente de corriente y un transistor. Un primer extremo de la fuente de corriente sirve como el primer extremo de la unidad de interruptor. El terminal de drenaje del transistor está acoplado a un segundo extremo de la fuente de corriente y sirve como el extremo de salida de la unidad de interruptor. El terminal de puerta del transistor sirve como el extremo de control de la unidad de interruptor. El terminal de fuente del transistor sirve como el segundo extremo de la unidad de interruptor.

En una realización, la unidad de interruptor incluye una primera fuente de corriente, un primer transistor, una segunda fuente de corriente y un segundo transistor. Un primer extremo de la primera fuente de corriente sirve como el primer extremo de la unidad de interruptor. El terminal de fuente del primer transistor está acoplado a un segundo extremo de la primera fuente de corriente. El terminal de puerta del primer transistor sirve como el extremo de control de la unidad de interruptor. El terminal de drenaje del primer transistor sirve como el extremo de salida de la unidad de interruptor. Un primer extremo de la segunda fuente de corriente sirve como el segundo extremo de la unidad de interruptor. El terminal de fuente del segundo transistor está acoplado a un segundo extremo de la segunda fuente de corriente. El terminal de drenaje del segundo transistor está acoplado al terminal de drenaje del primer transistor. El terminal de puerta del segundo transistor está acoplado al terminal de puerta del primer transistor.

En una realización, el generador de impulsos incluye un comparador. Un primer extremo del comparador está acoplado al primer extremo del condensador para recibir el voltaje del condensador. Un segundo extremo del comparador recibe la señal de referencia. Un extremo de salida del comparador envía la señal de modulación periódica.

En otra realización, el generador de impulsos incluye un primer comparador, un segundo comparador y un cierre. Un primer extremo del primer comparador recibe una primera señal de referencia. Un segundo extremo del primer comparador está acoplado al primer extremo del condensador para recibir el voltaje del condensador. Un extremo de salida del primer comparador da salida a un primer resultado de la comparación. Un primer extremo del segundo comparador recibe una segunda señal de referencia. Un segundo extremo del segundo comparador está acoplado al primer extremo del condensador para recibir

el voltaje del condensador. Un extremo de salida del segundo comparador da salida a un segundo resultado de comparación. El cierre se acopla a los extremos de salida del primer comparador y el segundo comparador para recibir y fijar el primer resultado de la comparación y el segundo resultado de la comparación a fin de generar la señal de modulación periódica.

Para la descripción, con la unidad de retardo para retardar la señal de modulación periódica generada por el generador de señal periódica, es capaz de controlar el momento de salida de la señal de retorno de modulación, y a continuación ajustar la frecuencia de la señal de modulación periódica, Por lo tanto, el circuito de control en la descripción puede reducir de forma efectiva la interferencia electromagnética.

## BREVE DESCRIPCIÓN DE LOS DIBUJOS

La descripción se comprenderá con mayor exactitud a partir de la descripción detallada proporcionada a continuación en este documento, que es con fines ilustrativos únicamente, y por lo tanto no es limitativa de la divulgación, y en que:

la Fig. 1 es un diagrama de bloques de un circuito de control para reducir la interferencia electromagnética de acuerdo con una realización de la descripción;

la Fig. 2 es un diagrama de circuito del circuito de control en la Fig. 1;

la Fig. 3 es un diagrama de forma de onda del voltaje del condensador, la señal de modulación periódica y la señal de retorno de modulación de acuerdo con la invención;

la Fig. 4 es un diagrama de circuito de otra realización de la unidad de retardo en la Fig. 2;

la Fig. 5 es un diagrama de circuito del circuito de control de acuerdo con una realización de la descripción;

la Fig. 6 es un diagrama de circuito de otra realización de la unidad de retardo en la Fig. 5; y

la Fig. 7 es un diagrama de circuito de la unidad de control de acuerdo con una realización de la descripción.

## DESCRIPCIÓN DETALLADA

En la siguiente descripción detallada, para los propósitos de explicación, se exponen numerosos detalles específicos con el fin de proporcionar una comprensión completa de las realizaciones descritas. Resultará evidente, sin embargo, que se pueden practicar una o más realizaciones sin estos detalles específicos. En otros casos, algunas estructuras y dispositivos bien conocidos se muestran esquemáticamente con el fin de simplificar el dibujo.

La Fig. 1 es un diagrama de bloques de un circuito de control para reducir la interferencia electromagnética de acuerdo con una realización de la descripción. El circuito de control 100 incluye un generador de señal periódica 110 y un controlador de modulación 120.

El generador de señal periódica 110 ajusta una señal de salida del generador de señal periódica 110 de acuerdo con una señal de retorno de modulación VM, para emitir una señal de modulación periódica VCLK. El controlador de modulación 120 está acoplado al generador de señal periódica 110 para recibir la señal de modulación periódica VCLK, y ajusta una frecuencia de la señal de modulación periódica VCLK de acuerdo con una pluralidad de períodos de retardo establecidos de acuerdo con una pluralidad de señales de control, a fin de generar una señal de retorno de modulación VM.

En una realización, el controlador de modulación 120 incluye un generador 130 y una unidad de retardo de señal de control 140. El generador de señal de control 130 recibe la señal de modulación periódica VCLK para generar las señales de control. La unidad de retardo 140 está acoplada al generador de señal de control 130, recibe la señal de modulación periódica VCLK, y de acuerdo con las señales de control anteriormente mencionadas, establece los diferentes períodos de retardo para modular la frecuencia de la señal de modulación periódica VCLK, con el fin de generar la señal de retorno de modulación VM. En consecuencia, el circuito de control 100 puede reducir de forma efectiva la interferencia electromagnética al retrasar el tiempo de salida de la señal de retorno de modulación VM para ajustar el tiempo de generación de la señal de modulación periódica VCLK, y la frecuencia de la señal de modulación periódica VCLK.

En una realización, el generador de señal de control 130 puede ser un generador de números aleatorios. El generador de señal de control 130 genera de forma aleatoria las señales de control de acuerdo con la señal de modulación periódica VCLK. Por ejemplo, las señales de control incluyen las señales de control CS1, CS2, CS3 y CS4, y el generador de señal de control 130 envía las señales de control en el orden de, por ejemplo, CS2, CS1, CS4 y CS3. En otra realización, el generador de señal de control 130 puede ser un contador. La señal de control del generador 130 genera secuencialmente las señales de control anteriormente mencionadas de acuerdo con la señal de modulación periódica VCLK. Por ejemplo, las

## ES 2 558 118 T3

señales de control incluyen las señales de control CS1, CS2, CS3 y CS4, y el generador de señales de control de 130 envía las señales de control en el orden de CS1, CS2, CS3 y CS4.

5 La Fig. 2 es un diagrama de circuito del circuito de control en la Fig. 1. El generador de señal periódica 110 incluye una unidad de interruptor 210, un condensador C y un generador de impulsos 220. El primer extremo de la unidad de interruptor 210 está acoplado a un voltaje de funcionamiento VIN. El segundo extremo de la unidad de interruptor 210 está conectado a tierra, y un extremo de control de la unidad de interruptor 210 recibe la señal de retorno de modulación VM, y de acuerdo con la señal de retorno de modulación VM, controla un extremo de salida de la unidad de interruptor 210 para formar selectivamente una trayectoria de conducción con un primer extremo o un segundo extremo de la unidad de interruptor 210. El primer extremo del condensador C está acoplado al extremo de salida de la unidad de interruptor 210 para proporcionar un voltaje del condensador VC. El segundo extremo del condensador C está conectado a tierra. Mientras tanto, el generador de impulsos 220 está acoplado al primer extremo del condensador C para recibir el voltaje del condensador VC y comparar el voltaje del condensador VC con al menos una señal de referencia para generar la señal de modulación periódica VCLK.

10 Cuando se forma la trayectoria de conducción entre el extremo de salida y el primer extremo de la unidad de interruptor 210, el voltaje de funcionamiento VIN carga el condensador C a través de la unidad de interruptor 210. Por otro lado, cuando se forma la trayectoria de conducción entre el extremo de salida y el segundo extremo de la unidad de interruptor 210, las cargas almacenadas en el condensador C se descargan a tierra.

15 La unidad de interruptor 210 incluye, además, las fuentes de corriente I1 e I2 y los transistores M1 y M2. Un primer extremo de la fuente de corriente I1 sirve como el primer extremo de la unidad de interruptor 210 para recibir el voltaje de funcionamiento VIN. Un primer extremo de la fuente de corriente I2 sirve como el segundo extremo de la unidad de interruptor 210 que está conectado a tierra. Las fuentes de corriente I1 e I2 pueden ser, por ejemplo, fuentes de corriente constante.

20 El terminal de fuente del transistor M1 está acoplado al primer extremo de la fuente de corriente I1, el terminal de puerta del transistor M1 sirve como terminal de control de la unidad de interruptor 210 para recibir la señal de retorno de modulación VM, y el terminal de drenaje del transistor M1 sirve como el extremo de salida de la unidad de interruptor 210. El terminal de fuente del transistor M2 está acoplado a un segundo extremo de la fuente de corriente I2, el terminal de drenaje del transistor M2 está acoplado al terminal de drenaje del transistor M1, y el terminal de puerta del transistor M2 está acoplado al terminal de puerta del transistor M1. El transistor M1 puede ser, por ejemplo, un transistor de tipo p, y el transistor M2 puede ser, por ejemplo, un transistor de tipo N.

25 El generador de impulsos 220 también incluye los comparadores 230 y 240 y un cierre 250. Un primer extremo del comparador 230 recibe una primera señal de referencia VH, un segundo extremo del comparador 230 está acoplado al primer extremo del condensador C para recibir el voltaje del condensador VC, y un extremo de salida del comparador 230 genera un primer resultado de comparación. Un primer extremo del comparador 240 recibe una segunda señal de referencia VL, un segundo extremo del comparador 240 está acoplado al primer extremo del condensador C para adquirir el voltaje del condensador VC, y un extremo de salida del comparador 240 produce un segundo resultado de comparación. El cierre 250 está acoplado a los comparadores 230 y 240, para recibir y fijar el primer resultado de la comparación y el segundo resultado de la comparación, con el fin de generar la señal de modulación periódica VCLK.

30 La unidad de retardo 140 incluye interruptores M y aislantes (M-1). Los primeros extremos de los interruptores M se acoplan entre sí y reciben la señal de modulación periódica VCLK. Un segundo extremo del primer interruptor entre los interruptores M da salida a la señal de retorno de modulación VM, y los primeros extremos de los interruptores M se conectan respectivamente a los segundos extremos de los interruptores M de acuerdo con las señales de control de n bits, donde n es un número entero positivo mayor que uno, y  $M = 2^n$ . El aislante i-ésimo está acoplado al segundo extremo del interruptor (i+1) -ésimo, el segundo extremo del aislante (M-1) -ésimo está acoplado al segundo extremo del primer interruptor, donde i es un número entero positivo, y  $0 < i < M$ . El período de retardo asociado con el aislante i-ésimo es más corto que el período de retardo asociado con el aislante (i + 1) -ésimo.

35 Con una finalidad de descripción, se toma un ejemplo en que  $n = 2$  y  $M = 4$  (cuadrado de 2). En esta realización, las señales de control son señales binarias incluyendo las señales de control CS1 (00), CS2 (01), CS3 (10) y CS4 (11), los interruptores M incluyen los interruptores SW1 a SW4, y los aislantes incluyen los aislantes 251 a 253.

40 El primer extremo del interruptor SW1 (el primer interruptor entre los cuatro interruptores) recibe la señal de modulación periódica VCLK. El segundo extremo del interruptor SW1 presenta la señal de retorno de modulación VM. El primer extremo del interruptor SW1 conecta con el segundo extremo del interruptor

SW1 de acuerdo con la señal de control CS1. El primer extremo del interruptor SW2 (el segundo interruptor) está acoplado al primer extremo del interruptor SW1, y el primer extremo y el segundo extremo del interruptor SW2 se conectan entre sí de acuerdo con la señal de control CS2. El primer extremo del interruptor SW3 (el tercer interruptor) está acoplado al primer extremo del interruptor SW1, y el primer y segundo extremos del interruptor SW3 se conectan o no se conectan entre sí de acuerdo con la señal de control CS3. El primer extremo del interruptor SW4 (el cuarto interruptor) está acoplado al primer extremo del interruptor SW1, y el primer y segundo extremos del interruptor SW4 se conectan entre sí de acuerdo con la señal de control CS4.

El primer extremo del aislante 251 está acoplado al segundo extremo del interruptor SW2, el segundo extremo del aislante 251 está acoplado al segundo extremo del interruptor SW1. El primer extremo del aislante 252 está acoplado al segundo extremo del interruptor SW3, y el segundo extremo del aislante 252 está acoplado al segundo extremo del aislante 251. El primer extremo del aislante 253 está acoplado al segundo extremo del interruptor SW4, y el segundo extremo del aislante 253 está acoplado al segundo extremo del aislante 252.

Los períodos de retardo asociados con los aislantes 251-253 están en un orden ascendente. Por ejemplo, el período de retardo asociado con el aislante 251 es 1T, el período de retardo asociado con el aislante 252 es 2T, y el período de retardo asociado con el aislante 253 es 3T.

Cuando el circuito de control 100 comienza a funcionar, la señal de retorno de modulación VM generada por el controlador de modulación 120 está a un nivel lógico bajo, y es enviado a los terminales de puerta de los transistores M1 y M2. Aquí, el transistor M1 se enciende y el transistor M2 se apaga. El voltaje de funcionamiento VIN carga el condensador C a través de la fuente de corriente I1, de manera que se aumenta el voltaje del condensador VC. Cuando el nivel del voltaje del condensador VC alcanza el nivel de una primera señal de referencia VH, el generador de impulsos 220 genera la señal de modulación periódica VCLK de un nivel lógico alto, y envía la señal de modulación periódica VCLK a la unidad de retardo 140.

Tras la recepción de la señal de modulación periódica VCLK, la unidad de retardo 140 retrasa la señal de modulación periódica VCLK para cambiar la frecuencia de la señal de modulación periódica VCLK para generar la señal de retorno de modulación VM, y a continuación envía la señal de modulación de retorno VM a los terminales de puerta de los transistores M1 y M2. Por lo tanto, el transistor M1 se apaga, y el transistor M2 se enciende. Las cargas almacenadas en el condensador C se descargan a tierra a través de la fuente de corriente I2, y el voltaje del condensador VC se reduce. Cuando el voltaje del condensador VC cae al nivel de la segunda señal de referencia VL, el generador de impulsos 220 genera la señal de modulación periódica VCLK de un nivel lógico bajo, y envía la señal de modulación periódica VCLK a la unidad de retardo 140. La unidad de retardo 140 recibe y retarda la señal de modulación periódica VCLK de un nivel lógico bajo para generar la señal de retorno de modulación VM de un nivel lógico bajo, y a continuación envía la señal de retorno de modulación VM a los terminales de puerta de los transistores M1 y M2.

Dado que las señales de control CS1, CS2, CS3 y CS4 pueden ajustar sus estados secuencial o aleatoriamente, la unidad de retardo 140 es capaz de seleccionar una primera trayectoria (el interruptor SW1), una segunda trayectoria (el interruptor SW2 y el aislante 251), una tercera trayectoria (el interruptor SW3 y el aislante 252) o una cuarta trayectoria (el interruptor SW4 y el aislante 253), para ajustar los diversos períodos de retardo con el fin de ajustar la frecuencia de la señal de modulación periódica VCLK, a fin de generar la regeneración de la señal de modulación VM. Mediante el ajuste de la frecuencia de la señal de modulación periódica VCLK, se puede reducir la interferencia electromagnética.

La Fig. 3 es un diagrama de forma de onda del voltaje del condensador, la señal de modulación periódica y la señal de retorno de modulación de acuerdo con una realización de la descripción. Una curva S1 (mostrada por una línea de trazos) representa la forma de onda del voltaje del condensador VC causada por la señal de modulación periódica no retardada VCLK. Una curva S2 (mostrada por una línea continua) representa la forma de onda del voltaje del condensador VC causada por la señal periódica retardada de modulación VCLK. Una curva S3 (mostrada por una línea de trazos) representa la forma de onda de la señal de modulación periódica VCLK. Una curva S4 (mostrada por una línea continua) representa la forma de onda de la señal de retorno de modulación VM (generada por la señal periódica retardada de modulación VCLK). VH representa la primera señal de referencia. VL representa la segunda señal de referencia. Td1 representa el tiempo de transición de las transiciones de modulación de la señal periódica no retardada VCLK. Td2 representa el período de retardo de la señal de retorno de modulación VM que se genera por el retardo de la señal de modulación periódica VCLK a través de la unidad de retardo.

A la vista de la Figura. 3, cuando el nivel de la curva S1 (es decir, el voltaje del condensador VC) se eleva al nivel de la primera señal de referencia VH, la señal de modulación periódica VCLK generada por el generador de señal periódica 110 se transforma de un nivel lógico bajo a un nivel lógico alto tal como se

muestra en la curva S3. En este documento, la modulación periódica VCLK de señal de un nivel lógico alto sin retardo se envía a los terminales de puerta del transistor M1 y M2 directamente. Por lo tanto, el transistor M1 se apaga, y el transistor M2 se enciende, de modo que el voltaje del condensador VC se reduce tal como se muestra en la curva S1.

5

Cuando el nivel de la curva S1 cae al nivel de la segunda señal de referencia VL, la señal de modulación periódica VCLK generada por el generador de señal periódica 110 se transforma de un nivel lógico alto a un nivel lógico bajo tal como se muestra en la curva S3. En este documento, la señal de modulación periódica VCLK de un nivel lógico alto sin retardo se emite directamente a los terminales de puerta de los transistores M1 y M2. Por lo tanto, el transistor M1 se enciende, y el transistor M2 se apaga, de modo que el voltaje del condensador VC cae tal como se muestra en la curva S1.

10

Por otro lado, cuando el nivel de la curva S2 se eleva al nivel de la primera señal de referencia VH en el tiempo de transición Td1, la señal de modulación periódica VCLK generada por el generador de señal periódica 110 se transforma de un nivel lógico bajo a un nivel lógico alto. Dado que la señal de modulación periódica VCLK es retardada por la unidad de retardo 140, la señal de retorno de modulación VM se transforma de un nivel lógico bajo a un nivel lógico alto más tarde que la señal de modulación periódica VCLK por el período de retardo Td2 como se muestra en la curva S3. En otras palabras, la curva S2 (o el voltaje del condensador VC) se eleva de forma continua después del tiempo de transición Td1 hasta que la señal de retorno de modulación VM se transforma del nivel lógico bajo al nivel lógico alto, y a continuación, cae. El período de retardo Td2 se establece sobre la base del período de retardo de cada uno de los aislantes. Es decir, cuanto más largo es el período de retardo asociado con el aislante, más largo es el período de retardo Td2. Por el contrario, cuanto más corto es el período de retardo asociado con el aislante, más corto es el período de retardo Td2.

15

20

25

La Fig. 4 es un diagrama de circuito de otra realización de la unidad de retardo en la Fig. 2. En esta realización,  $n = 3$ , y  $M = 2^3 = 8$ . Es decir, las señales de control son señales de tres bits e incluyen las señales de control CS1 (000), CS2, (001), CS3 (010), CS4 (011), CS5 (100), CS6 (101), CS7 (011) y CS8 (111), los interruptores incluyen los interruptores SW1 a SW8, y los aislantes incluyen los aislantes 410-470.

30

El primer extremo del interruptor SW1 (el primer interruptor) recibe la señal de modulación periódica VCLK, y el segundo extremo del interruptor SW1 genera la señal de retorno de modulación VM. El primer extremo y el segundo extremo del interruptor SW1 se conectan entre sí de acuerdo con la señal de control CS1. El primer extremo del interruptor SW2 (el segundo interruptor) está acoplado al primer extremo del interruptor SW1, y el primer extremo y el segundo extremo del interruptor SW2 se conectan entre sí de acuerdo con la señal de control CS2. El primer extremo del interruptor SW3 está acoplado al primer extremo del interruptor SW1, y el primer extremo y el segundo extremo del interruptor SW3 se conectan entre sí de acuerdo con la señal de control CS3. El primer extremo del interruptor SW4 está acoplado al primer extremo del interruptor SW1, y el primer extremo y el segundo extremo del interruptor SW4 se conectan entre sí de acuerdo con la señal de control CS4.

35

40

El primer extremo del interruptor SW5 está acoplado al primer extremo del interruptor SW1, y el primer extremo y el segundo extremo del interruptor SW5 se conectan entre sí de acuerdo con la señal de control CS5. El primer extremo del interruptor SW6 está acoplado al primer extremo del interruptor SW1, y el primer extremo y el segundo extremo del interruptor SW6 se conectan entre sí de acuerdo con la señal de control CS6. El primer extremo del interruptor SW7 está acoplado al primer extremo del interruptor SW1, y el primer extremo y el segundo extremo del interruptor SW7 se conectan entre sí de acuerdo con la señal de control CS7. El primer extremo del interruptor SW8 está acoplado al primer extremo del interruptor SW1, y el primer extremo y el segundo extremo del interruptor SW8 se conectan entre sí de acuerdo con la señal de control CS8.

45

50

El primer extremo del aislante 410 está acoplado al segundo extremo del interruptor SW2, y el segundo extremo del aislante 410 está acoplado al segundo extremo del interruptor SW1. El primer extremo del aislante 420 está acoplado al segundo extremo del interruptor SW3, y el segundo extremo del aislante 420 está acoplado al segundo extremo del aislante 410. El primer extremo del aislante 430 está acoplado al segundo extremo del interruptor SW4, y el segundo extremo del aislante 430 está acoplado al segundo extremo del aislante 420. El primer extremo del aislante 440 está acoplado al segundo extremo del interruptor SW5, y el segundo extremo del aislante 440 está acoplado al segundo extremo del aislante 430. El primer extremo del aislante 450 está acoplado al segundo extremo del interruptor SW6, y el segundo extremo del aislante 450 está acoplado al segundo extremo del aislante 440. El primer extremo del aislante 460 está acoplado al segundo extremo del interruptor SW7, y el segundo extremo del aislante 460 está acoplado al segundo extremo del aislante 450. El primer extremo del aislante 470 está acoplado al segundo extremo del interruptor SW8, y el segundo extremo del aislante 470 está acoplado al segundo extremo del aislante 460.

55

60

65

Los períodos de retardo asociados con los aislantes 410 a 470 están en orden ascendente. Por ejemplo, el período de retardo asociado con el aislante 410 es  $1T$ , el período de retardo asociado con el aislante 420 es  $2T$ , el período de retardo asociado con el aislante 430 es  $3T$ , el período de retardo asociado con el aislante 440 es  $4T$ , el período de retardo asociado con el aislante 450 es  $5T$ , el período de retardo asociado con el aislante 460 es  $6T$ , y el período de retardo asociado con el aislante 470 es  $7T$ .

Las señales de control CS1 a CS8 pueden cambiar sus estados de forma secuencial o aleatoria. En consecuencia, a la unidad de retardo 140 se le permite seleccionar la primera trayectoria (el interruptor SW1), la segunda trayectoria (el interruptor SW2 y el aislante 410), la tercera trayectoria (el interruptor SW3 y el aislante 420), la cuarta trayectoria (el interruptor SW4 y el aislante 430), la quinta trayectoria (el interruptor SW5 y el aislante 440), la sexta trayectoria (el interruptor SW6 y el aislante 450), la séptima trayectoria (el interruptor SW7 y el aislante 460) o la trayectoria (el interruptor SW8 y el buffer de 470), para configurar varios períodos de retardo con el fin de ajustar la frecuencia de la señal de modulación periódica VCLK, a fin de generar la señal de retorno de modulación VM.

Cabe señalar que las Fig. 2 y 4 están dirigidas a ejemplos de implementación de la unidad de retardo 140. En otras palabras, la unidad de retardo 140 puede ser implementada de manera distinta.

La Fig. 5 es un diagrama de circuito del circuito de control de acuerdo con una realización de la descripción. La relación de conexión de los componentes en el generador de señal periódica 110 y el funcionamiento del generador de señal de control 130 ya han sido descritos en la descripción asociada con la Fig. 2.

La unidad de retardo 140 incluye interruptores  $N$  y aislantes  $(N-2)$ . El primer extremo del primer interruptor recibe la señal de modulación periódica VCLK. El segundo extremo del interruptor  $(N-1)$  -ésimo entre los interruptores  $N$  envía la señal de modulación de retorno VM. El segundo extremo del interruptor  $j$ -ésimo está acoplado al primer extremo del interruptor  $(j+2)$  -ésimo, y el primer extremo del interruptor  $j$ -ésimo está acoplado al primer extremo del interruptor  $(j+1)$  -ésimo. El primer extremo y el segundo extremo de cada uno de los interruptores  $N$  se conectan entre sí de acuerdo con la señal de control de  $n$  bits, donde  $n$  es un número entero positivo mayor que 1,  $N = 2^n$ ,  $j$  es un número impar, y  $0 < j < N$ . El primer extremo del aislante  $k$ -ésimo está acoplado al segundo extremo del interruptor  $(k^2)$  -ésimo, y el segundo extremo del aislante  $k$ -ésimo está acoplado al segundo extremo del interruptor  $((k^2)-1)$  -ésimo, donde  $k$  es un número entero positivo mayor que cero pero menor que  $(N-1)$ . El período de retardo asociado con el aislante  $k$ -ésimo es menor que el período de retardo asociado con el aislante  $(k+1)$  -ésimo.

Por ejemplo,  $n = 2$ , y  $N = 2^2 = 4$ . En este documento, las señales de control son señales binarias e incluyen las señales de control CS1 a CS6, el número de los interruptores es 4, por ejemplo, los interruptores SW1 a SW4, y el número de los aislantes es 2, por ejemplo los aislantes 510 a 520.

El primer extremo del interruptor SW1 (el primer interruptor) recibe la señal de modulación periódica VCLK. El primer extremo y el segundo extremo del interruptor SW1 se conectan entre sí de acuerdo con la señal de control CS1. El primer extremo del interruptor SW3 (el tercer interruptor) está acoplado al segundo extremo del interruptor SW1, el segundo extremo del interruptor SW3 envía la señal de retorno de modulación VM, y el primer extremo y el segundo extremo del tercer interruptor SW3 se conectan entre sí de acuerdo con la señal de control CS3. El primer extremo del interruptor SW2 (el segundo interruptor) está acoplado al primer extremo del interruptor SW1, y el primer extremo y el segundo extremo del interruptor SW2 se conectan entre sí de acuerdo con la señal de control CS2. El primer extremo del interruptor SW4 está acoplado al primer extremo del interruptor SW3, y el primer extremo y el segundo extremo del interruptor SW4 se conectan entre sí de acuerdo con la señal de control CS4.

El aislante 510, como el primer aislante, tiene el primer extremo acoplado al segundo extremo del interruptor SW2, y tiene el segundo extremo acoplado al segundo extremo del interruptor SW1. El aislante 520, como el segundo aislante, tiene el primer extremo acoplado al segundo extremo del interruptor SW4, y tiene el segundo extremo acoplado al segundo extremo del interruptor SW3.

Los períodos de retardo asociados con los aislantes 510 y 520 están en un orden decreciente. Por ejemplo, el período de retardo asociado con el aislante 510 es  $2T$ , y el período de retardo asociado con el aislante 520 es  $T$ . Las señales de control CS1 y CS2 son complementarias entre sí. Mientras que las señales de control CS1 y CS3 se encuentran en un nivel lógico alto, las señales de control CS2 y CS4 están en un nivel lógico bajo, respectivamente. Por el contrario, mientras que las señales de control CS1 y CS3 están en un nivel lógico alto, las señales de control CS2 y CS4 están en un nivel lógico bajo. Con esta disposición, las señales de control CS1 a CS4 se representan en términos de las señales binarias como (00), (01), (10) y (11), para activar o desactivar los interruptores SW1 a SW4.

Los estados de las señales de control CS1 a CS4 se ajustan secuencialmente o de forma aleatoria, de modo que a la unidad de retardo 140 se le permite seleccionar la primera trayectoria (los interruptores



SW1 y SW3), la segunda trayectoria (los interruptores SW1 y SW4 y el aislante 520), la tercera trayectoria (el interruptor SW2, el aislante 510 y el interruptor SW3) o la cuarta trayectoria (el interruptor SW2, el aislante 510, el interruptor SW4 y el aislante 520), para ajustar diferentes períodos de retardo con el fin de retrasar la modulación de la señal periódica VCLK, a fin de controlar el momento de salida de la señal de retorno de modulación VM y a continuación ajustar la frecuencia de la señal de modulación periódica VCLK. En consecuencia, se puede reducir la interferencia electromagnética.

La Fig. 6 es un diagrama de circuito de otra realización de la unidad de retardo en la Fig. 5. En esta realización,  $n = 3$ , y  $N = 2^*3 = 6$ . En este documento, las señales de control son señales de 3 bits e incluyen las señales de control CS1 a CS6, el número de los interruptores es 6, por ejemplo, los interruptores SW1 a SW6, y el número de los aislantes es 3, por ejemplo, los aislantes 610 a 630.

El primer extremo del interruptor SW1 (el primer interruptor) recibe la señal de modulación periódica VCLK, el primer extremo y el segundo extremo del interruptor SW1 se conectan entre sí de acuerdo con la señal de control CS1. El primer extremo del interruptor SW3 (el tercer interruptor) está acoplado al segundo extremo del interruptor SW1, y se controla si se desea conectar entre sí el primer extremo y el segundo extremo del interruptor SW3 de acuerdo con la señal de control CS3. El primer extremo del interruptor SW5 (el quinto interruptor) está acoplado al segundo extremo del interruptor SW3, y se controla si se desea conectar entre sí el primer extremo y el segundo extremo del interruptor SW5 de acuerdo con la señal de control CS5.

El primer extremo del interruptor SW2 (el segundo interruptor) está acoplado al primer extremo del interruptor SW1, y se controla si se desea conectar el primer extremo y el segundo extremo del interruptor SW2 entre sí de acuerdo con el control de señal CS2. El primer extremo del interruptor SW4 (el cuarto interruptor) está acoplado al primer extremo del interruptor SW3, y el primer extremo y el segundo extremo del interruptor SW4 se conectan entre sí de acuerdo con la señal de control CS4. El primer extremo del interruptor SW6 (el sexto interruptor) está acoplado al primer extremo del interruptor SW5, y el primer extremo y el segundo extremo del interruptor SW6 se conectan entre sí de acuerdo con la señal de control CS6.

El primer extremo del aislante 610 (el primer aislante) está acoplado al segundo extremo del interruptor SW2, y el segundo extremo del aislante 610 está acoplado al segundo extremo del interruptor SW1. El primer extremo del aislante 620 (el segundo aislante) está acoplado al segundo extremo del interruptor SW4, y el segundo extremo del aislante 620 está acoplado al segundo extremo del interruptor SW3. El primer extremo del aislante 630 (el tercer aislante) está acoplado al segundo extremo del interruptor SW6, y el segundo extremo del aislante 630 está acoplado al segundo extremo del interruptor SW5.

Los períodos de retardo asociados con los aislantes 610, 620 y 630 se encuentran en un orden decreciente. Por ejemplo, el período de retardo asociado con el aislante 610 es 4T, el período de retardo asociado con el aislante 620 es 2T, y el período de retardo asociado con el aislante 630 es 1T. Las señales de control CS1 y CS2 son complementarias entre sí, las señales de control CS3 y CS4 son complementarias entre sí, y las señales de control CS5 y CS6 son complementarias entre sí. En otras palabras, cuando las señales de control CS1, CS3 y CS5 están en un nivel lógico alto, las señales de control CS2, CS4 y CS6 están en un nivel lógico bajo, y por el contrario, cuando las señales de control CS1, CS3 y CS5 están en un nivel lógico alto, las señales de control CS2, CS4 y CS6 están en un nivel lógico bajo. Con esta disposición, las señales de control CS1 a CS6 se representan en términos de las señales de 3 bits como (000), (001), (010), (011), (100), (101), (110) y (111), para encender o apagar los interruptores SW1 a SW6.

Los estados de las señales de control CS1 a CS6 se ajustan secuencialmente o de forma aleatoria, de modo que a la unidad de retardo 140 se le permite seleccionar la primera trayectoria (los interruptores SW1, SW3 y SW5), la segunda trayectoria (los interruptores SW1, SW3 y SW6 y el aislante 630), la tercera trayectoria (los interruptores SW1 y SW4, el aislante 620 y el interruptor SW5), la cuarta trayectoria (los interruptores SW1 y SW4, el aislante 620, el interruptor SW6 y el aislante 630), la quinta trayectoria (el interruptor SW2, el aislante 610 y los interruptores SW3 y SW5), la sexta trayectoria (el interruptor SW2, el aislante 610, los interruptores SW3 y SW6 y el aislante 630), la séptima trayectoria (el interruptor SW2, el aislante 610, el interruptor SW4, el aislante 620 y el interruptor SW5), o la octava trayectoria (el interruptor SW2, el aislante 610, el interruptor SW4, el aislante 620, el interruptor SW6, y el aislante 630), para ajustar diversos períodos de retardo con el fin de retrasar la señal de modulación periódica VCLK para controlar cuándo se envía la señal de retorno de modulación VM, a fin de ajustar la frecuencia de la señal de modulación periódica VCLK.

Cabe señalar que las Fig. 5 y 6 están dirigidas a ejemplos de implementación de la unidad de retardo 140. En otras palabras, la unidad de retardo 140 puede ser implementada de manera distinta.

La Fig. 7 es un diagrama de circuito de la unidad de control de acuerdo con una realización de la descripción. En esta realización, la relación de las conexiones y el funcionamiento de los componentes en el controlador de modulación 120 se refieren a la descripción en las Figs. 2 y 5.

5 El generador de señal periódica 110 incluye una unidad de interruptor 710, un condensador C y un generador de impulsos 720. El primer extremo de la unidad de interruptor 710 recibe el voltaje de funcionamiento VIN, el segundo extremo de la unidad de interruptor 710 está conectado a tierra, y el extremo de control de la unidad de interruptor 710 recibe la señal de retorno de modulación VM, por lo que de acuerdo con la señal de modulación de retorno recibida VM, el extremo de salida de la unidad de interruptor 710 forma selectivamente la trayectoria de conducción con el primer extremo o el segundo extremo de la unidad de interruptor 710. El primer extremo del condensador C está acoplado al extremo de salida de la unidad de interruptor 710 para proporcionar el voltaje del condensador VC, y el segundo extremo del condensador C está conectado a tierra. El generador de impulsos 720 está acoplado al primer extremo del condensador C para recibir el voltaje del condensador VC y para comparar el voltaje del condensador VC recibido con al menos una señal de referencia con el fin de generar la señal de modulación periódica VCLK.

En la realización, cuando el extremo de salida y el primer extremo de la unidad de interruptor 710 forman la trayectoria de conducción, el voltaje de funcionamiento VIN carga el condensador C a través de la unidad de interruptor 710. Por otro lado, cuando el extremo de salida y el segundo extremo de la unidad de interruptor 710 forman la trayectoria de conducción, el condensador C está conectado a tierra a través de la unidad de interruptor 710, y las cargas almacenadas en el condensador C se descargan a tierra.

La unidad de interruptor 710 incluye una fuente de corriente 13 y un transistor M3. El primer extremo de la fuente de corriente 13 sirve como el primer extremo de la unidad de interruptor 710 para recibir el voltaje de funcionamiento VIN. La fuente de corriente 13 es, por ejemplo, una fuente de corriente constante.

El terminal de drenaje del transistor M3 está acoplado al primer extremo de la fuente de corriente 13, y sirve como el extremo de salida de la unidad de interruptor 710. El terminal de puerta del transistor M3 sirve como el extremo de control de la unidad de interruptor 710, para recibir la señal de retorno de modulación VM. El terminal de fuente del transistor M3 sirve como el segundo extremo de la unidad de interruptor 710 y está conectado a tierra. El transistor M3 es, por ejemplo, un transistor de tipo N.

El generador de impulsos 720 incluye un comparador 730. El primer extremo del comparador 730 está acoplado al primer extremo del condensador C, para recibir el voltaje del condensador VC. El segundo extremo del comparador 730 recibe la señal de referencia VREF, y el extremo de salida del comparador 730 emite la señal de modulación periódica VCLK.

La presente descripción proporciona un circuito de control para reducir la interferencia electromagnética, que utiliza la unidad de retardo en el controlador de modulación para retardar la señal de modulación periódica generada por el generador de señal periódica con el fin de ajustar el tiempo de salida de la señal de retorno de modulación, ajustando de ese modo la frecuencia de la señal de modulación periódica. Por lo tanto, la interferencia electromagnética se puede reducir de forma efectiva.

## Reivindicaciones

1. Un circuito de control (100) para reducir la interferencia electromagnética, que comprende:
- 5 un generador de señal periódica (110), para ajustar una señal de modulación periódica (VCLK) generada por el generador de señal periódica, de acuerdo con una señal de retorno de modulación (VM); y  
 un controlador de modulación (120), acoplado al generador de señal periódica, para recibir la señal de modulación periódica, y ajustar una frecuencia de la señal de modulación periódica recibida de acuerdo con una pluralidad de períodos de retardo ajustados de acuerdo a una pluralidad de señales de control, para generar la señal de modulación de retorno, **caracterizado**  
 10 **porque** el controlador de modulación (12) comprende:
- un generador de señal de control (130) para recibir la señal de modulación de retorno para generar las señales de control de acuerdo con la señal de modulación de retorno recibida; y  
 15 una unidad de retardo (140), acoplada con el generador de señal de control, para recibir la señal de modulación periódica, y de acuerdo con las señales de control, establecer los períodos de retardo utilizados para ajustar la frecuencia de la señal de modulación periódica para generar la señal de modulación de retardo.
- 20 2. El circuito de control (100) de acuerdo con la reivindicación 1, en que la unidad de retardo (140) comprende:
- interruptores M, un primer extremo y un segundo extremo de cada uno de los interruptores M conectados entre sí de acuerdo con la señal de control correspondiente de n bits, en que los  
 25 primeros extremos de los interruptores M están acoplados entre sí y reciben la señal de modulación periódica (VCLK), el segundo extremo del primer interruptor que envía la señal de retorno de modulación (VM), y, en que n es un número entero positivo mayor que uno, y  $M=2^n$ ; y  
 aislantes M-1, el aislante i-ésimo acoplado al segundo extremo del interruptor (i+1) -ésimo, segundos extremos de los aislantes M-1 acoplados al segundo extremo del primer interruptor, donde i es un entero positivo, y  $0 < i < M$ ;  
 30 en que el período de retardo asociado con el aislante i-ésimo es menor que el período de retardo asociado con el aislante (i + 1) -ésimo.
3. El circuito de control (100) de acuerdo con la reivindicación 1, en que la unidad de retardo comprende además:
- 35 interruptores N, un primer extremo y un segundo extremo de cada uno de los interruptores N conectados entre sí de acuerdo con la señal de control correspondiente de n bits, el primer extremo del primer interruptor de los interruptores N que reciben la señal de modulación periódica (VCLK), el segundo extremo del interruptor (N-1) -ésimo que envía la señal de retorno de modulación (VM), el segundo extremo del interruptor j-ésimo acoplado al primer extremo del  
 40 interruptor (j + 2) -ésimo, el primer extremo del interruptor j-ésimo acoplado al primer extremo del interruptor (j + 1) -ésimo, donde n es un número entero positivo mayor que 1,  $N = 2^n$ , j es un número impar, y  $0 < j < N$ ; y  
 aislantes (N / 2), un primer extremo del aislante k-ésimo acoplado a un segundo extremo del interruptor (k \* 2) -ésimo, un segundo extremo del aislante k-ésimo acoplado a un segundo  
 45 extremo del interruptor (K \* 2-1) -ésimo, donde k es un entero positivo, y  $0 < k < N-1$ ;  
 en que el período de retardo asociado con el aislante k-ésimo es mayor que el período de retardo del aislante (k + 1) -ésimo.
- 50 4. El circuito de control (100) de acuerdo con la reivindicación 1, en el que el generador de señal de control (130) es un generador de números aleatorios.
5. El circuito de control (100) de acuerdo con la reivindicación 1, en el que el generador de señal de control (130) es un contador.
6. El circuito de control (100) de acuerdo con la reivindicación 1, en el que el generador de señal periódica (110) comprende:

- 5 una unidad de interruptor (210), un primer extremo de la unidad de interruptor que recibe un voltaje de funcionamiento, un segundo extremo de la unidad de interruptor conectado a tierra, y un extremo de control de la unidad de interruptor que recibe la señal de retorno de modulación (VM), y un extremo de salida de la unidad de interruptor que forman selectivamente una trayectoria de conducción con el primer extremo o el segundo extremo de la unidad de interruptor de acuerdo con la señal de retorno de modulación (VM);
- 10 un condensador (C), un primer extremo del condensador acoplado al extremo de salida de la unidad de interruptor y que proporciona un voltaje del condensador, y un segundo extremo del condensador a tierra; y
- un generador de impulsos (220), acoplado al primer extremo del condensador, para recibir el voltaje del condensador y comparar el voltaje del condensador con al menos una señal de referencia para generar la señal de modulación periódica (VCLK).
- 15 7. El circuito de control (100) de acuerdo con la reivindicación 6, en el que la unidad de interruptor (710) comprende:
- una fuente de corriente (13), un primer extremo de la fuente de corriente que sirve como el primer extremo de la unidad de interruptor; y
- 20 un transistor (M3), el terminal de drenaje del transistor acoplado a un segundo extremo de la fuente de corriente y que sirve como el extremo de salida de la unidad de interruptor, el terminal de puerta del transistor que sirve como el extremo de control de la unidad de interruptor, y el terminal de fuente del transistor que sirve como el segundo extremo de la unidad de interruptor.
- 25 8. El circuito de control (100) de acuerdo con la reivindicación 6, en que la unidad de interruptor (210) comprende:
- una primera fuente de corriente (11) que tiene un primer extremo que sirve como el primer extremo de la unidad de interruptor;
- 30 un primer transistor (M1), en que el terminal de fuente del primer transistor está acoplado a un segundo extremo de la primera fuente de corriente, el terminal de puerta del primer transistor sirve como el extremo de control de la unidad de interruptor, y el terminal de drenaje del primer transistor sirve como el extremo de salida de la unidad de interruptor;
- una segunda fuente de corriente (12) que tiene un primer extremo que sirve como el segundo extremo de la unidad de interruptor; y
- 35 un segundo transistor (M2), el terminal de fuente del segundo transistor acoplado a un segundo extremo de la segunda fuente de corriente, el terminal de drenaje del segundo transistor acoplado al terminal de drenaje del primer transistor y el terminal de puerta del segundo transistor acoplado al terminal de puerta del primer transistor.
- 40 9. El circuito de control (100) de acuerdo con la reivindicación 6, en el que el generador de impulsos (720) comprende:
- un comparador (730), un primer extremo del comparador acoplado al primer extremo del condensador para recibir el voltaje del condensador, un segundo extremo del comparador para recibir la señal de referencia, y un extremo de salida del comparador que envía la señal de modulación periódica.
- 45 10. El circuito de control (100) de acuerdo con la reivindicación 6, en el que el generador de impulsos (220) comprende:
- un primer comparador (230), un primer extremo del primer comparador para recibir una primera señal de referencia, un segundo extremo del primer comparador acoplado al primer extremo del condensador para recibir el voltaje del condensador, y un extremo de salida del primer comparador que envía un primer resultado de la comparación;
- 50 un segundo comparador (240), un primer extremo del segundo comparador para recibir una segunda señal de referencia, un segundo extremo del segundo comparador acoplado al primer extremo del condensador para recibir el voltaje del condensador, y un extremo de salida del segundo comparador que envía un segundo resultado de la comparación; y
- 55 un cierre (250), acoplado a los extremos de salida del primer comparador y el segundo comparador (240) para recibir y fijar el primer resultado de la comparación y el segundo resultado de la comparación, a fin de generar la señal de modulación periódica.

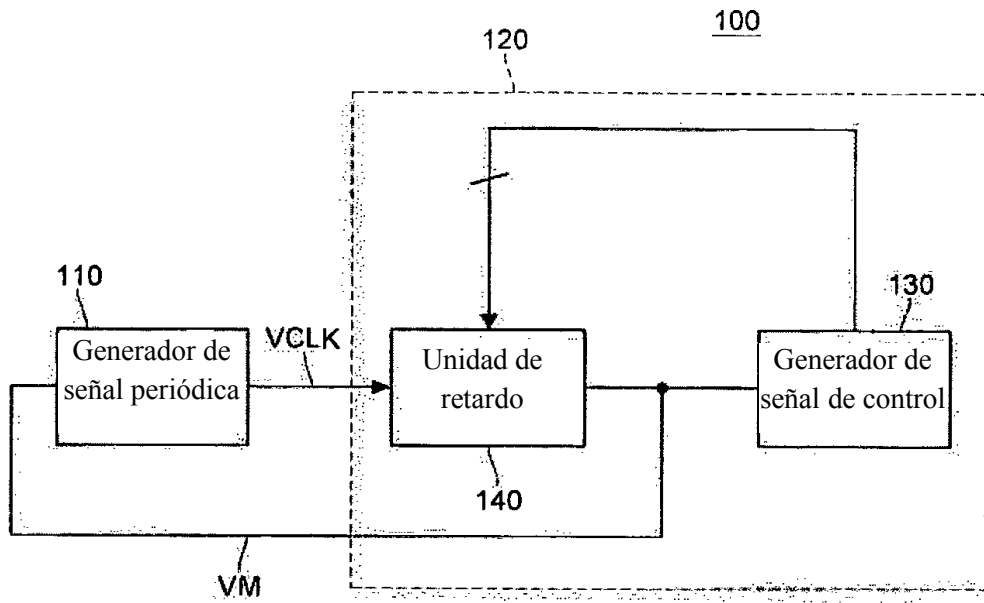


FIG.1

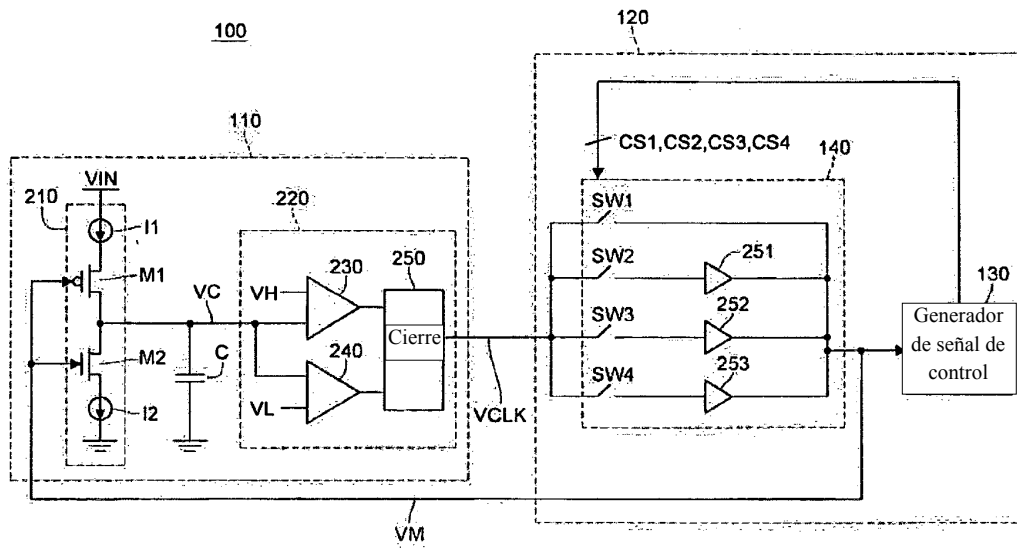


FIG.2

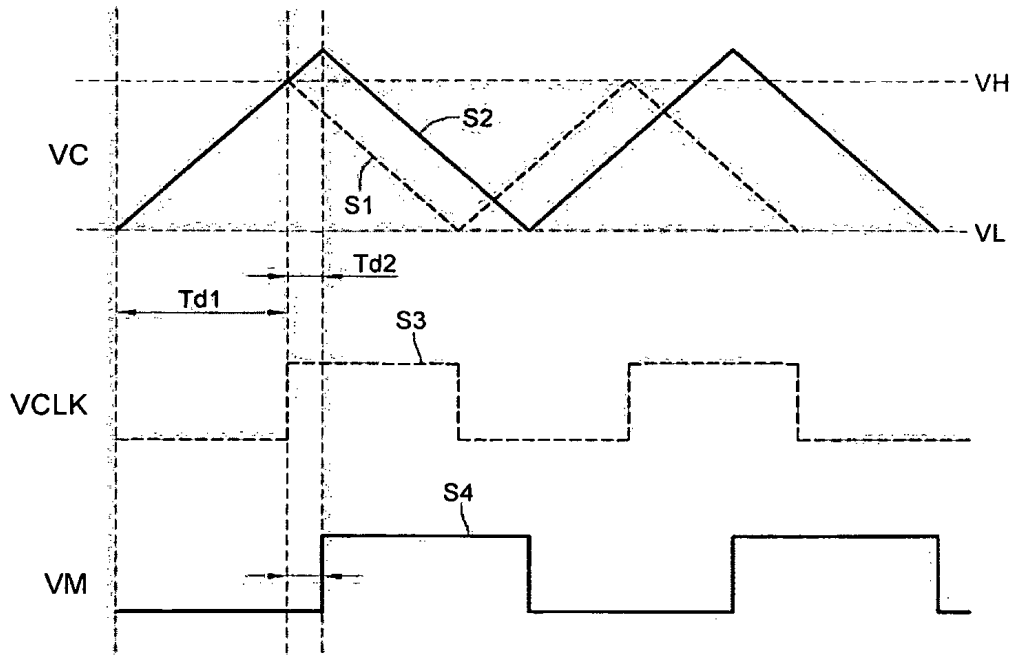


FIG.3

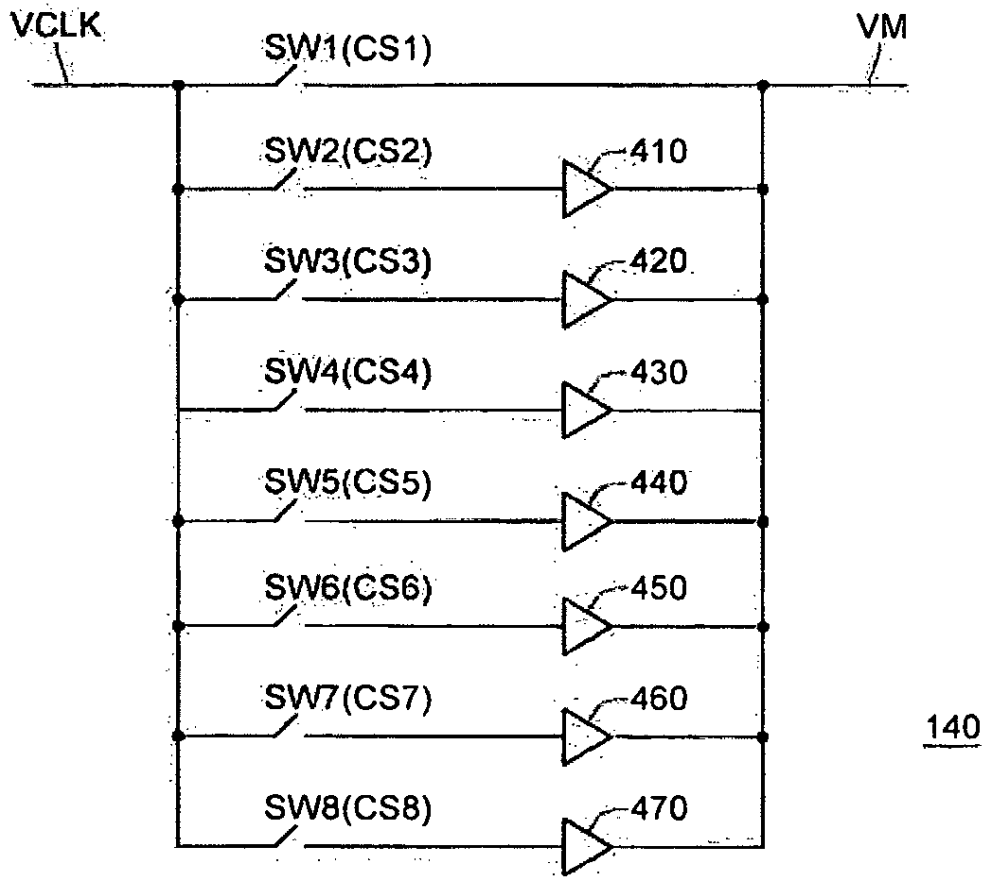


FIG.4



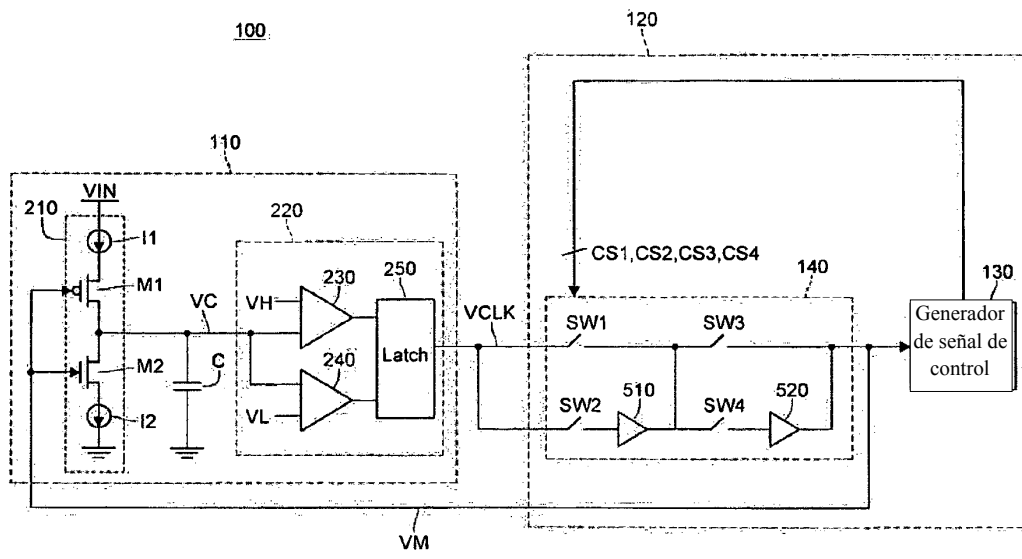


FIG.5

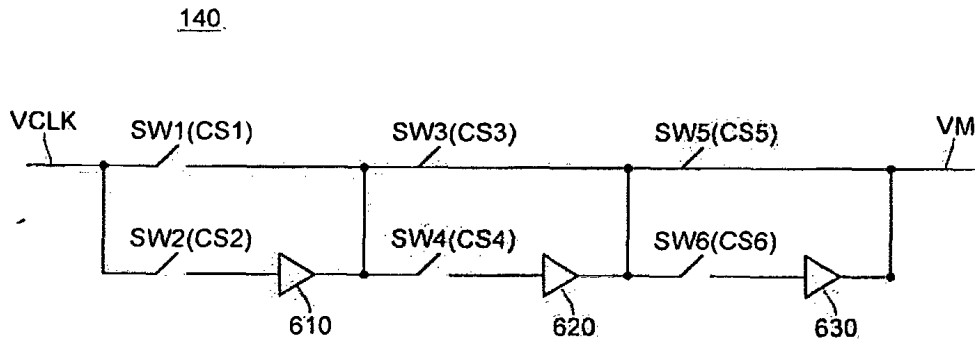


FIG.6

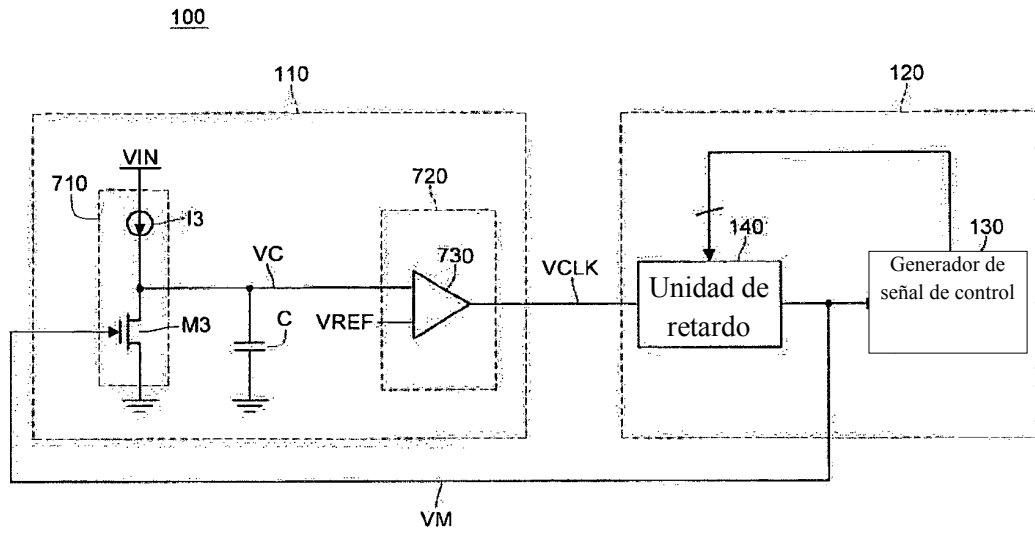


FIG.7