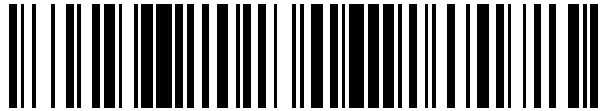


19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 561 178**

21 Número de solicitud: 201531300

51 Int. Cl.:

G06F 3/05 (2006.01)

G11C 27/02 (2006.01)

12

SOLICITUD DE PATENTE

A1

22 Fecha de presentación:

11.09.2015

43 Fecha de publicación de la solicitud:

24.02.2016

71 Solicitantes:

METRO DE MADRID, S.A. (100.0%)
C/ Cavanilles, 58
28007 Madrid ES

72 Inventor/es:

SANCHO DE MINGO, Carlos;
PASCUAL GONZÁLEZ, Pedro Pablo;
BENITO DEL MONTE, Dámaso;
CEZÓN DOMÍNGUEZ, Ángel Rufino y
DE LA PEÑA LLERANDI, Jaime

74 Agente/Representante:

CARPINTERO LÓPEZ, Mario

54 Título: **Método y sistema para la adquisición de datos digitales con reducción de potencia**

57 Resumen:

Método y sistema para la adquisición de datos digitales con reducción de potencia.

La presente invención se refiere a un método y un sistema para la adquisición de datos digitales con reducción de potencia en circuitos secuenciales síncronos controlados por una señal de sincronismo con periodo T. Comprende recibir un dato de entrada durante un primer ciclo de sincronismo; enviarlo a un módulo de memoria; solicitar, ya en un segundo ciclo de sincronismo, una lectura de datos de entrada desde un microprocesador al módulo de memoria; proporcionar el dato almacenado al microprocesador; a continuación recibir un segundo dato de entrada en el módulo captador durante el mismo segundo ciclo de sincronismo; enviarlo al módulo de memoria; y sustituir en el módulo de memoria el primer dato almacenado por el segundo dato.

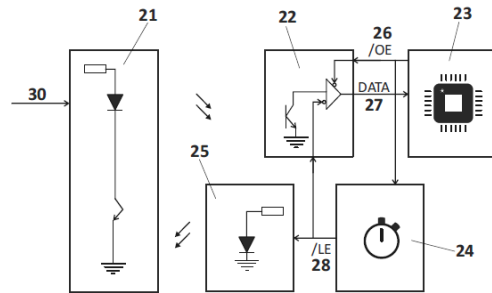


FIG. 2

DESCRIPCIÓN

Método y sistema para la adquisición de datos digitales con reducción de potencia

5 **CAMPO TÉCNICO DE LA INVENCION**

10 La presente invención tiene aplicación en el campo de la electrónica digital y más específicamente en la adquisición de datos digitales durante procesos de control con reducción de potencia disipada, como por ejemplo las tarjetas de control de los aparatos de aire acondicionado.

ANTECEDENTES DE LA INVENCION

15 Actualmente, el control de procesos requiere de la lectura de señales analógicas y digitales. Las lecturas de las entradas son procesadas por una unidad central de control que, de acuerdo a la lógica implementada, activa las salidas correspondientes para controlar el proceso.

20 Para realizar las lecturas de señales de tensión digitales pueden encontrarse en el estado del arte diferentes soluciones tanto con aislamiento óptico como sin aislamiento.

25 Por ejemplo, en el caso de medidas continuas sin aislamiento donde la medida se hace de forma continua, hay que llegar a un compromiso entre la corriente con la que se hace la medida y la disipación del circuito, ya que la potencia disipada por el circuito es el producto de la tensión leída por la corriente de lectura. En este punto es importante remarcar que en sistemas ruidosos, si la corriente de medida es baja, pueden producirse falsas medidas por tensiones inducidas. Así mismo, también cuando las tensiones a leer están fijadas por contactores o relés se pueden producir fallos en la lectura porque los contactos se ensucian.

30 En la figura 1 se representa, sin incluir las redes de filtrado R/C ni el resto de componentes necesarios, el circuito más simple para un caso de medidas continuas sin aislamiento, donde la lectura se realiza mediante un partidor resistivo. El valor de la corriente con la que se realiza la medida está fijado por los valores de las resistencias (1, 2) y el valor de la tensión a medir (4), dependiendo linealmente la corriente de la tensión a medir. Con este sistema la potencia disipada depende cuadráticamente de la tensión a medir.

35 De forma muy similar, se puede utilizar un circuito en el que una de las resistencias anteriores se sustituye por una fuente de corriente para realizar la lectura. El valor de la corriente con la que se realiza la medida está fijado por la fuente de corriente y es independiente del valor de la tensión a medir. Con este sistema la potencia disipada depende linealmente de la tensión a medir.

40 Otra de las soluciones del estado del arte responde también a un circuito de medida continua de la señal de tensión, pero en este caso con aislamiento. En sistemas ruidosos es habitual aislar eléctricamente las señales de control y la lógica de control. De igual forma que en los circuitos sin aislamiento hay que llegar a un compromiso entre la corriente de medida y la potencia disipada, teniendo los mismos problemas. Los circuitos empleados son básicamente los mismos que se han explicado sin aislamiento, pero con la particularidad de que estos introducen un opto-acoplador de aislamiento para separar las referencias de tensión. La lectura se realiza entonces mediante una resistencia o fuente de corriente y el opto-acoplador se puede colocar antes o después del captador (3), aunque si se coloca después del captador se necesitará una tensión auxiliar aislada de la tensión del control.

50 Por último, el caso de los circuitos de medida no continua de la señal de tensión, donde para evitar los problemas de medir con baja corriente y no disipar mucha potencia se emplean

5 circuitos que mantienen activa la entrada solo durante el tiempo necesario para hacer la medida, de tal forma que solo se disipa potencia mientras se está haciendo la medida y la potencia media es muy baja. El gran inconveniente de este tipo de circuitos es que el sistema de control tiene que estar esperando la medida durante el tiempo que dure esta. Si además se requiere aislamiento, también pueden colocarse opto-acopladores antes o después del captador para aislar tanto la medida como la señal de activación. Pero en estos casos los tiempos necesarios para hacer la medida son superiores a los tiempos sin aislamiento ya que hay que sumar los retardos introducidos por los opto-acopladores, por lo que para minimizar este problema se suelen usar opto-acopladores rápidos cuyos foto-transistores no pueden soportar tensiones altas, del orden de 60V.

15 Por todo lo anterior, se echa en falta en el estado del arte una solución para la lectura de señales de tensión digitales en el control de procesos, que permita evitar bajas corrientes de medida y a la vez aislar los circuitos sin sufrir largos tiempos de espera ni generar grandes cantidades de potencia disipada que perjudiquen a los equipos por el incremento de calor que se produce. Todo ello, preferiblemente sin grandes modificaciones de los sistemas ni requisitos especiales en la entrada de las señales.

20 **DESCRIPCIÓN DE LA INVENCION**

La presente invención resuelve los problemas mencionados anteriormente en la lectura de señales de tensión digitales mediante un sistema para la adquisición de datos digitales en circuitos secuenciales síncronos controlados por una señal de sincronismo con período T (pudiendo ser fijo o variable). El sistema comprende los siguientes elementos:

- 25 - un módulo captador que lee datos de entrada con un período T, donde el período puede ser fijo o variable;
- un módulo de memoria que almacena los datos de entrada recibidos por el módulo controlador;
- 30 - un módulo controlador que solicita lecturas de los datos de entrada al módulo de memoria y recibe los datos de entrada almacenados por el módulo de memoria correspondientes al período anterior a la solicitud de lectura;

35 Adicionalmente, el módulo captador puede comprender un circuito de activación que consiste en un sistema optoacoplado en sentido inverso que inhabilita el módulo captador cuando no es necesario adquirir datos de entrada. De esta forma se consigue ventajosamente reducir el consumo de potencia a los instantes en que es necesario adquirir datos de entrada.

40 Opcionalmente, el módulo captador puede contar con un circuito de aislamiento de separación galvánica. Ventajosamente se protegen de este modo los sistemas de control ante señales importunas.

Se contempla, en una de las realizaciones de la invención, que el módulo de memoria comprenda un biestable de tipo latch.

45 La señal de sincronismo que controla el circuito puede ser generada en un módulo de sincronismo que además, se contempla en una de las realizaciones particulares, que genere también una señal de activación para el módulo captador y una señal de almacenaje para el módulo de memoria. De esta forma quedan perfectamente sincronizadas la adquisición y almacenaje de datos con las lecturas del microprocesador.

50 El módulo de sincronismo, de acuerdo a una de las realizaciones de la invención, comprende un reloj que genera una señal de activación con un período fijo.

El módulo de sincronismo, de acuerdo a una de las realizaciones de la invención, comprende un reloj que genera una señal de activación con un período variable.

5 De acuerdo a una de las realizaciones de la invención, se contempla que las corrientes de polarización a las que se someten los elementos del sistema sean iguales o mayores que 10 mA.

10 Los datos digitales a adquirir, de acuerdo a una de las realizaciones de la invención, corresponden a una señal de tensión en el entorno de los 110V.

15 Se contempla la posibilidad de incorporar la presente invención a un sistema de control de aire acondicionado como los que se instalan en los vagones de metro u otro tipo de vehículos climatizados. Así, de acuerdo a una de las realizaciones particulares, el sistema de la presente invención puede comprender una tarjeta de control de un sistema de aire acondicionado.

El módulo de control, de acuerdo a una de las realizaciones de la invención, comprende un microprocesador.

20 Un segundo aspecto de la invención se refiere a un método para la adquisición de datos digitales en circuitos secuenciales síncronos controlados por una señal de sincronismo con período T (el cual puede ser fijo o variable). El método comprende los pasos de:

- 25 a) recibir un primer dato de entrada en el módulo captador, en un primer ciclo de sincronismo;
- b) enviar el primer dato desde el módulo captador a un módulo de memoria;
- c) solicitar, en un segundo ciclo de sincronismo, una lectura de datos de entrada desde un microprocesador al módulo de memoria;
- d) proporcionar el primer dato al microprocesador desde el módulo de memoria;
- 30 e) recibir un segundo dato de entrada en el módulo captador, en el segundo ciclo de sincronismo;
- f) enviar el segundo dato desde el módulo captador al módulo de memoria
- g) sustituir en el módulo de memoria el primer dato almacenado por el segundo dato.

35 Adicionalmente, se contempla habilitar el módulo captador para recibir datos de entrada con un período T de acuerdo a la señal de sincronismo.

Cuando no es necesaria ninguna lectura de datos de entrada, de acuerdo a una de las realizaciones de la invención se contempla inhabilitar el módulo captador.

40 Opcionalmente, antes de recibir un primer y un segundo datos de entrada en el módulo captador, se contempla en una de las realizaciones enviar previamente una señal de activación desde el módulo de sincronismo al módulo captador.

45 La presente invención puede configurarse para repetir cíclicamente los pasos a)-g), de acuerdo al período establecido T, de forma que ventajosamente se mantiene siempre un dato en el módulo de memoria disponible para ser leído por el microprocesador. Ventajosamente, el dato puede ser entregado al instante y sin demora ya que ante una petición del microprocesador el dato entregado corresponde al ciclo de sincronismo anterior.

50 Enviar un dato desde el módulo captador al módulo de memoria, de acuerdo a una de las realizaciones de la presente invención, puede comprender polarizar un optoacoplador insertado en el módulo captador al recibir una señal de entrada y a continuación transmitir su estado a un biestable de tipo latch en el módulo de memoria. El tiempo requerido para estas operaciones es evitado ventajosamente al solicitar una lectura desde el microprocesador desfasando las

lecturas entregadas en un período.

5 Enviar datos al módulo de memoria, de acuerdo a una de las realizaciones de la invención puede comprender además recibir en el módulo de memoria previamente una señal de almacenaje enviada desde el módulo de sincronismo.

10 Por tanto, la presente invención resuelve el problema existente en el estado del arte de lecturas disipativas que implican los sistemas de lectura continua, especialmente cuando la tensión a medir es alta y se necesita medir con suficiente corriente (típicamente entre 10mA y 20mA).
 15 Frente a este problema, la presente invención plantea un procedimiento de lectura para las medidas de tensión digital no continua y muy poco disipativa, pero que a diferencia de otras soluciones no continuas y con aislamiento del estado del arte, no tiene largos tiempos de espera sino que entrega el dato inmediatamente tras la solicitud del procesador. Esto revierte en un consumo de potencia mínimo que evita el calentamiento del sistema tan dañino para los componentes electrónicos como las tarjetas de control.

20 Además, la presente invención puede ser implementada en sistemas existentes sin necesidad de modificar la lógica de control y los opto-acopladores utilizados no necesitan ser rápidos, ya que su retardo no afecta a la disponibilidad de los datos en el microprocesador.

DESCRIPCIÓN DE LOS DIBUJOS

25 Para complementar la descripción que se está realizando y con objeto de ayudar a una mejor comprensión de las características de la invención, se acompaña como parte integrante de dicha descripción, un juego de figuras en donde con carácter ilustrativo y no limitativo, se ha representado lo siguiente:

30 **Figura 1.-** muestra un circuito de lectura de señal tensión digital de medida continua y sin aislamiento, de acuerdo a una solución del estado del arte.

Figura 2.- muestra un diagrama de bloques donde, de acuerdo a una de las realizaciones de la invención, se puede observar con detalle los módulos que comprenden el sistema de adquisición de datos digitales con reducción de potencia.

Figura 3.- muestra un diagrama donde se pueden ver simultáneamente los tiempos de adquisición de datos digitales.

35 **Figura 4.-** muestra un esquema del módulo captador donde, de acuerdo a una realización particular, se ha añadido un circuito de control encargado de bloquear la polarización del opto acoplador siempre que no sea necesario realizar ninguna lectura.

Figura 5.- muestra un esquema del módulo de memoria, donde de acuerdo a una realización particular de la invención se ha modificado el módulo de memoria añadiendo una señal de control.

40 **Figura 6.-** muestra un esquema del módulo de sincronismo del sistema de acuerdo a una de las realizaciones de la invención.

DESCRIPCIÓN DETALLADA DE LA INVENCION

45 Lo definido en esta descripción detallada se proporciona para ayudar a una comprensión exhaustiva de la invención. En consecuencia, las personas medianamente expertas en la técnica reconocerán que son posibles variaciones, cambios y modificaciones de las realizaciones descritas en la presente memoria sin apartarse del ámbito de la invención.
 50 Además, la descripción de funciones y elementos bien conocidos en el estado del arte se omite por claridad y concisión.

Por supuesto, las realizaciones de la invención pueden ser implementadas en una amplia variedad de plataformas arquitectónicas, protocolos, dispositivos y sistemas, por lo que los

diseños e implementaciones específicas presentadas en este documento, se proporcionan únicamente con fines de ilustración y comprensión, y nunca para limitar aspectos de la invención.

5 La presente invención divulga un método y un sistema de lectura de datos digitales que reduce la disipación de potencia sin modificar los niveles de entrada y aislando estos circuitos de entrada de los dispositivos de control para su protección, donde se realizan múltiples lecturas de señales digitales de tensión/corriente de distinta índole, para ser adaptadas y entregadas a un sistema de control de lectura secuencial mediante circuitos capaces de aislar las distintas partes del circuito y controlar cada una de las lecturas en función de las solicitudes realizadas por el control de forma independiente al tiempo de lectura requerido y sin modificar los niveles de tensión y corriente requeridos por la entrada. Para ello, el sistema entrega al procesador el dato almacenado en un tiempo $t-T$, utilizando el periodo T entre solicitudes del procesador para almacenar un nuevo dato.

10 De acuerdo a una de las realizaciones, un módulo de control realiza una petición de un dato de medida de la señal digital de tensión periódicamente con periodo T . Para leer este dato se realiza una medida no continua de la señal de entrada con aislamiento sincronizada con las peticiones del control, de forma que cada periodo T se realiza una medida que se almacena en un registro y que será la medida que se entregue al control a la siguiente petición. Por tanto, cuando el control pida un dato en un tiempo t se le entrega el dato medido y almacenado en la anterior petición $t-T$ y se realiza una nueva medida que se almacena para la siguiente petición.

15 La presente invención, de acuerdo a una de las realizaciones, cuenta para su funcionamiento con varios módulos de adaptación y generación de señales de control. Se parte de un sistema micro procesado de entradas digitales de lectura secuencial, donde inicialmente se cuenta con un sistema de adaptación de señales encargado de adaptar los niveles hacia un sistema de control, que se encarga de leer dichas entradas de forma secuencial. A la entrada de todo sistema, existen unas condiciones de entrada que determinan los niveles de tensión y corriente necesarios, así como un periodo (T) de lectura de la señal implementada por el procesador. Sin variar estos parámetros la presente invención realiza lecturas periódicas de las entradas, almacenando el valor obtenido en un buffer y entregando el valor almacenado al procesador en su siguiente solicitud. Para realizar estas lecturas, puede utilizarse la propia señal generada por el procesador, de manera que se renueva el valor almacenado después de cada solicitud de lectura. Por tanto, la presente invención logra reducir ventajosamente la potencia disipada sin necesidad de modificar las condiciones de entrada ni control.

20 La **figura 2** muestra un diagrama de bloques donde, de acuerdo a una de las realizaciones de la invención, se puede observar con mayor detalle los módulos que comprenden el sistema de adquisición de datos digitales con reducción de potencia. En dicha figura se incluyen los siguientes módulos:

- 45 - Un captador de entrada (21): configurado para adaptar los niveles de señal de entrada y que cuenta con un circuito de desactivación y, de acuerdo a una realización particular, con circuitos de separación galvánica que protegen los sistemas de control ante señales importunas.
- Un biestable (22) que almacena las lecturas realizadas a la entrada
- Un microprocesador (23) configurado para ejercer el control del sistema y realizar lecturas de buses de datos de forma secuencial.
- 50 - Un módulo de sincronismo (24) del sistema que genera una señal (28) /LE que activa el captador de entrada y almacenaje de lectura en el biestable.
- Un circuito (25) de activación del captador de entrada.

En cuanto a la secuencia de funcionamiento del sistema, de acuerdo a una de las realizaciones

de la invención, comienza con el arranque. En el arranque del sistema todavía no se ha procedido a realizar ninguna lectura, el captador se encuentra bloqueado y el dato almacenado en el biestable es desconocido. A continuación, el microprocesador comienza la lectura de datos activando una señal /OE (26) y recibiendo el dato (27) almacenado en el biestable. Una vez finalizada la lectura, el módulo de sincronismo de sistema genera la señal /LE (28) que se encarga de activar el captador de entrada y almacenar la lectura obtenida en el biestable. De esta forma, el dato válido queda almacenado en el biestable a la espera de una nueva lectura por parte del microprocesador. El microprocesador realizará otra lectura repitiendo cíclicamente la misma secuencia anterior, la cual se representa en la **figura 3**, donde se pueden ver los tiempos de adquisición de datos digitales en diferentes líneas para la entrada en el captador (30), biestable (22), datos almacenados en el biestable (27), señal /OE (26) y señal /LE (28). Cabe remarcar la disminución de consumo de potencia, que como se ve en la **figura 3** se reduce al tercer periodo, sin modificar las condiciones de funcionamiento, de forma que puede ser incorporado en sistemas ya desarrollados sin necesidad de modificar los parámetros básicos del sistema, es decir, manteniendo la tensión de las señales de entrada y evitando grandes modificaciones del sistema. Particularmente, el procesador no necesita ninguna modificación ya que la presente invención almacena los datos leídos y los entrega al procesador en el siguiente ciclo de lectura. También se mantienen las corrientes de polarización de entrada evitando así efectos no deseados como los falsos positivos debidos a pequeñas derivaciones o el desgaste (“fretting” en inglés), acompañado a veces de daño corrosivo, que aparece en ocasiones en superficies con una cierta rugosidad y viene ocasionado por desplazamientos relativos oscilatorios de muy pequeña amplitud, como por ejemplo, una vibración, entre piezas que se encuentran en contacto bajo carga.

Una de las realizaciones de la presente invención se refiere a la aplicación del método y sistema descrito anteriormente para las tarjetas de control de los sistemas de aire acondicionado, como por ejemplo en los montados en los vehículos de transporte de viajeros como vagones de metro. Las características de diseño de estos vehículos exigen que las tarjetas de control trabajen con tensiones auxiliares en el entorno de los 110V para sus entradas digitales, comunes a todos los dispositivos (no obstante son tolerables variaciones considerables y pueden admitirse grandes fluctuaciones en la tensión). Además debido a las características de los dispositivos de aparellaje que comandan la polarización de estas entradas, la corriente de polarización no debería ser menor a 10 mA para evitar problemas de fretting, así como pequeñas derivaciones.

Este tipo de sistemas testea cada una de las entradas mediante un circuito de adaptación de corriente, la cual polariza el diodo de un dispositivo opto-acoplador y a su salida la señal es almacenada de forma transparente en un elemento de memoria, por ejemplo un biestable de tipo latch, comandado a su salida por el procesador.

En las entradas digitales de este tipo de tarjetas, a partir de la señal de entrada se polariza el optoacoplador transmitiendo el estado a la parte aislada que es almacenada inmediatamente en un latch y de esta forma el procesador, por medio de una señal de petición de lectura del procesador (nos referiremos a ella como “/OE”) que el mismo controla, puede obtener en el bus de datos los estados de cada una de las entradas.

El inconveniente de este modelo es la potencia que es necesario disipar en cada una de las entradas activas, en torno a 1,1W, de acuerdo a la siguiente función:

$$P_I = \frac{1}{T} \int_0^T V_I * I_I \partial t = V_I * I_I = 110V * 10mA * 1 = 1,1W \quad (1)$$

de forma que, tal y como se muestra en (1), para un periodo T del canal activo la tensión e intensidad aplicada son constantes, por lo que la potencia disipada será de 1,1W, si se tiene en cuenta las entradas totales, por ejemplo 24 entradas iguales, la potencia máxima disipada alcanzaría los 26,4W. Esta disipación genera una gran cantidad de calor que se traduce en mal

funcionamiento, acortamiento de la vida de la propia tarjeta, así como un derroche de potencia no justificado.

La presente invención resuelve este caso concreto fácilmente, teniendo en cuenta que las tarjetas de este tipo contienen el circuito de adaptación en una tarjeta supletoria fácilmente insertable, con lo que basta con sustituir este circuito de adaptación de acuerdo a la presente invención y siguiendo todos los parámetros indicados por el sistema como se detalla a continuación.

La **figura 4** representa un esquema del módulo captador (21) donde, de acuerdo a una realización particular, se ha añadido un circuito de control (41) encargado de bloquear la polarización del opto acoplador siempre que no sea necesario realizar ninguna lectura. Para ello, se intercala un sistema opto acoplado en sentido inverso (42) capaz de soportar los valores de tensión y corriente del sistema. De esta forma, el circuito 41 se encarga de activar la entrada siempre que es necesario realizar una lectura a través de la señal /LE1 (28), la cual se genera en el módulo de sincronismo que se detalla más adelante.

La **figura 5** representa un esquema del módulo de memoria (22), donde de acuerdo a una realización particular de la invención consiste en un biestable de tipo latch. Dado que el tiempo de lectura de las entradas está limitado por el módulo de sincronismo, hay que sincronizar esta lectura con el almacenamiento de los datos dentro del Latch por lo que el módulo de memoria se ha modificado añadiendo una señal de habilitación del Latch interno, que llamaremos LE, capaz de garantizar que en el momento de la lectura el dato que tenemos a la entrada del Latch es un dato válido y donde además, la señal /OE generada por el procesador se utiliza en el módulo de sincronismo para generar el resto de señales de control necesarias.

En cuanto al módulo micro procesador (23), realmente se mantiene invariable, lo que representa una de las ventajas de la presente invención, que consigue una reducción de potencia sin necesidad de modificar los parámetros externos ni sistemas de control tanto a nivel hardware como software. De este modo, cuando se requiere una lectura de las entradas al sistema, basta con activar la señal de habilitación y los datos son entregados en el bus de datos para su interpretación con la única salvedad que el dato obtenido será el leído en un tiempo t-T con un periodo correspondiente al utilizado por el propio procesador. Por tanto, el único requerimiento para un correcto funcionamiento es que el microprocesador realice las lecturas de las entradas de forma secuencial y que el periodo de lectura sea superior al requerido por el módulo de sincronismo para escribir el dato en el módulo de memoria.

La **figura 6** representa el módulo de sincronismo (24) del sistema, el cual se encarga de generar las señales necesarias para activar el captador de entrada y almacenar el dato obtenido en el módulo de memoria. Para ello, se ha implementado en esta realización particular, un circuito monoestable activo a la extinción de la señal /OE de manera que garantice la veracidad del dato obtenido. La señal generada LE para el almacenamiento del dato en el módulo de memoria estará activa hasta que se garantice un dato válido proporcionado desde la entrada por la activación de la señal /LE1.

Finalmente, para resaltar las ventajas obtenidas por la presente invención, podemos fijarnos en la reducción de potencia disipada que se obtiene en este ejemplo concreto desarrollado de acuerdo a la presente invención y compararlo con las cifras iniciales. Por tanto, como ya se comentó anteriormente y de acuerdo a la función (1), la potencia disipada por cada una de las entradas activas durante un periodo T es de 1,1W. Teniendo en cuenta que en este caso particular se realiza una lectura de la entrada cada 50ms, el tiempo que el captador debe estar activo para almacenar el dato es de aproximadamente 200µs, con lo que obtenemos una potencia disipada de:

$$P_I = \frac{1}{T_{OE}} \int_0^{t_{LE}} V_I * I_I dt = V_I * I_I * \frac{t_{LE}}{T_{OE}} = 110V * 10mA * \frac{200 * 10^{-6}}{50 * 10^{-3}} = 4,4mW \quad (2)$$

Donde,
t_{LE}, periodo de activación del captador

T_{OE} , periodo entre dos lecturas del procesador

5 Es evidente que el sistema implementado de acuerdo a la presente invención maneja unos valores de potencia ínfimos (comparados con los valores iniciales) sin necesidad de modificar las condiciones de trabajo de los dispositivos de entrada y sin modificar los circuitos de control tanto en lo que se refiere a su disposición hardware como software.

REIVINDICACIONES

- 5 **1.-** Sistema para la adquisición de datos digitales en circuitos secuenciales síncronos controlados por una señal con período T caracterizado por que comprende los siguientes elementos:
- un módulo captador que lee los datos de entrada con un período T;
 - un módulo de memoria que almacena los datos de entrada leídos por el módulo captador;
 - 10 - un módulo controlador que solicita lecturas de los datos de entrada al módulo de memoria y recibe los datos de entrada almacenados por el módulo de memoria correspondientes al período anterior a la solicitud de lectura;
- 15 **2.-** Sistema de acuerdo a la reivindicación 1 donde el módulo captador además comprende un circuito de activación que inhabilita el módulo captador cuando no es necesario adquirir datos de entrada
- 20 **3.-** Sistema de acuerdo a la reivindicación 2 el circuito de activación comprende un sistema optoacoplado en sentido inverso.
- 4.-** Sistema de acuerdo a cualquiera de las reivindicaciones anteriores donde el módulo de memoria es un biestable de tipo latch.
- 25 **5.-** Sistema de acuerdo a cualquiera de las reivindicaciones que además comprende un módulo de sincronismo que genera la señal de sincronismo que controla el circuito y además genera una señal de activación para el módulo captador y una señal de almacenaje para el módulo de memoria.
- 30 **6.-** Sistema de acuerdo a cualquiera de las reivindicaciones anteriores donde el módulo captador comprende un circuito de aislamiento de separación galvánica.
- 7.-** Sistema de acuerdo a cualquiera de las reivindicaciones anteriores donde los elementos comprenden unas corrientes de polarización iguales o mayores de 10 mA.
- 35 **8.-** Sistema de acuerdo a cualquiera de las reivindicaciones anteriores que además comprende una tarjeta de control de un sistema de aire acondicionado.
- 40 **9.-** Método para la adquisición de datos digitales en circuitos secuenciales síncronos controlados por una señal de sincronismo con período T, caracterizado por que comprende los pasos de:
- a) recibir un primer dato de entrada en el módulo captador, en un primer ciclo de sincronismo;
 - b) enviar el primer dato desde el módulo captador a un módulo de memoria;
 - 45 c) solicitar, en un segundo ciclo de sincronismo, una lectura de datos de entrada desde un módulo controlador al módulo de memoria;
 - d) proporcionar el primer dato al módulo controlador desde el módulo de memoria;
 - e) recibir un segundo dato de entrada en el módulo captador, en el segundo ciclo de sincronismo;
 - 50 f) enviar el segundo dato desde el módulo captador al módulo de memoria
 - g) sustituir en el módulo de memoria el primer dato almacenado por el segundo dato.
- 10.-** Método de acuerdo a la reivindicación 9 que además comprende habilitar el módulo captador para recibir datos de entrada con un período T de acuerdo a la señal de sincronismo.

11.- Método de acuerdo a cualquiera de las reivindicaciones anteriores que además comprende inhabilitar el módulo captador cuando no es necesaria ninguna lectura.

5 **12.-** Método de acuerdo a cualquier de las reivindicaciones anteriores 9-11 donde los pasos a)-g) se repiten cíclicamente, de acuerdo a un período T, de forma que en el módulo de memoria siempre hay disponible un dato para ser leído por el módulo controlador.

10 **13.-** Método de acuerdo a cualquier de las reivindicaciones anteriores 9-12 donde enviar un dato desde el módulo captador al módulo de memoria comprende polarizar un optoacoplador insertado en el módulo captador al recibir una señal de entrada y a continuación transmitir su estado a un biestable de tipo latch en el módulo de memoria.

15 **14.-** Método de acuerdo a cualquiera de las reivindicaciones anteriores 9-13 donde recibir un primer y un segundo datos de entrada en el módulo captador, además comprende enviar previamente una señal de activación desde un módulo de sincronismo al módulo captador.

20 **15.-** Método de acuerdo a cualquiera de las reivindicaciones anteriores 9-14 donde enviar datos al módulo de memoria, además comprende recibir en el módulo de memoria previamente una señal de almacenaje enviada desde el módulo de sincronismo.

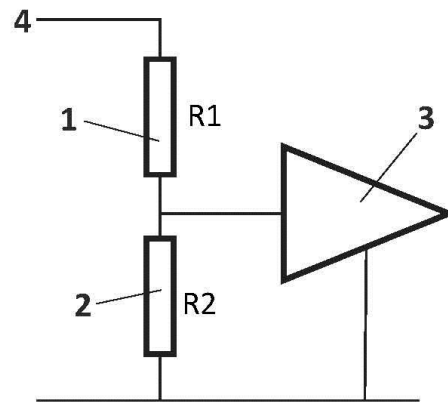


FIG. 1

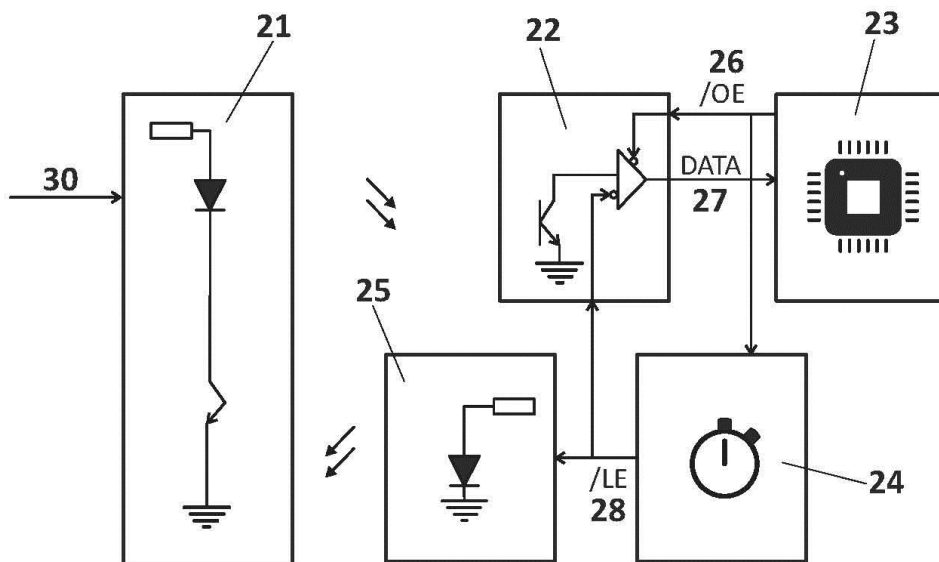


FIG. 2

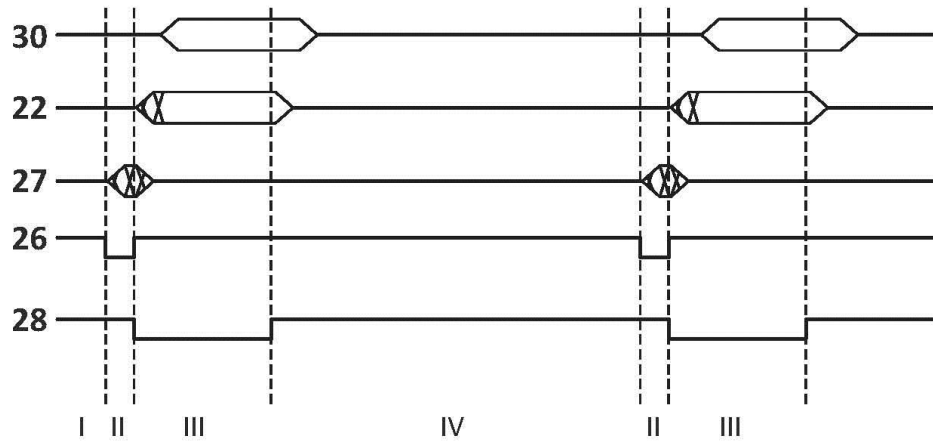


FIG. 3

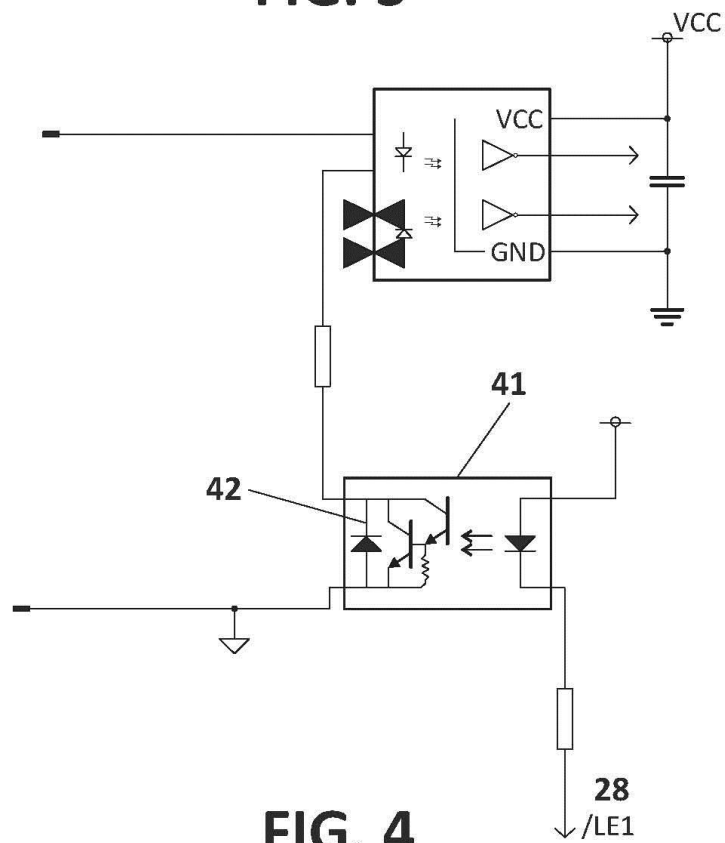


FIG. 4

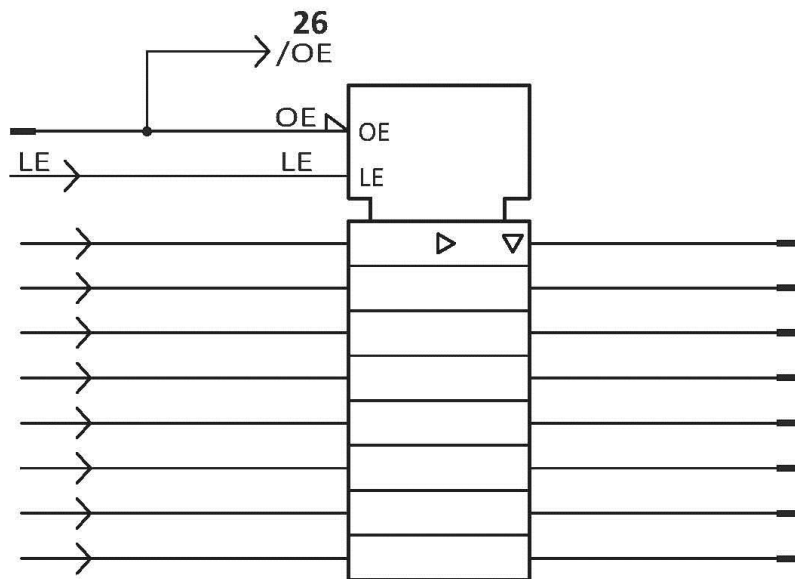


FIG. 5

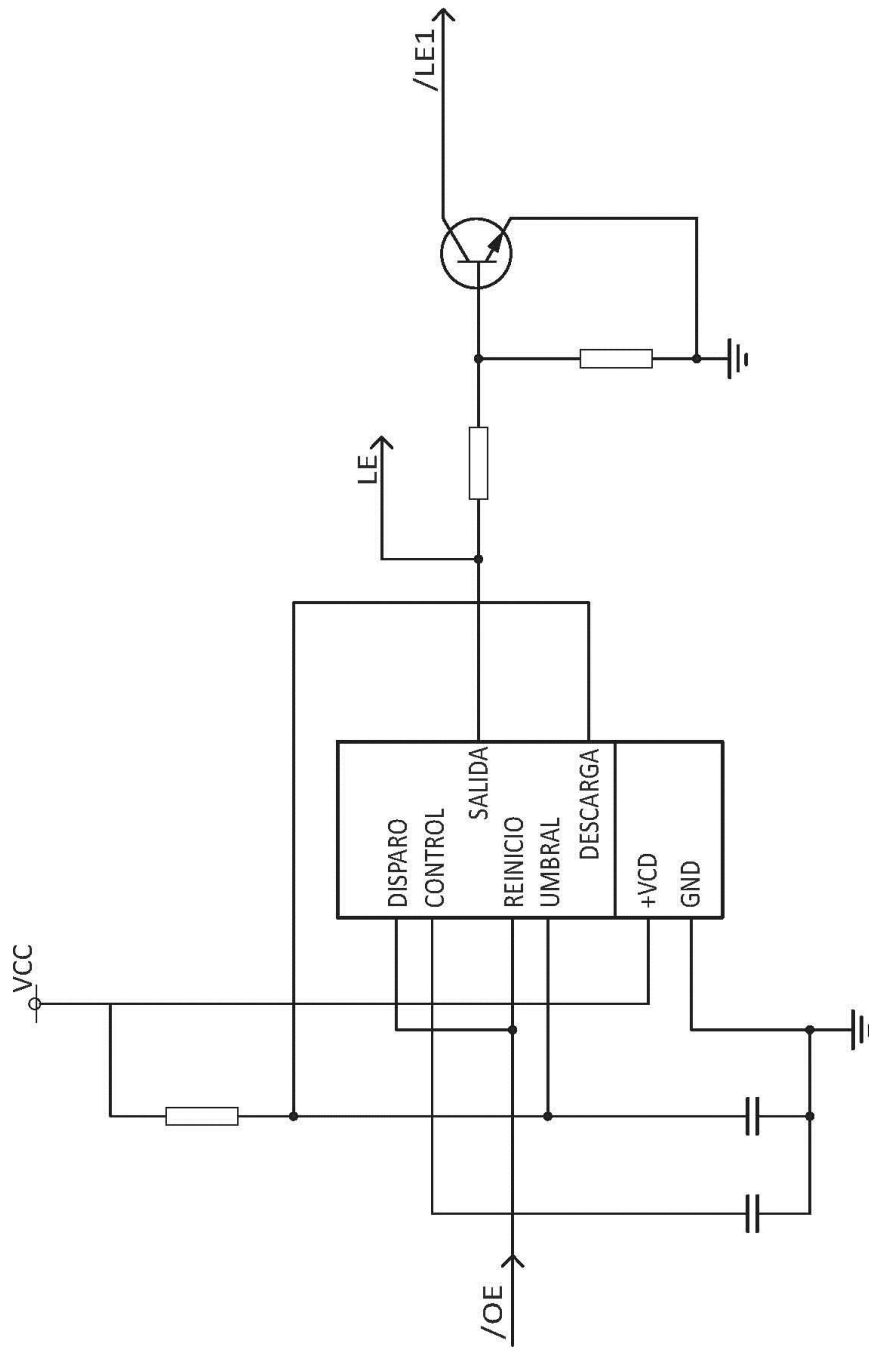


FIG. 6



OFICINA ESPAÑOLA
DE PATENTES Y MARCAS

ESPAÑA

②① N.º solicitud: 201531300

②② Fecha de presentación de la solicitud: 11.09.2015

③② Fecha de prioridad:

INFORME SOBRE EL ESTADO DE LA TECNICA

⑤① Int. Cl.: **G06F3/05** (2006.01)
G11C27/02 (2006.01)

DOCUMENTOS RELEVANTES

Categoría	⑤⑥ Documentos citados	Reivindicaciones afectadas
A	WO 2005101049 A1 (VARIAN INC et al.) 27.10.2005, página 6, línea 6 – página 14, línea 23; figuras 1-6.	1-15
A	US 6384758 B1 (MICHALSKI CHRISTOPHER et al.) 07.05.2002, columna 1, línea 47 – columna 7, línea 67; figuras 1-5.	1-15

Categoría de los documentos citados

X: de particular relevancia

Y: de particular relevancia combinado con otro/s de la misma categoría

A: refleja el estado de la técnica

O: referido a divulgación no escrita

P: publicado entre la fecha de prioridad y la de presentación de la solicitud

E: documento anterior, pero publicado después de la fecha de presentación de la solicitud

El presente informe ha sido realizado

para todas las reivindicaciones

para las reivindicaciones nº:

Fecha de realización del informe
16.02.2016

Examinador
J. Botella Maldonado

Página
1/4

Documentación mínima buscada (sistema de clasificación seguido de los símbolos de clasificación)

G06F, G11C

Bases de datos electrónicas consultadas durante la búsqueda (nombre de la base de datos y, si es posible, términos de búsqueda utilizados)

INVENES, EPODOC, WPI, NPL, XPESP, XPAIP, XPI3E, INSPEC.

Fecha de Realización de la Opinión Escrita: 16.02.2016

Declaración

Novedad (Art. 6.1 LP 11/1986)	Reivindicaciones 1-15	SI
	Reivindicaciones	NO
Actividad inventiva (Art. 8.1 LP11/1986)	Reivindicaciones 1-15	SI
	Reivindicaciones	NO

Se considera que la solicitud cumple con el requisito de aplicación industrial. Este requisito fue evaluado durante la fase de examen formal y técnico de la solicitud (Artículo 31.2 Ley 11/1986).

Base de la Opinión.-

La presente opinión se ha realizado sobre la base de la solicitud de patente tal y como se publica.

1. Documentos considerados.-

A continuación se relacionan los documentos pertenecientes al estado de la técnica tomados en consideración para la realización de esta opinión.

Documento	Número Publicación o Identificación	Fecha Publicación
D01	WO 2005101049 A1 (VARIAN INC et al.)	27.10.2005
D02	US 6384758 B1 (MICHALSKI CHRISTOPHER et al.)	07.05.2002

2. Declaración motivada según los artículos 29.6 y 29.7 del Reglamento de ejecución de la Ley 11/1986, de 20 de marzo, de Patentes sobre la novedad y la actividad inventiva; citas y explicaciones en apoyo de esta declaración

El documento D01 presenta un dispositivo de mando para un aparato que asuma una secuencia de estados sincronizados según una larga sucesión de acontecimientos. La arquitectura comporta una capa de registros conteniendo registros latch destinados a recibir descriptores de acontecimientos y parámetros procedentes de un bus y de una capa informático-lógica para realizar operaciones sobre o entre estos parámetros con vistas a efectuar una presentación sobre dispositivos funcionales externos.

El documento D02 presenta un método de muestreo de alta velocidad. Un buffer de entrada se activa durante el ciclo de muestreo y se desactiva en el ciclo de retención. Una capacitancia de muestreo se carga a través del buffer de entrada. Durante el ciclo de retención el buffer de entrada se desactiva y se aísla del condensador de muestreo. Un condensador de salida se acopla al condensador de muestreo que transfiere su carga al condensador de salida.

Consideramos que ninguno de estos documentos del estado de la técnica más próximo, anticipa la invención tal como se reivindica en las reivindicaciones de la 1ª a la 15ª, ni se encuentran en ellos sugerencias que dirijan al experto en la materia hacia el objeto reivindicado en las citadas reivindicaciones.

Por lo tanto la invención tal como se reivindica en las reivindicaciones de la 1ª a la 15ª posee novedad y actividad inventiva.