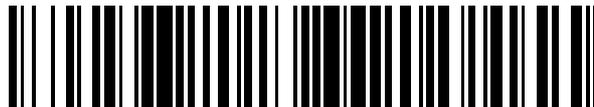


19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 561 892**

51 Int. Cl.:

H03K 7/08 (2006.01)

G06F 1/04 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **18.09.2012 E 12773444 (0)**

97 Fecha y número de publicación de la concesión europea: **18.11.2015 EP 2761754**

54 Título: **Sincronización de generadores de modulación de anchura de impulsos de frecuencias múltiples**

30 Prioridad:

29.09.2011 US 201113248668

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

01.03.2016

73 Titular/es:

**MICROCHIP TECHNOLOGY INCORPORATED
(100.0%)
2355 West Chandler Boulevard
Chandler, AZ 85224-6199, US**

72 Inventor/es:

KRIS, BRYAN

74 Agente/Representante:

CARPINTERO LÓPEZ, Mario

ES 2 561 892 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Sincronización de generadores de modulación de anchura de impulsos de frecuencias múltiples

La presente divulgación se refiere en general a la generación de señales de modulación de anchura de impulsos de frecuencias múltiples, y más en particular a la sincronización de las señales de modulación de anchura de impulsos de frecuencias múltiples generadas.

Las aplicaciones de conversión de energía son cada vez más sofisticadas al tener múltiples sub-circuitos que utilizan salidas de la señal de modulación de anchura de impulsos (PWM) múltiples que operan a diferentes frecuencias y que están relacionadas armónicamente unas con las otras en frecuencia, es decir, presentan relaciones de frecuencia enteras. Por ejemplo, la frecuencia de una señal de PWM podría ser un múltiplo entero de otra frecuencia de la señal de PWM. Las tecnologías existentes de generación de PWM pueden generar estas frecuencias de salida de la señal de PWM armónicamente relacionadas, pero puesto que los contadores en ellas son de funcionamiento libre, son incapaces de mantener una correcta sincronización de las señales de PWM en respuesta a los errores de configuración del usuario, errores de actualización, cambios de desplazamiento de fase, y / o en respuesta a eventos asíncronos externos, tales como una señal de sincronización externa que pueden hacer que se pierda una sincronización inicial entre las salidas de la señal de PWM.

La patente de Estados Unidos US 6.658.583 desvela un circuito de control de PWM, microordenador y equipos electrónicos. La Publicación de Solicitud de Patente de Estados Unidos US 2009 / 0002043 desvela un sistema, procedimiento y aparato que tienen una resolución de las frecuencias de modulación de anchura de impulsos mejorada. La Publicación de Solicitud de Patente de Estados Unidos US 2007 / 0230559 desvela un procedimiento y un sistema que permite la actualización inmediata de los valores de la modulación de anchura de impulsos.

Por lo tanto, lo que se necesita es una manera de generar señales de modulación de anchura de impulsos (PWM) de frecuencias múltiples que mantengan las señales de sincronización con independencia del usuario o de los eventos del sistema. Este y otros objetos se puede lograr por medio de un generador de modulación de anchura de impulsos, sistema y procedimiento como se define en las reivindicaciones independientes. Otras mejoras se caracterizan en las reivindicaciones dependientes. De acuerdo con las enseñanzas de esta divulgación, la sincronización de la señal de PWM se logra con una pluralidad de contadores de desplazamientos de fases, una pluralidad de comparadores de fase, una pluralidad de contadores de base de tiempos locales y un circuito de sincronización que es activado por medio de una base de tiempos maestra.

Un circuito de "base de tiempo cuasi - maestra" se utiliza para volver a sincronizar periódicamente los generadores de PWM individuales con una señal de referencia conocida. Esta base de tiempo cuasi - maestra se encontrará a la frecuencia más baja en relación con todas las frecuencias de salida de PWM, en el que todas las frecuencias de salida de PWM se encuentran a la misma frecuencia o a una frecuencia que es un múltiplo entero de la frecuencia o frecuencias cuasi - maestras. Cada circuito individual generador de PWM puede operar en un "modo de disparo único", completar sus ciclos individuales y a continuación esperar una señal de sincronización. Si el generador de PWM está ocupado con un ciclo de PWM existente, ignora la o las señales de sincronización hasta que su ciclo de PWM existente se haya completado. Este circuito de "base de tiempos cuasi - maestra" permite errores de temporización de menor importancia producidos por errores de configuración de PWM del usuario y / o errores de actualización, y todavía produce salidas de señal de PWM estables que permanecen sincronizadas unas con las otras.

De acuerdo con un ejemplo específico de realización de esta divulgación, un generador de modulación de anchura de impulsos (PWM) (401) para generar una señal de PWM que está sincronizada con una base de tiempos maestra comprende: un registro de ciclos de utilización (108) que almacena un valor de ciclos de utilización; un contador de ciclos de utilización (402) que tiene una entrada de reloj acoplada a un reloj que genera una pluralidad de impulsos de reloj, un valor de recuentos de ciclos de utilización que se incrementa por cada impulso de la pluralidad de impulsos de reloj recibidos; un comparador de ciclos de utilización (110) acoplado al registro de ciclos de utilización (108) y el contador de ciclos de utilización (402) compara el valor de recuentos de ciclos de utilización con el valor de ciclos de utilización y genera una señal de PWM cuando el valor de recuentos de ciclos de utilización es menor o igual al valor de ciclos de utilización; un registro de períodos locales (438) que almacena un valor de períodos locales que determina la frecuencia de la señal de PWM producida por el generador de PWM (401); un comparador de períodos locales (424) acoplado al contador de ciclos de utilización (402) y al registro de períodos locales (438) compara el valor de recuentos de ciclos de utilización con el valor de períodos locales y genera un estado lógico alto cuando el valor de ciclos de utilización es igual o mayor que el valor de períodos locales; un contador de fases (426) que tiene una entrada de reloj acoplada al reloj e incrementa un valor de recuentos de fases por cada impulso de la pluralidad de impulsos de reloj recibidos; un registro de desplazamientos de fases (412) que almacena un valor de desplazamientos de fases; un comparador de desplazamientos de fases (428) acoplado al contador de fases (426) y al registro de desplazamientos de fases (412) compara el valor de recuentos de fases con el valor de desplazamientos de fases y genera un estado lógico alto cuando el valor de recuentos de fases es igual o mayor que el valor de desplazamientos de fases; el comparador de desplazamientos de fases (428) tiene una salida acoplada a una entrada de interrupción del contador de fases (426) y cuando la salida del mismo se encuentra en un estado lógico alto se evita

que el contador de fases (426) incremente el valor de recuentos de fases por cada impulso de la pluralidad de impulsos de reloj recibidos; un circuito biestable (432) de ciclo en proceso (CIP) que tiene una entrada de reloj acoplada a una señal de inicio de ciclo de PWM, una entrada D acoplada a un estado lógico alto y una entrada de reinicio acoplada a una salida invertida del comparador de ciclos de utilización (110); un circuito detector de bordes (434, 436) que tiene una primera entrada acoplada al reloj, y una segunda entrada acoplada a una salida del comparador de desplazamientos de fases (428); una primera puerta Y (430) que tiene una primera entrada acoplada a la señal de inicio del ciclo de PWM y una segunda entrada acoplada a una salida invertida del circuito biestable de CIP 432; una segunda puerta Y (446) que tiene una primera entrada acoplada al comparador de períodos locales 424 y una segunda entrada acoplada a una señal de control de modo de disparo único invertida; y una puerta O (422) que tiene una primera entrada acoplada a una salida del circuito detector de bordes (434, 436), una segunda entrada acoplada a una salida de la segunda puerta Y (438), y una salida acoplada a una entrada de reinicio del contador de ciclos de utilización (402), en el que la señal de inicio de ciclo de PWM es generada cada vez que se produce un evento de períodos de inversión, en el que si la salida invertida del circuito biestable de CIP (432) es un estado lógico alto en la segunda entrada de la primera puerta Y (430) y la señal de inicio de ciclo de PWM es un estado lógico alto en la primera entrada de la primera puerta Y (430), entonces el valor de recuentos de fase se reinicia y la salida invertida del circuito biestable de CIP (432) está ajustada a un nivel lógico bajo, con lo que todas las otras señales adicionales de inicio del ciclo de PWM se ignoran hasta que la salida invertida del circuito biestable de CIP (432) es reiniciada de nuevo a un nivel de estado lógico alto, en el que el contador de fases (426) interrumpe el recuento cuando el valor de recuentos de fases es igual o mayor que el valor de desplazamientos de fases en el registro de desplazamientos de fases (412), en el que cuando un modo de disparo único es desactivado, el contador de ciclos de utilización (402) es reiniciado a cero cuando el valor de recuentos de ciclos de utilización es igual o mayor que el valor de períodos locales y se inicia un nuevo recuento de ciclos de utilización, de lo contrario el contador de ciclos de utilización (402) no es reiniciado cuando el valor de recuentos de ciclos de utilización es igual o mayor que el valor de períodos locales y en el que si el valor de recuentos de ciclos de utilización es igual o mayor que el valor de ciclos de utilización, entonces el circuito biestable de CIP (432) es reiniciado de manera que la salida del mismo se encuentra en un estado lógico alto, entonces el valor de recuentos de ciclos de utilización en el contador de ciclos de utilización (402) es reiniciado a cero y se inicia un nuevo recuento de ciclos de utilización.

De acuerdo con otra realización de ejemplo específico de esta divulgación, un sistema para generar una pluralidad de señales de modulación de anchura de impulsos (PWM) que tienen desplazamientos de fases extendidos comprende: un generador de la base de tiempos maestra (500), en el que el generador de la base de tiempos maestra (500) comprende: un contador de tiempos maestro (502) que tiene una entrada de reloj acoplada a un reloj que genera una pluralidad de impulsos de reloj, e incrementar un valor de recuentos maestro para cada impulso de la pluralidad de impulsos de reloj recibidos; un registro de períodos maestros (504) que tiene un valor de períodos maestro; un comparador de períodos maestro (506) acoplado al registro de períodos maestro (504) y al contador de períodos maestro (502), compara el valor de recuentos maestro con el valor de períodos maestro, genera una señal de inicio del ciclo de PWM cuando el valor de recuentos maestro es igual a o mayor que el valor de los períodos maestro, y a continuación es reiniciado a cero el valor de recuentos en el contador de períodos maestro (502); y una pluralidad generadores (401) de modulación de anchura de impulsos (PWM) para generar una pluralidad de señales de PWM que tienen desplazamientos de fases extendidos, cada uno de la citada pluralidad de generadores de PWM (401) comprende: un registro de ciclos de utilización (108) que almacena un valor de ciclos de utilización; un contador de ciclos de utilización (402) que tiene una entrada de reloj acoplada al reloj, e incrementa el valor de recuentos de ciclos de utilización por cada impulso de la pluralidad de impulsos de reloj recibidos; un comparador de ciclos de utilización (110) acoplado al registro de ciclos de utilización (108) y al contador de ciclos de utilización (402), compara el valor de recuentos de ciclos de utilización con el valor de ciclos de utilización, y genera una señal de PWM relacionada con los desplazamientos de fases cuando el valor del recuento de ciclos de utilización es menor que o igual al valor de ciclos de utilización; un registro de períodos locales (438) que almacena un valor de períodos locales que determina la frecuencia de la señal de PWM producida por el generador de PWM (401); un comparador de períodos locales (424) acoplado al contador de ciclos de utilización (402) y al registro de períodos locales (438) compara el valor de recuentos de ciclos de utilización con el valor de períodos locales y genera un estado lógico alto cuando el valor de ciclos de utilización es igual o mayor que el valor de períodos locales; un contador de fases (426) que tiene una entrada de reloj acoplada al reloj e incrementa un valor de recuentos de fases por cada impulso de la pluralidad de impulsos de reloj recibidos; un registro de desplazamientos de fases (412) que almacena un valor de desplazamientos de fases; un comparador de desplazamientos de fases (428) acoplado al contador de fases (426) y al registro de desplazamientos de fases (412), compara el valor de recuentos de fases con el valor de desplazamientos de fases, y genera un estado lógico alto cuando el valor de recuentos de fases es igual o mayor que el valor de desplazamientos de fase; el comparador de desplazamientos de fases (428) tiene una salida acoplada a una entrada de interrupción del contador de fases (426) y cuando la salida del mismo se encuentra en un nivel de estado lógico alto, se evita que el contador de fases (426) incremente el valor de recuentos de fases por cada impulso de la pluralidad de impulsos de reloj recibidas; un circuito biestable de ciclo en proceso (CIP) (432) que tiene una entrada de reloj acoplada a una señal de inicio de ciclo de PWM, una entrada D acoplada a un estado lógico alto y una entrada de reinicio acoplada a una salida invertida del comparador de ciclos de utilización (110); un circuito detector de bordes (434, 436) que tiene una primera entrada acoplada al reloj, y una segunda entrada acoplada a una salida del comparador de desplazamientos de fases (428); una primera puerta Y (430) que tiene una primera entrada acoplada

5 a la señal de inicio del ciclo de PWM y una segunda entrada acoplada a una salida invertida del circuito biestable de CIP 432; una segunda puerta Y (446) que tiene una primera entrada acoplada al comparador de períodos locales 424 y una segunda entrada acoplada a una señal de control de modo de disparo único invertido; y una puerta O (422) que tiene una primera entrada acoplada a una salida del circuito detector de bordes (434, 436), una segunda
 10 entrada acoplada a una salida del comparador de períodos locales (424), y una salida acoplada a una entrada de reinicio del contador de ciclos de utilización (402), en el que el generador de la base de tiempos maestra (500) genera el inicio del ciclo de PWM de la señal cada vez que se produce un evento de inversión de períodos, en el que si la salida invertida del circuito biestable de CIP (432) es un estado lógico alto en la segunda entrada de la primera puerta Y (430) y la señal de inicio de ciclo de PWM es un estado lógico alto en la primera entrada de la primera puerta Y (430), entonces el valor de recuentos de fases es reiniciado a cero y la salida invertida del circuito biestable de CIP (432) se establece en un estado lógico bajo, con lo que se ignoran todas las señales adicionales de inicio del ciclo de PWM hasta que la salida invertida del circuito biestable de CIP (432) es reiniciada de nuevo a un estado lógico alto, en el que el contador de fases (426) interrumpe el recuento cuando el valor de recuentos de fases es igual o mayor que el valor de desplazamientos de fases en el registro de desplazamientos de fases (412), en el que cuando
 15 un modo de disparo único es desactivado, el contador de ciclos de utilización (402) es reiniciado a cero cuando el valor de recuentos de ciclos de utilización es igual o mayor que el valor de períodos locales y se inicia un nuevo recuento de ciclos de utilización, de lo contrario el contador de ciclos de utilización (402) no es reiniciado cuando el valor de recuentos de ciclos de utilización es igual o mayor que el valor de períodos locales y en el que si el valor de recuentos de ciclos de utilización es igual o mayor que el valor de ciclos de utilización a continuación, es reiniciado el
 20 circuito biestable de CIP (432) de manera que la salida del mismo se encuentra en un estado lógico alto, entonces el valor de recuentos de ciclos de utilización en el contador de ciclos de utilización (402) se reinicia a cero y se inicia nuevo recuento de ciclos de utilización.

De acuerdo con todavía otra realización de ejemplo específica de esta divulgación, un procedimiento para generar una pluralidad de señales de modulación de anchura de impulsos (PWM) que tienen desplazamientos de fase extendidos comprende las etapas de: proporcionar un valor de recuentos maestro de un contador de tiempos maestro (502), en el que el valor de recuentos maestro es incrementado por cada impulso de una pluralidad de impulsos de reloj recibidos por el contador de tiempos maestro (502); proporcionar un valor de períodos maestro en un registro de períodos maestro (504); comparar el valor de recuentos maestro con el valor de períodos maestro por medio de un comparador de períodos maestro (506); generar una señal de inicio del ciclo de PWM cuando el valor de recuentos maestro es igual o mayor que el valor de períodos maestro, y a continuación reiniciar a cero el valor de recuentos maestro en el contador de períodos maestro (502); generar una pluralidad de señales de PWM relacionadas con los desplazamientos de fases con una pluralidad generadores de anchura de impulsos de modulación (PWM) (401), en el que la generación de cada una de las señales de la pluralidad señales de PWM relacionadas con los desplazamientos de fases comprende las etapas de: almacenar un valor de ciclos de utilización en un registro de ciclos de utilización (108); incrementar un valor de recuentos de ciclos de utilización con un contador de ciclos de utilización (402) por cada impulso de la pluralidad de impulsos de reloj recibidos por el contador de ciclos de utilización (402); comparar el valor de recuentos de ciclos de utilización con el valor de ciclos de utilización por medio de un comparador de ciclos de utilización (110); generar la señal de la pluralidad señales de PWM relacionadas con los desplazamientos de fases cuando el valor de recuentos de ciclos de utilización comparado es menor o igual que el valor de ciclos de utilización; comparar el valor de recuentos de ciclos de utilización con el valor de períodos maestro por medio de un comparador de períodos locales (424); generar estado lógico alto con el comparador de períodos locales (424) cuando el valor de ciclos de utilización es igual o mayor que el valor de períodos maestro; incrementar un valor de recuentos de fases en un contador de fases (426) por cada impulso de la pluralidad de impulsos de reloj recibidos por el contador de fases (426); almacenar un valor de desplazamientos de fases en un registro de desplazamientos de fases (412); comparara el valor de recuentos de fases con el valor de desplazamientos de fases por medio de un comparador de desplazamientos de fases (428); generar un estado lógico alto del comparador de desplazamientos de fases (428) cuando el valor de recuentos de fases es igual o mayor que el valor de desplazamientos de fases; prevenir el incremento del valor de recuentos de fases por cada impulso de la pluralidad de impulsos de reloj recibidos cuando una salida del comparador de desplazamientos de fases (428) se encuentra en un estado lógico alto; generar la señal de inicio del ciclo de PWM cada vez que se produce un evento de inversión de períodos; suspender el recuento en el contador de fases (426) cuando el valor de recuentos de fases es igual o mayor que el valor de desplazamientos de fases; reiniciar a cero el valor de recuentos de ciclos de utilización en el contador de ciclos de utilización (402) cuando el valor de recuentos de fases es igual o mayor que el valor de desplazamientos de fases; reiniciar a cero el valor de recuentos de ciclos de utilización en el contador de ciclos de utilización (402) cuando el valor de recuentos de ciclos de utilización es igual o mayor que el valor de períodos locales y un modo de disparo único está deshabilitado; y a continuación iniciar un nuevo recuento de ciclos de utilización.

Una comprensión más completa de la presente divulgación pueden ser adquirida por referencia a la descripción que sigue tomada en conjunto con los dibujos que se acompañan, en los cuales:

la figura 1 ilustra un circuito generador de modulación de anchura de impulsos (PWM) típico;

la figura 2 ilustra un diagrama de bloques esquemático de un circuito de generación de señales de PWM de múltiples fases que tiene una base de tiempos maestra y que es utilizado para la generación de grupos de señales de PWM sincronizadas que tienen desplazamientos de fases entre cada una de las señales de PWM;

5 la figura 3 ilustra un diagrama de bloques esquemático de un circuito de generación de señales de PWM para generar una pluralidad de señales de PWM capaces de tener diferentes frecuencias;

la figura 4 ilustra un diagrama de bloques esquemático de un circuito de generación de señales de PWM de múltiples frecuencias sincronizadas para generar señales de PWM que tienen frecuencias relacionadas armónicamente, de acuerdo con una realización específica de ejemplo de la presente divulgación; y

10 la figura 5 ilustra un diagrama de temporización esquemático del circuito de generación de señales de PWM sincronizadas de frecuencias múltiples que se muestra en la figura 4.

Aunque que la presente divulgación es susceptible de diversas modificaciones y formas alternativas, las realizaciones de ejemplo específicas de la misma se han mostrado en los dibujos y se describen en detalle en la presente memoria descriptiva. Se debe entender, sin embargo, que la descripción en la presente memoria descriptiva de realizaciones de ejemplo específicas no pretende limitar la divulgación a las formas particulares que se describen en la presente memoria descriptiva, sino que por el contrario, esta divulgación pretende cubrir todas las modificaciones y equivalentes tal como es definido por las reivindicaciones adjuntas.

Haciendo referencia a continuación a los dibujos, los detalles de una realización de ejemplo se ilustran esquemáticamente. Los mismos elementos en los dibujos estarán representados por los mismos números, y los elementos similares estarán representados por números similares con un sufijo en letra minúscula diferente.

Haciendo referencia a la figura 1, se representa un circuito generador de modulación de anchura de impulsos (PWM) típico. El circuito generador de PWM 101 comprende un temporizador / contador 102, un registro de períodos 104, un comparador 106 y un registro de ciclos de utilización 108. El temporizador / contador 102 cuenta en ascenso desde cero hasta que alcanza un valor especificado por el registro de períodos 104 de acuerdo con lo determinado por el comparador 106. El registro de períodos 104 contiene un valor especificado por el usuario que representa el valor de contador máximo que determina los períodos de PWM. Cuando el temporizador / contador 102 coincide con el valor en el registro de períodos 104, el temporizador / contador 102 es borrado por una señal de reinicio del comparador 106, y el ciclo se repite. El registro de ciclos de utilización 108 almacena el valor de ciclos de utilización especificado por el usuario. Una señal de salida de PWM 120 es afirmada (dispuesta en alto) cuando el valor del temporizador / contador 102 es menor que el valor de ciclos de utilización almacenado en el registro de ciclos de utilización 108. La señal de salida de PWM 120 es desafirmada (dispuesta en bajo) cuando el valor del temporizador / contador 102 es igual o mayor que el valor de ciclos de utilización almacenado en el registro de ciclos de utilización 108.

Haciendo referencia a la figura 2, se representa un diagrama de bloques esquemático de un circuito de generación de señales de PWM de fases múltiples que tiene una base de tiempos maestra y que es utilizado para la generación de grupos de señales sincronizadas de PWM que tienen desplazamientos de fases entre cada una de las señales de PWM. El circuito de generación de PWM de fases múltiples comprende una base de tiempos maestra 500 y una pluralidad de generadores de PWM 101. La base de tiempos maestra 500 comprende un registro de períodos 504, un comparador de períodos 506 y un contador de períodos 502 que controlan el período de cada una de las fases de las señales de PWM de los generadores de PWM 101a - 101n. Cada uno de los generadores de PWM 101 comprende un registro de desplazamientos de fases 512 utilizado para determinar el desplazamiento de fase de la señal de salida de PWM respectiva de cada uno de los generadores de PWM 101. El registro de períodos de PWM 504, el registro de ciclos de utilización 108 y el registro de desplazamientos de fases 512 son programados a los valores requeridos para obtener una frecuencia de operación deseada (período), ciclos de utilización y desplazamientos de fases, respectivamente. Los contadores de la base de tiempos locales 102 están sincronizados con la base de tiempos maestra 500. Las salidas de las señales de PWM individuales pueden diferir en fase (determinado por el registro de desplazamientos de fases 512), pero no en frecuencia (período).

Haciendo referencia a la figura 3, se muestra un diagrama de bloques esquemático de un circuito de generación de señales de PWM para generar una pluralidad de señales de PWM que pueden tener diferentes frecuencias. Cada uno de los circuitos generadores de PWM 101 comprende un registro de desplazamientos de fases 512 que se utiliza para determinar el desplazamiento de fase de una señal de salida de PWM respectiva de cada uno de los generadores de PWM 101. Los registros de ciclos de utilización y de desplazamiento de fase de PWM 108 y 512, respectivamente, están programados a los valores requeridos para obtener unos ciclos de utilización y de desplazamientos de fases deseados para cada una de las salidas de PWM. Los contadores de la base de tiempos locales 102 permiten que los circuitos generadores de PWM individuales 101 operen a frecuencias diferentes, pero estas frecuencias son independientes y no están sincronizadas.

Haciendo referencia a la figura 4, se representa un diagrama de bloques esquemático de un circuito de generación de señales de PWM sincronizadas en frecuencias múltiples para generar señales de PWM que tienen frecuencias relacionadas armónicamente, de acuerdo con un realización de ejemplo específica de esta divulgación. Un circuito de generación de la base de tiempos maestra 500 comprende un contador de períodos de la base de tiempos maestra 502, un registro de períodos de la base de tiempos maestra 504, y un comparador de períodos de la base de tiempos maestra 506.

El circuito de generación de la base de tiempos maestra 500 genera una señal de inicio de ciclo de PWM en un estado lógico "alto" o "1" cada vez que el contador de base de tiempos maestra 502 alcanza su recuento terminal y se invierte a cero (evento de inversión de período). La señal de inicio del ciclo de PWM se acopla a cada uno de los circuitos generadores de PWM 401. Si el circuito biestable de ciclo en proceso (CIP) 432 se reinicia (Q \ - salida en un estado lógico "1"), y se recibe una señal de inicio de ciclo de PWM, entonces el contador de fases 426 es reiniciado y el circuito biestable de CIP asociado 432 es reiniciado (Q \ - salida en un estado lógico "0"). Si durante el tiempo que el circuito biestable de CIP 432 se establece y se recibe una señal de inicio de ciclo de PWM, no sucede nada más (puerta Y 430 bloquea una señal de reposición al contador de fases 426). Los términos "contador de la base de tiempos locales" y "contador de ciclos de utilización" 402 se utilizarán de manera intercambiable en la presente memoria descriptiva.

Si el valor en el contador de fases 426 es menor que el valor en el registro de desplazamientos de fases 412, el contador de fases 426 continúa contando en sentido ascendente. Cuando el valor en el contador de fases 426 es igual o mayor que el valor en el registro de fases de desplazamientos 412, el contador de fases 426 interrumpe el recuento y el contador de la base de tiempo locales asociado (contador de ciclos de utilización) 402 es reiniciado cuando el contador de fases 426 alcanza su recuento terminal, por ejemplo, a través del circuito de detección de bordes que comprende el circuito biestable 436 y la puerta Y 434. Cuando el valor del contador de la base de tiempo locales (contador de ciclos de utilización) 402 es igual o mayor que el valor en el registro de ciclos de utilización 108, el circuito biestable de CIP 432 es reiniciado (borrado) (Q \ - salida en un estado lógico " 1 ") y está listo (armado) para aceptar la siguiente señal de inicio de ciclo de PWM recibida y a continuación, comienza de nuevo al principio el proceso que se ha descrito más arriba. Sin embargo, el contador de la base de tiempos locales (contador de ciclos de utilización) 402 puede continuar la inversión e iniciar nuevos ciclos de PWM.

Cuando se encuentra en el "modo de disparo único" el contador de ciclos de utilización 402 es reiniciado sólo cuando hay una señal de detección de bordes de la de la puerta Y 434 (generado por una salida de estado lógico alto del comparador de desplazamientos de fases 428). Cuando no se encuentra en el "modo de disparo único" (señal de modo de disparo único 442 en un estado lógico cero) el contador de ciclos de utilización 402 puede ser reiniciado ya sea como se ha descrito más arriba o cuando el valor de recuentos en el contador de ciclos de utilización 402 es igual o mayor que el valor en el registro de períodos locales 438, momento en el que una salida de estado lógico alto desde el comparador de períodos locales 424 reiniciará el contador de ciclos de utilización 402.

Haciendo referencia a la figura 5, se muestra es un diagrama de temporización esquemático del circuito de generación de señales de PWM sincronizadas en frecuencias múltiples que se muestra en la figura 4. Los generadores de PWM individuales 401 bloquean las señales de sincronización si están ocupados

Aunque las realizaciones de esta divulgación se han representado, descrito, y están definidas por referencia a realizaciones de ejemplo de la divulgación, tales referencias no implican una limitación de la divulgación, y no se debe inferir una limitación de este tipo. La materia objeto desvelada es capaz de considerables modificaciones, alteraciones, y equivalentes en forma y función, como se les ocurrirá a los expertos en la técnica pertinente y que tengan el beneficio de esta divulgación. Las realizaciones representadas y descritas de esta divulgación son sólo ejemplos.

REIVINDICACIONES

1. Un generador (401) de modulación de anchura de impulsos (PWM) para generar una señal de PWM que se sincroniza con una base de tiempos maestra, que comprende:

un registro de ciclos de utilización (108) que almacena un valor de ciclos de utilización;

5 un contador de ciclos de utilización (402) que tiene una entrada de reloj acoplada a un reloj que genera una pluralidad de impulsos de reloj, e incrementa un valor de recuentos de ciclos de utilización para cada impulso de la pluralidad de impulsos de reloj recibidos;

10 un comparador ciclos de utilización (110) acoplado al registro de ciclos de utilización (108) y al contador de ciclos de utilización (402) compara el valor de recuentos de ciclos de utilización con el valor de ciclos de utilización y genera una señal de PWM cuando el valor de recuentos de ciclos de utilización es menor o igual al valor de ciclos de utilización;

un registro de períodos locales (438) que almacena un valor de períodos locales que determina la frecuencia de la señal de PWM producida por el generador de PWM (401);

15 un comparador de períodos locales (424) acoplado al contador de ciclos de utilización (402) y al registro de períodos locales (438) compara el valor de recuentos de ciclos de utilización con el valor de períodos locales y genera una señal de estado lógico alto cuando el valor de ciclos de utilización es igual o mayor que el valor de períodos locales;

un contador de fases (426) que tiene una entrada de reloj acoplada al reloj e incrementa un valor de recuentos de fases por cada impulso de la pluralidad de impulsos de reloj recibidos;

20 un registro de desplazamientos de fases (412) que almacena un valor de desplazamientos de fases;

un comparador de desplazamientos de fases (428) acoplado al contador de fases (426) y al registro de desplazamientos de fases (412) compara el valor de recuentos de fases con el valor de desplazamientos de fases y genera un estado lógico alto cuando el valor de recuentos de fases es igual o mayor que el valor de desplazamientos de fases;

25 el comparador de desplazamientos de fases (428) tiene una salida acoplada a una entrada de interrupción del contador de fases (426) y cuando la salida del mismo se encuentra en un estado lógico alto, el contador de fases (426) es impedido de incrementar el valor de recuentos de fases por cada impulso de las pluralidad de impulsos de reloj recibidos;

30 un circuito biestable de ciclo en proceso (CIP) (432) que tiene una entrada de reloj acoplada a una señal de inicio de ciclo de PWM, una entrada D acoplada a un estado lógico alto y una entrada de reinicio acoplada a una salida invertida del comparador de ciclos de utilización (110);

un circuito detector de bordes (434, 436) que tiene una primera entrada acoplada al reloj, y una segunda entrada acoplada a una salida del comparador de desplazamientos de fases (428);

35 una primera puerta Y (430) que tiene una primera entrada acoplada a la señal de inicio del ciclo de PWM y una segunda entrada acoplada a una salida invertida del circuito biestable de CIP (432);

una segunda puerta Y (446) que tiene una primera entrada acoplada al comparador de períodos locales (424) y una segunda entrada acoplada a una señal de control de modo de disparo único invertido; y

40 una puerta O (422) que tiene una primera entrada acoplada a una salida del circuito detector de bordes (434, 436), una segunda entrada acoplada a una salida de la segunda puerta Y (438), y una salida acoplada a una entrada de reinicio del contador de ciclos de utilización (402),

en el que la señal de inicio de ciclo de PWM es generada cada vez que se produce un evento de inversión de período,

45 en el que si la salida invertida del circuito biestable de CIP (432) es un estado lógico alto en la segunda entrada de la primera puerta Y (430) y la señal de inicio del ciclo de PWM corresponde a un estado lógico alto en la primera entrada de la primera puerta Y (430), entonces el valor de recuentos de fases se reinicia a cero y la salida invertida del circuito biestable de CIP (432) se establece en un estado lógico bajo, por lo cual todas las señales de inicio de ciclo de PWM restantes son ignoradas hasta que la salida invertida del circuito biestable de CIP (432) es reiniciada de nuevo a un estado lógico alto,

en el que el contador de fases (426) interrumpe el recuento cuando el valor de recuentos de fases es igual o mayor que el valor de desplazamientos de fases en el registro de desplazamientos de fases (412),

5 en el que cuando un modo de disparo único es deshabilitado, el contador de ciclos de utilización (402) se reinicia a cero cuando el valor de recuentos de ciclos de utilización es igual o mayor que el valor de períodos locales y un nuevo recuento de ciclos de utilización comienza, de lo contrario el contador de ciclos de utilización (402) no es reiniciado cuando el valor de recuentos de ciclos de utilización es igual o mayor que el valor de períodos locales y

10 en el que si el valor de recuentos ciclos de utilización es igual o mayor que el valor de ciclos de utilización, entonces el circuito biestable de CIP (432) se reinicia de manera que la salida del mismo se encuentra en un estado lógico alto, entonces el valor de recuentos ciclos de utilización en el contador de ciclos de utilización (402) se reinicia a cero y un nuevo recuento de ciclos de utilización comienza.

15 2. El generador de PWM de acuerdo con la reivindicación 1, en el que, cuando el modo de disparo único está activado, el contador de ciclos de utilización (402) sólo es reiniciado cuando una salida del circuito detector de bordes (434, 436) corresponde a un estado lógico alto.

3. El generador de PWM de acuerdo con la reivindicación 1 o 2, en el que el circuito detector de bordes (434, 436) comprende:

un circuito biestable D (436) que tiene una entrada de reloj acoplada al reloj y una entrada D acoplada a una salida del comparador de desplazamientos de fases (428); y

20 una tercera puerta Y (434) que tiene una primera entrada acoplada a la salida del comparador de desplazamientos de fases (428), una segunda entrada acoplada a una salida invertida del circuito biestable D (436), y una salida acoplada a la primera entrada de la puerta O (422).

4. Un sistema para generar una pluralidad de señales de modulación de anchura de impulsos (PWM) que tienen desplazamientos de fases extendidos, comprendiendo el citado sistema:

25 un generador de la base de tiempos maestra (500), en el que el generador de la base de tiempos maestra (500) comprende:

un contador de períodos maestro (502) que tiene una entrada de reloj acoplada a un reloj que genera una pluralidad de impulsos de reloj, e incrementa un valor de recuentos maestro por cada impulso de la pluralidad de impulsos de reloj recibidos;

30 un registro de períodos maestro (504) que tiene un valor de períodos maestro;

un comparador de períodos maestro (506) acoplado al registro de períodos maestro (504) y al contador de períodos maestro (502), compara el valor de recuentos maestro con el valor de períodos maestro, genera una señal de inicio del ciclo de PWM cuando el valor de recuentos maestro es igual o mayor que el valor de períodos maestro, y a continuación reinicia a cero el valor de recuentos maestro en el contador de períodos maestro (502); y

35 una pluralidad de generadores de modulación de anchura de impulsos (PWM) (401) para generar una pluralidad de señales de PWM que tienen desplazamientos de fases extendidos de acuerdo con una de las reivindicaciones precedentes.

40 5. Un procedimiento para generar una señal de PWM que puede ser sincronizada con una base de tiempos maestra, que comprende:

almacenar un valor de ciclos de utilización en un registro de ciclos de utilización (108);

incrementar un valor de recuentos de ciclos de utilización con un contador de ciclos de utilización (402) para cada impulso de la pluralidad de impulsos de reloj recibidos por el contador de ciclos de utilización (402);

45 comparar el valor de recuentos de ciclos de utilización con el valor de ciclos de utilización por medio de un comparador de ciclos de utilización (110);

generar una señal de la pluralidad de señales de PWM relacionadas con los desplazamientos de fases cuando el valor de recuentos de ciclos de utilización comparados es menor o igual al valor de ciclos de utilización;

50 comparar el valor de recuentos de ciclos de utilización con un valor de períodos locales por medio de un comparador de períodos locales (424);

- generar un estado lógico alto con el comparador de períodos locales (424) cuando el valor de ciclos de utilización es igual o mayor que el valor de períodos locales;
- incrementar un valor de recuentos de fases en un contador de fases (426) para cada impulso de la pluralidad de impulsos de reloj recibidos por el contador de fases (426);
- 5 almacenar un valor de desplazamientos de fases en un registro de desplazamientos de fases (412);
- comparar el valor de recuentos de fases con el valor de desplazamientos de fases por medio de un comparador de desplazamientos de fases (428);
- generar un estado lógico alto con el comparador de desplazamientos de fases (428) cuando el valor de recuentos de fases es igual o mayor que el valor de desplazamientos de fases;
- 10 prevenir el incremento del valor de recuentos de fases para cada impulso de la pluralidad de impulsos de reloj recibidos cuando una salida del comparador de desplazamientos de fases (428) se encuentra en un estado lógico alto;
- generar la señal de inicio del ciclo de PWM cada vez que se produce un evento de inversión de períodos;
- 15 reiniciar a cero el valor de recuentos de ciclos de utilización en el contador de ciclos de utilización (402) cuando el valor de recuentos de fases es igual o mayor que el valor de desplazamientos de fases;
- reiniciar a cero el valor de recuentos de ciclos de utilización en el contador de ciclos de utilización (402) cuando el valor de recuentos de ciclos de utilización es igual o mayor que el valor de períodos locales y un modo de disparo único está deshabilitado; y a continuación
- iniciar un nuevo recuento de ciclos de utilización.
- 20 6. El procedimiento de acuerdo con la reivindicación 5, en el que cuando el modo de disparo único está habilitado, el contador de ciclos de utilización solamente es reiniciado cuando el valor de recuentos de fases es igual o mayor que el valor de desplazamientos de fases.
7. El procedimiento de la reivindicación 6, en el que una señal de salida del comparador de desplazamientos de fases (428) es alimentada a una entrada de reinicio del contador de ciclos de utilización por medio de un detector de bordes (434, 436).
- 25 8. Un procedimiento para generar una pluralidad de señales de modulación de anchura de impulsos (PWM) que tienen desplazamientos de fase extendidos, comprendiendo el citado procedimiento las etapas de:
- proporcionar un valor de recuentos maestro de un contador de períodos maestro (502), en el que el valor de recuentos maestro se incrementa para cada impulso de una pluralidad de impulsos de reloj recibidos por el contador de períodos maestro (502);
- 30 proporcionar un valor del períodos maestro en un registro de períodos maestro (504);
- comparar el valor de recuentos maestro con el valor de períodos maestro por medio de un comparador de períodos maestro (506);
- 35 generar una señal de inicio del ciclo de PWM cuando el valor de recuentos maestro es igual o mayor que el valor de períodos maestro, y a continuación reiniciar a cero el valor de recuentos maestro en el contador de períodos maestro (502);
- generar una pluralidad de señales de PWM relacionadas con los desplazamientos de fases con una pluralidad de generadores de modulación de anchura de impulsos (PWM) (401), en el que la generación de cada una de las señales de PWM relacionadas con los desplazamientos de fases comprende las etapas del procedimiento de acuerdo con una de las reivindicaciones precedentes 5 - 7.
- 40

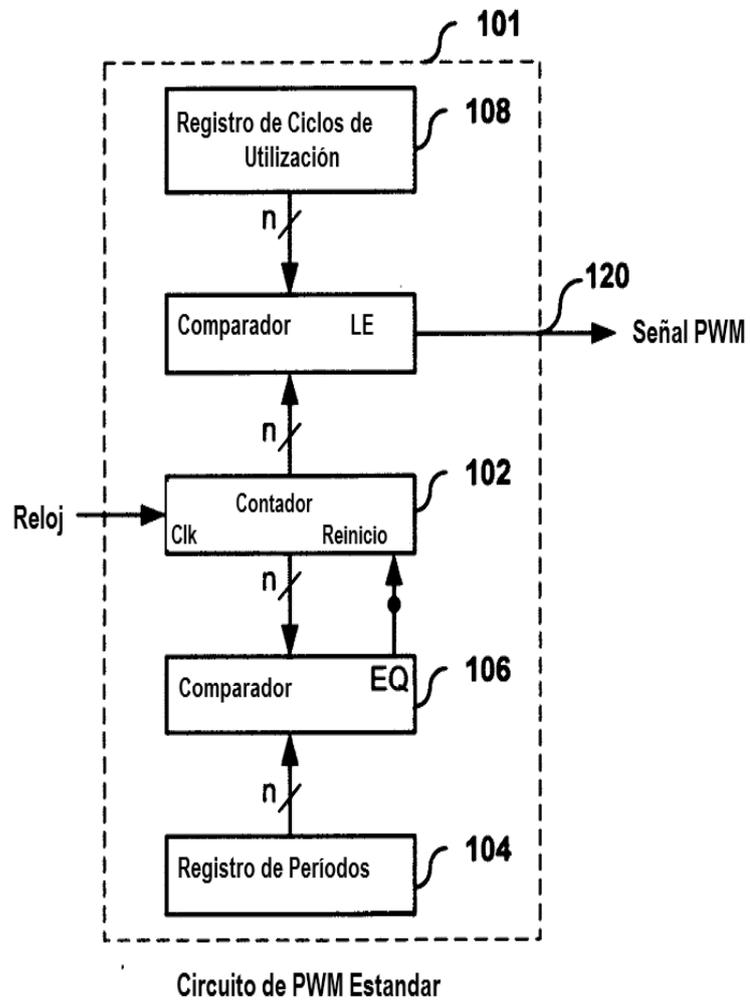


FIGURA 1

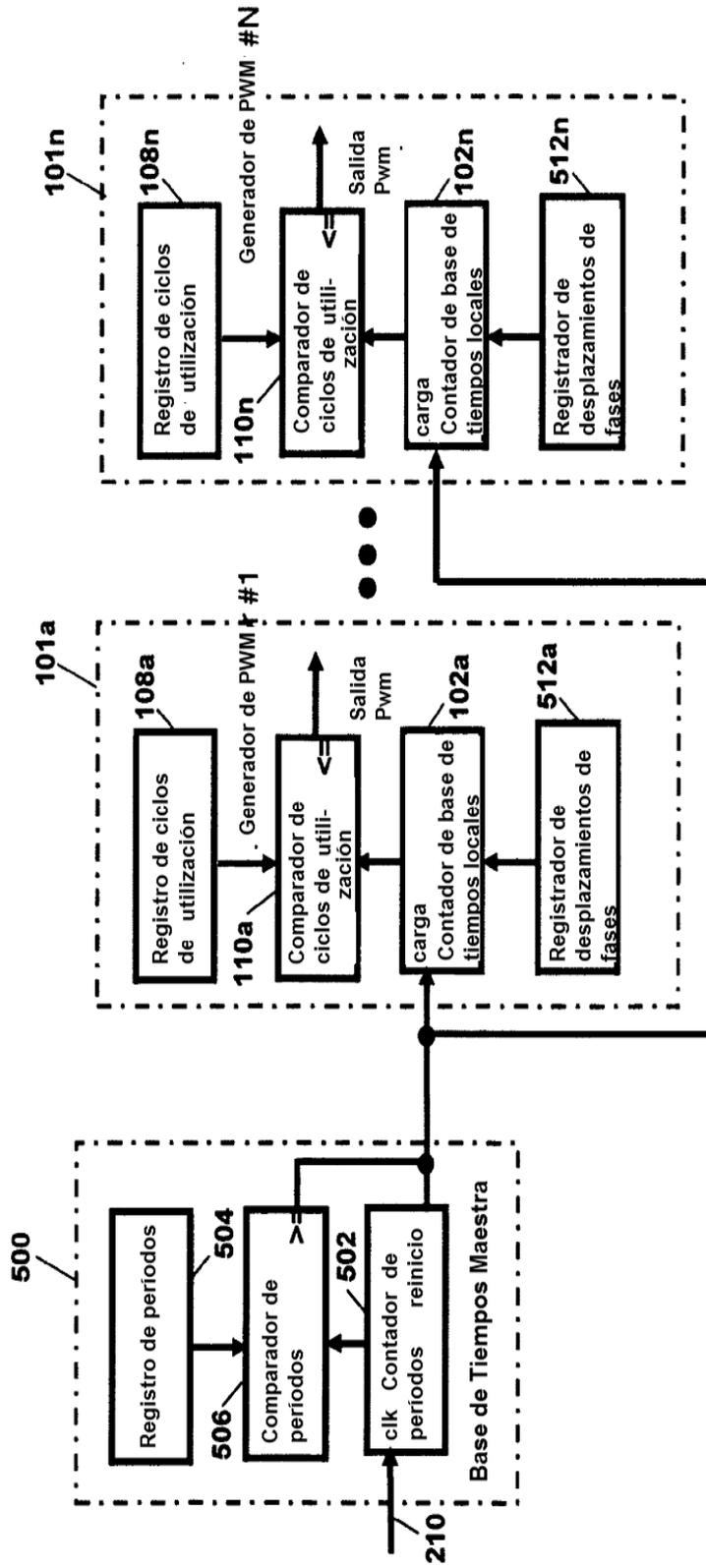


FIGURA 2

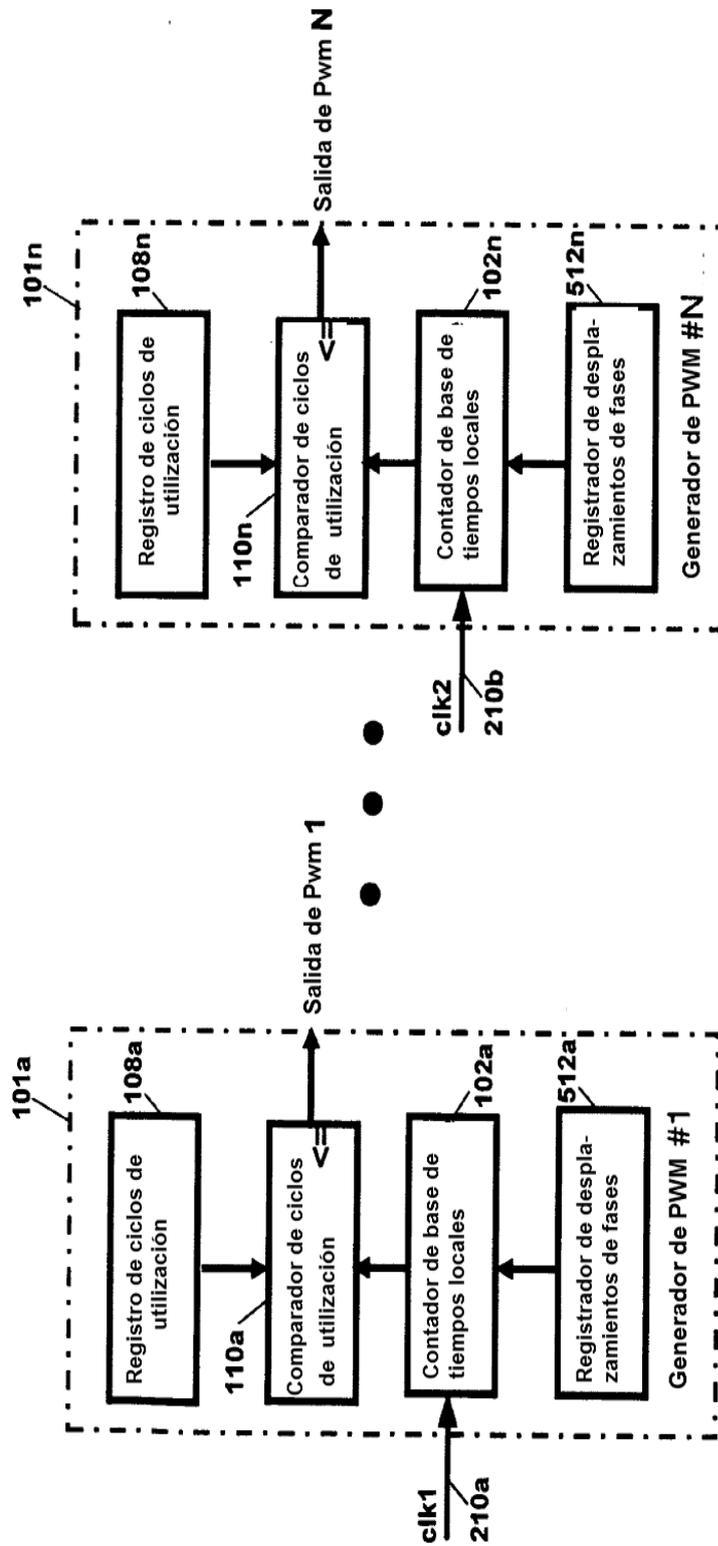


FIGURA 3

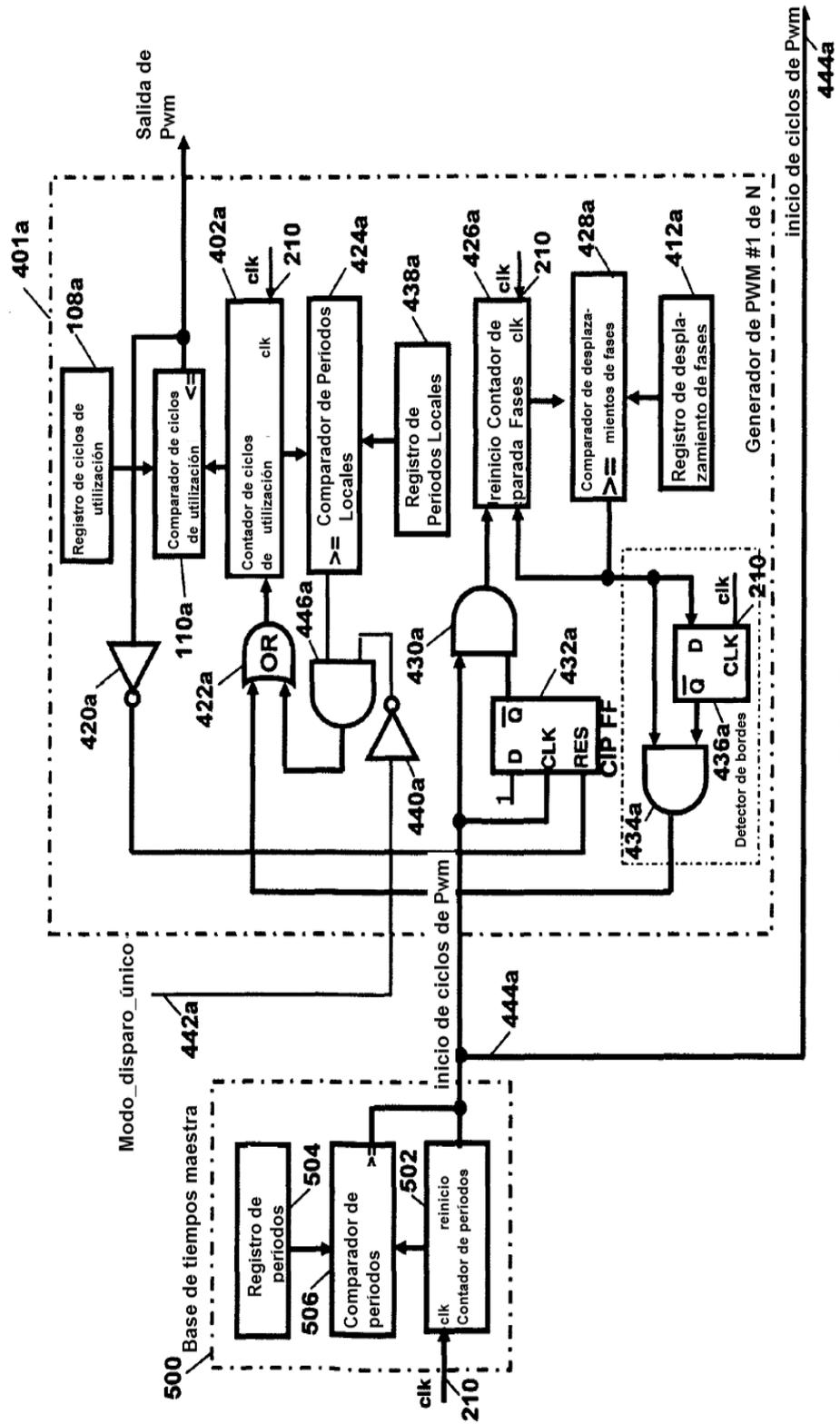


FIGURA 4

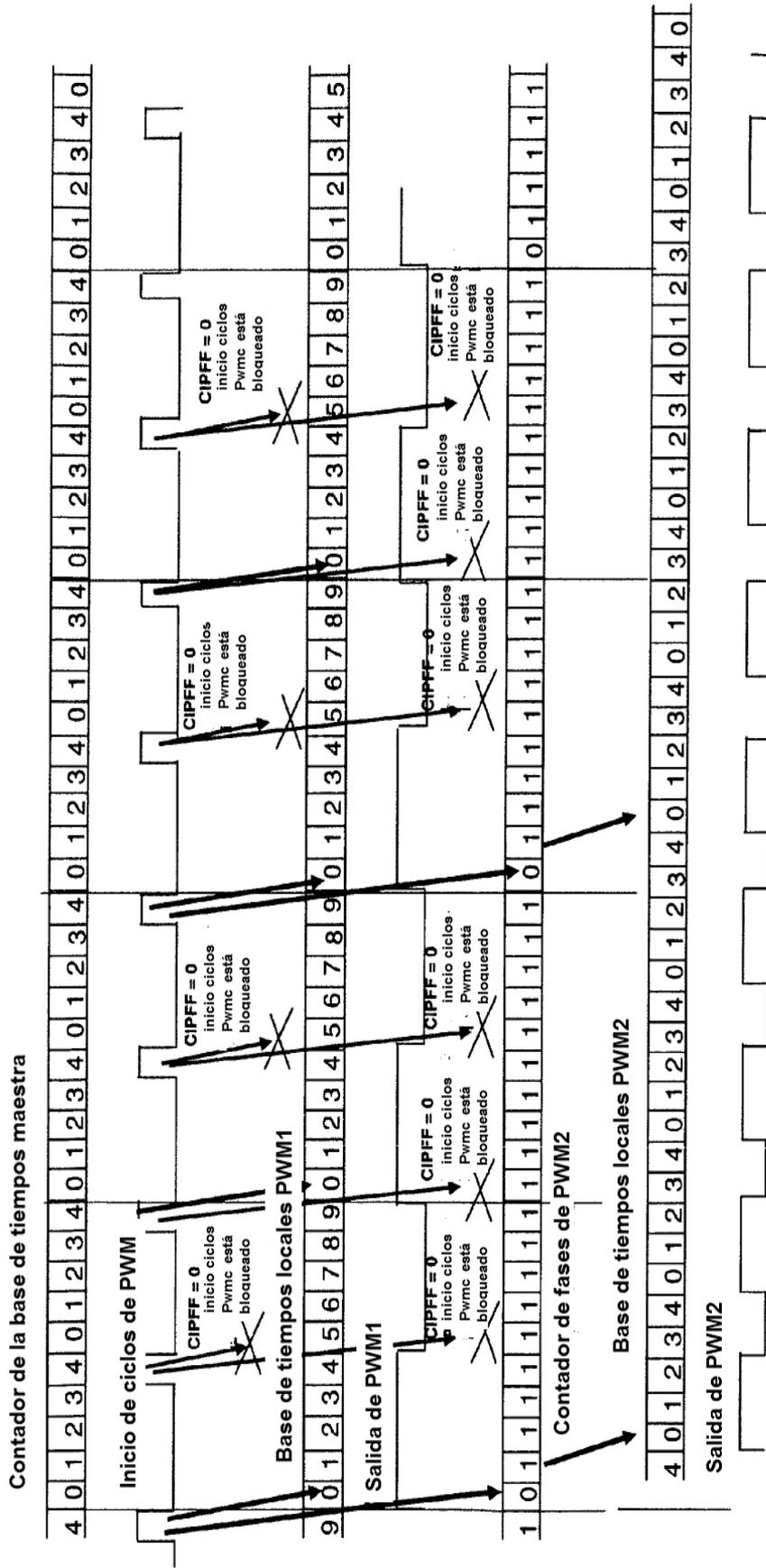


FIGURA 5