(19) OFICINA ESPAÑOLA DE PATENTES Y MARCAS

ESPAÑA

(11) Número de publicación: **2 562 432**

(51) Int. Cl.:
H04B 1/30 (2006.01)

(12) TRADUCCIÓN DE PATENTE EUROPEA T3

(96) Fecha de presentación y número de la solicitud europea: **29.03.2007** **E 07759740 (9)**

(97) Fecha y número de publicación de la concesión europea: **11.11.2015** **EP 2002551**

(54) Título: **Interfaz de radio UWB con desfase CC**

(30) Prioridad:

31.03.2006 US 395397

(45) Fecha de publicación y mención en BOPI de la traducción de la patente:
04.03.2016

(73) Titular/es:

QUALCOMM INCORPORATED (100.0%)
5775 MOREHOUSE DRIVE
SAN DIEGO, CA 92121-1714, US

(72) Inventor/es:

JOSEPH, BRIAN C.

(74) Agente/Representante:

FORTEA LAGUNA, Juan José

ES 2 562 432 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Interfaz de radio UWB con desfase CC

CAMPO TÉCNICO

La invención se refiere generalmente a la comunicación inalámbrica, y más específicamente a la corrección de desfases CC en señales de salida de radio.

ANTECEDENTES DE LA INVENCIÓN

Todos los receptores de comunicación digital que emplean una radio de conversión digital como se describe, por ejemplo, en los documentos US 6.654.593 B1 y US 6.240.100 B1 tienen un problema común. Debido a la elevada cantidad de ganancia en la banda base, estas radios pueden crear a veces un gran desfase de corriente continua (CC) no deseado en la señal de salida. El desfase CC es una tensión de polarización CC que se añade a la entrada de un circuito o amplificador. Si no hay ninguna corrección para este desfase, la radio se vuelve no funcional.

Existen algunos esquemas para corregir estos desfases CC en la radio, que normalmente incluyen inyectar una corriente CC del signo opuesto en la radio para anular el desfase CC. Previamente, la fuente de esta corriente de corrección procedía de un segundo dispositivo externo a la radio; típicamente, un chip procesador de banda base.

Este mecanismo requiere una interfaz de muy alta velocidad entre los dos dispositivos dedicados a la comunicación de los valores de corrección de desfase CC. La interfaz puede ser analógica o digital, pero ambas opciones tienen inconvenientes.

El beneficio de una interfaz analógica es que minimiza el número de pines que han de dedicarse a esta interfaz en cada chip. El inconveniente de la interfaz analógica es que requiere añadir un convertidor digital-analógico (CDA) al chip de banda base que es principalmente un chip digital. Esto se añade al coste del procesador de banda base.

Una interfaz digital tiene la ventaja de no requerir un CDA para el procesador de banda base. Sin embargo, una interfaz digital puede requerir muchos pines para representar los valores de corrección CC con suficiente resolución, añadiendo el coste de tanto el procesador de radio como de banda base.

Las interfaces más recientes usadas para comunicar los valores de corrección de desfase CC son analógicas, principalmente porque son más económicas que las interfaces digitales. La banda base entra periódicamente en una rutina de calibración en la que mide el desfase CC de cada estado de la radio radio y almacena un factor de corrección en el chip procesador de banda base. Durante un modo de recepción normal, el procesador de banda base introduce entonces el valor de corrección correspondiente al estado actual de la radio en el chip de radio a través de esta interfaz analógica.

RESUMEN DE LA INVENCIÓN

La presente invención proporciona un método y un aparato para corregir desfases de corriente continua (CC) en señales de salida de radio. La invención comprende un procesador de radio y un procesador de banda base. Durante una rutina de calibración, el procesador de banda base mide el desfase CC producido por el procesador de radio, genera un valor de corrección de desfase CC correspondiente, y escribe el valor de corrección en una memoria discreta en el procesador de radio a través de una interfaz de procesador en serie. La ubicación del valor de corrección de desfase CC en la radio

CAMPO TÉCNICO

La invención se refiere generalmente a la comunicación inalámbrica, y más específicamente a la corrección de desfases CC en señales de salida de radio.

ANTECEDENTES DE LA INVENCIÓN

Todos receptores de comunicación digital que emplean una radio de conversión directa tienen un problema común. Debido a la elevada cantidad de ganancia en la banda base, estas radios pueden crear a veces un gran desfase de corriente continua (CC) no deseado en la señal de salida. El desfase CC es una tensión de polarización CC que se añade a la entrada de un circuito o amplificador. Si no hay ninguna corrección para este desfase, la radio se vuelve no funcional.

Existen algunos esquemas para corregir estos desfases CC en la radio, que normalmente incluyen inyectar una corriente CC del signo opuesto en la radio para anular el desfase CC. Previamente, la fuente de esta corriente de corrección procedía de un segundo dispositivo externo a la radio; típicamente, un chip procesador de banda base.

Este mecanismo requiere una interfaz de muy alta velocidad entre los dos dispositivos dedicados a la comunicación de los valores de corrección de desfase CC. La interfaz puede ser analógica o digital, pero ambas opciones tienen inconvenientes.

El beneficio de una interfaz analógica es que minimiza el número de pines que han de dedicarse a esta interfaz en cada chip. El inconveniente de la interfaz analógica es que requiere añadir un convertidor digital-analógico (CDA) al chip de banda base que es principalmente un chip digital. Esto se añade al coste del procesador de banda base.

Una interfaz digital tiene la ventaja de no requerir un CDA para el procesador de banda base. Sin embargo, una interfaz digital puede requerir muchos pines para representar los valores de corrección CC con suficiente resolución, añadiendo el coste de tanto el procesador de radio como de banda base.

Las interfaces más recientes usadas para comunicar los valores de corrección de desfase CC son analógicas, principalmente porque son más económicas que las interfaces digitales. La banda base entra periódicamente en una rutina de calibración en la que mide el desfase CC de cada estado de la radio radio y almacena un factor de corrección en el chip procesador de banda base. Durante un modo de recepción normal, el procesador de banda base introduce entonces el valor de corrección correspondiente al estado actual de la radio en el chip de radio a través de esta interfaz analógica.

RESUMEN DE LA INVENCIÓN

La presente invención proporciona un método y un aparato para corregir desfases de corriente continua (CC) en señales de salida de radio. La invención comprende un procesador de radio y un procesador de banda base. Durante una rutina de calibración, el procesador de banda base mide el desfase CC producido por el procesador de radio, genera un valor de corrección de desfase CC correspondiente, y escribe el valor de corrección en una memoria discreta en el procesador de radio a través de una interfaz de procesador en serie. La ubicación del valor de corrección de desfase CC en la memoria del procesador de radio se determina por el estado de la radio para el que se genera el valor. El estado de la radio se basa en la información del estado de la ganancia y del estado de la frecuencia central que se transmite digitalmente entre el procesador de banda base y el procesador de radio y el procesador de radio. La memoria almacena un valor de corrección de desfase CC para cada estado de la radio que requiere un único valor de corrección de desfase CC. Durante la operación de recepción normal, el procesador de radio lee el valor de corrección de desfase CC de la memoria y lo introduce en un convertidor digital-analógico para producir una señal analógica que, a su vez, se introduce en una ruta de recepción de radio para anular el desfase CC no deseado.

BREVE DESCRIPCIÓN DE LOS DIBUJOS

Las funciones novedosas que se creen características de la invención se exponen en las reivindicaciones adjuntas. Sin embargo, la propia invención, así como un modo de uso preferido, objetos y ventajas adicionales de la misma, se entenderá mejor por referencia a la siguiente descripción detallada de una realización ilustrativa al leerse junto con los dibujos adjuntos, en los que:

La **figura 1** es un diagrama de bloques de un canal I de receptor con corrección de desfase CC de acuerdo con una realización de la presente invención;

la **figura 2** es un diagrama de flujo del algoritmo usado para calibrar el desfase CC de acuerdo con una realización de la presente invención;

la **figura 3** es un diagrama de bloques que representa la interfaz con la radio de acuerdo con una realización de la presente invención; y

la **figura 4** representa gráficamente los requisitos de la densidad espectral de potencia de transmisión de WiMedia.

Descripción Detallada

La presente invención proporciona un método y un aparato para eliminar la necesidad de una interfaz digital o analógica de alta velocidad dedicada a la comunicación de los valores de corrección de desfase CC. La invención usa una interfaz "fina", ya que requiere muy pocos pines de interfaz. La eliminación de la interfaz dedicada reduce el coste de tanto los chips procesadores de radio como de banda base.

La invención usa una interfaz de procesador en serie que puede incorporarse tanto en los chips de banda base como de radio para transmitir exclusivamente los valores de corrección de desfase CC. Típicamente, ambos chips tienen ya tal interfaz de procesador en serie para comunicar otra información de control, que también puede usarse para transmitir los valores de desfase.

La invención incluye interfaces digitales entre el procesador de radio y el procesador de banda base para cualquier interfaz que pueda realizar un cambio en la radio, lo que requerirá un cambio en el valor de corrección CC actual usado. Típicamente, se requiere un único valor de corrección de desfase CC para cada combinación del estado de la ganancia y el estado de la frecuencia central. Por lo tanto, las interfaces que transmiten estado de la ganancia y la frecuencia central entre el procesador de banda base y la radio son digitales.

Una memoria en el chip de radio almacena un valor de corrección de desfase CC para cada estado de la radio que podría requerir un único valor de corrección de desfase CC.

Durante una rutina de calibración, el procesador de banda base mide el desfase CC producido por la radio en cada estado, genera un valor de corrección de desfase CC correspondiente y escribe este valor de corrección en la memoria en el chip de radio. La ubicación del valor en la memoria se determina por el estado de la radio para el que se genera el valor. Se requiere un valor digital para acceder a la memoria discreta, que por lo que la información del estado de la radio se mantiene en el chip de radio y/o se comunica a la radio digitalmente.

Durante una operación de recepción normal, la radio usa su valor de estado digital para dirigirse a la memoria y leer un valor de corrección de desfase CC. Después, introduce el valor de corrección en un convertidor digital-analógico (CDA) que convierte el valor en una señal analógica y la introduce en la ruta de recepción de radio para anular el desfase CC no deseado. Puesto que la radio usa típicamente la ganancia y la frecuencia central para dirigirse a la memoria, y puesto que la memoria se programa previamente durante la fase de calibración, no se requiere ninguna interfaz adicional entre el procesador de radio y de banda base para comunicar los valores de corrección CC durante las operaciones de recepción normales.

La **figura 1** es un diagrama de bloques de un canal I de receptor con corrección de desfase CC de acuerdo con una realización de la presente invención. Dado el alto nivel de ganancia y las diversas maneras en las que pueden generarse desfases estáticos y dinámicos significativos, un control del desfase CC es esencial para la operación con éxito de una regleta de recepción de frecuencia intermedia cero (IF). En una realización de la invención, cada canal de recepción I y Q incluye dos CDA de salida de corriente diferenciales **101, 102,** como se muestra en la **figura 1.** Estos CDA modifican las condiciones de desfase en ambos puntos de la regleta de banda base para asegurar que el desfase CC final presentado en los convertidores de analógico a digital I y Q (CAD) está dentro de un intervalo de, por ejemplo, +/- 15 mV.

La **figura 1** muestra el mecanismo de corrección para el canal I. Todos los CDA, registros y multiplexores también se duplican en el canal Q. El primer CDA de cinco bits **101** reduce el desfase CC en la salida del mezclador **103** a un nivel tolerable para los bloques de banda base restantes. El segundo CDA de cinco bits **102** reduce el desfase en la entrada del amplificador de ganancia variable fino (VGA) **104** hasta un nivel suficientemente bajo de manera que el desfase en la salida del CAD será de <15 mV incluso con el VGA fino **104** en su estado de ganancia máximo. Los CDA **101, 102** se controlan desde la memoria calibrada previamente en el chip de radio.

Como se ha explicado anteriormente, se realiza una calibración fuera de línea periódicamente en el comando del procesador de banda base. Durante la calibración fuera de línea, la entrada del amplificador de bajo ruido (LNA) **106** se aísla de la antena, y el desfase CC se mide y se corrige en 64 de los 256 estados de ganancia para cada uno de las tres frecuencias portadoras. Los dos bits menos significativos (LSB) de la palabra del control de ganancia no se calibran. En una realización, los LSB se ajustan a "11" durante la duración de la calibración.

La calibración se realiza en tres fases con el receptor regresando a un modo de recepción operativo entre cada fase de calibración. Las tres fases de la calibración corresponden a las tres frecuencias portadoras diferentes. Los factores de corrección de desfase CC de 10 bits para cada estado de ganancia y la frecuencia portadora se almacenan en una memoria en el chip de radio.

La **figura 2** es un diagrama de flujo del algoritmo usado para calibrar el desfase CC de acuerdo con una realización de la presente invención. La calibración del desfase CC en un estado de ganancia individual se realiza usando un algoritmo de búsqueda binario simple. En primer lugar, se carga la palabra de control de ganancia (etapa **201**). Después, el procesador de banda base mide el signo del desfase CC (etapa **202**). El bit más significativo (MSB) de la palabra de control de desfase CC se ajusta basándose en la polaridad del desfase CC medido (etapa **203**). Este proceso se repite para cada uno de los 9 bits restantes de la palabra de control de desfase CC, minimizando de este modo el desfase CC en la entrada del CAD del procesador de banda base. El algoritmo de calibración de desfase CC se controla por el procesador de banda base y puede optimizarse adicionalmente para la velocidad y la precisión basándose en el rendimiento medido del IC.

Haciendo referencia de nuevo a la **figura 1,** el desfase CC en la salida del mezclador no varía significativamente con los cambios en la ganancia del VGA grueso **105** y la ganancia del VGA fino **104**. Únicamente el ajuste de la ganancia del LNA y la frecuencia portadora tendrán un efecto significativo sobre este desfase. Como tal, el control de cinco bits para el primer CDA **101** únicamente requiere una actualización cuando la ganancia del LNA se cambia o la frecuencia portadora se cambia. Por lo tanto, DCI [9:5] **109** y DCQ [9:5] (no se muestran) tienen únicamente 6

valores descritos para todos los estados de ganancia y frecuencias portadoras. Estos 6 conjuntos de valores se almacenan en un registro de 6 x 10 bits **107.**

El desfase CC en la entrada para el VGA de control fino **104** cambiará significativamente con la ganancia del VGA grueso **105.** Por lo tanto, DCI [4:0] **110** y DCQ [4:0] (no se muestran) se actualizan cada vez que cambia la ganancia del VGA grueso. Los valores calibrados para estos factores de corrección se almacenan en un registro de 192 x 10 bits **108** (64 estados de ganancia y tres frecuencias).

Los cambios en la ganancia del VGA fino **104** no deberían afectar significativamente al desfase CC en la entrada del VGA fino. Como tal, es necesario actualizar DCI [4:0] **110** y DCQ [4:0] cada vez que se cambia la ganancia del VGA fino. Sin embargo, debido a las inexactitudes LSB potenciales en la calibración del desfase CC, el factor de corrección CC óptimo puede cambiar con el ajuste de la ganancia del VGA fino. Por lo tanto, la calibración se realiza para los dos MSB del control del VGA fino. Esto significa que el cambio de la ganancia máximo entre los estados calibrados es 4 dB.

La **figura 3** es un diagrama de bloques que representa la interfaz con la radio de acuerdo con una realización de la presente invención. La interfaz analógica con la radio **300** consiste en dos CDA de transmisión diferenciales **301, 302,** dos CAD de recepción diferenciales **311, 312,** y una señal de reloj de base de banda de 1056 MHz diferencial **320.**

Para los convertidores digital-analógico de transmisión (TX CDA) **301, 302** en la realización ejemplar, cada uno de los pares diferenciales de transmisión (TXIP/TXIN y TX-QP/TXQN) se acciona por un CDA de dirección de corriente que funciona a una frecuencia de muestreo de 1056 MHz. El rango de escala completa de salida puede escalarse en cinco etapas discretas de un máximo de 5 mA a un mínimo de 1 mA. En la escala media del CDA, la corriente de salida es cero. Se requiere para una carga externa cada línea con 50 Ohms (diferencial de 100 Ohm), a una tensión de modo común de 1,2 V.

Por ejemplo, si el rango de escala completa máximo se selecciona para que esté en 5 mA, la corriente que transcurre hasta la carga diferencial de 100 Ohm externa producirá una tensión diferencial de pico a pico de 500 mV en las entradas I y Q de base de banda de transmisión de la radio. Para minimizar la carga y para conservar el amplio ancho de banda de los CDA de transmisión, se recomienda que la radio muestre una alta impedancia de entrada diferencial (>3 kOhm de diferencial) con una capacidad diferencial de entrada máxima de 2 pF.

La **figura 4** representa gráficamente los requisitos de la densidad espectral de potencia de transmisión de WiMedia. La entrada para los CDA se filtra digitalmente de manera que la forma de onda de multiplexación por división de frecuencias ortogonales (OFDM) se ajusta a las especificaciones WiMedia de -12 dBr en un desfase de frecuencia de 285 MHz y -20 dBr en un desfase de frecuencia de 330 MHz. En una realización, la radio incluye, como mínimo, un filtro de paso bajo de tercer orden con una frecuencia de corte de 3 dB a 275 MHz y una banda de paso de magnitud plana con respuesta de fase lineal. El filtro es necesario para suprimir la imagen creada por la frecuencia de muestreo de 1056 MHz con una distorsión mínima de la señal de banda base de banda ancha.

Para los convertidores de analógico a digital de recepción (RX CAD) **311, 312** en la realización ejemplar, cada uno de los pares diferenciales de recepción (RXIP/RXIN y RX-QP/RXQN) introduce un CAD acoplado a CC que funciona a una frecuencia de muestre o de 1056 MHz. La tensión diferencial de entrada máxima es 600 mV de pico a pico. Las formas de onda de recepción se centrarán en la tensión de modo común de 0,9 V proporcionada como referencia por el procesador de banda base **330.**

El reloj de referencia de 1056 MHz **320** se usa para permitir el funcionamiento de los CDA de transmisión, los CAD de recepción, el procesador de banda base **330** y el controlador de acceso a medios **340.** El reloj de 1056 MHz es una entrada acoplada a CC con un máximo de 600 mV de tensión diferencial pico a pico. La tensión de modo común de 0,9 V se proporciona por el procesador de banda base **330** y se usa por la radio para comunicar el desplazamiento de nivel CC de las líneas de reloj diferenciales. La tolerancia del reloj de referencia está dentro de 6 20 ppm.

La interfaz digital de banda base con la radio consiste en una interfaz HOP **321,** una interfaz de programación en serie de 3 cables **322,** una interfaz de radio **323,** un control de ganancia automático de recepción (RX AGC) **324,** y dos señales de control I/O de uso general **325.**

La capa física de WiMedia especifica siete códigos de frecuencia temporal (TFC). Cada TFC indica un patrón de salto. Únicamente los primeros cuatro (TFC 1-4) saltan realmente. Los últimos tres (5-7) permanecen en un canal. La Tabla 1 muestra los patrones de salto en el Grupo de Banda 3, que representan únicamente uno de los 5 Grupos de Banda definidos por WiMedia.

TFC	BAND_ID (n_b) para TFC en el Grupo de Banda 3*					
1	7	8	9	7	8	9
2	7	9	8	7	9	8
3	7	7	8	8	9	9
4	7	7	9	9	8	8
5	7	7	7	7	7	7

Caracterización o calibración fuera de línea. Usando la RSI, el procesador de banda base puede leer tanto los registros de temperatura como del detector de energía y, por consiguiente, usar los valores para ajustar los niveles de potencia de transmisión.

En el caso en el que la radio usa una arquitectura de conversión directa, el procesador de banda base tiene la capacidad de leer el desfase CC y usar la interfaz de radio en serie para programar cualquier información de calibración requerida para mantener < 15 mV de desfase CC.

El AGC **324** trabaja por ciclos entre tres estados básicos: 1) midiendo la potencia entrante, 2) ajustando las salidas de control de ganancia para la radio, y 3) esperando que los ajustes de ganancia tengan efecto y se establezcan. De esta manera, se aproxima sucesivamente a la ganancia real de la señal; cada repetición está más cerca de la ganancia correcta.

Hay tres categorías de señales de control de ganancia que el AGC produce. La primera categoría es LNA de gran etapa (amplificador/atenuador de bajo ruido). En esta categoría, la señal está encendida o apagada y normalmente es una etapa de ganancia grande (aproximadamente 20-30 dB). El AGC no debe conmutarse más de una vez por paquete y han de ajustarse únicamente durante la fase de adquisición inicial que dura un máximo de 6 símbolos OFDM. Esta categoría afecta a los tres canales por igual.

La segunda categoría es un VGA grueso (amplificador/atenuador de ganancia variable). Esta categoría tiene normalmente aproximadamente de 32 a 64 ajustes distintos o una señal de control analógica y cubre un rango de aproximadamente 40-64 dB. Las etapas de ganancia pueden ser grandes (aproximadamente 6 dB por etapa). Al igual que el LNA de gran etapa, el VGA grueso debe ajustarse durante la fase de adquisición inicial que dura un máximo de 6 símbolos OFDM y afecta a los tres canales por igual.

La tercera categoría de señales de control de ganancia es VGA fino. Se espera que tenga entre 4 y 16 niveles controlables por una señal digital y cubra un rango de aproximadamente 9 dB. Las etapas de ganancia son típicamente pequeñas (de aproximadamente 0,5 o 1 dB por etapa). Estas señales se ajustan únicamente durante la fase de seguimiento de ganancia fina, una vez por símbolo OFDM. Esta categoría de señal de ganancia encontrará tres valores únicos por paquete, uno para cada canal. Para cada paquete, el FVGA cambiará a través de los tres valores encontrados durante la adquisición.

La descripción de la presente invención se ha presentado con fines de ilustración y descripción, y no pretende ser exhaustiva ni limitarse a la invención en la forma desvelada.

REIVINDICACIONES

1. Un aparato para corregir desfases de corriente continua, CC, en señales de salida de radio, comprendiendo el aparato:

un chip procesador de radio;

un chip procesador de banda base (330); y

un interfaz de procesador en serie de 3 cables (322) configurado para transmitir digitalmente información entre el chip procesador de radio y el chip procesador de banda base (330), en el que el chip procesador de banda base (330) se configura durante una rutina de calibración para medir el desfase CC producido por el chip procesador de radio, para generar un valor de corrección de desfase CC correspondiente, y para escribir dicho valor de corrección en una memoria discreta en el chip procesador de radio a través de la interfaz de procesador en serie de 3 cables (322) y en el que el chip procesador de radio se configura durante una operación de recepción normal para leer dicho valor de corrección de desfase CC de la memoria e introducirlo en una ruta de recepción de radio para anular el desfase CC no deseado.

2. El aparato de acuerdo con la reivindicación 1, en el que la interfaz de procesador en serie de 3 cables (322) se configura para comunicar el valor de corrección de desfase CC del chip procesador de banda base (330) al chip procesador de radio.

3. El aparato de acuerdo con la reivindicación 1, en el que la ubicación del valor de corrección de desfase CC en la memoria del chip procesador de radio se determina por el estado de la radio para el que se genera el valor, en el que el estado de la radio se basa en el estado de la ganancia y el estado de la frecuencia central.

4. El aparato de acuerdo con la reivindicación 3, en el que la memoria almacena un valor de corrección de desfase CC para cada estado de la radio que requiere un único valor de corrección de desfase CC.

5. El aparato de acuerdo con la reivindicación 1, que comprende adicionalmente interfaces digitales que transmiten información del estado de ganancia e información del estado de frecuencia central entre el chip procesador de banda base (330) y el chip procesador de radio.

6. El aparato de acuerdo con la reivindicación 1, en el que el chip procesador de radio se configura adicionalmente para introducir el valor de corrección de desfase CC en un convertidor digital-analógico para producir una señal analógica.

7. Un método para corregir desfases de corriente continua, CC, en señales de salida de radio, comprendiendo el método:

durante una rutina de calibración, medir el desfase CC producido por un chip procesador de radio;

generar un valor de corrección de desfase CC correspondiente;

escribir dicho valor de corrección en una memoria en el chip procesador de radio a través de una interfaz de procesador en serie de 3 cables (322); y

durante una operación de recepción normal, leer dicho valor de corrección de desfase CC de la memoria del chip procesador de radio e introducirlo en una ruta de recepción de radio para anular el desfase CC no deseado.

8. El método de acuerdo con la reivindicación 7, en el que la ubicación del valor de corrección de desfase CC en la memoria del chip procesador de radio se determina por el estado de la radio para el que se genera el valor, en el que el estado de la radio se basa en el estado de la ganancia y el estado de la frecuencia central.

9. El método de acuerdo con la reivindicación 8, en el que la memoria almacena un valor de corrección de desfase CC para cada estado de la radio que requiere un único valor de corrección de desfase CC.

10. El método de acuerdo con la reivindicación 7, en el que la introducción del valor de corrección de desfase CC en una ruta de recepción de radio comprende adicionalmente introducir el valor de corrección de desfase CC en un convertidor digital-analógico para producir una señal analógica.

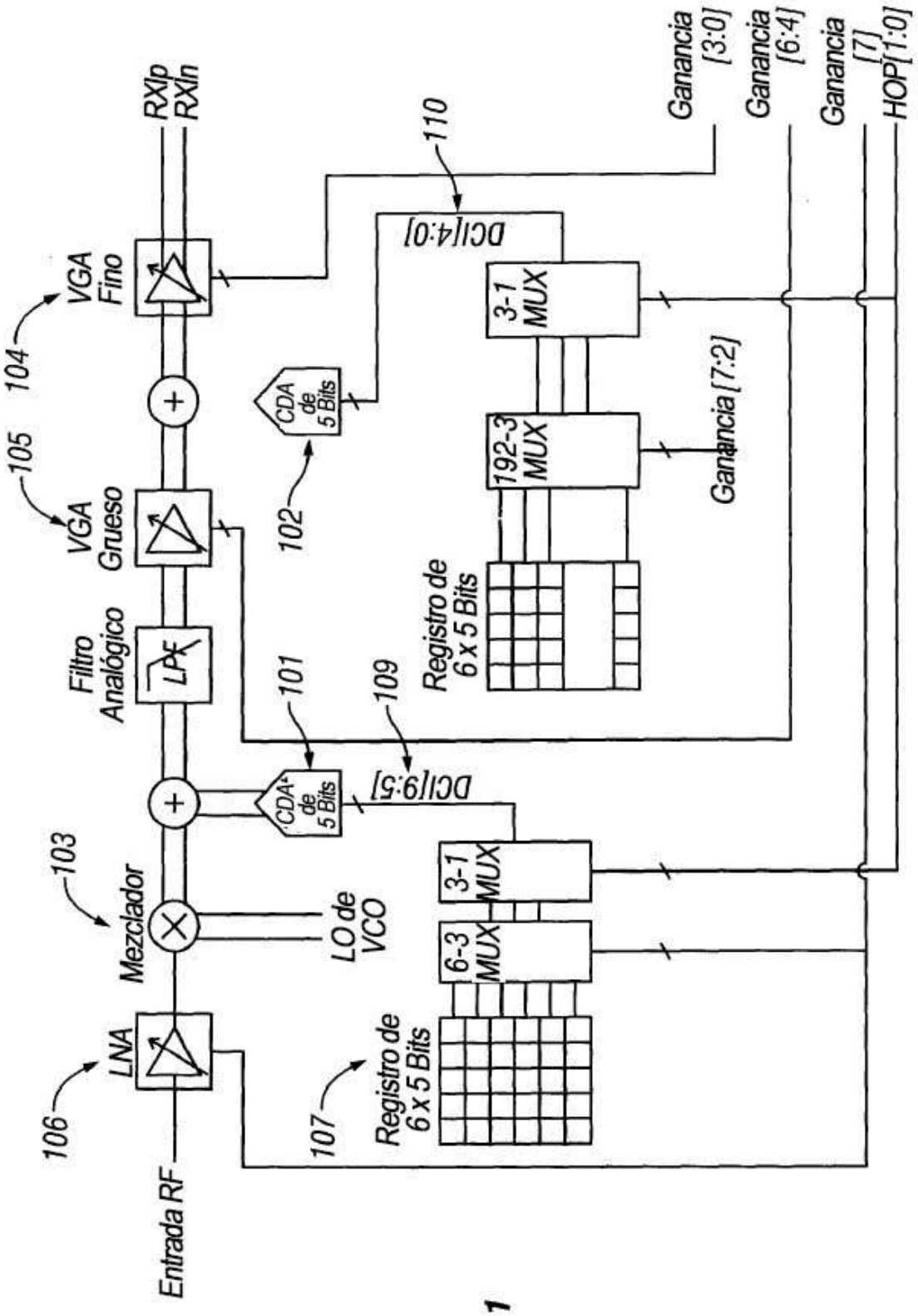
Entrada RF
106
LNA
103
Mezclador
LO de VCO
Filtro Analógico
LPF
105
VGA Grueso
104
VGA Fino
RXIp
RXIn
CDA de 5 Bits
101
DCI[9:5]
109
CDA de 5 Bits
102
DCI[4:0]
110
6-3 MUX
3-1 MUX
Registro de 6 x 5 Bits
107
192-3 MUX
3-1 MUX
Registro de 6 x 5 Bits
Ganancia [7:2]
Ganancia [3:0]
Ganancia [6:4]
Ganancia [7]
HOP[1:0]

FIG. 1

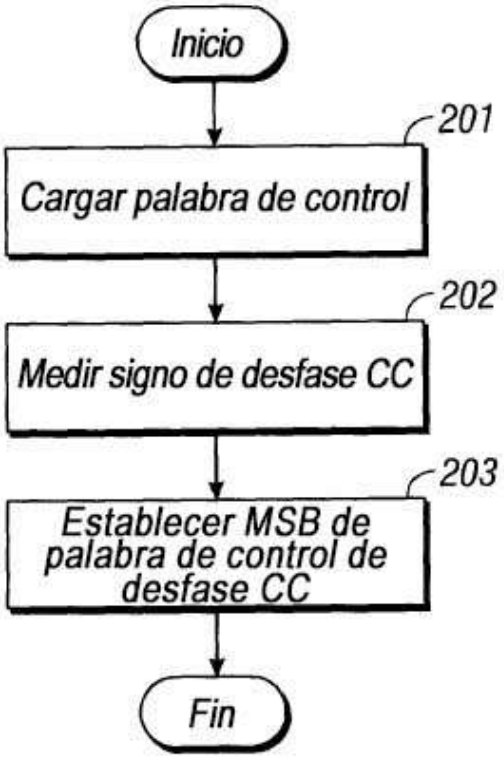
Inicio
201
Cargar palabra de control
202
Medir signo de desfase CC
203
Establecer MSB de palabra de control de desfase CC
Fin

FIG. 2

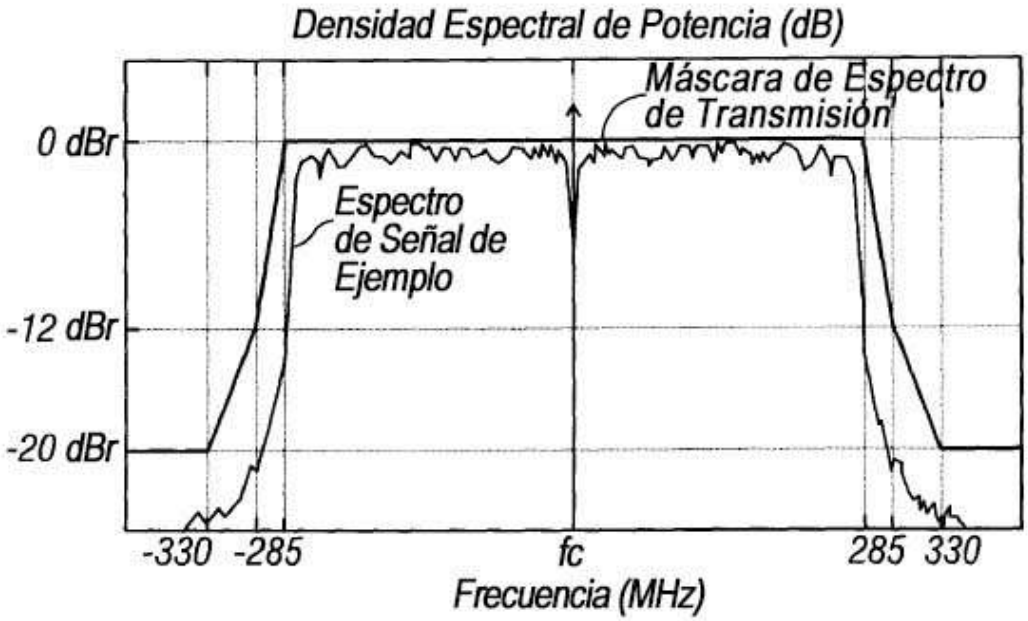
Densidad Espectral de Potencia (dB)
Máscara de Espectro de Transmisión
0 dBr
Espectro de Señal de Ejemplo
-12 dBr
-20 dBr
-330
-285
fc
285
330
Frecuencia (MHz)

FIG. 4

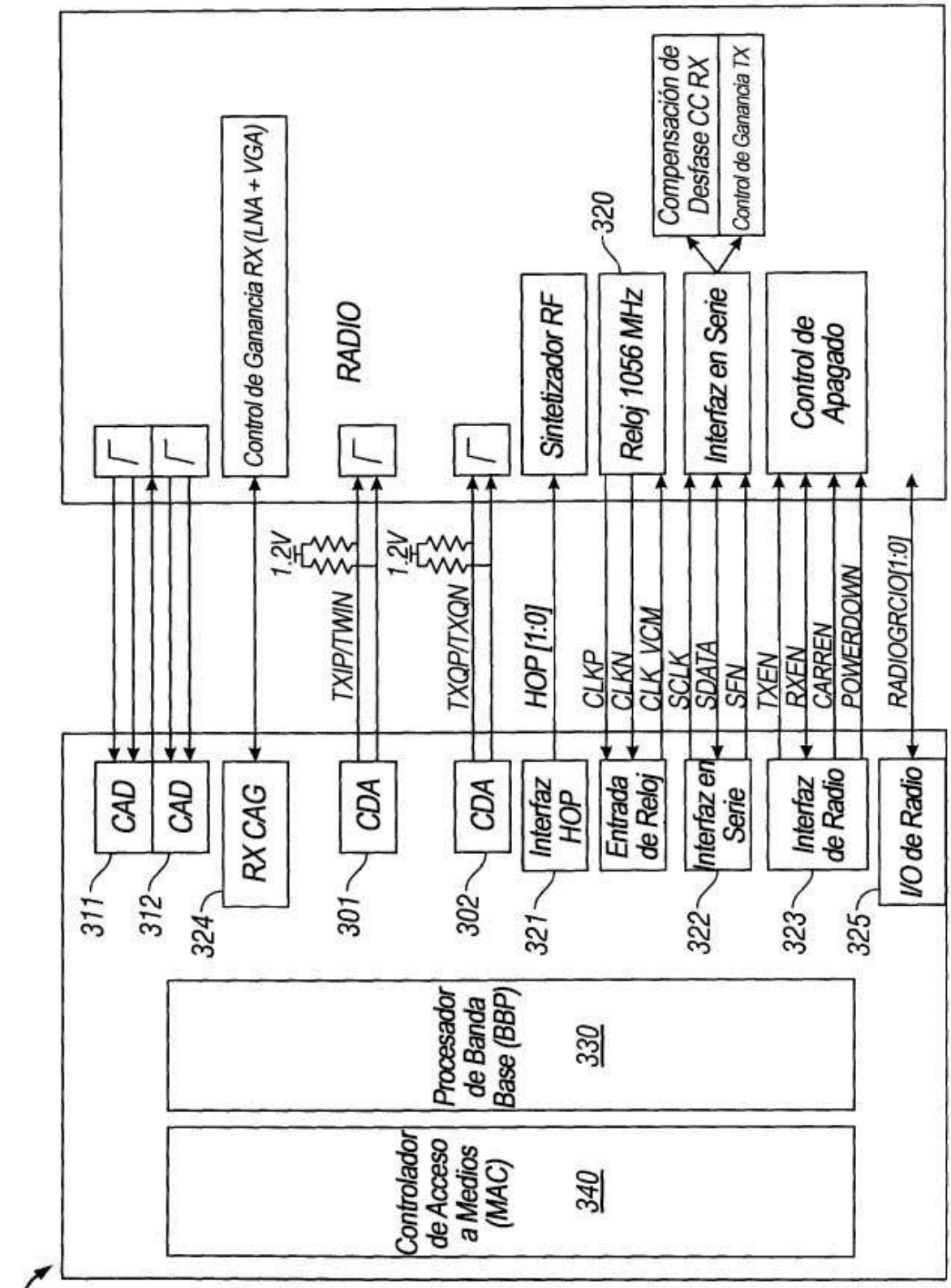
300
311
CAD
312
CAD
324
RX CAG
Control de Ganancia RX (LNA + VGA)
RADIO
1.2V
TXIP/TWIN
301
CDA
1.2V
TXQP/TXQN
302
CDA
HOP [1:0]
321
Interfaz HOP
Sintetizador RF
CLKP
CLKN
CLK_VCM
Entrada de Reloj
320
Reloj 1056 MHz
SCLK
SDATA
SEN
322
Interfaz en Serie
Interfaz en Serie
Compensación de Desfase CC RX
Control de Ganancia TX
TXEN
RXEN
CARREN
POWERDOWN
323
Interfaz de Radio
Control de Apagado
RADIOGRCIO[1:0]
325
I/O de Radio
Procesador de Banda Base (BBP)
330
Controlador de Acceso a Medios (MAC)
340

FIG. 3