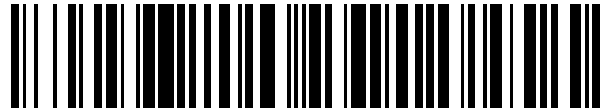


19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 562 451**

51 Int. Cl.:

A61N 1/08 (2006.01)

A61N 1/378 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **29.09.2009 E 09787318 (6)**

97 Fecha y número de publicación de la concesión europea: **11.11.2015 EP 2482921**

54 Título: **Técnicas de gestión de potencia para estimuladores implantados**

45 Fecha de publicación y mención en BOPI de la traducción de la patente:
04.03.2016

73 Titular/es:

YEDITEPE UNIVERSITESI (100.0%)
Kayisdagi cad. 26 agustos Yerlesimi, İnönü Mah.
Kayisdagi - Atasehir, Tepebasi
34755 Istanbul, TR

72 Inventor/es:

CILINGIROGLU, UGUR

74 Agente/Representante:

ISERN JARA, Jorge

ES 2 562 451 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Técnicas de gestión de potencia para estimuladores implantados

5 Campo de la invención

Se proporcionan procedimientos, sistemas y circuitería de gestión de potencia para alimentar eficientemente estimuladores implantados. La eficiencia se consigue ajustando automáticamente la tensión de alimentación del canal estimulador de manera que la magnitud de la tensión del disipador de corriente o la fuente de corriente que proporciona la corriente de estimulación se regule dentro de una banda estrecha justo por encima del nivel aceptable mínimo. El ajuste se realiza una vez en cada ciclo de la fuente de alimentación externa de alta frecuencia para conseguir una regulación con una resolución temporal muy buena a lo largo de cada periodo de estimulación. La tensión de alimentación se genera y se ajusta rectificando la tensión de alta frecuencia de la bobina secundaria de un enlace magnético transcutáneo cerrando y abriendo un conmutador de estado sólido en el momento apropiado durante semiciclos positivos para un disipador de corriente, y durante semiciclos negativos para una fuente de corriente. La temporización del cierre y apertura del conmutador está dictada por un controlador lógico en base a dos señales binarias generadas por dos comparadores separados, uno de los cuales compara la tensión de la bobina secundaria con la tensión de alimentación generada, y el otro compara la tensión del disipador de corriente o de la fuente de corriente con una tensión de referencia. La invención se expone en las reivindicaciones adjuntas.

20 Antecedentes

La estimulación eléctrica de los nervios y tejidos mediante estimuladores implantados se usa ampliamente para tratar varios trastornos, incluyendo sordera, ceguera, dolor y apnea del sueño. La estimulación se realiza forzando pulsos de corriente constante entre pares de electrodos implantados en contacto directo con el tejido. El estimulador puede contener sólo un par de electrodos o una pluralidad de electrodos, de los que se seleccionan los pares apropiados para estimular diferentes sitios del tejido de manera secuencial. Existen diversas arquitecturas de circuito diferentes para generar los impulsos de corriente y conmutarlos entre los pares de electrodos. Se muestra una representación esquemática simplificada de un ejemplo en la figura 1. El estimulador contiene N electrodos E_1, E_2, \dots, E_N , que, en la mayor parte de los casos, se acoplan capacitivamente al tejido. Estos electrodos pueden conectarse a una fuente de alimentación CC 101 de tensión V^+ por medio de unos conmutadores $S_{1A}, S_{2A}, \dots, S_{NA}$, y a un disipador de corriente 102 de corriente de estimulación I por medio de conmutadores $S_{1B}, S_{2B}, \dots, S_{NB}$. Cualquier par de electrodos puede seleccionarse para la estimulación conectando uno de los electrodos a la fuente de tensión 101 y el otro al disipador de corriente 102. Por ejemplo, si el electrodo E_1 está conectado a la fuente de tensión 101 y el electrodo E_2 está conectado al disipador de corriente 102 cerrando S_{1A} y S_{2B} , una corriente constante I establecida por el disipador de corriente 102 entra al tejido en el electrodo E_1 y sal del tejido en el electrodo E_2 , y fluye en esa dirección durante un tiempo prescrito. Es posible invertir la dirección de la corriente cerrando los conmutadores S_{1B} y S_{2A} en lugar de S_{1A} y S_{2B} . De hecho, cada evento de estimulación del par de electrodos seleccionado se realiza normalmente en dos fases; una con la corriente fluyendo en una dirección a través del par de electrodos, y la siguiente con la misma corriente fluyendo en la dirección contraria a través del mismo par de electrodos. Haciendo que la duración de estas dos fases de estimulación sea idéntica, la carga media inyectada en el tejido se anula para evitar la aparición de reacciones químicas potencialmente perjudiciales entre los electrodos y el tejido. Este tipo de estimulación se conoce comúnmente como "estimulación bifásica". Si únicamente se aplica una de las dos fases, entonces, la estimulación se denomina "estimulación monofásica".

Se muestra una representación esquemática simplificada de una arquitectura de circuito estimulador alternativa en la figura 2. Este estimulador es diferente al de la figura 1 en dos aspectos: (i) la corriente de estimulación I se establece por una fuente de corriente 202 en lugar del disipador de corriente 102 de la figura 1, y se emplea (ii) una fuente de tensión de alimentación 201 de tensión CC negativa V^- en lugar de la tensión CC positiva V^+ de la figura 1. De otro modo, la estructura y el funcionamiento de este estimulador son básicamente idénticos a los del estimulador mostrado en la figura 1.

En la mayor parte de los casos, la energía disipada en el circuito estimulador de la figura 1 o la figura 2 se suministra por un enlace magnético transcutáneo. Se muestra un circuito de energía convencional en la figura 3. Contiene un enlace magnético 31 y un circuito de rectificador/filtro 32. La bobina primaria externa 301 del enlace magnético se impulsa con una tensión alterna de alta frecuencia V_{PC} de una alimentación externa 305. La tensión alterna V_{SC} de la bobina secundaria implantada 302 se rectifica en media onda con un diodo 303, y la tensión rectificadora se filtra con un condensador 304 para generar la tensión de alimentación CC V^+ . Los casos más sofisticados pueden implicar la duplicación de la amplitud de la tensión alterna de la bobina secundaria V_{SC} , rectificación de onda completa en lugar de media onda, y/o regulación post-filtro. La figura 3 también representa la corriente de estimulación I disipada de V^+ por el disipador de corriente 102 a través de los electrodos E_1 y E_2 de conformidad con la arquitectura del estimulador mostrado en la figura 1. La resistencia equivalente total de los dos conmutadores que conectan estos dos electrodos entre V^+ y el disipador de corriente 102 (por ejemplo, S_{1A} y S_{2B} , o S_{1B} y S_{2A}) se representa con R en la figura 3. También se muestra en la figura 3 una impedancia de carga equivalente Z_L , que representa la impedancia combinada de (i) las dos interfaces electrodo-tejido, (ii) el volumen del tejido estimulado, y (iii) la capacidad de los condensadores de acoplamiento de electrodos.

Se aprecia a partir de la figura 3 que V^* es la suma de las siguientes tres tensiones individuales: (i) La tensión V_S del disipador de corriente 102, (ii) la tensión V_L de la impedancia de carga Z_L , y (iii) la tensión V_R de la resistencia de conmutación total R . Entre estas tres tensiones, V_R puede hacerse tan pequeña como se desee reduciendo la resistencia de conmutación R . V_S , por otro lado, debería mantenerse superior a un nivel mínimo aceptable por el disipador de corriente 102 para mantener la corriente de estimulación constante I . Sin embargo, este nivel mínimo aceptable puede hacerse tan bajo como de varios cientos de milivoltios mediante un diseño apropiado. Por otro lado, V_L es muy variable porque (i) el margen en el que I se prescribe puede ser no menor de dos décadas, y (ii) Z_L varía no sólo con el tiempo durante la duración de estimulación debido a sus componentes capacitivos, sino también de un par de electrodos a otro dependiendo de la condición de las interfases electrodo-tejido y la condición del propio tejido. En estimuladores cocleares, por ejemplo, el valor prescrito de I puede variar entre decenas de microamperios y varios miliamperios, mientras que Z_L puede variar de menos de un kilohmio hasta una decena de kilohmios, más o menos. Por lo tanto, V_L puede ser cualquiera dentro de un intervalo entre diez milivoltios y diez voltios.

Para un funcionamiento apropiado del estimulador, la tensión de alimentación V^* debe ajustarse para acomodar incluso el extremo más alto de este amplio intervalo de V_L . De otro modo, cuando se demanda una V_L máxima, V_S descenderá por debajo del mínimo aceptable necesario por el disipador de corriente 102 para proporcionar la corriente de estimulación prescrita. Si, por otro lado, V^* se ajusta suficientemente alto para acomodar la V_L máxima esperada, entonces, en condiciones típicas de V_L mucho menor, V_S aumentará mucho por encima del nivel mínimo aceptable necesario por el disipador de corriente 102. Esto dará como resultado un gasto innecesario de energía en el disipador de corriente 102. Para una ilustración numérica de este resultado no deseado, se considera un ejemplo en el que la impedancia de carga mínima esperada (Z_L) es 10 k Ω y la corriente de estimulación esperada máxima (I) es 1 mA. Por lo tanto, el valor máximo esperado de V_L es 10 V. Asumiendo una resistencia de conmutación insignificante (R) y una V_S mínima aceptable de 1 V para un funcionamiento del disipador de corriente apropiado, V^* debería ajustarse a 11 V para cubrir esta situación desfavorable. Pero entonces, si una impedancia de carga de 1 k Ω se estimula con una corriente de 1 mA, V_L descenderá a 1 V, y V_S se elevará a 10 V. Entonces, el disipador de corriente funcionará con un exceso de tensión de 9 V que conduce a una pérdida de energía de $9(V) \cdot 3 \cdot 1(\text{mA}) = 9 \text{ mW}$.

Se divulgan procedimientos para minimizar la pérdida de energía en la fuente o el disipador de corriente de un estimulador de nervios en varias patentes. La patente de Estados Unidos N° 7.295.872, presentada el 13 de noviembre de 2007, a nombre de los inventores Shawn Kelly y col., por ejemplo, divulga una técnica de reemplazo de la circuitería de la fuente/disipador de corriente con una fuente de tensión cuya tensión varía con el tiempo de tal manera que la corriente constante deseada se mantiene a través de los electrodos. Desafortunadamente, la viabilidad de esta técnica depende de un conocimiento cuantitativamente exacto de la impedancia de carga, que casi nunca está disponible debido a las incertidumbres asociadas a las propiedades eléctricas de la interfaz electrodo-tejido y de la trayectoria de la corriente a través del tejido.

La Patente de Estados Unidos N° 7.444.181, presentada el 28 de octubre de 2008, a nombre de los inventores Jess Weigian y col., divulga una técnica de medición de la tensión de la fuente o el disipador de corriente una vez en un período de estimulación y haciendo ajustes en la tensión de alimentación para minimizar la tensión de la fuente o el disipador de corriente. La tensión medida se evalúa por un microcontrolador para determinar si la tensión de alimentación debe disminuirse o aumentarse en etapas fijas. Debido a la falta de control continuo de la tensión de alimentación durante el período de estimulación, sin embargo, el ajuste ha de hacerse para el mayor valor de la impedancia de carga observada en cada período de estimulación. Esto puede dar como resultado una pérdida excesiva de energía durante la primera parte de un período de estimulación cuando la impedancia de carga es relativamente pequeña. Además, la técnica requiere un hardware complejo para implementar sus fórmulas algorítmicas. Adicionalmente, el regulador de tensión usado para ajustar la tensión de alimentación puede consumir potencialmente la energía ahorrada de la fuente/disipador de corriente.

La Patente de Estados Unidos N° 7.519.428, presentada el 14 de abril de 2009, a nombre del inventor Logan P. Palmer, muestra una técnica mediante la cual los electrodos pueden funcionar a partir de dos tensiones de alimentación separadas, siendo una dos veces tan grande como la otra. Los electrodos con la tensión de carga lo suficientemente pequeña se alimentan de la menor de estas tensiones, mientras que los otros se alimentan de la mayor tensión. El consumo de energía se reduce a la mitad cuando el grupo anterior de electrodos se estimula, pero esto no implica necesariamente un consumo minimizado. Además, se necesita un conocimiento *a priori* de la tensión de carga máxima para cada electrodo individualmente para la asignación correcta de la tensión de alimentación. El documento US 7.295.872 divulga circuitería y un procedimiento de funcionamiento eficiente energéticamente de los electrodos de estimulación de tejidos.

Sumario de la invención

La presente divulgación proporciona procedimientos, sistemas y circuitería de gestión de potencia para alimentar los canales estimuladores con una tensión de alimentación dedicada ajustada automáticamente una vez en cada ciclo de alta frecuencia a lo largo de cada período de estimulación para regular la magnitud de la tensión del disipador de corriente o de la fuente de corriente dentro de una banda de ondulación de una anchura arbitrariamente estrecha justo por encima del nivel aceptable mínimo para el disipador o fuente de corriente para mantener la corriente de estimulación demandada. La expresión "canal de estimulación", como se usa en el presente documento, se refiere a

la trayectoria eléctrica que comprende (i) la fuente o disipador de corriente por el que una corriente de estimulación se fuerza a pasar a través de un par de electrodos, (ii) dicho par de electrodos y, si están presentes, sus condensadores de acoplamiento, (iii) los conmutadores por los que dicho par de electrodos se seleccionan y se conectan entre la tensión de alimentación y la fuente o disipador de corriente, y (iv) el tejido situado entre dicho par de electrodos.

Dado que la duración de incluso el más corto impulso de estimulación es no menor de aproximadamente cien ciclos de alta frecuencia, la regulación de la tensión del disipador de corriente o de la fuente de corriente se realiza con una resolución temporal muy buena. Aunque la tensión del disipador de corriente o de la fuente de corriente se regula de este modo independientemente del valor de la corriente de estimulación o las impedancias de carga y conmutación, la tensión de alimentación se ajusta por sí misma en cada ciclo de alta frecuencia como la suma de (i) las tensiones de carga y conmutador, y (ii) la tensión de disipador de corriente o de fuente de corriente, cuya magnitud se minimiza de este modo. Por lo tanto, se elimina la pérdida de energía innecesaria en el disipador de corriente o la fuente de corriente.

La presente divulgación puede ponerse en práctica en cualquiera de las dos arquitecturas mostradas en la figura 1 y la figura 2, respectivamente. También puede ponerse en práctica en variantes de estas arquitecturas, donde, por ejemplo, cada canal de estimulación tiene un disipador o fuente de corriente separado. Además, es aplicable en estimulación monofásica o bifásica.

La tensión de alimentación se obtiene rectificando la tensión alterna de alta frecuencia de la bobina secundaria de un enlace magnético transcutáneo, y se almacena a través de un condensador de filtrado. La rectificación y el ajuste automático de la tensión de alimentación se realiza cerrando o abriendo un conmutador de estado sólido entre la bobina secundaria y un condensador en el momento oportuno durante los semiciclos positivos para un disipador de corriente, y durante los semiciclos negativos para una fuente de corriente. La temporización del cierre y la apertura del conmutador se dicta por un controlador lógico en base a dos señales binarias generadas por dos comparadores separados, el primero de los cuales compara la tensión alterna de alta frecuencia de la bobina secundaria con la tensión de alimentación generada, y el segundo compara la tensión del disipador de corriente o de la fuente de corriente con una tensión de referencia. Los bordes delantero y trasero de la señal binaria del primero de estos dos comparadores identifican los instantes de la tensión alterna de alta frecuencia de la bobina secundaria que cruza por encima o por debajo de la tensión de alimentación generada en cada ciclo de alta frecuencia. Si es necesario el cierre del conmutador en cualquier ciclo de alta frecuencia determinado, el controlador lógico lo inicia en el apropiado de estos dos instantes cuando la tensión a través del conmutador desaparece. Por lo tanto, la energía consumida en el conmutador se minimiza. Si es necesario o no un cierre de conmutador en un determinado ciclo de alta frecuencia se determina por el controlador lógico del nivel prevaleciente de la señal binaria generada por el segundo comparador. El conmutador se cierra si la tensión del disipador de corriente o de la fuente de corriente es menor que la tensión de referencia, de otro modo, se mantiene abierto durante toda la duración del ciclo de alta frecuencia. El ajuste de la tensión de alimentación se considera completo cuando la tensión del disipador de corriente o de la fuente de corriente excede la tensión de referencia. El controlador lógico abre el conmutador en ese instante particular del ciclo de alta frecuencia. Si el ajuste no se ha completado antes del instante, la tensión a través del conmutador se desvanece de nuevo, el conmutador sin embargo se abre en ese instante para no iniciar la descarga del condensador. La presente invención se expone en las reivindicaciones adjuntas. Las realizaciones, ejemplos o aspectos de la presente divulgación que no están dentro del alcance de dichas reivindicaciones se proporcionan solamente con fines ilustrativos y no forman parte de la presente invención.

Breve descripción de los dibujos

Los anteriores y otros aspectos, características y beneficios de la presente descripción serán más evidentes a partir de la siguiente descripción más particular de la misma, que se presenta junto con los siguientes dibujos, en los que:

La figura 1 muestra la arquitectura de circuito de un estimulador implantado equipado con una tensión de alimentación positiva y un disipador de corriente (técnica anterior);

la figura 2 muestra la arquitectura de circuito de un estimulador implantado equipado con una tensión de alimentación negativa y una fuente de corriente (técnica anterior);

la figura 3 representa un diagrama esquemático de un enlace magnético transcutáneo que suministra potencia a un canal de estimulación que funciona con una tensión de alimentación positiva y un disipador de corriente (técnica anterior);

la figura 4 muestra, de acuerdo con los presentes procedimientos, sistemas y circuitos, un diagrama esquemático de gestión de potencia para un canal de estimulación que funciona con una tensión de alimentación positiva y un disipador de corriente;

la figura 5 representa, de acuerdo con los presentes procedimientos, sistemas y circuitos, un conjunto de formas de onda de tensión que ilustra el funcionamiento en estado continuo periódico de la realización mostrada en la figura 4, en uno de los ciclos de alta frecuencia de un periodo de estimulación;

la figura 6 muestra, de acuerdo con los presentes procedimientos, sistemas y circuitos, un diagrama de circuito de una topología ejemplar del controlador lógico y el conmutador representados en la figura 4;

5 la figura 7 representa, de acuerdo con los presentes procedimientos, sistemas y circuitos, formas de onda simuladas que representan la conducta transitoria y en estado continuo de la realización mostrada en la figura 4 empleando el controlador lógico y el circuito de conmutación de la figura 6;

10 la figura 8 representa, de acuerdo con los presentes procedimientos, sistemas y circuitos, un diagrama esquemático de gestión de potencia para un canal de estimulación que funciona con una tensión de alimentación negativa y una fuente de corriente;

15 la figura 9 representa, de acuerdo con los presentes procedimientos, sistemas y circuitos, un conjunto de formas de onda de tensión que ilustra el funcionamiento en estado continuo periódico de la realización mostrada en la figura 8, en uno de los ciclos de alta frecuencia de un periodo de estimulación;

la figura 10 muestra, de acuerdo con los presentes procedimientos, sistemas y circuitos, un diagrama de circuito de una topología ejemplar del controlador lógico y el conmutador representados en la figura 8;

20 Descripción detallada de la invención

Se muestra en la figura 4 una realización ejemplar del procedimiento de gestión de potencia divulgación que se aplica a un canal de estimulación de la arquitectura de la figura 1. La bobina primaria externa 301 de un enlace magnético transcutáneo 31 se acciona con una tensión sinusoidal de alta frecuencia V_{pc} de una alimentación externa 305. La tensión sinusoidal V_{sc} de la bobina secundaria implantada 302 se rectifica en media onda encendiendo y apagando un conmutador 403 entre los nodos 404 y 405 en el momento apropiado, y la tensión rectificadora se filtra con un condensador 304 de capacidad C para generar una tensión de alimentación positiva V^+ . Opcionalmente, un segundo condensador puede conectarse en paralelo con la bobina secundaria de manera que la capacidad de este segundo condensador y la inductancia de la bobina secundaria formen un circuito tanque resonante, que ayuda a aumentar la amplitud de V_{sc} . La selección de una forma de onda sinusoidal para V_{pc} y, por lo tanto, para V_{sc} , es únicamente para fines ilustrativos; también pueden emplearse otras formas de onda alternativas para aumentar y reducir gradualmente los bordes (por ejemplo, forma de onda triangular). También es posible duplicar o triplicar la amplitud de V_{sc} antes de la rectificación.

35 La figura 4 también representa una corriente de estimulación I que se disipa de V^+ por el disipador de corriente 102 a través de los electrodos E_1 y E_2 . La resistencia equivalente total de los dos conmutadores que conectan estos electrodos entre V^+ y el disipador de corriente 102 en la arquitectura de la figura 1 (por ejemplo, S_{1A} y S_{2B} , o S_{1B} y S_{2A}) se representa con R en la figura 4. También se muestra en la figura 4 la impedancia de carga Z_L , que representa la impedancia combinada de (i) las dos interfaces electrodo-tejido en E_1 y E_2 , (ii) el volumen del tejido estimulado, y (iii) la capacidad de los condensadores de acoplamiento de electrodos. El conmutador 403 se controla de acuerdo con las señales binarias generadas por los dos comparadores de tensión 406 y 407. El comparador 406 compara la tensión V_S del disipador de corriente 102 con una tensión de referencia positiva V_{REF} proporcionada por la fuente de tensión 409, y genera una señal de salida binaria Y_{HL} cuyos niveles binarios representan los casos en los que V_S es más positiva o menos positiva que V_{REF} . V_{REF} se ajusta ligeramente más positiva que el valor aceptable mínimo de V_S para el que el disipador de corriente puede funcionar apropiadamente para la corriente de estimulación demandada. Como alternativa, el comparador 406 puede reemplazarse con un disparador Schmitt de un pequeño margen de histéresis alrededor de una tensión de referencia incorporada equivalente a V_{REF} . El comparador 407 compara el valor instantáneo de la tensión sinusoidal de la bobina secundaria V_{sc} con la tensión de alimentación V^+ , y genera una señal de salida binaria Y_{CLK} cuyos niveles binarios representan los casos en los que V_{sc} es más positiva o menos positiva que V^+ . Y_{HL} y Y_{CLK} se suministran a un controlador lógico 408, cuya señal de salida binaria Y_S abre y cierra el conmutador 403 en todos y cada uno de los ciclos de alta frecuencia de acuerdo con la Regla 1 que se indica a continuación:

55 Regla 1: En cada ciclo de alta frecuencia, muestrear la salida Y_{HL} del comparador 406 en el momento en el que la salida Y_{CLK} del comparador 407 indica que V_{sc} se cruza por encima de V^+ , y tomar una de las siguientes dos acciones:

Acción 1 de la Regla 1 Si el nivel muestreado de Y_{HL} indica una V_S menos positiva que V_{REF} , entonces, cerrar el conmutador 403, y mantenerlo cerrado hasta que (i) V_S cruza por encima de V_{REF} , o (ii) V_{sc} cruza por debajo de V^+ , lo que ocurra primero. Abrir el conmutador 403 cuando el primero de estos dos eventos se produzca, y mantenerlo abierto hasta el siguiente instante de muestreo.

Acción 2 de la Regla 1 Si el nivel muestreado de Y_{HL} es indicativo de que V_S es más positiva que V_{REF} , entonces, mantener el conmutador 403 abierto hasta el siguiente instante de muestreo.

65 Se muestra en la figura 5 un conjunto de formas de onda de tensión que ilustran el funcionamiento en estado continuo periódico de la realización de la figura 4 en uno de los ciclos de alta frecuencia de un periodo de estimulación. Con fines meramente ilustrativos, se asume un nivel binario alto para representar (i) la condición $V_{sc} >$

V^* para Y_{CLK} , y (ii) la condición $V_S > V_{REF}$ para Y_{HL} , y se asume un nivel binario bajo para la condición de cierre de conmutador para Y_S . Los expertos en la técnica apreciarán que el controlador lógico 408 y el conmutador 403 pueden diseñarse para ejecutar la Regla 1 también con representaciones complementarias de Y_{CLK} , Y_{HL} y Y_S .

5 La ejecución del procedimiento de gestión de potencia en estado continuo periódico puede explicarse ahora junto con la figura 4 y la figura 5. La figura 5 muestra V_{SC} cruzando por encima de V^* en el momento t_1 . Este evento se
 10 señaliza para el controlador lógico 408 por el comparador 407 que eleva Y_{CLK} al nivel alto binario. En este instante, el controlador lógico 408 muestrea la señal de salida Y_{HL} del comparador 406, que señala la condición de que V_S es
 15 menos positiva que V_{REF} . De conformidad con la Acción 1 de la Regla 1, el controlador lógico 408 cierra el conmutador 403 reduciendo su señal de salida Y_S al nivel bajo binario tan rápido como sea posible. La bobina
 20 secundaria 302 empieza ahora a cargar el condensador 304 soportando también al mismo tiempo la corriente de estimulación I . Como consecuencia, V^* empieza a elevarse. V_S , que sigue a V^* , también empieza a elevarse. Finalmente, en el momento t_2 , V_S alcanza a V_{REF} . Este evento se detecta por el comparador 406, que eleva en
 25 consecuencia su señal de salida Y_{HL} al nivel alto binario. El controlador lógico 408 responde también elevando su señal de salida Y_S al nivel alto binario y, por lo tanto, abre el conmutador 403 de acuerdo con la Acción 1 de la Regla 1. Debido al tiempo de respuesta diferente a cero del comparador 406, el controlador lógico 408 y el conmutador
 30 403, sin embargo, el instante de la apertura del conmutador está algo retrasado con respecto al instante real en el que V_S cruza por encima de V_{REF} . Este retardo hace que V_S rebese ligeramente V_{REF} antes de que se abra el conmutador 403. Posteriormente, la bobina secundaria 302 se deja abierta, y la corriente de estimulación I comienza
 35 a drenar la carga acumulada en el condensador 304. Como consecuencia, V^* comienza a descender a una velocidad de I/C por unidad de tiempo hasta que V_{SC} la cruza por encima de nuevo en el momento t_5 del siguiente ciclo de alta frecuencia en el que el controlador lógico 408 renovará el muestreo y actualizará V^* de acuerdo con la Regla 1. Durante el tiempo entre t_2 y t_5 , V_S sigue la disminución de V^* con una diferencia $V_R + V_L$, donde $V_R = I \times R$ y
 40 $V_L = I \times Z_L$. Este diferencia permanece constante hasta una muy buena aproximación, ya que la constante de tiempo de la posible variación de $V_R + V_L$ normalmente es mucho mayor que la diferencia temporal entre t_2 y t_5 . Por lo tanto, la ondulación en V_S (es decir, la variación total de V_S entre t_2 y t_5) es casi la misma que la ondulación en V^* (es decir, la variación total de V^* entre t_2 y t_5). Asumiendo que la duración $t_2 - t_1$ del estado cerrado del conmutador 403 es
 45 corta de manera inapreciable, en comparación con el periodo T del ciclo de alta frecuencia, la ondulación común se da aproximadamente por $I/T/C$. Seleccionando una C suficientemente grande, esta ondulación puede minimizarse y, por lo tanto, V_S se estabiliza dentro de una banda de anchura arbitrariamente estrecha alrededor de V_{REF} independientemente del valor de I o Z_L o R . Ha de observarse que V^* se ajusta una vez en cada ciclo de alta
 50 frecuencia para mantener V_S regulada dentro de esta banda alrededor de V_{REF} en todo el periodo de estimulación. Como se ha señalado anteriormente, V_{REF} se ajusta ligeramente mayor que la tensión mínima necesaria por el disipador de corriente para funcionar apropiadamente. Por lo tanto, el disipador de corriente 102 consume la energía
 55 mínima necesaria en todo momento mientras que la corriente de estimulación prescrita se disipa con éxito independientemente de las impedancias de carga y de conmutación.

Para un mejor entendimiento del razonamiento subyacente de diversos aspectos de la Regla 1, se vuelve a poner la
 40 atención ahora en primer lugar al hecho de que, si el conmutador 403 ha de cerrarse para elevar V^* en cualquier ciclo de alta frecuencia, el cierre no debería comenzar antes de que V_{SC} cruce por encima de V^* , y no debería continuar después de que V_{SC} cruce por debajo de V^* . Esto se debe a que el cierre del condensador fuera de este
 45 intervalo descargará el condensador 304 en lugar de cargarlo. Ha de observarse que la Acción 1 de la Regla 1 ordena el cierre del conmutador justo al comienzo de este intervalo, como se ilustra por el momento t_1 y el momento t_5 en la figura 5, ya que el consumo de energía del conmutador 403 aumenta con el retardo del cierre.

Volviendo la atención a continuación a la temporización de la apertura del conmutador, la Acción 1 de la Regla 1
 50 ordena la apertura en el momento en el que V_S cruza por encima de V_{REF} si este momento llega antes de que V_{SC} cruce por debajo de V^* , como se ilustra por el momento t_2 en la figura 5. De hecho, esta temporización es óptima porque (i) una apertura tardía extenderá V_S muy por encima de V_{REF} puesto que la carga puede continuar hasta que
 55 V_{SC} cruza por debajo de V^* , y (ii) una apertura temprana finalizará de forma prematura el proceso de carga y, por lo tanto, impedirá que V_S alcance V_{REF} . En cualquier caso, la apertura del conmutador no debería retrasarse más allá del momento en el que V_{SC} cruza por debajo de V^* para evitar la descarga. Por esta razón, la Acción 1 de la Regla 1 ordena la apertura en el momento en el que V_{SC} cruza por debajo V^* incluso si V_S está aún lejos de V_{REF} . Es poco probable que este caso se encuentre en cualquier ciclo de alta frecuencia durante el estado continuo periódico de un
 60 periodo de estimulación y, por lo tanto, no se ilustra en la figura 5, pero puede observarse en los primeros ciclos de alta frecuencia del estado transitorio inicial de un periodo de estimulación si se demanda una corriente de estimulación grande. Una gran corriente de estimulación necesita una gran V^* , que, a su vez, necesita que se entregue una gran cantidad de carga al condensador 304. Si tal carga grande no puede entregarse completamente cuando V_{SC} cruza por debajo de V^* , V_S entra en el siguiente ciclo con un valor por debajo de V_{REF} . Sin embargo, esta
 65 deficiencia se reduce progresivamente en los siguientes ciclos y, por lo tanto, la fase en estado continuo del periodo de estimulación se alcanza finalmente. Este caso se ilustrará adicionalmente más adelante en la figura 7.

Se vuelve la atención finalmente al razonamiento subyacente de la Acción 2 de la Regla 1. Como se ha explicado
 65 anteriormente, el retardo en la propagación de la señal a través del comparador 406, el controlador lógico 408 y el conmutador 403 hace que V_S rebese ligeramente V_{REF} antes de que se abra el conmutador 403. Una vez que el conmutador se ha abierto, V_S empieza a descender, y finalmente cruza por debajo de V_{REF} de nuevo. Se observa que esto sucede en el momento t_3 en el ejemplo de la figura 5. Sin embargo, en el caso de una débil corriente de

estimulación I , la tasa de disminución puede ser tan lenta que V_S puede permanecer por encima de V_{REF} en el tiempo de muestreo del siguiente ciclo de alta frecuencia (por ejemplo, el momento t_5 en la figura 5). En tal caso, la Acción 2 de la Regla 1 mantiene el conmutador 403 abierto durante todo el siguiente ciclo de alta frecuencia incluso si V_S cruza por debajo de V_{REF} en algún momento durante ese siguiente ciclo. Esto impide el cierre del conmutador en un momento distinto del momento en el que V_{SC} cruza por encima de V^* , y minimiza así la energía consumida por el conmutador 403. Este caso se ilustrará adicionalmente más adelante en la figura 7.

Como se entiende a partir de la descripción dada hasta ahora, la circuitería por la que el procedimiento de gestión de potencia divulgado se aplica a la arquitectura de la figura 1 comprende el condensador 304, los comparadores 406 y 407, el controlador lógico 408 y el conmutador 403. Estos se conectan al resto del hardware de estimulación según la figura 4. Excepto para el condensador 304, estos circuitos se integran preferiblemente en el mismo chip junto con otra circuitería necesaria para realización la estimulación. Considerando el hecho de que V^* es variable, se emplea preferiblemente una tensión de alimentación positiva constante separada o una combinación de tensiones de alimentación positivas y negativas para alimentar estos circuitos, así como otros circuitos necesarios para realizar la estimulación. Estas tensiones de alimentación separadas pueden generarse a partir de la bobina secundaria 302 con cualquier procedimiento convencional tal como el ilustrado en la figura 3.

Con respecto a los detalles de implementación de estos circuitos, los comparadores 406 y 407 pueden construirse en cualquier topología de comparador adecuada conocida en la técnica. El conmutador 403 puede implementarse con cualquier dispositivo de estado sólido adecuado conocido en la técnica, mucho más preferiblemente con un dispositivo PMOSFET. El controlador lógico 408 debe diseñarse como un circuito de aplicación específica ya que tiene el deber específico de ejecutar la Regla 1.

El diagrama de circuito de una topología ejemplar del controlador lógico 408 y el controlador 403 se muestra en la figura 6. Esta topología ejemplar emplea únicamente una tensión de alimentación positiva V_{DD} aplicada al nodo 606, mientras que el nodo 607 está conectado a tierra. Los expertos en la técnica apreciarán que puede incorporarse una tensión de alimentación negativa adicional desconectando el nodo 607 de tierra y conectándolo a la tensión de alimentación negativa.

Ha de observarse que el dispositivo PMOSFET M_S implementa el conmutador 403, mientras que el circuito 60 implementa el controlador lógico 408.

El terminal de puerta de M_S se fija al nodo de salida 603 del controlador lógico 60. El nodo 603 lleva la señal de control de conmutador binaria Y_S que se ha descrito previamente junto con la figura 4 y la figura 5. El terminal de sustrato de M_S (no mostrado en la figura 6) se conecta al carril de tensión de alimentación positiva constante V_{DD} en el nodo 606. Los dos terminales restantes de M_S se conectan al nodo 404 de la figura 4 y el nodo 405 de la figura 4, respectivamente. El retardo de propagación del controlador lógico 60 puede ser inaceptablemente largo si la capacidad de puerta de M_S es grande. Si es necesario, este problema puede resolverse insertando un circuito separador no inversor entre la salida del controlador lógico 60 y la puerta de M_S en lugar de interconectarlos directamente como se muestra en la figura 6.

El controlador lógico 60 comprende un circuito inversor dinámico 61 y una puerta estática de dos entradas de NAND 62. El inversor dinámico se construye con dispositivos NMOSFET M_1 y M_2 , y el dispositivo PMOSFET M_3 . La puerta NAND se construye con dispositivos NMOSFET M_4 y M_5 , y dispositivos PMOSFET M_6 y M_7 . C_P representa la capacidad parásita del nodo 601. Ha de observarse que el inversor dinámico 61 acciona una de las dos entradas de la puerta NAND 62 con su señal de salida Y_1 en el nodo 601, mientras que la otra entrada de la puerta NAND se acciona en el nodo 602 por la señal Y_{CLK} que se ha descrito previamente junto con la figura 4 y la figura 5. Una de las entradas del inversor dinámico 61 recibe en el nodo 604 la misma señal Y_{CLK} , y la otra entrada recibe en el nodo 605 la señal Y_{HL} que se ha descrito previamente junto con la figura 4 y la figura 5. El nodo 607 está designado como tierra. Ha de apreciarse que todos los dispositivos NMOSFET tienen su sustrato (no mostrado en la figura 6) conectado al nodo 607, y todos los dispositivos PMOSFET tienen su sustrato (no mostrado en la figura 6) conectado al nodo 606.

El funcionamiento del controlador lógico 60 puede explicarse ahora con referencia a la figura 4, la figura 5 y la figura 6.

Se considera en primer lugar el caso en el que Y_{CLK} está en tierra (es decir, nivel bajo binario). Como se ha explicado previamente, este nivel binario de Y_{CLK} señala el caso en el que V_{SC} es menos positiva que V^* , para la que el PMOSFET de conmutación M_S ha de mantenerse abierto. De hecho, cuando Y_{CLK} está en tierra, la puerta NAND 62 mantiene Y_S en V_{DD} (es decir, nivel binario alto), y por lo tanto, M_S permanece cortado (es decir, estado de conmutador abierto). En cuanto a la conducta del inversor dinámico en el caso en el que Y_{CLK} está en tierra, ha de apreciarse que M_3 mantiene la señal de salida Y_1 del inversor dinámico en el nivel alto binario V_{DD} independientemente del nivel binario de Y_{HL} . Por lo tanto, C_P se mantiene cargado a V_{DD} cuando Y_{CLK} está en tierra.

Se considera a continuación el caso en el que Y_{CLK} hace una transición de tierra a V_{DD} mientras que Y_{HL} está en V_{DD} . Este es el momento de muestreo en el que la Acción 2 de la Regla 1 se va a ejecutar. La Y_{CLK} en aumento obliga a que M_3 esté en corte y M_1 en conducción, y por lo tanto, desconecta el nodo 601 de V_{DD} , y conecta el nodo 608 a

tierra. Dado que M_2 también conduce debido a que Y_{HL} está en V_{DD} , C_P se descarga y, por lo tanto, Y_I se fuerza a tierra. Ahora que una de sus entradas se está reduciendo a tierra, la puerta NAND 62 mantiene su salida Y_S en V_{DD} aunque su segunda entrada que recibe Y_{CLK} se eleva a V_{DD} . Y_S que está en V_{DD} , M_S mantiene su estado en corte (es decir, el estado de conmutador abierto). Cabe apreciarse que, incluso si Y_{HL} sucede para volver más tarde a tierra (es decir, V_S cruza por debajo de V_{REF}) mientras que Y_{CLK} está todavía en V_{DD} (es decir, V_{SC} es más positivo que V^+), M_S continuará en corte por que C_P no puede recargarse a V_{DD} antes del siguiente borde descendente de Y_{CLK} . Después de la llegada del siguiente borde descendente de Y_{CLK} , Y_S se mantiene en V_{DD} de todos modos, como se ha explicado en el párrafo anterior. Por lo tanto, M_S permanece en corte durante todo el ciclo si V_S es más positivo que V_{REF} al comienzo del ciclo, según lo dispuesto por la Acción 2 de la Regla 1.

Si Y_{HL} está en el nivel de tierra cuando Y_{CLK} hace una transición de tierra a V_{DD} , se ejecutará la Acción 1 de la Regla 1. En este caso, la Y_{CLK} ascendente fuerza de nuevo M_3 en corte y M_1 en conducción y, por lo tanto, desconecta el nodo 601 de V_{DD} , y conecta el nodo 608 a tierra. Pero, dado que Y_{HL} está a nivel de tierra, M_2 permanece en corte, y a pesar del hecho de que el nodo 608 conecta a tierra, el nodo 601 queda a flote. Este permite que C_P conserve su carga y, por lo tanto, mantiene Y_I en V_{DD} . Ahora, la puerta NAND 62 con ambas entradas en V_{DD} , reduce Y_S a tierra y, por lo tanto, enciende M_S (es decir, estado de conmutador cerrado). Si, posteriormente, la V_S ascendente cruza por encima de V_{REF} y, por lo tanto, Y_{HL} se eleva a V_{DD} antes de que Y_{CLK} caiga a tierra, entonces, M_2 se enciende, y junto con el M_1 conductor, descarga C_P a tierra. Estando Y_I reducida a tierra, la puerta NAND 62 eleva Y_S a V_{DD} y, por lo tanto, fuerza M_S en corte (es decir, estado de conmutador abierto). Dado que C_P no puede recargarse a V_{DD} antes del siguiente borde descendente de Y_{CLK} , M_S permanece en corte incluso si Y_{HL} sucede para volver a tierra cualquier momento antes de que Y_{CLK} caiga a tierra. Si, por otro lado, Y_{CLK} cae hasta tierra antes de que Y_{HL} se eleve a V_{DD} , entonces, la puerta NAND 62 eleva Y_S a V_{DD} , y obliga así a que M_S se corte (es decir, estado de conmutador abierto) en el momento en que Y_{CLK} cae a tierra.

Una ilustración adicional de la conducta transitoria y en estado continuo de todo el circuito estimulador de la figura 4 que emplea el controlador lógico y el circuito de conmutador de la figura 6 en la figura 7 se proporciona en forma de formas de onda simuladas. Estas formas de onda pertenecen a las tensiones V_{SC} , V^+ , V_S , Y_S , y la corriente de estimulación I durante los primeros diez ciclos de 5 MHz de un periodo de estimulación largo. Ha de observarse que únicamente los semiciclos positivos de V_{SC} se muestran con fines de brevedad. V_{REF} se ajusta a 0,9 V, V_{DD} se ajusta a 10 V, y un episodio de estimulación se pone en marcha poco después de $t = 6 \mu s$ demandando gradualmente una corriente de estimulación de 1 mA del disipador de corriente. El primer estante de muestreo después de la puesta en marcha lleva al comienzo del segundo ciclo poco después de $t = 6,2 \mu s$ cuando V_{SC} cruza por encima de V^+ . Dado que V_S es menor que V_{REF} en este instante de muestreo, Y_S se reduce a tierra y, por lo tanto, el conmutador 403 se cierra en este instante. Cabe apreciarse que V_{SC} cruza por debajo de V^+ en ese segundo ciclo mientras que V_S está aún considerablemente lejos de V_{REF} . Sin embargo, el conmutador 403 se abre elevando Y_S a V_{DD} para no iniciar la descarga del condensador 304. Puesto que V_S se deja por debajo del nivel aceptable mínimo para disipador de corriente para que funcione apropiadamente, la corriente de estimulación no ha llegado al nivel demandado de 1 mA al final de ese segundo ciclo. El conmutador 403 se cierra de nuevo cuando V_{SC} cruza por encima de V^+ en el tercer ciclo justo después de $t = 6,4 \mu s$, y la carga de V_S a V_{REF} se completa antes de que V_{SC} cruce por debajo de V^+ y, por lo tanto, el conmutador 403 se abre antes en ese tercer ciclo. Ha de apreciarse la ausencia del cierre del conmutador al inicio del cuarto ciclo en $t = 6,6 \mu s$. Esto se debe al hecho de que V_S ha rebasado algo V_{REF} en el ciclo anterior, y no ha disminuido a V_{REF} aún en el momento de muestreo del cuarto ciclo. Los eventos transitorios observados en el segundo, tercer y cuarto ciclos llegan a su vez en el quinto ciclo, más allá de lo cual prevalece el estado continuo periódico. En este estado, el cierre del conmutador dura un breve intervalo en cada ciclo, V_S se estabiliza alrededor de V_{REF} , pero V^+ continua elevándose para acomodar la impedancia de carga en aumento.

El procedimiento de gestión de potencia divulgado se ha descrito hasta ahora en la realización mostrada en la figura 4, que es aplicable a los canales de estimulación de la arquitectura mostrada en la figura 1. En la figura 8 se muestra una segunda realización del mismo procedimiento aplicable a los canales de estimulación de la arquitectura de la figura 2. Una comparación entre la figura 8 y la figura 4 revela tres diferencias: (i) El disipador de corriente 102 de la figura 4 se reemplaza por la fuente de corriente 202 en la figura 8, (ii) la referencia de tensión positiva 409 de la figura 4 se reemplaza por una referencia de tensión negativa 809 en la figura 8, y (iii) la tensión de alimentación positiva V^+ de la figura 4 se reemplaza por una tensión de alimentación negativa V^- en la figura 8. Las tensiones V_R , V_L , V_S y V_{REF} definidas en la figura 8 son todas de valor negativo.

El trabajo del comparador 806, el comparador 807 y el controlador lógico 808 es básicamente el mismo que el trabajo de sus contrapartes respectivas mostradas en la figura 4. Estos circuitos, así como otros circuitos necesarios para la estimulación se alimentan preferiblemente a partir de una tensión de alimentación negativa constante separada o un par de tensiones de alimentación negativas y positivas, que pueden generarse desde la bobina secundaria 302 con cualquier procedimiento convencional. La regla por la que el controlador lógico rectifica V_{SC} y regula V_S se basa en los mismos principios que la Regla 1 pero difiere de esta última en la polaridad de los enunciados condicionales para permitir la rectificación en semiciclos negativos. La regla se indica a continuación como Regla 2:

Regla 2: En cada ciclo de alta frecuencia, muestrear la salida Y_{HL} del comparador 806 en el instante en el que la salida Y_{CLK} del comparador 807 indica que V_{SC} cruza por debajo de V^- , y tomar una de las siguientes dos acciones:

Acción 1 de la Regla 2 Si el nivel muestreado de Y_{HL} indica una V_S menos negativa que V_{REF} , entonces, cerrar el conmutador 803, y mantenerlo cerrado hasta que (i) V_S cruce por debajo de V_{REF} , o (ii) V_{SC} cruce por encima V , lo que suceda primero. Abrir el conmutador 803 cuando el primero de estos dos eventos se produzca, y mantenerlo abierta hasta el siguiente instante de muestreo.

5 Acción 2 de la Regla 2 Si el nivel muestreado de Y_{HL} es indicativo de que V_S es más negativo que V_{REF} , entonces, mantener el conmutador 803 abierto hasta el siguiente instante de muestreo.

10 Se muestra en la figura 9 un conjunto de formas de onda de tensión que ilustra el funcionamiento en estado continuo periódico de la realización de la figura 8 en uno de los ciclos de alta frecuencia de un periodo de estimulación. Con fines meramente ilustrativos, se asume un nivel bajo binario para representar (i) la condición $V_{SC} < V$ para Y_{CLK} , y (ii) la condición $V_S < V_{REF}$ para Y_{HL} , y se asume un nivel alto binario para la condición de cierre de conmutador para Y_S . Los expertos en la técnica apreciarán que el controlador lógico 808 y el conmutador 803 pueden diseñarse para ejecutar la Regla 2 también con representaciones complementarias de Y_{CLK} , Y_{HL} y Y_S . Un experto en la técnica también puede interpretar las formas de onda dadas en la figura 9 a lo largo de las líneas de la descripción que se ha dado previamente para la figura 5.

20 Con respecto a la implementación de la realización ilustrada en la figura 8, los comparadores 806 y 807 pueden construirse en cualquier topología de comparador adecuada conocida en la técnica. El conmutador 803 puede implementarse con cualquier dispositivo de estado sólido adecuado conocido en la técnica, mucho más preferiblemente con un dispositivo NMOSFET. El controlador lógico 808 debería diseñarse como un circuito de aplicación específica porque tiene el deber específico de ejecutar la Regla 2.

25 El diagrama de circuito de una topología ejemplar del controlador lógico 808 y el conmutador 803 se proporciona en la figura 10. Esta topología ejemplar emplea únicamente una tensión de alimentación negativa V_{SS} aplicada al nodo 907, mientras que el nodo 906 está conectado a tierra. Los expertos en la técnica apreciarán que puede incorporarse una tensión de alimentación positiva adicional desconectando el nodo 906 de tierra y conectándolo a la tensión de alimentación positiva.

30 Ha de observarse que el dispositivo NMOSFET M_S implementa el conmutador 803, mientras que el circuito 90 implementa el controlador lógico 808.

35 El terminal de puerta de M_S se fija al nodo de salida 903 del controlador lógico 90. El nodo 903 lleva la señal de control de conmutador binaria Y_S que se ha descrito previamente junto con la figura 8 y se ilustra en la figura 9. El terminal de sustrato de M_S (no mostrado en la figura 10) se conecta a la tensión de alimentación negativa constante V_{SS} en el nodo 907. Los dos terminales restantes de M_S se conectan al nodo 804 de la figura 8 y el nodo 805 de la figura 8, respectivamente. El retardo de propagación del controlador lógico 90 puede ser inaceptablemente largo si la capacidad de puerta de M_S es grande. Si es necesario, este problema puede resolverse insertando un circuito separador no inversor entre la salida del controlador lógico 90 y la puerta de M_S en lugar de interconectarlos directamente como en la figura 10.

45 El controlador lógico 90 comprende un circuito inversor dinámico 91 y una puerta estática de dos entradas de NOR 92. El inversor dinámico se construye con los dispositivos PMOSFET M_1 y M_2 , y el dispositivo NMOSFET M_3 . La puerta NOR se construye con los dispositivos PMOSFET M_4 y M_5 , y los dispositivos NMOSFET M_6 y M_7 . C_P representa la capacidad parásita del nodo 901. Ha de observarse que el inversor dinámico 91 impulsa una de las dos entradas de la puerta NOR 92 con su señal de salida Y_I en el nodo 901, mientras que la otra entrada de la puerta NOR se impulsa en el nodo 902 por la señal Y_{CLK} que se ha descrito previamente junto con la figura 8 y se ilustra en la figura 9. Una de las entradas del inversor dinámico 91 recibe en el nodo 904 la misma señal Y_{CLK} , y la otra entrada recibe en el nodo 905 la señal Y_{HL} que se ha descrito previamente junto con la figura 8 y se ilustra en la figura 9. El nodo 906 está designado como tierra. Ha de apreciarse que todos los dispositivos NMOSFET tienen su sustrato (no mostrado en la figura 10) conectado al nodo 907, y todos los dispositivos PMOSFET tienen su sustrato (no mostrado en la figura 10) conectado al nodo 906.

55 El funcionamiento del controlador lógico 90 puede explicarse ahora con referencia a la figura 8, la figura 9 y la figura 10.

60 Se considera en primer lugar el caso en el que Y_{CLK} está en tierra (es decir, nivel binario alto). Como se ha explicado previamente, este nivel binario de Y_{CLK} señala el caso en el que V_{SC} es más negativo que V , para la que el NMOSFET de conmutación M_S debería mantenerse abierto. De hecho, cuando Y_{CLK} está en tierra, la puerta NOR 92 mantiene Y_S en V_{SS} (es decir, nivel bajo binario), y, por lo tanto, M_S permanece en corte (es decir, estado de conmutador abierto). En cuanto a la conducta del inversor dinámico en el caso en el que Y_{CLK} está en tierra, ha de apreciarse que M_3 mantiene la señal de salida Y_I del inversor dinámico en el nivel bajo binario V_{SS} independientemente del nivel binario de Y_{HL} . Por lo tanto, C_P se mantiene cargado a la tensión del carril negativo V_{SS} cuando Y_{CLK} está en tierra.

65 Se considera a continuación el caso en el que Y_{CLK} hace una transición de tierra descendiendo hasta V_{SS} mientras que Y_{HL} está en V_{SS} . Este es el momento de muestreo en el que la Acción 2 de la Regla 2 ha de ejecutarse. La Y_{CLK}

descendente fuerza M_3 en corte y M_1 en conducción y, por lo tanto, desconecta el nodo 901 de V_{SS} , y conecta el nodo 908 a tierra. Dado que M_2 conduce también debido a que Y_{HL} está en V_{SS} , C_P se descarga a tierra, es decir, Y_I se eleva a tierra. Ahora que una de sus entradas se eleva a tierra, la puerta NOR 92 mantiene su salida Y_S en V_{SS} aunque su segunda entrada que recibe Y_{CLK} se reduzca a V_{SS} . Estando Y_S en V_{SS} , M_S mantiene su estado de corte (es decir, estado de conmutador abierto). Cabe señalar que, incluso si Y_{HL} sucede para volver más tarde a tierra (es decir, V_S cruza por encima de V_{REF}) mientras que Y_{CLK} aún está en V_{SS} (es decir, V_{SC} es más negativa que V), M_S continuará en corte porque C_P no puede recargarse a V_{SS} antes del siguiente borde ascendente de Y_{CLK} . Después de la llegada del siguiente borde ascendente Y_{CLK} , Y_S se mantiene en V_{SS} de todos modos, como se explica en el párrafo anterior. Por lo tanto, M_S permanece en corte durante todo el ciclo si V_S es más negativa que V_{REF} al comienzo del ciclo, conforme a la Acción 2 de la Regla 2.

Si Y_{HL} está a nivel de tierra cuando Y_{CLK} hace una transición de tierra descendiendo hasta V_{SS} , se ejecutará la Acción 1 de la Regla 2. En este caso, la Y_{CLK} descendente fuerza de nuevo M_3 en corte y M_1 en conducción y, por lo tanto, desconecta el nodo 901 de V_{SS} , y conecta el nodo 908 a tierra. Pero, dado que Y_{HL} está a nivel de tierra, M_2 permanece en corte, y a pesar del hecho de que el nodo 908 conecta a tierra, el nodo 901 queda a flote. Esto permite que C_P conserve su carga y, por lo tanto, mantener Y_I en V_{SS} . Ahora, la puerta NOR 92 con ambas entradas en V_{SS} , eleva Y_S a tierra, y por lo tanto, enciende M_S (es decir, estado de conmutador cerrado). Si, posteriormente, la V_S descendente cruza por debajo de V_{REF} , y por lo tanto, Y_{HL} desciende a V_{SS} antes de que Y_{CLK} se eleve a tierra, entonces, M_2 se enciende y, junto con M_1 de conducción, descarga C_P hasta tierra. Estando Y_I elevado a tierra, la puerta NOR 92 reduce Y_S a V_{SS} , y por lo tanto, fuerza a M_S a cortarse (es decir, estado de conmutador abierto). Dado que C_P no puede cargarse a V_{SS} antes del siguiente borde ascendente de Y_{CLK} , M_S permanece en corte incluso si Y_{HL} sucede para regresar a tierra cualquier momento antes de que Y_{CLK} se eleve a tierra. Por otro lado, si Y_{CLK} se eleva a tierra antes de que Y_{HL} descienda a V_{SS} , entonces, la puerta NOR 92 reduce Y_S a V_{SS} , y por lo tanto, fuerza a M_S a cortarse (es decir, estado de conmutador abierto) en el momento en el que Y_{CLK} se eleva a tierra. La invención se define en las reivindicaciones adjuntas.

REIVINDICACIONES

1. Un procedimiento de gestión de potencia para generar una tensión de alimentación positiva de la bobina secundaria de un enlace magnético transcutáneo, y almacenar dicha tensión de alimentación positiva a través de un condensador para alimentar un canal estimulador implantado, comprendiendo el canal un disipador de corriente por el que la corriente de estimulación se fuerza a pasar a través de un par de electrodos, incluyendo dicho par de electrodos sus condensadores de acoplamiento, si se incorporan, conmutadores mediante los cuales dicho par de electrodos se seleccionan y se conectan entre dicha tensión de alimentación positiva y dicho disipador de corriente y el tejido situado entre dicho par de electrodos;
- en el que, dicha tensión de alimentación positiva se genera rectificando la tensión alterna de dicha bobina secundaria cerrando o abriendo un conmutador de estado sólido entre dicha bobina secundaria y dicho condensador en dichos momentos durante la mitad positiva de cada ciclo alterno que la tensión de dicho disipador de corriente se regula dentro de una banda de ondulación justo por encima del nivel mínimo necesario por dicho disipador de corriente para mantener la corriente de estimulación demandada;
 - en el que, dicho conmutador se cierra en el momento en el que la tensión alterna de dicha bobina secundaria cruza por encima de dicha tensión de alimentación positiva si, y sólo si, la tensión de dicho disipador de corriente es menos positiva que una tensión de referencia positiva en ese momento;
 - en el que, dicho conmutador se abre en el momento en el que la tensión de dicho disipador de corriente cruza por encima de dicha tensión de referencia positiva si la tensión alterna de dicha bobina secundaria es más positiva que dicha tensión de alimentación positiva en ese momento;
 - en el que, dicho conmutador se abre en el momento en el que la tensión de dicha bobina secundaria cruza por debajo de dicha tensión de alimentación positiva si la tensión en dicho disipador de corriente es menos positiva que dicha tensión de referencia positiva en ese momento;
 - en el que, la anchura de dicha banda de ondulación puede hacerse arbitrariamente estrecha elevando la capacidad de dicho condensador; y
 - en el que, el límite inferior de dicha banda de ondulación puede hacerse arbitrariamente cercano a dicho nivel mínimo de dicho disipador de corriente reduciendo dicha tensión de referencia positiva.
2. Un procedimiento de gestión de potencia para generar una tensión de alimentación negativa de la bobina secundaria de un enlace magnético transcutáneo, y almacenar dicha tensión de alimentación negativa a través de un condensador para alimentar un canal estimulador implantado, comprendiendo el canal una fuente de corriente por la que la corriente de estimulación se obliga a pasar a través de un par de electrodos, incluyendo dicho par de electrodos sus condensadores de acoplamiento, si se incorporan, conmutadores mediante los cuales dicho par de electrodos se seleccionan y se conectan entre dicha tensión de alimentación negativa y dicha fuente de corriente, y el tejido situado entre dicho par de electrodos;
- en el que, dicha tensión de alimentación negativa se genera rectificando la tensión alterna de dicha bobina secundaria cerrando o abriendo un conmutador de estado sólido entre dicha bobina secundaria y dicho condensador en dichos momentos durante la mitad negativa de cada ciclo alterno que la tensión de dicha fuente de corriente se regula dentro de una banda de ondulación justo por debajo del nivel mínimo necesario por dicha fuente de corriente para mantener la corriente de estimulación demandada;
 - en el que, dicho conmutador se cierra en el momento en el que la tensión alterna de dicha bobina secundaria cruza por debajo de dicha tensión de alimentación negativa si, y sólo si, la tensión de dicho disipador de corriente es menos negativa que una tensión de referencia negativa en ese momento;
 - en el que, dicho conmutador se abre en el momento en el que la tensión de dicho disipador de corriente cruza por debajo de dicha tensión de referencia negativa si la tensión alterna de dicha bobina secundaria es más negativa que dicha tensión de alimentación negativa en ese momento;
 - en el que, dicho conmutador se abre en el momento en el que la tensión de dicha bobina secundaria cruza por encima dicha tensión de alimentación negativa si la tensión de dicho disipador de corriente es menos negativa que dicha tensión de referencia negativa en ese momento;
 - en el que, la anchura de dicha banda de ondulación puede estrecharse arbitrariamente elevando la capacidad de dicho condensador; y
 - en el que, el límite superior de dicha banda de ondulación puede hacerse arbitrariamente cerca de dicho nivel mínimo de dicho disipador de corriente elevando dicha tensión de referencia negativa.
3. Un estimulador implantable que comprende:

una bobina secundaria de un enlace magnético transcutáneo; un par de electrodos:

5 un canal estimulador, comprendiendo el canal un disipador de corriente por el que la corriente de estimulación se fuerza a pasar a través del par de electrodos, incluyendo dicho par de electrodos sus condensadores de acoplamiento, si se incorporan;

10 en el que el estimulador implantable comprende adicionalmente un sistema de gestión de potencia para generar, de acuerdo con el procedimiento de gestión de potencia de la reivindicación 1, una tensión de alimentación positiva de la bobina secundaria del enlace magnético transcutáneo;

15 en el que el canal estimulador comprende adicionalmente conmutadores mediante los cuales dicho par de electrodos se seleccionan y se conectan entre dicha tensión de alimentación positiva y dicho disipador de corriente y el tejido situado entre dicho par de electrodos;

20 en el que el sistema de gestión de potencia comprende un condensador para almacenar dicha tensión de alimentación positiva para alimentar el canal estimulador, en el que el primer terminal de dicho condensador almacena dicha tensión de alimentación positiva, y el segundo terminal de dicho condensador está conectado a la masa del sistema de gestión de potencia junto con el primer terminal de dicha bobina secundaria; comprendiendo adicionalmente el sistema de gestión de potencia

• un primer comparador de tensión que compara la tensión del segundo terminal de dicha bobina secundaria con dicha tensión de alimentación positiva, y que presenta el resultado de la comparación con una primera señal binaria;

25 • un segundo comparador de tensión que compara la tensión de dicho disipador de corriente con una tensión de referencia positiva, y que presenta el resultado de la comparación con una segunda señal binaria;

30 • un conmutador de estado sólido conectado entre el segundo terminal de dicha bobina secundaria y el primer terminal de dicho condensador; en el que dicho conmutador se abre o se cierra por una tercera señal binaria; y

• un controlador lógico que recibe dicha primera señal binaria y dicha segunda señal binaria como entradas, y que presenta dicha tercera señal binaria;

35 - en el que, dicha tercera señal binaria cierra dicho conmutador en el momento en el que dicha primera señal binaria indica que la tensión alterna de dicha bobina secundaria cruza por encima de dicha tensión de alimentación positiva sí, y sólo sí, dicha segunda señal binaria indica que la tensión de dicho disipador de corriente es menos positiva que dicha tensión de referencia positiva en ese momento;

40 - en el que, dicha tercera señal binaria abre dicho conmutador en el momento en el que dicha segunda señal binaria indica que la tensión de dicho disipador de corriente cruza por encima de dicha tensión de referencia positiva, sí, en ese momento, dicha primera señal binaria indica que la tensión alterna de dicha bobina secundaria es más positiva que dicha tensión de alimentación positiva; y

45 - en el que, dicha tercera señal binaria abre dicho conmutador en el momento en el que dicha primera señal binaria indica que la tensión alterna de dicha bobina secundaria cruza por debajo de dicha tensión de alimentación positiva sí, en ese momento, dicha segunda señal binaria indica que la tensión de dicho disipador de corriente es menos positiva que dicha tensión de referencia positiva.

50 4. El estimulador implantable de la reivindicación 3, en el que dicho segundo comparador se reemplaza por un disparador Schmitt.

5. Un estimulador implantable que comprende:

55 una bobina secundaria de un enlace magnético transcutáneo; un par de electrodos;

un canal estimulador, comprendiendo el canal una fuente de corriente por la que la corriente de estimulación se fuerza a pasar a través del par de electrodos, incluyendo dicho par de electrodos sus condensadores de acoplamiento, si se incorporan;

60 en el que el estimulador implantable comprende adicionalmente un sistema de gestión de potencia para generar, de acuerdo con el procedimiento de gestión de potencia de la reivindicación 2, una tensión de alimentación negativa de la bobina secundaria del enlace magnético transcutáneo;

65 en el que el canal estimulador comprende adicionalmente conmutadores mediante los cuales dicho par de electrodos se seleccionan y se conectan entre dicha tensión de alimentación negativa y dicha fuente de corriente y el tejido situado entre dicho par de electrodos;

- 5 en el que el sistema de gestión de potencia comprende un condensador para almacenar dicha tensión de alimentación negativa para alimentar el canal estimulador, en el que el primer terminal de dicho condensador almacena dicha tensión de alimentación negativa, y el segundo terminal de dicho condensador está conectado a la masa del sistema de gestión de potencia junto con el primer terminal de dicha bobina secundaria; comprendiendo adicionalmente el sistema de gestión de potencia
- 10 • un primer comparador de tensión que compara la tensión del segundo terminal de dicha bobina secundaria con dicha tensión de alimentación negativa, y que presenta el resultado de la comparación con una primera señal binaria;
 - 15 • un segundo comparador que compara la tensión de dicha fuente de corriente con una tensión de referencia negativa, y que presenta el resultado de la comparación con una segunda señal binaria;
 - un conmutador de estado sólido conectado entre el segundo terminal de dicha bobina secundaria y el primer terminal de dicho condensador; en el que dicho conmutador se abre o se cierra por una tercera señal binaria; y
 - un controlador lógico que recibe dicha primera señal binaria y dicha segunda señal binaria como entradas, y que presenta dicha tercera señal binaria;
- 20 - en el que, dicha tercera señal binaria cierra dicho conmutador en el momento en el que dicha primera señal binaria indica que la tensión alterna de dicha bobina secundaria cruza por debajo de dicha tensión de alimentación negativa si, y sólo si, dicha segunda señal indica que la tensión de dicha fuente de corriente es menos negativa que dicha tensión de referencia negativa en ese momento;
- 25 - en el que, dicha tercera señal binaria abre dicho conmutador en el momento en el que dicha segunda señal binaria indica que la tensión de dicha fuente de corriente cruza por debajo de dicha tensión de referencia negativa, si, en ese momento, dicha primera señal binaria indica que la tensión alterna de dicha bobina secundaria es más negativa que dicha tensión de alimentación negativa; y
- 30 - en el que, dicha tercera señal binaria abre dicho conmutador en el momento en el que dicha primera señal binaria indica que la tensión alterna de dicha bobina secundaria cruza por encima de dicha tensión de alimentación negativa si, en ese momento, dicha segunda señal binaria indica que la tensión de dicha fuente de corriente es menos negativa que dicha tensión de referencia negativa.
- 35 6. El estimulador implantable de la reivindicación 5, en el que dicho segundo comparador se reemplaza por un disparador Schmitt.
7. Un estimulador implantable que comprende:
- 40 una bobina secundaria de un enlace magnético transcutáneo; un par de electrodos;
- un canal estimulador, comprendiendo el canal un disipador de corriente por el que la corriente de estimulación se fuerza a pasar a través del par de electrodos, incluyendo dicho par de electrodos sus condensadores de acoplamiento, si se incorporan; en el que el estimulador implantable comprende adicionalmente un sistema de
- 45 gestión de potencia para generar, de acuerdo con el procedimiento de gestión de potencia de la reivindicación 1, una primera tensión de alimentación positiva de la bobina secundaria del enlace magnético transcutáneo;
- en el que el canal estimulador comprende adicionalmente conmutadores mediante los cuales dicho par de electrodos se seleccionan y se conectan entre dicha primera tensión de alimentación positiva y dicho disipador de
- 50 corriente y el tejido situado entre dicho par de electrodos;
- en el que el sistema de gestión de potencia comprende un condensador para almacenar dicha primera tensión de alimentación positiva para alimentar el canal estimulador, en el que el primer terminal de dicho condensador almacena dicha primera tensión de alimentación positiva, y el segundo terminal de dicho condensador está
- 55 conectado a la masa del sistema de gestión de potencia junto con el primer terminal de dicha bobina secundaria, comprendiendo adicionalmente el sistema de gestión de potencia
- 60 • un primer comparador de tensión alimentado por una segunda tensión de alimentación positiva, o por una combinación de dicha segunda tensión de alimentación positiva y una tensión de alimentación negativa, y que compara la tensión del segundo terminal de dicha bobina secundaria con dicha primera tensión de alimentación positiva, y que presenta el resultado de la comparación con una primera señal binaria;
 - un segundo comparador de tensión alimentado por dicha segunda tensión de alimentación positiva, o por una combinación de la segunda tensión de alimentación positiva y una tensión de alimentación negativa, y que compara la tensión de dicho disipador de corriente con una tensión de referencia positiva, y que presenta el resultado de la
 - 65 comparación con una segunda señal binaria;

- 5 • un dispositivo PMOSFET que implementa un conmutador; en el que, el terminal de puerta recibe una tercera señal binaria, el terminal de sustrato está conectado a dicha segunda tensión de alimentación positiva, uno de los terminales conductores de corriente está conectado al segundo terminal de dicha bobina secundaria, y el otro terminal conductor de corriente está conectado al primer terminal de dicho condensador; y
- 10 • un circuito lógico binario que recibe dicha primera señal binaria y dicha segunda señal binaria como entradas, y que presenta una tercera señal binaria;
 - en el que, dicha tercera señal binaria se reduce a tierra o a dicha tensión de alimentación negativa en el momento en el que dicha primera señal binaria indica que la tensión alterna de dicha bobina secundaria cruza por encima de dicha primera tensión de alimentación positiva si, y sólo si, dicha segunda señal binaria indica que la tensión de dicho disipador de corriente es menos positiva que dicha tensión de referencia positiva en ese momento;
 - 15 - en el que, dicha tercera señal binaria se eleva hasta dicha segunda tensión de alimentación positiva en el momento en el que dicha segunda señal binaria indica que la tensión de dicho disipador de corriente cruza por encima de dicha tensión de referencia positiva, si, en ese momento, dicha primera señal binaria indica que la tensión alterna de dicha bobina secundaria es más positiva que dicha primera tensión de alimentación positiva; y
 - 20 - en el que, dicha tercera señal binaria se eleva hasta dicha segunda tensión de alimentación positiva en el momento en el que dicha primera señal binaria indica que la tensión alterna de dicha bobina secundaria cruza por debajo de dicha primera tensión de alimentación positiva si, en ese momento, dicha segunda señal binaria indica que la tensión de dicho disipador de corriente es menos positiva que dicha tensión de referencia positiva.
- 25 8. El estimulador implantable de la reivindicación 7, en el que dicho segundo comparador se reemplaza por un circuito disparador Schmitt.
- 30 9. El estimulador implantable de la reivindicación 7 o la reivindicación 8, en el que dicha tercera señal binaria se pasa a través de un circuito separador no inversor antes de aplicarse al terminal de puerta de dicho dispositivo PMOSFET.
- 35 10. Un estimulador implantable que comprende:
 - una bobina secundaria de un enlace magnético transcutáneo: un par de electrodos:
 - un canal estimulador, comprendiendo el canal una fuente de corriente por la que la corriente de estimulación se fuerza a pasar a través del par de electrodos, incluyendo dicho par de electrodos sus condensadores de acoplamiento, si se incorporan; en el que el estimulador implantable comprende adicionalmente un sistema de gestión de potencia para generar, de acuerdo con el procedimiento de gestión de potencia de la reivindicación 2, una primera tensión de alimentación negativa de la bobina secundaria del enlace magnético transcutáneo;
 - 40 en el que el canal estimulador comprende adicionalmente conmutadores mediante los cuales dicho par de electrodos se seleccionan y se conectan entre dicha primera tensión de alimentación negativa y dicha fuente de corriente y el tejido situado entre dicho par de electrodos;
 - 45 en el que el sistema de gestión de potencia comprende un condensador para almacenar dicha primera tensión de alimentación negativa para alimentar el canal estimulador, en el que el primer terminal de dicho condensador almacena dicha primera tensión de alimentación negativa, y el segundo terminal de dicho condensador está conectado a la masa del sistema de gestión de potencia junto con el primer terminal de dicha bobina secundaria; comprendiendo adicionalmente el sistema de gestión de potencia
 - 50 • un primer comparador de tensión alimentado por una segunda tensión de alimentación negativa, o por una combinación de dicha segunda tensión de alimentación negativa y una tensión de alimentación positiva, y comparar la tensión del segundo terminal de dicha bobina secundaria con dicha primera tensión de alimentación negativa, y que presenta el resultado de la comparación con una primera señal binaria;
 - 55 • un segundo comparador de tensión alimentado por dicha segunda tensión de alimentación negativa o por una combinación de dicha segunda tensión de alimentación negativa y una tensión de alimentación positiva, y comparar la tensión de dicha fuente de corriente con una tensión de referencia negativa, y que presenta el resultado de la comparación con una segunda señal binaria;
 - 60 • un dispositivo NMOSFET que implementa un conmutador, en el que, el terminal de puerta recibe una tercera señal binaria, el terminal de sustrato está conectado a dicha segunda tensión de alimentación negativa, uno de los terminales conductores de corriente está conectado al segundo terminal de dicha bobina secundaria, y el otro terminal conductor de corriente está conectado al primer terminal de dicho condensador, y
 - 65 • un circuito lógico binario que recibe dicha primera señal binaria y dicha segunda señal binaria como entradas, y que presenta una tercera señal binaria;

- 5 - en el que, dicha tercera señal binaria se eleva a tierra o a dicha tensión de alimentación positiva en el momento en el que dicha primera señal binaria indica que la tensión alterna de dicha bobina secundaria cruza por debajo de dicha primera tensión de alimentación negativa si, y sólo si, dicha segunda señal binaria indica que la tensión de dicha fuente de corriente es menos negativa que dicha tensión de referencia negativa en ese momento;
- 10 - en el que, dicha tercera señal binaria se reduce a dicha segunda tensión de alimentación negativa en el momento en el que dicha segunda señal binaria indica que la tensión de dicha fuente de corriente cruza por debajo de dicha tensión de referencia negativa, si, en ese momento, dicha primera señal binaria indica que la tensión alterna de dicha bobina secundaria es más negativa que dicha primera tensión de alimentación negativa; y
- 15 - en el que, dicha tercera señal binaria se reduce a dicha segunda tensión de alimentación negativa en el momento en el que dicha primera señal binaria indica que la tensión alterna de dicha bobina secundaria cruza por encima de dicha primera tensión de alimentación negativa si, en ese momento, dicha segunda señal binaria indica que la tensión de dicha fuente de corriente es menos negativa que dicha tensión de referencia negativa.
- 20 11. El estimulador implantable de la reivindicación 10, en el que dicho segundo comparador se reemplaza por un circuito disparador Schmitt.
- 20 12. El estimulador implantable de la reivindicación 10, o la reivindicación 11, en el que dicha tercera señal binaria se pasa a través de un circuito separador no inversor antes de aplicarse al terminal de puerta de dicho dispositivo NMOSFET.
- 25 13. El estimulador implantable de la reivindicación 7, o la reivindicación 8, o la reivindicación 9, en el que el circuito lógico binario comprende:
- 30 • una puerta estática de dos entradas de CMOS NAND alimentada por dicha segunda tensión de alimentación positiva, o por dicha combinación de segunda tensión de alimentación positiva y tensión de alimentación negativa, en el que una de las dos entradas recibe dicha primera señal binaria, y la tensión de salida representa dicha tercera señal binaria; y
- 35 • una puerta inversora dinámica de CMOS, en el que el terminal drenador de un primer dispositivo NMOSFET está conectado al terminal de fuente de un segundo dispositivo NMOSFET; el terminal de fuente de dicho primer dispositivo NMOSFET está conectado a tierra o a dicha tensión de alimentación negativa; el terminal drenador de dicho segundo dispositivo NMOSFET está conectado al terminal drenador de un dispositivo PMOSFET; la fuente de dicho dispositivo PMOSFET está conectada a dicha segunda tensión de alimentación positiva; los terminales de puerta interconectados de dicho primer dispositivo NMOSFET y dicho dispositivo PMOSFET reciben dicha primera señal binaria; el terminal de puerta de dicho segundo dispositivo NMOSFET recibe dicha segunda señal binaria; el nodo drenador común de dicho segundo dispositivo NMOSFET y dicho dispositivo PMOSFET está diseñado como la salida, y está conectado a la segunda entrada de dicha puerta estática de dos entradas de CMOS NAND.
- 40 14. El estimulador implantable de la reivindicación 10, o la reivindicación 11, o la reivindicación 12, en el que el circuito lógico binario comprende
- 45 • una puerta estática de dos entradas de CMOS NOR alimentada por dicha segunda tensión de alimentación negativa o por dicha combinación de segunda tensión de alimentación negativa y tensión de alimentación positiva, en el que una de las dos entradas recibe dicha primera señal binaria, y la tensión de salida representa dicha tercera señal binaria; y
- 50 • una puerta inversora dinámica de CMOS, en el que el terminal drenador de un primer dispositivo PMOSFET está conectado al terminal de fuente de un segundo dispositivo PMOSFET; el terminal de fuente de dicho primer dispositivo PMOSFET está conectado a tierra o a dicha tensión de alimentación positiva; el terminal drenador de dicho segundo dispositivo PMOSFET está conectado al terminal drenador de un dispositivo NMOSFET; la fuente de dicho dispositivo NMOSFET está conectada a dicha segunda tensión de alimentación negativa; los terminales de puerta interconectados de dicho primer dispositivo PMOSFET y dicho dispositivo NMOSFET reciben dicha primera señal binaria; el terminal de puerta de dicho segundo dispositivo PMOSFET recibe dicha segunda señal binaria; el nodo drenador común de dicho segundo dispositivo PMOSFET y dicho dispositivo NMOSFET se designa como la salida, y está conectado a la segunda entrada de dicha puerta estática de dos entradas de CMOS NOR.
- 55

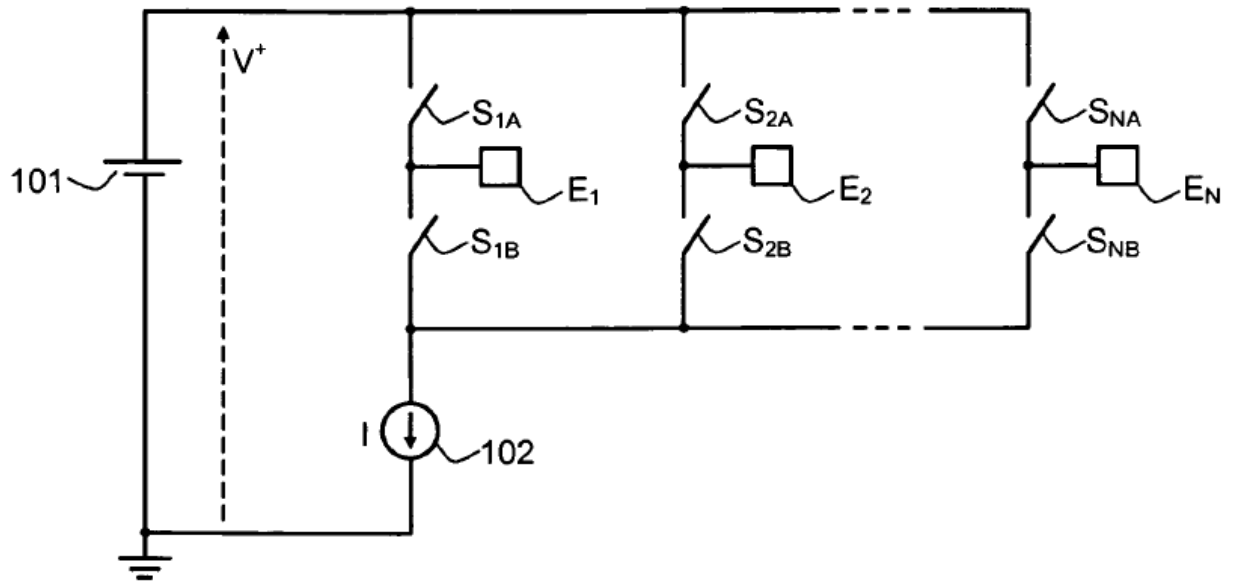


Figura 1:

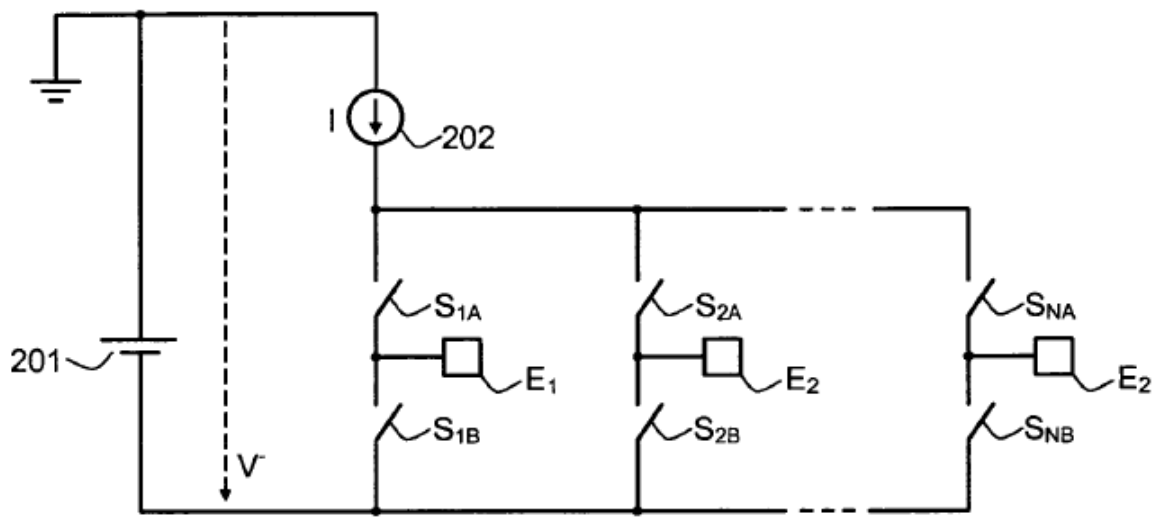


Figura 2:

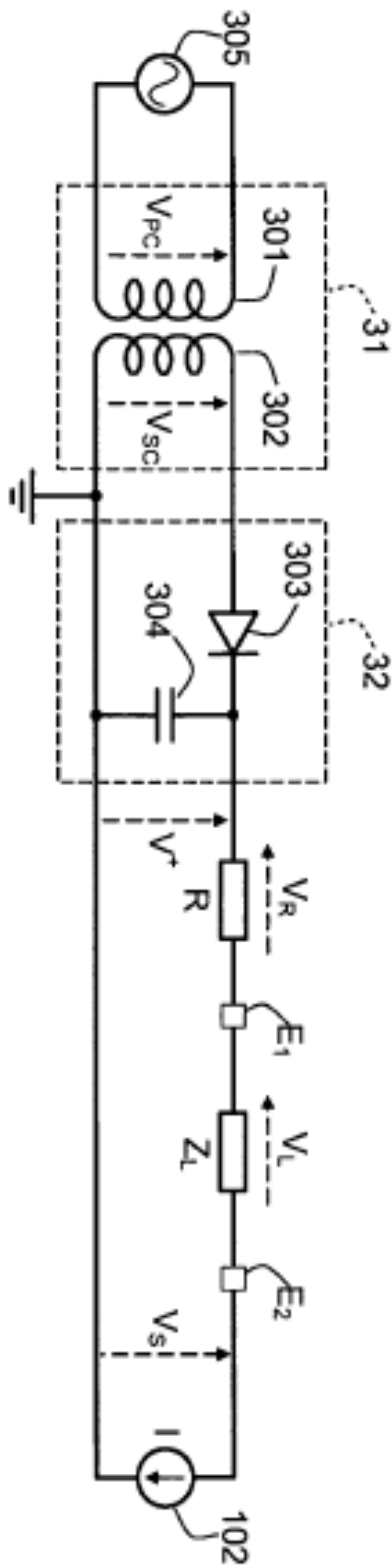


Figura 3:

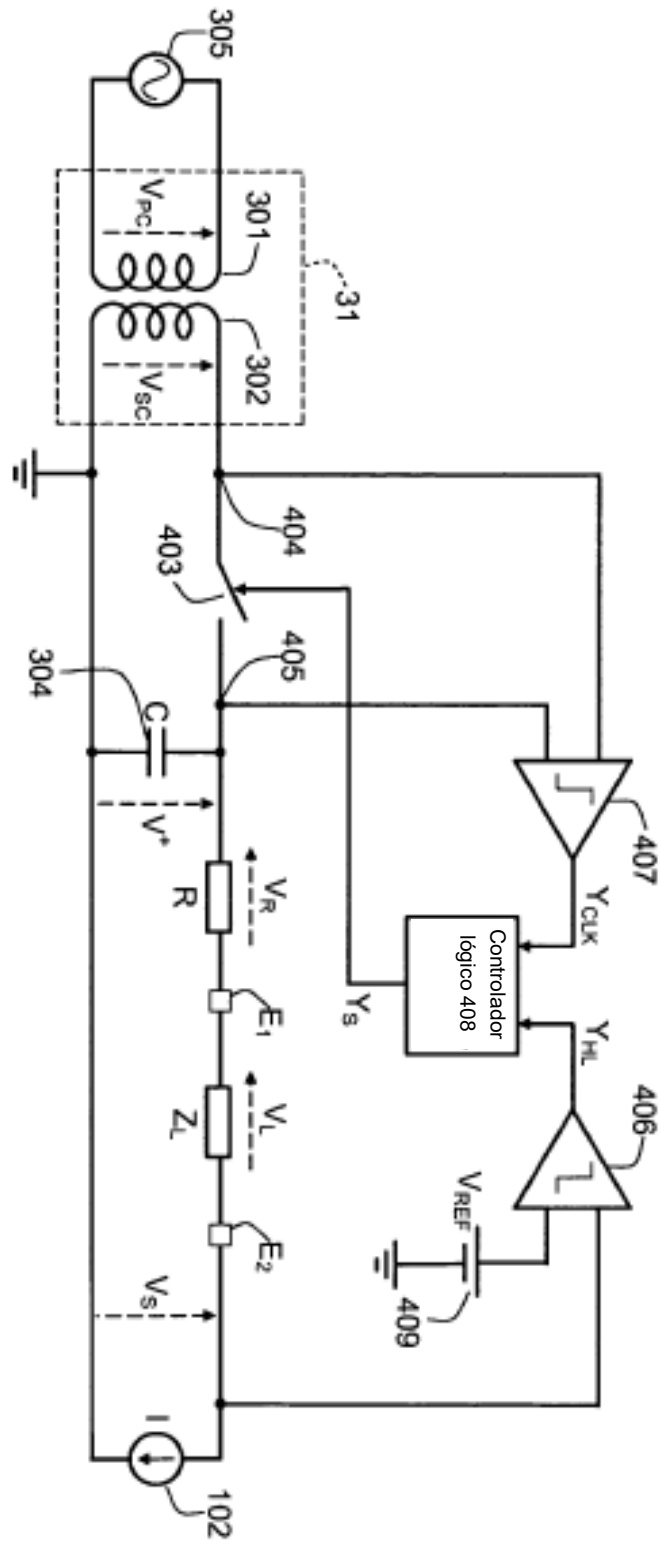


Figura 4:

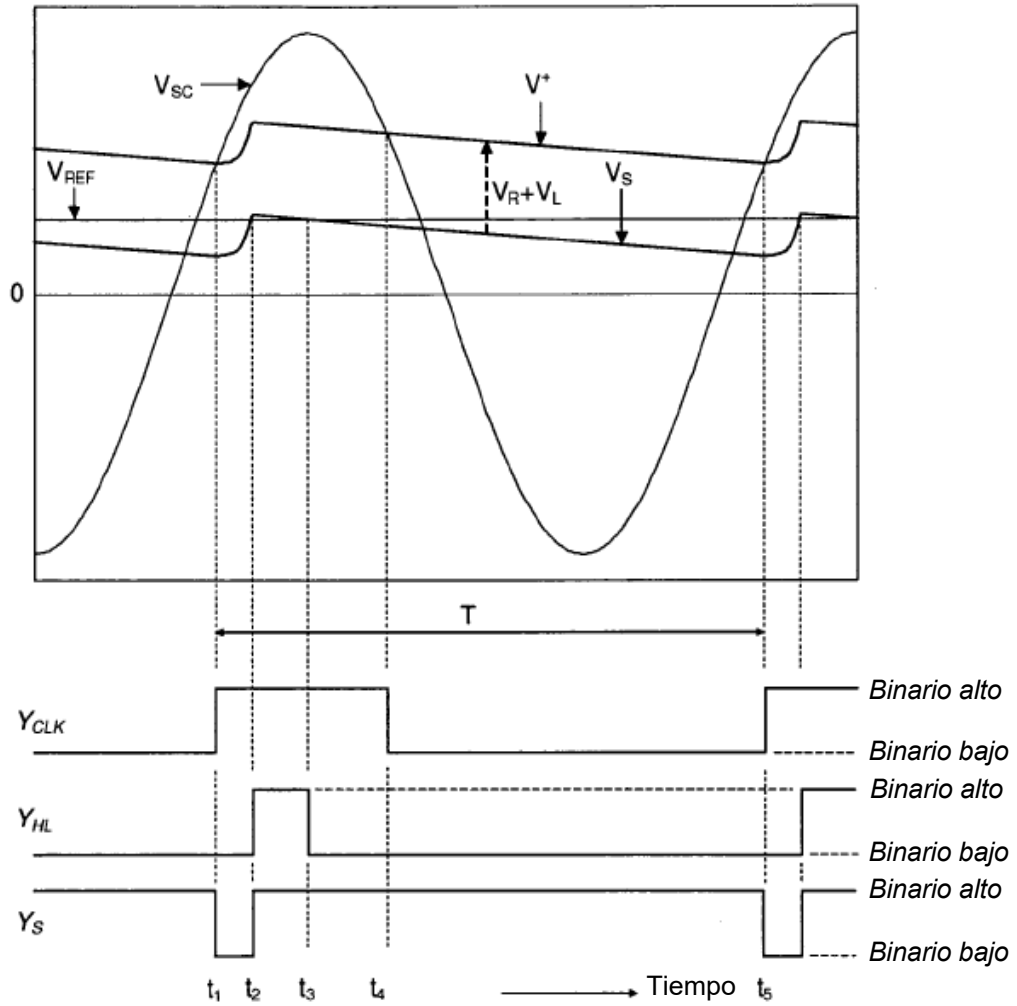


Figura 5:

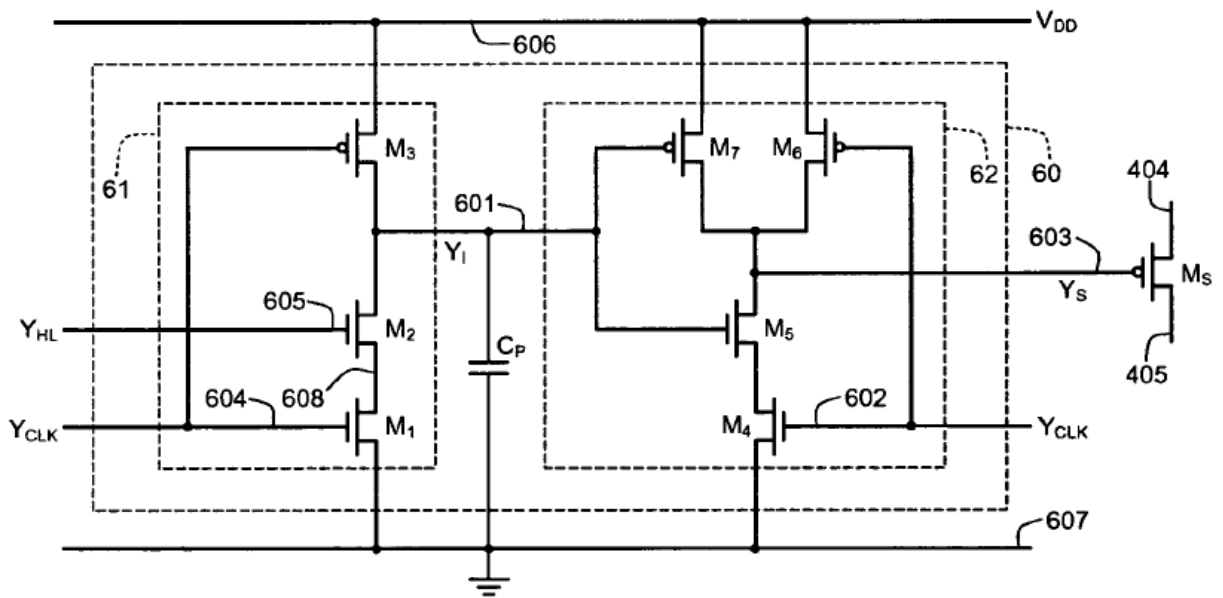


Figura 6:

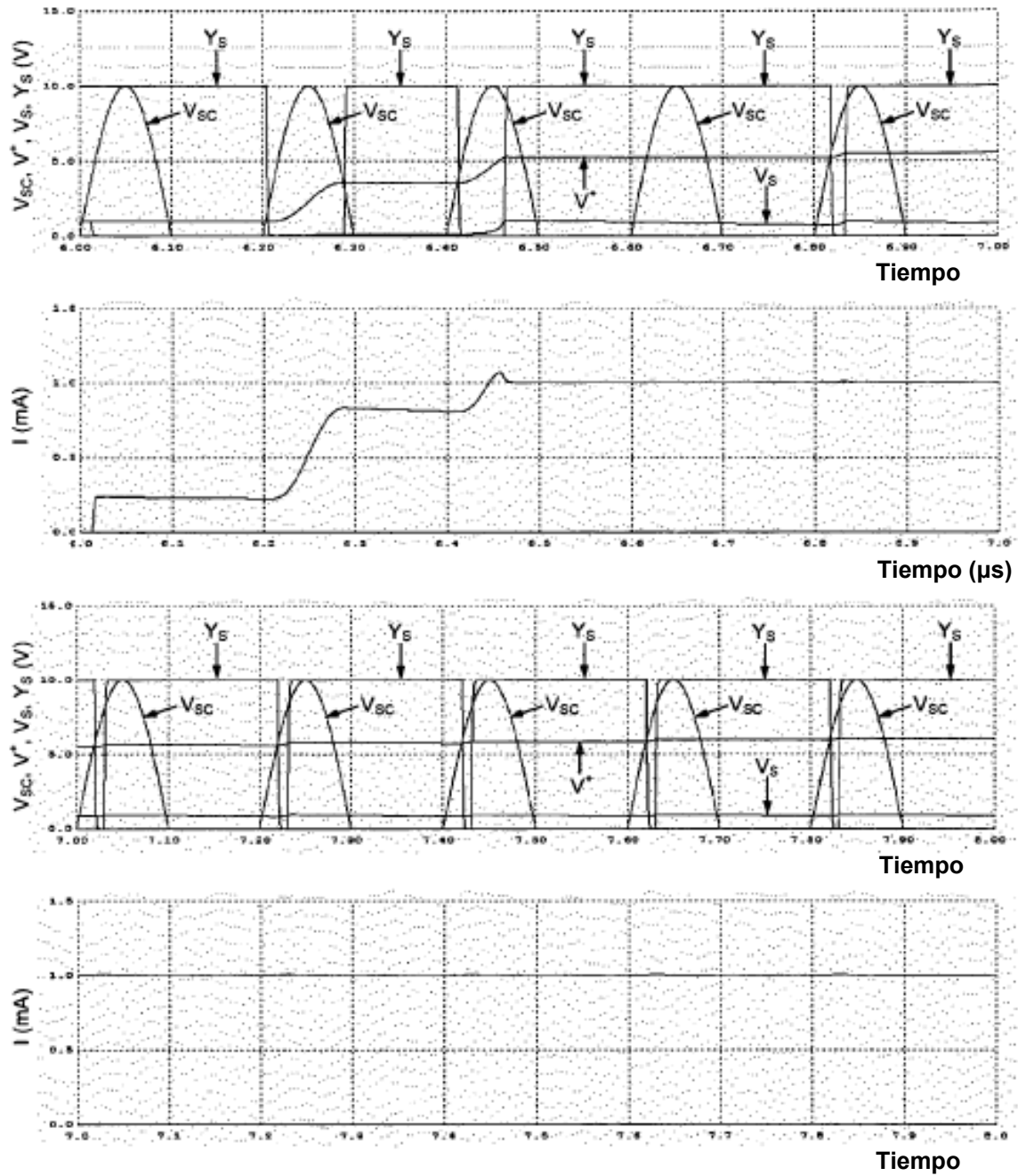


Figura 7:

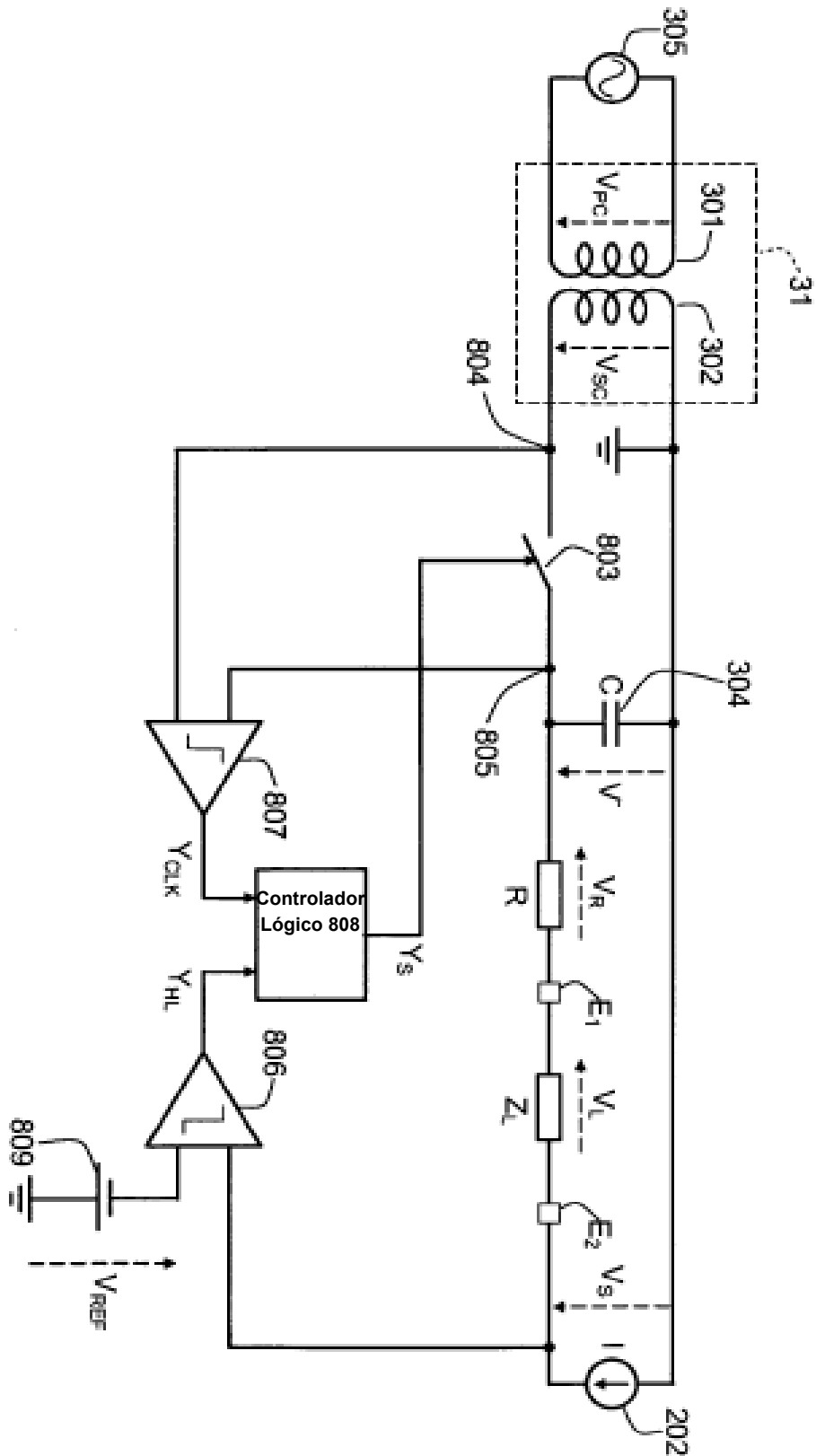


Figura 8:

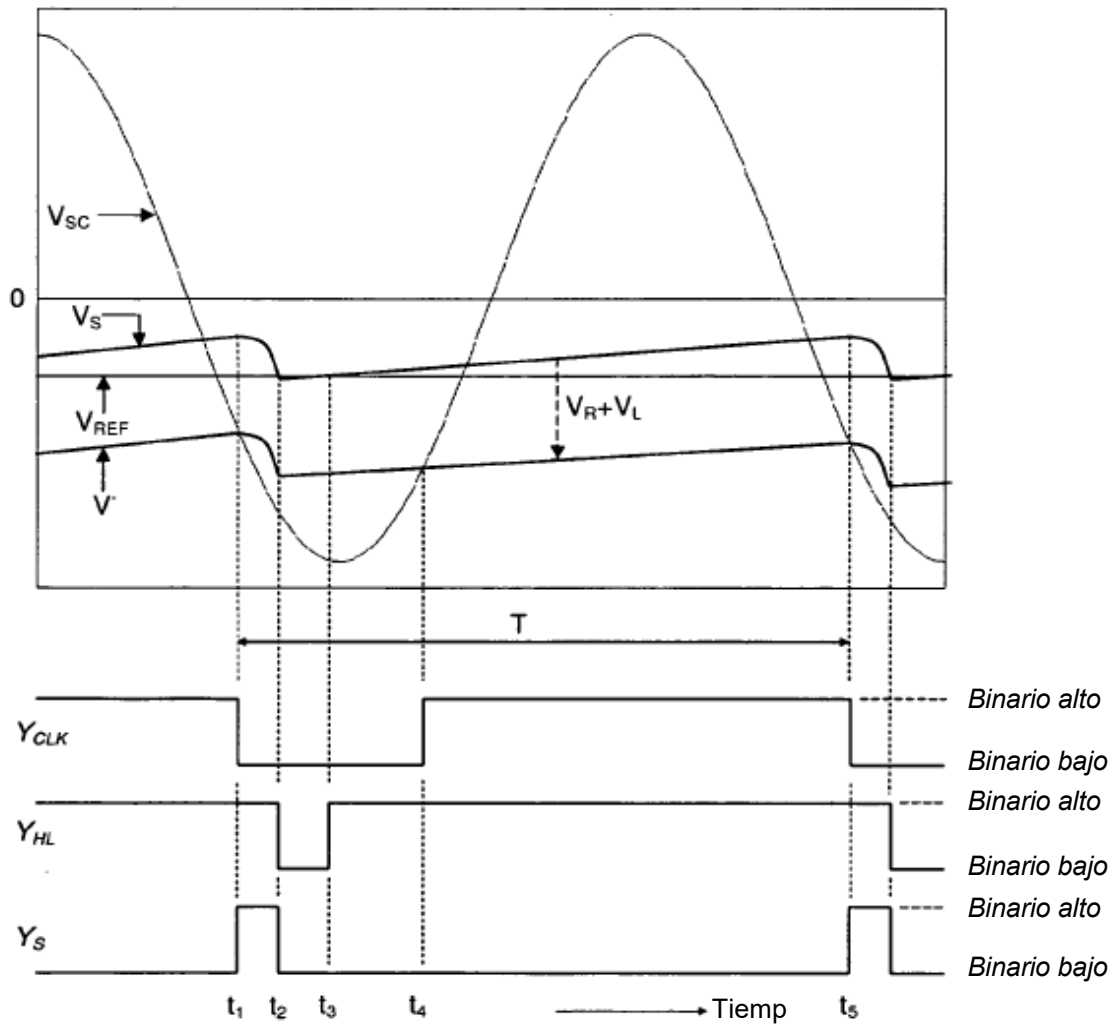


Figura 9:

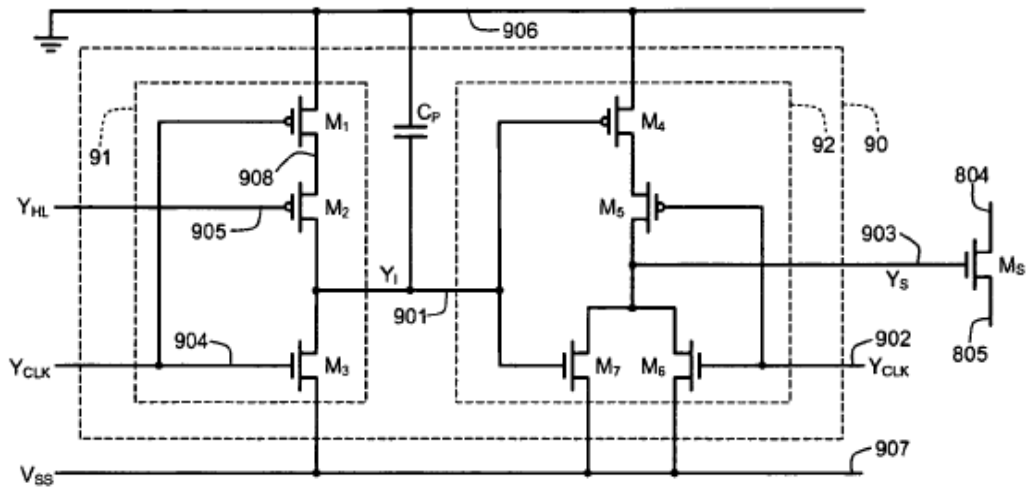


Figura 10: