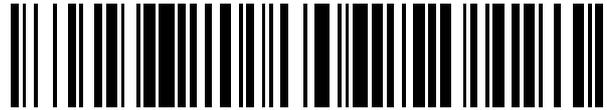


19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 563 854**

51 Int. Cl.:

H03K 7/08

(2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **22.02.2013 E 13707260 (9)**

97 Fecha y número de publicación de la concesión europea: **13.01.2016 EP 2817885**

54 Título: **Modulador por ancho de pulso de alta resolución**

30 Prioridad:

23.02.2012 US 201261602528 P
21.02.2013 US 201313773177

45 Fecha de publicación y mención en BOPI de la traducción de la patente:
16.03.2016

73 Titular/es:

MICROCHIP TECHNOLOGY INCORPORATED
(100.0%)
2355 West Chandler Boulevard
Chandler, AZ 85224-6199, US

72 Inventor/es:

GARBUTT, MICHAEL;
VAN EEDEN, JACOBUS ALBERTUS y
MARTIN, DAVID

74 Agente/Representante:

CARPINTERO LÓPEZ, Mario

ES 2 563 854 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Modulador por ancho de pulso de alta resolución

La presente divulgación se refiere a un modulador por ancho de pulso, en particular, a moduladores por ancho de pulso de alta resolución.

5 Los moduladores por ancho de pulso convencionales (PWM), por ejemplo, una unidad PWM en un microcontrolador, se limitan, en general, en su resolución al reloj de sistema general. La resolución en las unidades periféricas PWM es un parámetro importante, que determina con qué precisión puede controlarse el ancho de pulso. Si el ancho de pulso de PWM no puede controlarse con la suficiente precisión se producirán una serie de problemas, tales como un ciclo límite o simplemente un valor de tensión de salida incorrecto. Como se ha indicado anteriormente, el ajuste de
10 ancho de pulso de PWM más pequeño sería, habitualmente, igual al periodo de reloj de sistema. En un dispositivo de 16 MHz este sería de 62,5 ns.

En la mayoría de las aplicaciones de fuentes de alimentación en modo conmutado (SMPS), el intervalo operativo para el ciclo de trabajo resulta ser solo una fracción del intervalo completo. Por ejemplo, un convertidor reductor CC/CC de 12 V a 1,2 V usaría menos de un 10 % del intervalo completo, lo que reduce la resolución de PWM eficaz en 3,3 bits. Todo esto significa que un PWM convencional usado para una SMPS a una frecuencia de conmutación de 600 kHz que funciona a partir de un reloj de sistema de 16 MHz sería capaz, en el mejor de los casos, de lograr 5 bits de resolución, y si fuera un convertidor CC/CC, como se ha descrito anteriormente, perdería 3,3 bits de resolución, lo que da como resultado una resolución de control eficaz de solo 1,7 bits que es, evidentemente, no deseable.

20 La publicación de solicitud de patente de Estados Unidos US 2007/0195876 desvela un modulador por ancho de pulso digital de auto-calibración. La publicación de solicitud de patente de Estados Unidos US 2006/0164142 desvela un modulador por ancho de pulso de alta resolución. La publicación de solicitud de patente de Estados Unidos US 2010/0127789 desvela procedimientos y sistemas para un modulador por ancho de pulso digital.

25 Por lo tanto, existe una necesidad de un PWM mejorado que tenga una alta resolución. Este y otros objetos pueden lograrse mediante un modulador por ancho de pulso, un microcontrolador o un procedimiento como se define en las reivindicaciones independientes. En las reivindicaciones dependientes se caracterizan otras mejoras.

De acuerdo con una realización, un modulador por ancho de pulso puede comprender una primera fuente de reloj que proporciona una señal de reloj a una entrada de inicio de un controlador de salida configurado para iniciar una señal de salida de ancho de pulso y que tiene una entrada de reinicio para reiniciar la señal de salida de ancho de pulso; una unidad de control de ciclo de trabajo acoplada con la entrada de reinicio del controlador de salida, en el que la unidad de control de ciclo de trabajo comprende un oscilador controlado numéricamente (NCO) que está acoplado con un registro y configurado para proporcionar una síntesis digital directa para producir una frecuencia especificada de acuerdo con un valor establecido en el registro y que comprende además una lógica que recibe una señal de una segunda fuente de reloj y dicha señal de salida de ancho de pulso para activar dicho oscilador controlado numéricamente.

De acuerdo con una realización adicional, el NCO puede generar una señal de salida con un ciclo de trabajo fijo promedio durante un periodo de tiempo. De acuerdo con una realización adicional, la primera fuente de reloj puede ser un temporizador, una unidad PWM, una fuente externa que proporciona una señal temporizada de manera regular o una señal temporizada de manera irregular. De acuerdo con una realización adicional, la segunda fuente de reloj puede ser una fuente de reloj de sistema, un temporizador, una unidad PWM, una fuente externa. De acuerdo con una realización adicional, el oscilador controlado numéricamente (NCO) puede comprender una entrada de reloj que recibe una señal derivada de la segunda fuente de reloj, un registro de incremento acoplado con un sumador configurado para sumar el valor del registro de incremento con un contenido de un acumulador, en el que el acumulador genera una señal de desbordamiento usada como la señal de salida del NCO. De acuerdo con una realización adicional, la señal de desbordamiento puede someterse a una puerta lógica AND con la señal derivada de la segunda fuente de reloj para generar la señal de salida del NCO. De acuerdo con una realización adicional, la señal de salida sometida a una puerta lógica AND puede alimentarse a una entrada de reloj de un biestable D cuya salida invertida se acopla con la entrada D y cuya salida no invertida proporciona la señal de salida de NCO. De acuerdo con una realización adicional, el NCO puede comprender un multiplexor de entrada para seleccionar una pluralidad de señales de entrada, en el que una de las señales de entrada es dicha señal derivada de la segunda fuente de reloj. De acuerdo con una realización adicional, el controlador de salida puede ser un biestable D que comprende una entrada de reloj acoplada con la primera fuente de reloj, una entrada D acoplada con una lógica alta, una entrada de reinicio acoplada con la salida de la unidad de control de ciclo de trabajo y una salida no invertida que proporciona la señal de salida del controlador de salida. De acuerdo con una realización adicional, la celda lógica configurable puede comprender una primera puerta AND que tiene una primera entrada acoplada con la segunda fuente de reloj y una segunda entrada acoplada con la salida del controlador de salida, una segunda puerta AND que tiene una primera entrada acoplada con la segunda fuente de reloj y una segunda entrada que recibe la señal de salida de NCO, y una puerta OR acoplada con las salidas de las puertas AND primera y segunda y que genera la señal de entrada de NCO.

De acuerdo con otra realización, un microcontrolador puede comprender el modulador por ancho de pulso como se ha descrito anteriormente, en el que el controlador de salida está formado por una primera celda lógica configurable en dicho microcontrolador y la lógica dentro de dicha unidad de control de ciclo de trabajo está formada por una segunda celda lógica configurable en dicho microcontrolador.

5 De acuerdo con una realización adicional del microcontrolador, la primera celda lógica configurable puede configurarse como un biestable D y la lógica dentro de dicha unidad de control de ciclo de trabajo está configurada como dos puertas AND cuyas salidas están acopladas con la entrada de una puerta OR. De acuerdo con una realización adicional del microcontrolador, una entrada de reloj del biestable D puede acoplarse con la primera fuente de reloj y una entrada de puesta a cero está acoplada con la salida del NCO. De acuerdo con una realización adicional del microcontrolador, la primera entrada de la primera puerta AND puede acoplarse con la salida del biestable D, la segunda entrada de la primera puerta AND y la primera entrada de la segunda puerta AND están acopladas con la segunda fuente de reloj, la segunda entrada de la segunda puerta AND está acoplada con la salida del NCO, y la salida de la puerta OR está acoplada con la entrada del NCO.

15 De acuerdo con otra realización más, un procedimiento para proporcionar una señal modulada por ancho de pulso puede comprender las siguientes etapas: proporcionar una primera señal de reloj a una entrada de inicio de un controlador de salida configurado para iniciar una señal de salida de ancho de pulso y que tiene una entrada de reinicio para reiniciar la señal de salida de ancho de pulso; y generar una señal de reinicio mediante un oscilador controlado numéricamente (NCO) que está acoplado con un registro y configurado para proporcionar una síntesis digital directa para producir una frecuencia especificada de acuerdo con un valor establecido en el registro, en el que el NCO recibe una señal de reloj derivada de una segunda señal de reloj, la señal de reinicio y la señal de salida modulada por ancho de pulso.

20 De acuerdo con una realización adicional del procedimiento, el NCO puede generar una señal de salida con un ciclo de trabajo fijo promedio durante un período de tiempo. De acuerdo con una realización adicional del procedimiento, la primera señal de reloj puede generarse por un temporizador, una unidad PWM, una fuente externa que proporciona una señal temporizada de manera regular o una señal temporizada de manera irregular. De acuerdo con una realización adicional del procedimiento, la segunda señal de reloj puede generarse por una fuente de reloj de sistema, un temporizador, una unidad PWM, o una fuente externa. De acuerdo con una realización adicional del procedimiento, el oscilador controlado numéricamente (NCO) bajo el control de la señal derivada de la segunda fuente de reloj, puede sumar repetidamente un valor de incremento a un acumulador, en el que el acumulador genera una señal de desbordamiento usada para generar la señal de salida del NCO. De acuerdo con una realización adicional del procedimiento, la segunda señal de reloj puede someterse a una puerta lógica AND con la señal de salida modulada por ancho de pulso y someterse a una puerta lógica OR con la segunda señal de reloj sometida a una puerta lógica AND con la señal de salida del NCO, y en el que la señal sometida a una puerta lógica OR es la señal derivada de la segunda señal de reloj alimentada al NCO.

35 **Breve descripción de los dibujos**

La figura 1 muestra un diagrama de bloques de acuerdo con una realización.

La figura 2 muestra una realización que usa un periférico NCO y un periférico CLC en un microcontrolador.

La figura 3 muestra la resolución habitual de una unidad PWM convencional.

La figura 4 muestra una posible implementación de un oscilador controlado numéricamente (NCO) periférico.

40 La figura 5 muestra unos diagramas de temporización de diversas señales de un NCO.

La figura 6 muestra un diagrama de bloques simplificado de una celda lógica periférica configurable en un microcontrolador.

La figura 7 muestra posibles celdas lógicas que pueden seleccionarse de manera programable dentro de un microcontrolador.

45 Las figuras 8A y 8B muestran unos diagramas de temporización de moduladores PWM convencionales y un modulador PWM de acuerdo con diversas realizaciones, respectivamente.

Las figuras 9A-D muestran la resolución de bits de un PWM de alta resolución representado frente al ciclo de trabajo de diversas configuraciones.

Descripción detallada

50 En un intento de aumentar la resolución de PWM, tiene que mejorarse la precisión del temporizador de ciclo de trabajo. Para lograr esto existen diversos enfoques. Sin embargo, las fuentes de alimentación en modo conmutado (SMPS) y los dispositivos similares no son tan sensibles al ancho de pulso, sino más bien al ancho de pulso promedio, ya que funcionan equilibrando el flujo de energía entre la carga y la fuente. Esto es un cambio de paradigma con respecto al diseño de SMPS convencional. Las soluciones convencionales que requieren un PWM se

buscarían en los PWM periféricos disponibles en el dispositivo. Un procedimiento establecido para mejorar la resolución consiste simplemente en aumentar la frecuencia de reloj. Por lo tanto, las soluciones convencionales se han centrado simplemente en aumentar el reloj para resolver este problema.

5 Promediando los anchos de pulso puede lograrse un control de ancho de pulso eficaz mucho más pequeño que el reloj de sistema de acuerdo con diversas realizaciones. Este concepto puede ser difícil de aceptar. Sin embargo, las realizaciones físicas de acuerdo con la presente divulgación pueden demostrar los resultados mejorados. Por lo tanto, incluso con un reloj de sistema de 62,5 ns en un diseño digital que es un límite físico a la precisión mediante el que pueden controlarse las señales, puede lograrse un ajuste de ancho de pulso de 15 ps de acuerdo con diversas realizaciones, como se explicará en más detalle a continuación.

10 Las SMPS funcionan fundamentalmente controlando la transferencia de energía promedio a la carga, en otras palabras, promedian de manera inherente el ancho de pulso suministrado. En muchos microcontroladores, por ejemplo, los microcontroladores fabricados por el cesionario de la presente divulgación, está disponible un módulo oscilador controlado numéricamente (NCO). De acuerdo con diversas realizaciones, puede usarse un módulo oscilador controlado numéricamente (NCO) periférico de este tipo para mejorar la resolución de PWM. Para este fin, el NCO puede usarse con una técnica denominada síntesis digital directa para generar una frecuencia que, en promedio, puede ajustarse con mucha exactitud añadiendo una oscilación de pequeña amplitud controlada con precisión a la salida generada. La misma técnica (de hecho, el mismo periférico) puede usarse para crear un ancho de pulso ajustable con mucha exactitud ($1/f$) de esta manera.

20 Además, también se proporcionan diversos microcontroladores, en particular ciertos microcontroladores fabricados por el cesionario de la presente divulgación, para celdas lógicas configurables (CLC). De acuerdo con diversas realizaciones, usando una CLC de este tipo, como una lógica de pegamento, el NCO existente puede convertirse en un PWM con un incremento de ancho de pulso promedio tan pequeño como 15 ps (picosegundos) en un dispositivo que funciona con un reloj de 16 MHz en el soporte físico actual. Esto producirá una resolución de PWM eficaz de 17 bits para el mismo escenario que se ha descrito anteriormente usando exactamente el mismo reloj de 16 MHz en el mismo dispositivo.

25 Un cliente de esta señal promedia con precisión el ancho de pulso producido a lo largo del tiempo, como es el caso de una SMPS. Para el NCO, el cliente tiene que promediar la frecuencia. Como un efecto secundario positivo, la fluctuación usada para generar un ancho de pulso promedio propagará ligeramente de manera eficaz los armónicos de frecuencia de conmutación y, por lo tanto, mejorará el rendimiento de la compatibilidad electromagnética (EMC) del dispositivo.

30 Un procedimiento de soporte lógico para aumentar la resolución de frecuencia de conmutación de PWM se publicó por Microchip en 2006 como la nota de solicitud 1050. El enfoque consistía en aumentar la resolución de frecuencia del PWM usando un contador de desbordamiento.

35 Las diversas realizaciones propuestas en la presente divulgación no mejoran la resolución de frecuencia, pero se aumenta la resolución de control de ancho de pulso usando una técnica similar. Combinando ambos procedimientos puede hacerse posible controlar tanto la frecuencia de conmutación como la precisión de ancho de pulso.

40 Además, las diversas realizaciones propuestas en la presente divulgación implementan la técnica en el soporte físico de una manera simple y eficaz. De acuerdo con una realización, puede usarse un reloj generado por DDS para generar un PWM de resolución extremadamente alta con anchos de pulso promedio ajustables en incrementos de hasta picosegundos. Las diversas realizaciones pueden implementarse en el soporte físico existente combinando la CLC y los NCO periféricos. Se usará para el control de las aplicaciones de fuentes de alimentación SMPS.

De acuerdo con diversas realizaciones, usando las propiedades del NCO periférico puede producirse una señal de PWM de alta resolución.

45 Como se muestra en la figura 1, de acuerdo con una realización, se representa un circuito 100 de control que comprende un reloj 110 de conmutación que se usa para proporcionar la base de tiempo o la frecuencia de conmutación para la señal de PWM. Esta base 110 de tiempo puede ser un temporizador en el microcontrolador, un PWM en el microcontrolador, una señal externa temporizada de manera regular o una señal irregular, tal como una entrada de detección de corriente cero o una entrada de detección de tensión cero. De acuerdo con diversas realizaciones, el reloj 110 de conmutación puede ajustarse, por ejemplo, por medio de una señal de control digital. El controlador 120 de salida puede configurarse para iniciar y reiniciar una señal de salida de PWM, controlando de este modo el ancho de pulso. Por lo tanto, el reloj 110 de conmutación que, como se ha indicado anteriormente, puede ajustarse, determina la frecuencia de conmutación de PWM. Las diversas realizaciones también pueden usarse para producir un solo pulso, no una señal de PWM regular, sino un pulso monoestable (de una sola operación) de una duración especificada.

55 El segundo componente funcional importante es el control 130 de ciclo de trabajo como se muestra en la figura 1. El control 130 de ciclo de trabajo usa una fuente 140 de reloj, que puede ser un reloj de oscilador, una señal temporizada de manera regular interna, tal como un temporizador u otro PWM, o una señal externa proporcionada a través de una patilla de microcontrolador. Esta fuente 140 de reloj se conecta a través de algunas puertas 150

lógicas al oscilador 160 controlado numéricamente (NCO) periférico en el microcontrolador. El NCO 160 periférico es un contador de desbordamiento que implementa la síntesis digital directa para producir una frecuencia especificada implementando un contador de desbordamiento que mantiene el valor de acarreo en el acumulador. El registro 170 de incremento se usa para determinar la frecuencia de conmutación. La frecuencia producida por el NCO 160 es, en promedio, la que se ha establecido en el registro 170 de incremento, lo que se logra emitiendo ocasionalmente un pulso que es un reloj más rápido que el pulso normal debido al acarreo en el acumulador que provoca un desbordamiento temprano. El efecto de esta variación es que se emite una frecuencia promedio más alta. Usando esta frecuencia para descartar el ancho de pulso, la frecuencia ($1/f = T$) se invierte de manera eficaz para implementar un ancho de pulso promedio controlable con precisión en el PWM.

El controlador 120 de salida combina la señal de conmutación del reloj 110 de conmutación y el controlador 130 de ciclo de trabajo entre sí activando el reloj de controlador de ciclo de trabajo solo cuando el control de frecuencia de conmutación ha señalado un período de activación y deshabilitando el reloj de controlador de ciclo de trabajo una vez que se ha completado el pulso de ciclo de trabajo, dejando el sistema listo para recibir el siguiente pulso de control de frecuencia de conmutación y repetir el procedimiento.

La figura 2 muestra un ejemplo de implementación real que usa un microcontrolador con al menos dos celdas lógicas configurables y un NCO. Un microcontrolador de este tipo está disponible por el cesionario de la presente solicitud, por ejemplo el PIC16F1509 fabricado por Microchip Technology Inc., cuya documentación se incorpora como referencia en el presente documento. La primera celda 220 lógica está configurada para formar un biestable D U2 del controlador 120 de salida. La segunda celda 230 lógica está configurada para formar dos puertas U3, U4 AND y una puerta U5 OR. A continuación, las señales de entrada y de salida se encaminan de manera programable para formar el circuito como se muestra en la figura 2. Sin embargo, de acuerdo con otras realizaciones, la lógica especializada puede implementarse en un microcontrolador que proporciona la misma funcionalidad.

El funcionamiento del circuito puede describirse de la siguiente manera: 1. El biestable U2 se temporizará en el flanco positivo de la señal de temporización. Esto hará que la salida Q vaya alta y se active el pulso PWM. 2. A medida que la salida se hace alta, la puerta U3 AND combina esta señal de salida con un reloj de alta velocidad que se alimenta en la patilla de reloj de NCO a través de U5. En este punto, la salida de NCO es baja y U4 no produce ninguna salida. 3. Cuando el NCO se desborda, la salida de NCO va alta, lo que reinicia el biestable, forzando la salida Q del biestable para que vaya baja. Ahora U3 está inactiva debido a que una de las dos entradas de la puerta es baja. 4. U4 se usa para conseguir que el NCO vuelva a un estado estable, ya que se necesita un reloj adicional para devolver la salida de NCO a baja. Una vez que la salida de NCO vuelve a baja, U4 tampoco producirá ninguna salida de reloj y el sistema estará en un estado estable con la salida baja. 5. Cuando se recibe el siguiente flanco positivo de la fuente de temporización, el procedimiento se repite desde la etapa 1 anterior. La cantidad de tiempo que tarda el NCO en desbordarse dependerá del resto que queda en el acumulador después del último desbordamiento, así como el registro de incremento. Debido a la acumulación de restos, el pulso a veces será un reloj de sistema más corto de lo habitual. Controlando la frecuencia con la que esto se produce (estableciendo el registro de incremento), puede controlarse con exactitud el ancho de pulso promedio.

La figura 4 muestra a modo de ejemplo un oscilador controlado numéricamente que puede implementarse como un dispositivo periférico dentro de un microcontrolador. El módulo 400 oscilador controlado numéricamente (NCO) es un temporizador que usa el desbordamiento de la adición de un valor de incremento para dividir la frecuencia de entrada. La ventaja del procedimiento de adición sobre un temporizador accionado por un contador simple es que la resolución de la división no varía con el valor del divisor. El NCO 400 es más útil para aplicaciones que requieren una precisión de frecuencia y una buena resolución en un ciclo de trabajo fijo. Las características del NCO incluyen: función de incremento de 16 bits, modo de ciclo de trabajo fijo (FDC), modo de frecuencia de pulso (PF), control de ancho de pulso de salida, múltiples fuentes de entrada de reloj, control de polaridad de salida, y capacidad de interrupción.

El módulo NCO funciona en un modo de funcionamiento de ciclo de trabajo fijo añadiendo repetidamente un valor fijo almacenado en un registro/memoria intermedia 410/420 a un acumulador 460 por medio de un sumador 430. Las adiciones se producen a la frecuencia de reloj de entrada proporcionada por un multiplexor 440 y una puerta 450 de habilitación. El acumulador 460 se desbordará periódicamente con un acarreo, que es la señal de salida de NCO sin procesar. Esta salida puede someterse a una puerta lógica AND con el reloj de entrada por medio de una puerta 470 AND para generar una señal de salida, por ejemplo, una señal de interrupción NCOxSI. Además, esta señal puede encaminarse a través de otra lógica 480 como se muestra en la figura 4 y alimentarse a un multiplexor 490 para generar una señal de salida final NCOxSALIDA que se usa como la señal de salida del oscilador controlado numéricamente. El multiplexor 490 se usa para seleccionar un modo de modulación de frecuencia de pulso usando la lógica mostrada en la parte inferior de la figura. 4, que no es pertinente para las presentes realizaciones.

De acuerdo con la funcionalidad del NCO cuando funciona en el modo de ciclo de trabajo fijo, el reloj de entrada se reduce por la relación del valor de adición con el valor de acumulador máximo:

$$F_{\text{desbordamiento}} = (\text{frecuencia de reloj de NCO} * \text{valor de incremento})/2^n,$$

en la que n es el ancho de acumulador en bits.

La salida de NCO puede modificarse aún más por la lógica adicional estirando el pulso o alternando un biestable. A continuación, la salida de NCO modificada puede distribuirse internamente a otros periféricos y emitirse, opcionalmente, a una patilla. El desbordamiento de acumulador también genera una interrupción. El periodo NCOx cambia en etapas específicas para crear una frecuencia promedio. Esta salida depende de la capacidad del circuito de recepción para promediar la salida de NCOx para reducir la incertidumbre.

El acumulador 460 puede ser, por ejemplo, un registro de 20 bits. El acceso de lectura y de escritura al acumulador 460 puede estar disponible a través de tres registros. El sumador 430 de NCO puede ser un sumador completo, que funciona independientemente del reloj de sistema. La adición del resultado anterior y el valor de incremento sustituye el valor de acumulador en el flanco de subida de cada reloj de entrada.

El valor 410 de incremento puede almacenarse en dos registros 420 de 8 bits que forman un incremento de 16 bits. Ambos registros pueden ser de lectura y de escritura. Los registros 410, 420 de incremento pueden ser de doble memoria intermedia para permitir que se realicen cambios de valor sin deshabilitar en primer lugar el módulo 400 NCO. Las cargas de memoria intermedia son inmediatas cuando el módulo está deshabilitado. Es necesario escribir en el registro de incremento en primer lugar debido a que, a continuación, la memoria 420 intermedia se carga de manera síncrona con el funcionamiento del NCO después de que la escritura se ejecuta en el registro 410 de incremento.

En el modo de ciclo de trabajo fijo (FDC), cada vez que se desborda el acumulador 460, se alterna la salida. Esto proporciona un ciclo de trabajo del 50 %, siempre que el valor de incremento se mantenga constante. En la figura 5 puede verse un diagrama de temporización. El modo FDC se selecciona poniendo a cero un bit de control respectivo en el registro de control de NCO.

En el modo de frecuencia de pulso (PF), cada vez que se desborda el acumulador 460, la salida se activa durante uno o más periodos de reloj. Una vez que expira el periodo de reloj, la salida vuelve a un estado inactivo. Esto proporciona una salida pulsada. La salida se activa en el flanco de subida de reloj inmediatamente después del suceso de desbordamiento. En la figura 5, se muestra de nuevo un diagrama de temporización. El valor de los estados activo e inactivo depende de un bit de polaridad en el registro de control de NCO. El modo PF se selecciona estableciendo un bit correspondiente en el registro de control de NCO.

Cuando se funciona en el modo PF, el estado activo de la salida puede variar de ancho durante múltiples periodos de reloj. Se seleccionan múltiples anchos de pulso con los bits respectivos en un registro de reloj de NCO. Cuando el ancho de pulso seleccionado es mayor que la fase de tiempo de desbordamiento de acumulador, la salida de funcionamiento de NCO es indeterminada.

La última etapa en el módulo NCO es la polaridad de salida. El bit NxPOL en el registro de control de NCO selecciona la polaridad de salida. Cambiar la polaridad mientras que las interrupciones están habilitadas provocará una interrupción de la transición de salida resultante. La salida de NCO puede usarse internamente por el código de fuente u otros periféricos.

Las figuras 6 y 7 muestran ejemplos de un dispositivo periférico de celdas lógicas programables de acuerdo con diversas realizaciones. Sin embargo, como se ha indicado anteriormente, en lugar de celdas lógicas programables, puede implementarse una lógica especializada dentro de un microcontrolador para realizar las mismas funciones. La celda 600 lógica configurable (CLCx) proporciona una lógica programable que funciona fuera de las limitaciones de velocidad de ejecución del soporte lógico. La celda lógica recibe hasta 16 señales de entrada y a través del uso de puertas de selección de entrada configurables reduce las 16 entradas a cuatro líneas lógicas que accionan una de, por ejemplo, ocho funciones lógicas de una sola salida seleccionables. Las fuentes de entrada pueden ser una combinación de las siguientes: patillas E/S, relojes internos, periféricos, y bits de registro. La salida puede dirigirse internamente a los periféricos y a una patilla de salida. La figura 6 muestra un diagrama simplificado que muestra el flujo de señal a través de la CLCx, en el que x indica una celda específica de una pluralidad de celdas lógicas configurables.

Como se muestra en la figura 7, las posibles configuraciones pueden incluir: una lógica combinatoria, tal como AND, NAND, AND-OR, AND-OR-INVERT, OR-XOR y OR-XNOR; y biestables tales como biestables S-R, biestables D temporizados con inicio y reinicio, biestables D transparentes con inicio y reinicio, biestables J-K temporizados con reinicio. La programación del módulo 600 CLCx puede realizarse configurando las 4 etapas en el flujo de señales lógicas. Las 4 etapas son las siguientes: selección de datos, apertura de puerta de datos, selección de función lógica, y polaridad de salida. Cada etapa puede configurarse en el momento de la ejecución escribiendo en los registros de funciones especiales CLCx correspondientes. Esto tiene la ventaja adicional de permitir una reconfiguración lógica sobre la marcha durante la ejecución del programa. Hay 16 señales disponibles como entradas a la lógica configurable. Se usan cuatro multiplexores de 8 entradas para seleccionar las entradas para pasar a la siguiente etapa. Las 16 entradas a los multiplexores están dispuestas en grupos de cuatro. Cada grupo está disponible para dos de los cuatro multiplexores, en cada caso, emparejados con un grupo diferente. Esta disposición hace posible la selección de hasta dos de un grupo sin excluir una selección de otro grupo. Las entradas de datos se seleccionan de los registros de control respectivos. La selección de datos es a través de cuatro multiplexores como se indica en el lado izquierdo de la figura 6. Las entradas de datos se identifican en la figura por

un nombre genérico de entrada numerado.

A continuación, la tabla 1 muestra el ancho de pulso, que este circuito producirá usando un reloj de 16 MHz conectado directamente a la entrada de reloj de NCO (FNCO), dados diversos valores de registro de incremento. Obsérvese que, para valores de incremento altos, un solo incremento del registro cambiará el ancho de pulso por unos simples 15 ps.

TABLA 1: ANCHO DE PULSO PWM CALCULADO PARA DIFERENTES VALORES DE REGISTRO DE INCREMENTO

| Valor de incremento | FSALIDA DE NCO (Hz) | Ancho de pulso promedio (ns) |
|---------------------|---------------------|------------------------------|
| 65000 | 991.821 | 1.008,246 |
| 65001 | 991.837 | 1.008,231 |
| 20000 | 305.176 | 3.276,800 |
| 20001 | 305.191 | 3.276,636 |
| 100 | 1.526 | 655.360,000 |
| 101 | 1.541 | 648.871,287 |

Como se muestra en la figura 8A, la ondulación de un modulador PWM convencional usado en una SMPS puede ser bastante acentuada. La figura 8B muestra la señal de salida de una SMPS con un PWM configurado de acuerdo con diversas realizaciones de la presente divulgación. El NCO 160 puede producir una frecuencia promedio de ajuste preciso con $f = 1/t$ que da como resultado una baja tensión de salida de ondulación. Por lo tanto, el NCO 160 tiene un período de ajuste preciso. Promediando (oscilando), los incrementos de periodo NCO alcanzables son mucho más pequeños que el reloj de la CPU y usando este período para el ancho de pulso PWM, el ancho de pulso puede ajustarse de manera eficaz por incrementos mucho más pequeños que el reloj de la CPU.

Los anchos de pulso de PWM convencionales solo pueden ajustarse por el T_{OSC} a la vez, como se muestra en la figura 3. Cuando una señal modulada por ancho de pulso se convierte en una tensión de CC, por ejemplo, por medio de un filtro de paso bajo, la figura 3 muestra la resolución que puede lograrse mediante dicho modulador PWM convencional, y la figura 8A muestra una grabación de señal de osciloscopio real de una SMPS convencional. A medida que T_{PWM} se acerca a T_{OSC} disminuye la resolución de PWM eficaz. Por ejemplo, con un reloj de 16 MHz, una conmutación a 1 MHz da como resultado: $T_{OSC} = T_{PWM}/16$. De nuevo, esto da como resultado una resolución de PWM en el intervalo completo de tan solo 4 bits (16 posibles valores para el ancho de pulso). El punto de funcionamiento del bucle de control ocupa habitualmente una pequeña parte del intervalo completo del PWM.

Por lo tanto, puede proporcionarse una conmutación de procesador de 16 MHz a 1 MHz para un PWM con 4 bits de resolución (intervalo completo). Si el punto de funcionamiento es de aproximadamente un ciclo de trabajo del 10 %, entonces hay efectivamente solo 1 bit del intervalo de control. Esto da como resultado los valores útiles de: 6,25 %, 12,5 %, y tal vez en el mejor de los casos también 18,75 %. Habitualmente, solo hay 1 bit de control, que en el mejor de los casos podría proporcionar 1,58 bits: $\text{Log}_2(3) = 1,58$. Por lo tanto, el bucle de control hiperactivo oscilará y podría volverse inestable. De este modo, un bucle de control de alta velocidad se convierte en una necesidad.

La tabla 2 muestra una comparación de un PWM convencional con el PWM de acuerdo con diversas realizaciones.

Tabla 2

| | PWM convencional | PWM controlado por NCO |
|--|------------------|------------------------|
| Frecuencia de reloj | 16 MHz | 16 MHz |
| Frecuencia de conmutación | 1 MHz | 1 MHz |
| Oscilación (ciclo de trabajo de 50 % @) | 12,5 % | 0,003 % |
| $V_{ENTRADA}$ | 10 V | 10 V |
| V_{SALIDA} | 5 V | 5 V |
| $V_{OSCILACIÓN}$ | 0,625 V | 152 μ V |
| Mejor ajuste de pulso de PWM | 62,5 ns | 15,26 ps |
| Resolución de PWM de intervalo completo | bits | 16 bits |
| Resolución de control de PWM de intervalo del 10 % | 1 bit | 13 bits |

Los mejores PWM convencionales del mercado tienen anchos de pulso ajustables por 150 ps en los que el ancho de pulso de $T_{OSC} = 150$ ps requiere una frecuencia de 6,7 GHz. Sin embargo, estos dispositivos son, evidentemente, muy costosos y requieren una alta potencia. En un dispositivo de 16 MHz, de acuerdo con diversas realizaciones,

puede lograrse una resolución de 15 ps usando un oscilador controlado numéricamente (NCO) como fuente de reloj. Por lo tanto, puede lograrse un incremento masivo en la resolución de PWM eficaz que es muy atractivo, por ejemplo, para las aplicaciones de SMPS. Un enfoque convencional requeriría incrementar el reloj de sistema a más de 66 GHz para lograr el mismo resultado, lo que supone un coste y una potencia elevados y otras implicaciones prácticas.

El NCO está diseñado para proporcionar un control lineal sobre la frecuencia. Posteriormente, el control sobre el ancho de pulso no es lineal. El ancho de pulso variará con la inversa de la frecuencia ($1/x$). El resultado es que la resolución eficaz del PWM no es constante en el intervalo completo del ciclo de trabajo del 0 % al 100 %. Para cada ajuste del ciclo de trabajo, la resolución eficaz puede calcularse en este punto específico, y puede representarse en una gráfica. Esta curva se verá diferente dependiendo de cuál sea la frecuencia de conmutación, debido a que el ancho de pulso se ajusta independientemente de la frecuencia de conmutación. Para un FSW = 3 kHz y un reloj de 16 MHz, la gráfica se verá como se muestra en la figura 9A. Aunque existe una equivalencia de 21 bits de resolución cerca del ciclo de trabajo del 0 %, este se deteriora a solo 7,5 bits de resolución en el ciclo de trabajo del 100 %, en cuyo punto el PWM convencional superaría a la implementación de alta resolución.

Es interesante, y tal vez en contra del sentido común, que la resolución pueda mejorarse disminuyendo la frecuencia de reloj de entrada de NCO. La reducción de este reloj a 1 MHz tendrá el resultado mostrado en la figura 9B. Por supuesto, hay una limitación, como puede verse, cerca del ciclo de trabajo del 0 %, cuando se alcanza el máximo valor de registro de incremento y no pueden generarse pulsos más pequeños, pero ahora la resolución nunca se reduce a menos de 11 bits.

De acuerdo con otra realización, para mejorar el rendimiento, la señal PWM puede invertirse cuando el ciclo de trabajo supera el 50 %. De esta manera, el ciclo de trabajo con un rendimiento por debajo del 50 % se refleja de manera eficaz en la región por encima del mismo, con una resolución más alta. Todavía existe la opción de usar la curva original en la que se alcanzan los límites del incremento. Esto da como resultado la gráfica que se representa en la figura 9C para las mismas condiciones que la gráfica de la figura 9B.

Para lograr tanto la frecuencia de conmutación más alta posible como la resolución más alta usando esta técnica, puede usarse una configuración como se muestra en la figura 9D. Esta gráfica muestra la resolución alcanzable cuando se usa un reloj de 16 MHz a una frecuencia de conmutación de 500 kHz con una inversión del 50 %.

La salida de PWM de acuerdo con diversas realizaciones produce un ancho de pulso promedio. Aunque este es perfecto para las aplicaciones SMPS, algunas otras aplicaciones de PWM pueden no ser capaces de adaptarse al mismo. Además, la resolución de ajuste de pulso disminuye a medida que se reduce la frecuencia de conmutación.

Preferentemente, las diversas realizaciones pueden implementarse en microcontroladores. Como un efecto secundario, el PWM puede activarse a partir de una señal externa, tal como un detector o un comparador de corriente cero o de tensión cero. Esto puede ser muy importante para la conmutación eficiente del FET. Por lo tanto, puede lograrse un gran aumento (de 4 bits a 16 bits) en la resolución de PWM sin un aumento del coste. Por ejemplo, como se ha mencionado anteriormente, puede usarse un PIC16F1509, fabricado por el cesionario, para implementar una realización de acuerdo con la presente divulgación.

Las presentes realizaciones permiten que unos bucles de control de SMPS de alta precisión se ejecuten a muy baja potencia en una fracción de las velocidades de reloj de los sistemas convencionales, y sigan realizando múltiples órdenes de mejor magnitud. Velocidades de conmutación más altas significan densidades de potencia más altas, lo que a su vez significa fuentes de alimentación físicamente más pequeñas y menos costosas. Uno de los factores del diseño de SMPS que limita la frecuencia de conmutación es que la resolución de PWM disminuye a medida que aumenta la frecuencia de conmutación.

REIVINDICACIONES

1. Un modulador por ancho de pulso que comprende:

5 una primera fuente (110; 210) de reloj que proporciona una señal de reloj a una entrada de inicio de un controlador (120; 220) de salida configurado para iniciar una señal de salida de ancho de pulso y que tiene una entrada de reinicio para reiniciar la señal de salida de ancho de pulso;
 una unidad (130; 230) de control de ciclo de trabajo acoplada con la entrada de reinicio del controlador (120; 220) de salida, en el que la unidad (130; 230) de control de ciclo de trabajo comprende un oscilador (160) controlado numéricamente (NCO) que está acoplado con un registro (170) y configurado para proporcionar una síntesis digital directa para producir una frecuencia especificada de acuerdo con un valor establecido en el registro (170)
 10 y que comprende además una lógica (150) que recibe una señal de una segunda fuente (140) de reloj y dicha señal de salida de ancho de pulso para activar dicho oscilador (160) controlado numéricamente.

2. El modulador por ancho de pulso de acuerdo con la reivindicación 1, en el que el oscilador (160; 400) controlado numéricamente (NCO) comprende una entrada de reloj que recibe una señal derivada de la segunda fuente de reloj, un registro (410) de incremento acoplado con un sumador (430) configurado para sumar el valor del registro (410) de incremento con un contenido de un acumulador (460), en el que el acumulador (460) genera una señal de desbordamiento usada como la señal de salida del NCO (160; 400).

3. El modulador por ancho de pulso de acuerdo con la reivindicación 5, en el que la señal de desbordamiento se somete a una puerta lógica AND con la señal derivada de la segunda fuente de reloj para generar la señal de salida del NCO (160; 400), en el que la señal de salida sometida a una puerta lógica AND se alimenta a una entrada de reloj de un biestable D (480) cuya salida invertida se acopla con la entrada D y cuya salida no invertida proporciona la señal de salida de NCO y en el que, opcionalmente, el NCO (160; 400) comprende un multiplexor (440) de entrada para seleccionar una pluralidad de señales de entrada, en el que una de las señales de entrada es dicha señal derivada de la segunda fuente (140) de reloj.

4. El modulador por ancho de pulso de acuerdo con la reivindicación 1, en el que el controlador (220) de salida es un biestable D que comprende una entrada de reloj acoplada con la primera fuente (210) de reloj, una entrada D acoplada con una lógica alta (Vcc), una entrada de reinicio acoplada con la salida de la unidad (230) de control de ciclo de trabajo y una salida no invertida que proporciona la señal de salida del controlador (220) de salida.

5. El modulador por ancho de pulso de acuerdo con la reivindicación 4, en el que una celda lógica configurable está configurada como:

30 una primera puerta (U3) AND que tiene una primera entrada acoplada con la segunda fuente (140) de reloj y una segunda entrada acoplada con la salida del controlador (120; 220) de salida,
 una segunda puerta (U4) AND que tiene una primera entrada acoplada con la segunda fuente (140) de reloj y una segunda entrada que recibe la señal de salida de NCO, y
 una puerta (U5) OR, acoplada con las salidas de las puertas (U3, U4) AND primera y segunda y que genera la
 35 señal de entrada de NCO.

6. Un microcontrolador que comprende el modulador por ancho de pulso de acuerdo con una de las reivindicaciones anteriores, en el que el controlador (220) de salida está formado por una primera celda lógica configurable en dicho microcontrolador y la lógica dentro de dicha unidad (230) de control de ciclo de trabajo está formada por una segunda celda lógica configurable en dicho microcontrolador.

7. El microcontrolador de acuerdo con la reivindicación 6, en el que la primera celda lógica configurable está configurada como un biestable D y la lógica dentro de dicha unidad de control de ciclo de trabajo está configurada como dos puertas AND cuyas salidas están acopladas con la entrada de una puerta OR.

8. El microcontrolador de acuerdo con la reivindicación 7, en el que una entrada de reloj del biestable D está acoplada con la primera fuente de reloj y una entrada de puesta a cero está acoplada con la salida del NCO (160; 400).

9. El microcontrolador de acuerdo con la reivindicación 8, en el que la primera entrada de la primera puerta AND está acoplada con la salida del biestable D, la segunda entrada de la primera puerta AND y la primera entrada de la segunda puerta AND están acopladas con la segunda fuente de reloj, la segunda entrada de la segunda puerta AND está acoplada con la salida del NCO (160; 400), y la salida de la puerta OR está acoplada con la entrada del NCO (160; 400).

10. Un procedimiento para proporcionar una señal modulada por ancho de pulso que comprende:

proporcionar una primera señal de reloj a una entrada de inicio de un controlador (120; 220) de salida configurado para iniciar una señal de salida de ancho de pulso y que tiene una entrada de reinicio para reiniciar la señal de salida de ancho de pulso;

- 5 generar una señal de reinicio mediante un oscilador (160; 400) controlado numéricamente (NCO) que está acoplado con un registro (170; 410) y configurado para proporcionar una síntesis digital directa para producir una frecuencia especificada de acuerdo con un valor establecido en el registro (170; 410), en el que el NCO (160; 400) recibe una señal de reloj derivada de una segunda señal (140) de reloj, la señal de reinicio y la señal de salida modulada por ancho de pulso.
11. El modulador por ancho de pulso o el microcontrolador de acuerdo con una de las reivindicaciones anteriores 1-9 o el procedimiento de acuerdo la reivindicación 10, en el que el NCO (160; 400) genera una señal de salida con un ciclo de trabajo fijo promedio durante un período de tiempo.
- 10 12. El modulador por ancho de pulso, el microcontrolador o el procedimiento de acuerdo con una de las reivindicaciones anteriores, en el que la primera señal de reloj se genera por un temporizador, una unidad PWM, una fuente externa que proporciona una señal temporizada de manera regular o una señal temporizada de manera irregular.
- 15 13. El modulador por ancho de pulso, el microcontrolador o el procedimiento de acuerdo con una de las reivindicaciones anteriores, en el que la segunda señal de reloj se genera por una fuente de reloj de sistema, un temporizador, una unidad PWM, o una fuente externa.
14. El procedimiento de acuerdo con una de las reivindicaciones anteriores 10-13, en el que el oscilador (160; 400) controlado numéricamente (NCO) bajo el control de la señal derivada de la segunda fuente (140) de reloj, suma repetidamente un valor de incremento a un acumulador (460), en el que el acumulador (460) genera una señal de desbordamiento usada para generar la señal de salida del NCO (160; 400).
- 20 15. El procedimiento de acuerdo con la reivindicación 14, en el que la segunda señal de reloj se somete a una puerta lógica AND con la señal de salida modulada por ancho de pulso y se somete a una puerta lógica OR con la segunda señal de reloj sometida a una puerta lógica AND con la señal de salida del NCO, y en el que la señal sometida a una puerta lógica OR es la señal derivada de la segunda señal de reloj alimentada al NCO.

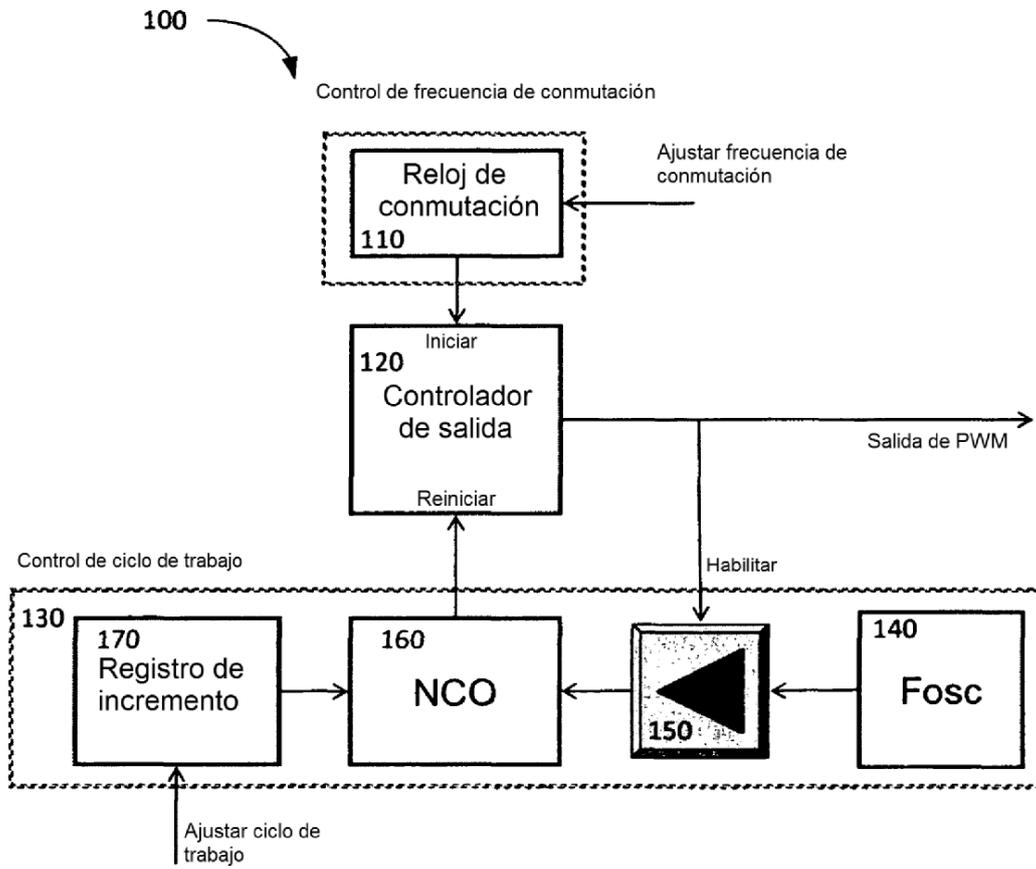
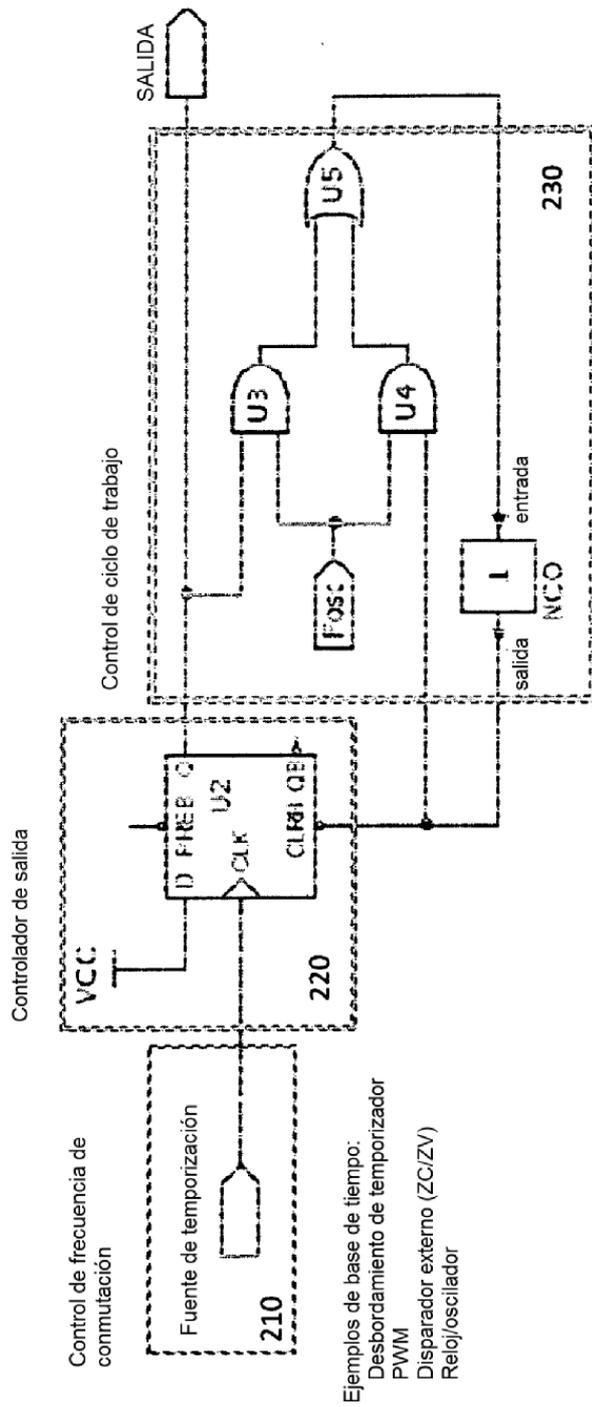


Figura 1



- Ejemplos de base de tiempo:
- Desbordamiento de temporizador
 - PWM
 - Disparador externo (ZC/ZV)
 - Reloj/oscilador

Figura 2

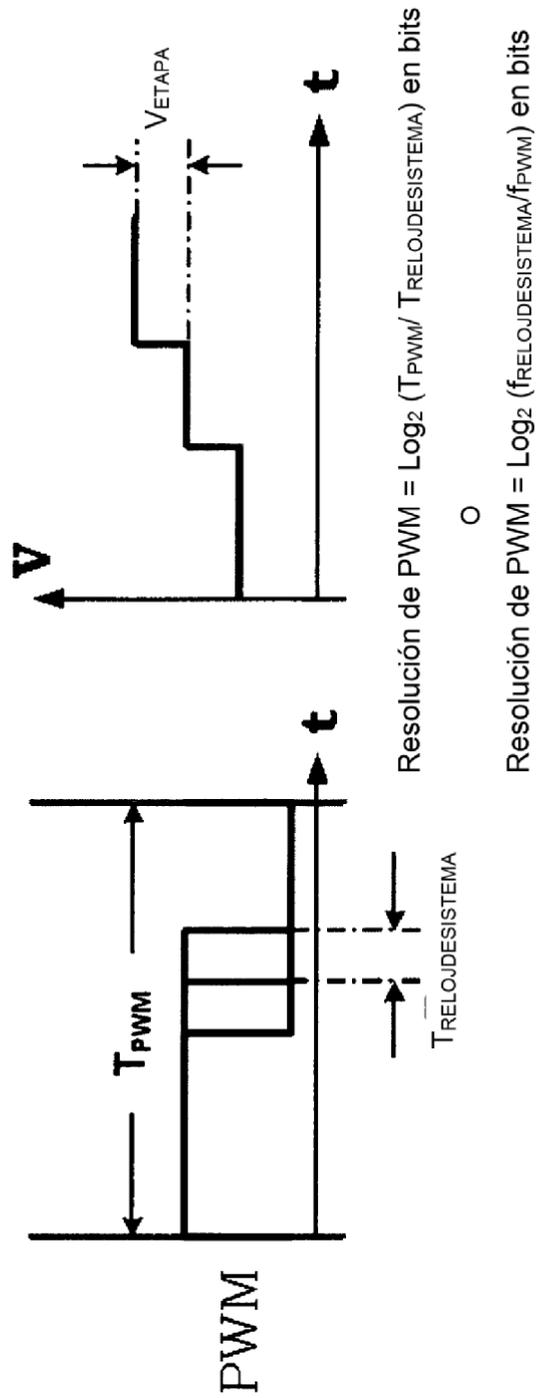


Figura 3

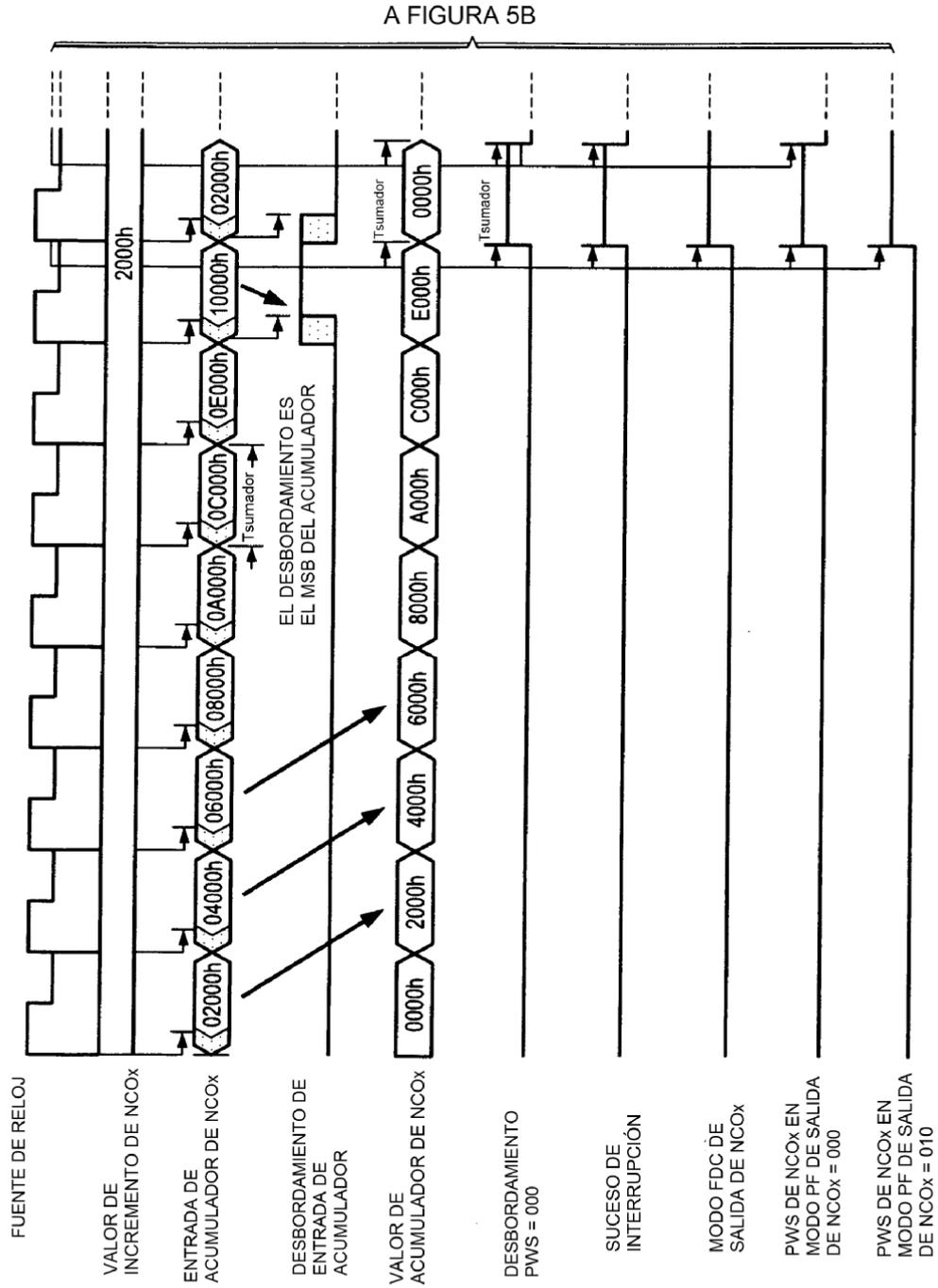


FIG. 5A

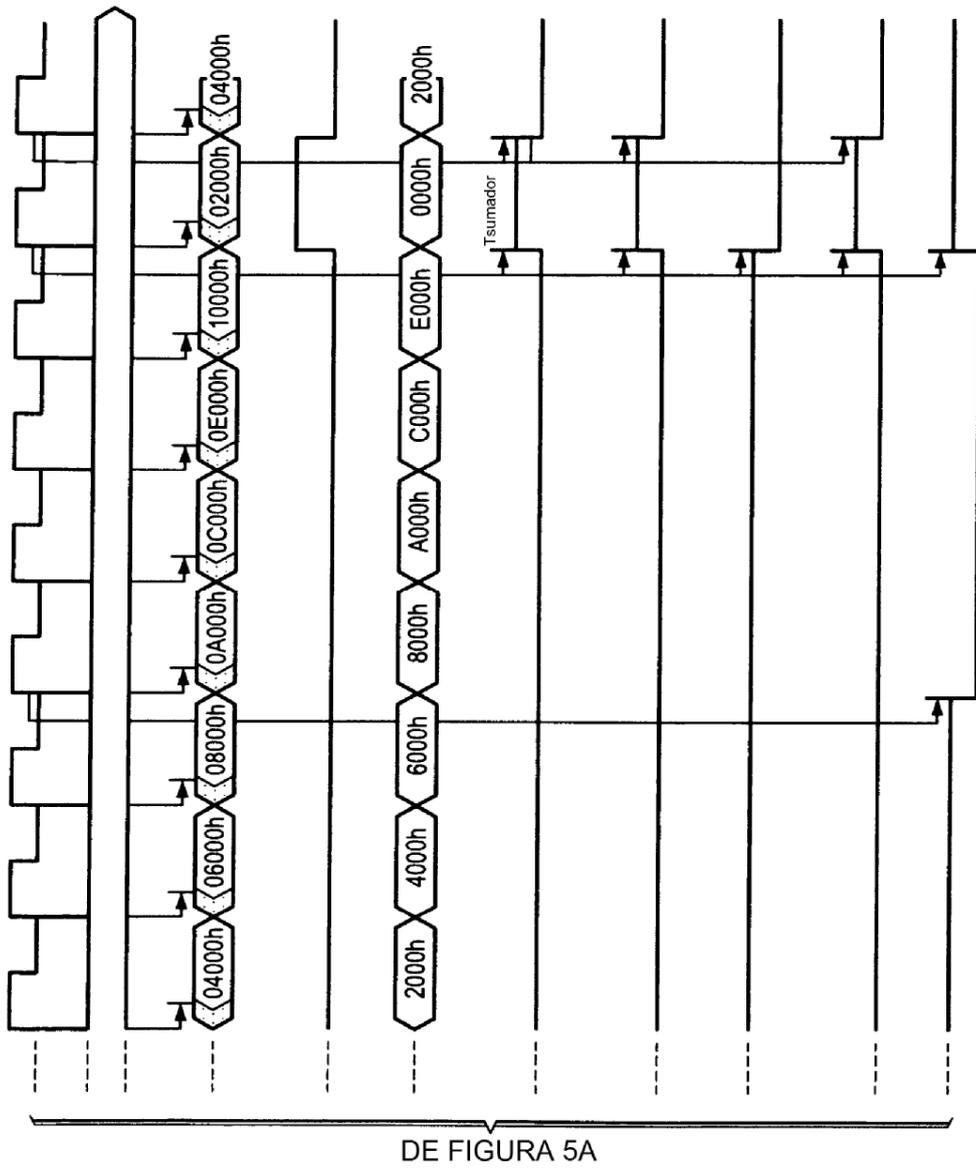


FIG. 5B

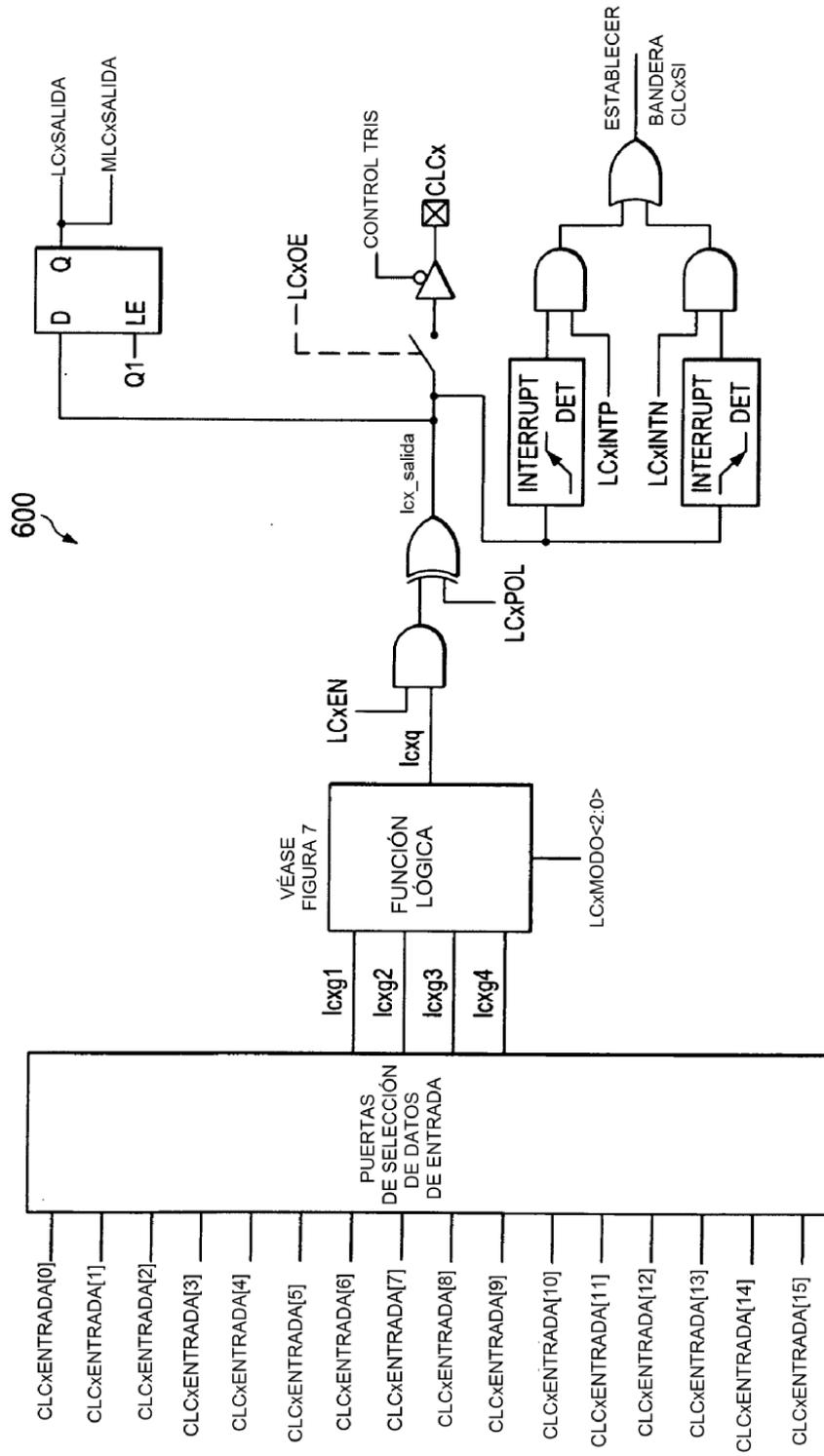


FIG. 6

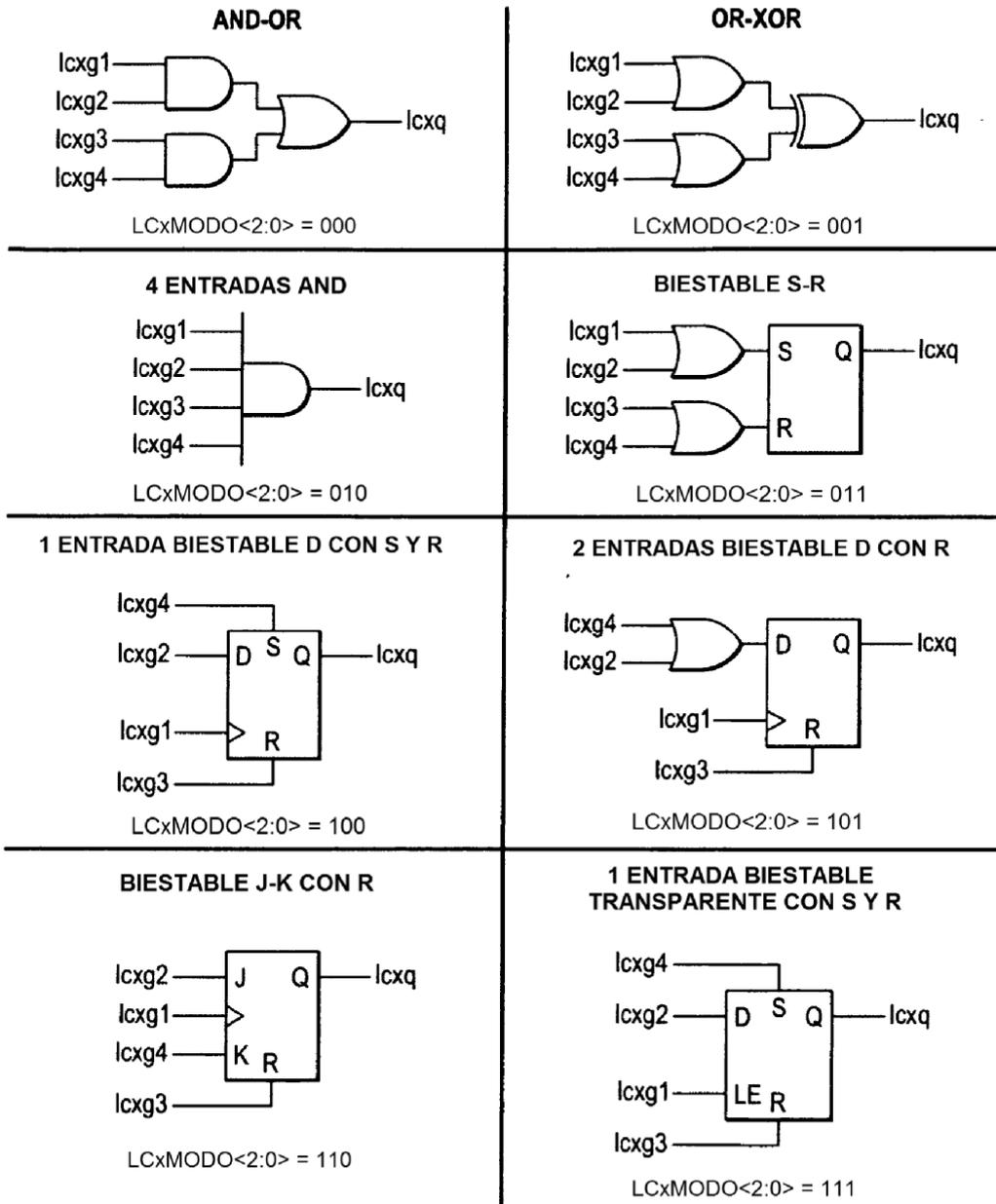


FIG. 7

FIG. 8A

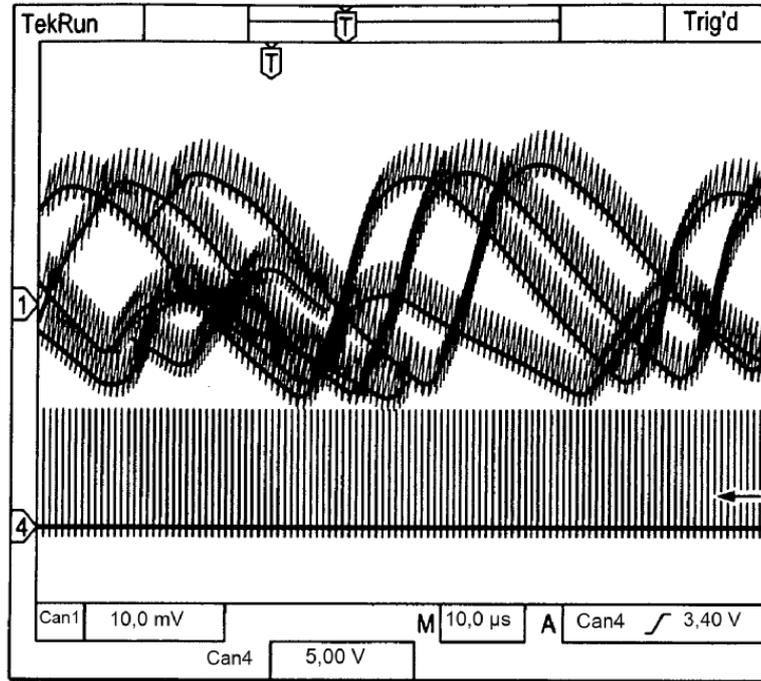
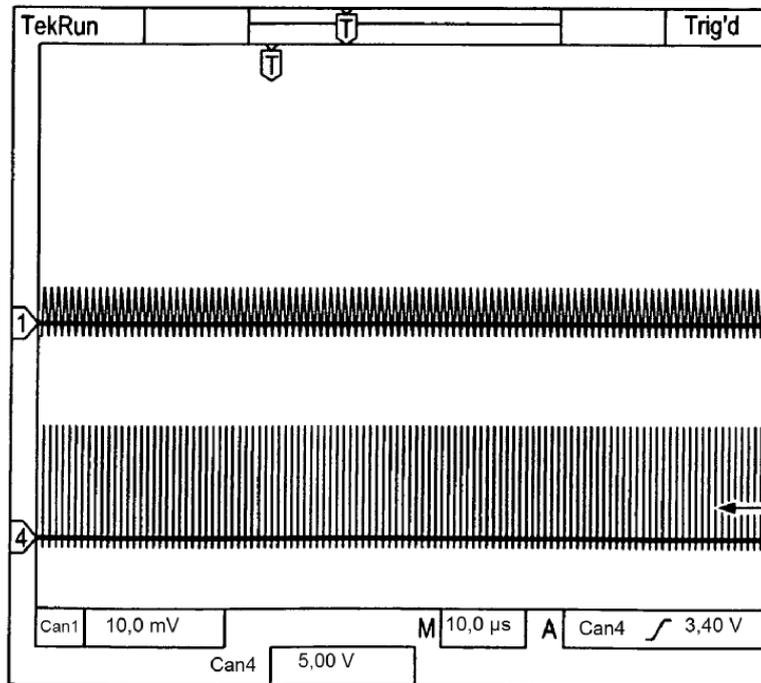


FIG. 8B



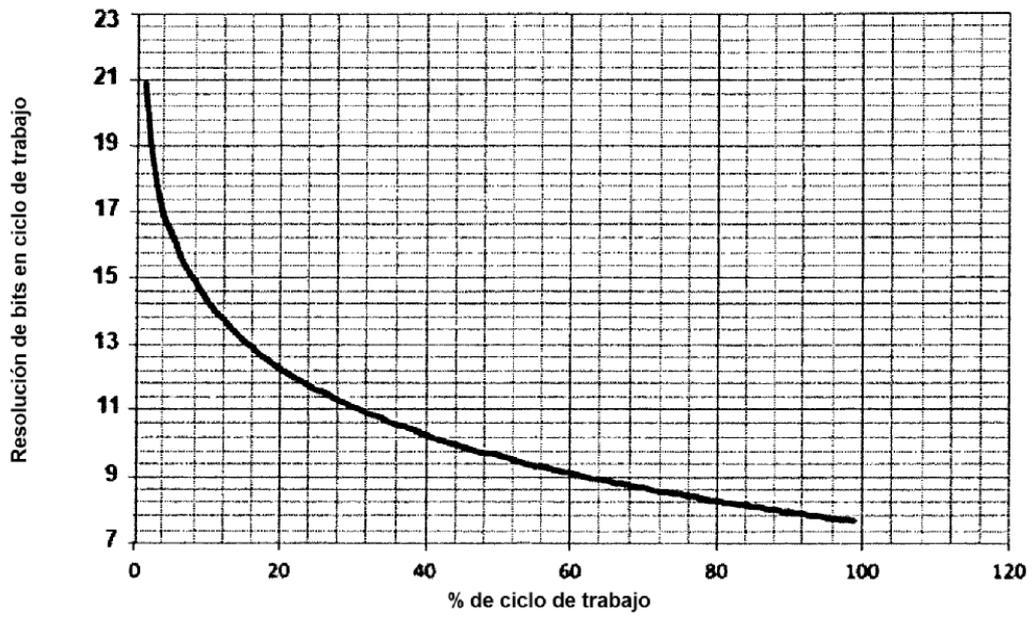


Figura 9A

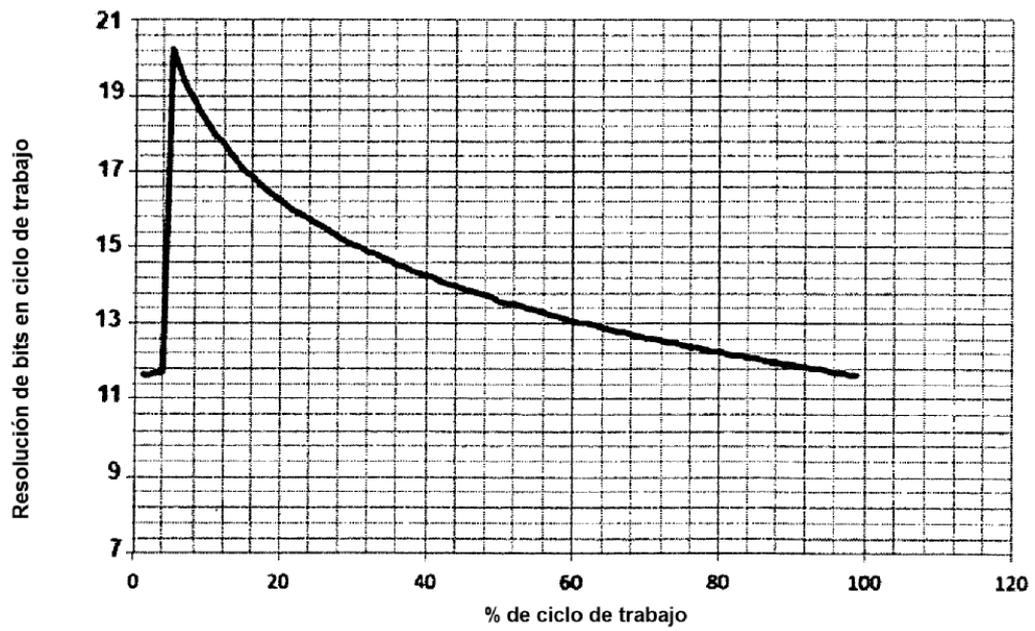


Figura 9B

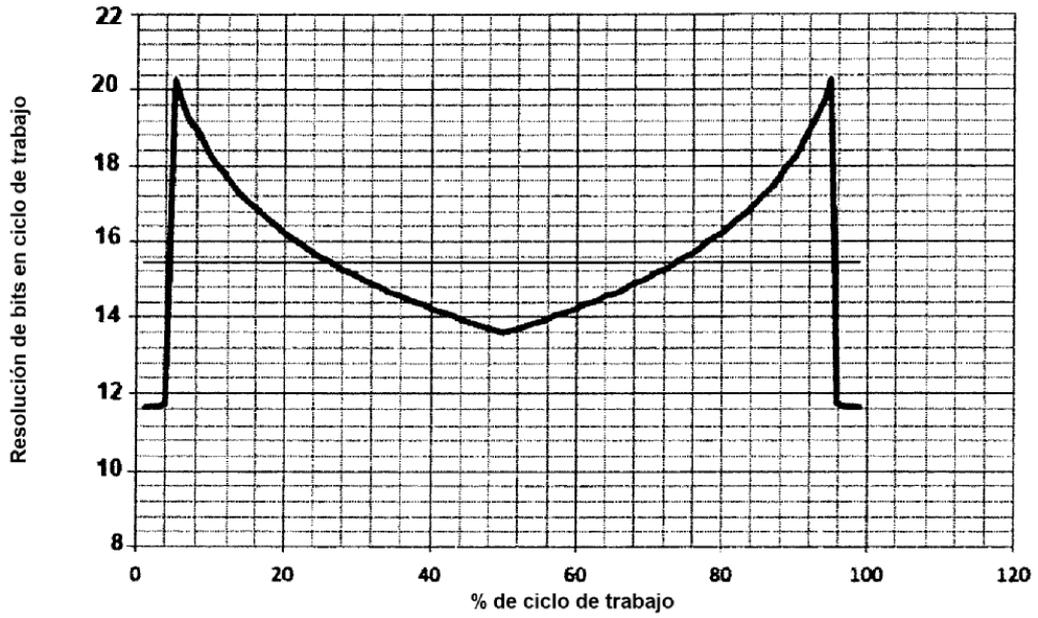


Figura 9C

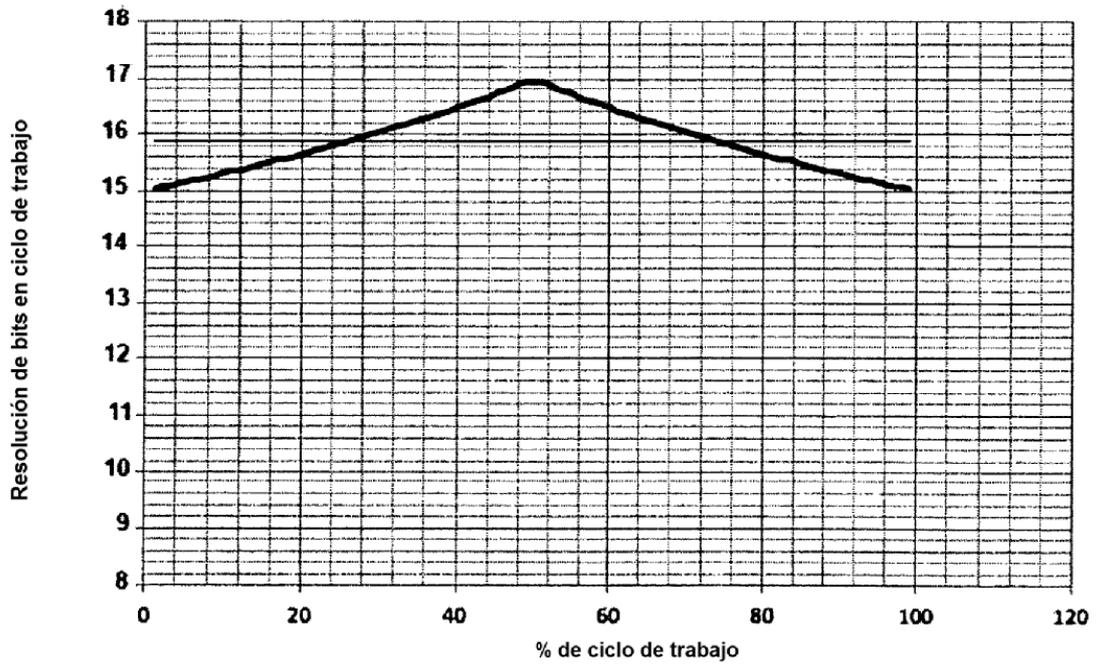


Figura 9D