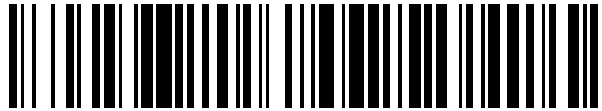


19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 564 814**

51 Int. Cl.:

**A61N 1/36** (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **21.07.2005 E 09003543 (7)**

97 Fecha y número de publicación de la concesión europea: **10.02.2016 EP 2077135**

54 Título: **Arquitectura de salida de corriente para dispositivo de estimulación implantable**

30 Prioridad:

**08.07.2005 US 177503**

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

**29.03.2016**

73 Titular/es:

**BOSTON SCIENTIFIC NEUROMODULATION  
CORPORATION (100.0%)  
25129 RYE CANYON LOOP  
VALENCIA, CA 91355, US**

72 Inventor/es:

**PETERSON, DAVE y  
HE, YUPING**

74 Agente/Representante:

**CARPINTERO LÓPEZ, Mario**

**ES 2 564 814 T3**

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

## DESCRIPCIÓN

Arquitectura de salida de corriente para dispositivo de estimulación implantable.

**Campo de la invención**

5 La presente invención se refiere, en general, a dispositivos de estimulación implantables, por ejemplo, a un generador de impulsos utilizado en un sistema de Estimulación de la Médula Espinal (SCS) u otro tipo de sistema de estimulación neural. Más en concreto, la presente invención se refiere a una arquitectura de fuente / sumidero de corriente de salida utilizada para suministrar corrientes hacia / desde los electrodos del dispositivo.

**Antecedentes**

10 Los dispositivos de estimulación implantables son dispositivos que generan y suministran estímulos eléctricos a los nervios y los tejidos corporales para el tratamiento de diversos desórdenes biológicos, como por ejemplo marcapasos, para tratar la arritmia cardiaca, desfibriladores para tratar la fibrilación cardiaca, estimuladores cocleares para tratar la sordera, estimuladores retinianos para tratar la ceguera, estimuladores musculares para generar el movimiento coordinado de los miembros, estimuladores de la médula espinal para tratar desórdenes motores y fisiológicos y otros estimuladores neurales para tratar la incontinencia urinaria, la apnea del sueño, la subluxación del hombro, etc. La presente invención puede resultar aplicable en todas las aplicaciones referidas, aunque la descripción subsecuente en general se centrará en el uso de la invención dentro de un sistema de estimulación de la médula espinal, como por ejemplo el divulgado en la Patente estadounidense 6,516,227 ("la Patente 6,516,227"), concedida el 4 de febrero de 2003 a nombre de los inventores Paul Meadows et al..

20 La estimulación de la médula espinal es un procedimiento clínico generalmente utilizado para reducir el dolor en determinados segmentos de pacientes. Un sistema de Estimulación de la Médula Espinal (SCS) típicamente incluye un Generador de Impulsos Implantable (IPG) o un transmisor y receptor de Radiofrecuencia (RF), electrodos, al menos un conductor de electrodo y, de manera opcional, al menos una extensión del conductor de electrodo. Los electrodos, que se alojan en un extremo distal del conductor de electrodo, son típicamente implantados a lo largo de la duramadre de la médula espinal, y el transmisor del IPG o de RF genera unos impulsos eléctricos que son  
25 suministrados a través de los electrodos hasta las fibras nerviosas situadas dentro de la columna vertebral. Los contactos de electrodo individuales ("los electrodos") están dispuestos en una pauta y una separación prescritas para crear un conjunto de electrodos. Los hilos individuales situados dentro de uno o más conductores de electrodo conectan con cada electrodo del conjunto. El (los) conductor(es) de electrodo sale(n) de la columna vertebral y generalmente se fija(n) a una o más extensiones del (de los) conductor(es) de electrodo. Las extensiones de  
30 conductor de electrodo, a su vez, son típicamente conducidas abriendo túneles alrededor del torso del paciente hacia un receptáculo subcutáneo donde el IPG o el receptor de RF es implantado. Como alternativa, el conductor de electrodo puede directamente conectar con el IPG o el receptor de RF. Como ejemplos de otros sistemas de SCS y de otro sistema de estimulación, véanse las Patentes estadounidenses 3,646,940 y 3,822,708.

35 Por supuesto, los generadores de impulsos implantables son dispositivos activos que requieren energía para su operación, como la suministrada por una batería implantada o una fuente de energía eléctrica externa.

40 Un IPG puede incluir una o más fuentes / sumideros de corriente de salida que estén configuradas para suministrar / recibir corriente de estimulación hacia / desde los electrodos dispuestos sobre el IPG, y en último término hasta / desde el tejido. Por ejemplo, la Figura 1 muestra una fuente 500 de corriente de salida ejemplar y un correspondiente sumidero 501 de corriente de salida utilizadas para estimular tejido, ejemplificadas en términos generales como carga 505 (R). Como comprenderá un experto en la materia, unos transistores M1 y M3 de la fuente 500 de corriente de salida y unos transistores M2 y M4 del sumidero de la corriente de salida, comprenden un espejo de corriente. Sin embargo, puede ser utilizado otro conjunto de circuitos de fuente o de sumidero de corriente, por ejemplo, la divulgada en la Publicación de Solicitud de Patente estadounidense US 2005/267,546 A1 ("la solicitud 267,546 A1"), depositada el 26 de mayo de 2005.

45 Tanto la fuente 500 como el sumidero 501 están acoplados a un generador 506 de corriente configurado para generar una corriente de referencia,  $I_{ref}$ . Un generador de corriente apropiado se divulga en la Patente estadounidense 6,181,969 ("la patente 6,181,969"), concedida el 30 de enero de 2001 a nombre del inventor John C. Gord. La corriente de referencia tanto en amplias fuente / sumidero de corriente de salida 500 / 501 es introducida en un convertidor digital a analógico (DAC) configurado para regular la corriente suministrada a la carga 505. Así,  
50 una fuente 500 emplea un conjunto de circuitos 502 de DAC, mientras que el sumidero 501 emplea el conjunto de circuitos 503 de DAC, circuito que se ilustra solo en términos generales en este punto pero que se divulga por completo en la Patente 6,181,969 anteriormente mencionada.

55 El conjunto de circuitos 502, 503 de DAC está configurado para regular y / o amplificar la  $I_{ref}$  y para generar de salida una corriente de salida  $I_{out}$ . En concreto, la relación entre  $I_{out}$  y  $I_{ref}$  se determina de acuerdo con los bits de entrada que llegan sobre los buses 513, 513', lo que proporciona al conjunto de circuitos 502, 503 de DAC su funcionalidad digital a analógica. Esencialmente, de acuerdo con los valores de los diversos bits de M sobre el bus 513, un número indeterminado de etapas de salida (esto es, los transistores M1, M2) están unidos entre sí en paralelo de manera que  $I_{out}$  puede extenderse de  $I_{ref}$  a  $2^M * I_{ref}$ . (También son posibles valores fraccionales de  $I_{ref}$ ,

como se divulga en la Patente 6,181,969, pero dicha sutileza es ignorada en la presente memoria para simplificar). Aunque no se muestra en la Figura 1, las etapas de salida pueden contener otras estructuras, por ejemplo transistores de filtro y otros transistores diseñados para asegurar una correspondencia de corriente satisfactoria en el conjunto de circuitos de espejos de corriente. Sin embargo, dado que estas otras estructuras se analizan en la Patente 6,181,969 anteriormente mencionada, no se analizarán con mayor detalle.

Como se muestra en la Figura 1, la fuente 500 de corriente de salida está acoplada a un electrodo  $E_x$  sobre el dispositivo 100 de IPG, mientras que el sumidero 501 de corriente de salida está acoplada a un electrodo  $E_y$  diferente sobre el dispositivo de IPG. Como se analiza en la Patente 6,181,969 anteriormente mencionada, un electrodo estar unido por conductor tanto a la fuente 500 de corriente de salida como al sumidero 501 de corriente de salida, de los cuales solo uno (o ninguno) es activado en un momento concreto para hacer posible que el electrodo sea selectivamente utilizado ya sea como fuente o como sumidero o como ninguno de los dos). Así, por ejemplo, en la Figura 2A, se muestran cuatro electrodos ejemplares  $E_1$ ,  $E_2$ ,  $E_3$  y  $E_4$  teniendo cada uno su propia fuente 500 y su propio sumidero 501 dedicados.

La fuente 500 y el sumidero 501 conectados por conductor en cada electrodo algunas veces son respectivamente designados como PDACs y NDACs, reflejando el hecho de que las fuentes 500 están típicamente formadas por unos transistores tipo P mientras que los sumideros 501 están típicamente formados por unos transistores tipo N. El uso de los transistores de estas polaridades es razonable dado que la fuente es empujada hasta una tensión alta ( $V_+$ ), donde los transistores tipo P son los más lógicos, mientras que el sumidero es empujado hasta una tensión baja ( $V_-$ ), en la que los transistores tipo N son los más lógicos, como se muestra en la Figura 1. La conexión con el sustrato (no mostrada) para los transistores típicamente estaría unida al suministro apropiado de energía eléctrica, ya sea  $V_+$  o  $V_-$ , pero también podría estar unida a las fuentes de los transistores.

Como se muestra en la Figura 2A, la fuente 500 de corriente de salida puede estar asociada con el electrodo  $E_2$  (por ejemplo,  $E_x$  de la Fig. 1) sobre el IPG en un punto en el tiempo concreto, mientras que el sumidero 501 de corriente de salida puede estar asociado con el electrodo  $E_3$  (por ejemplo  $E_y$  de la Fig. 1) en ese tiempo. En un tiempo posterior, los electrodos  $E_2$  y  $E_3$  podrían ser conmutados de manera que  $E_2$  operara ahora en el sumidero, mientras  $E_3$  operara como fuente, o podrían elegirse nuevas fuentes o sumideros, etc.

Una consecuencia de esta arquitectura es que, según se indicó, cada electrodo tiene su propio conjunto de circuitos de fuente (esto es, PDAC) de fuente y de sumidero (esto es, NDAC) dedicados, como se muestra en la Figura 2A. Tómese en consideración un esquema divulgado en la Patente 6,181,969, que se ilustra en la Figura 3. Se muestra el conjunto de circuitos de fuente de corriente de salida dedicado para un electrodo concreto (por ejemplo,  $E_x$ ). El conjunto de circuitos de sumidero de corriente de salida dedicado, similar al conjunto de circuitos 500 de fuente de corriente de salida pero con diferente polaridad, también estarían conductores con el electrodo  $E_x$ , pero no se muestra por no ser conveniente. Tampoco se muestra por la misma razón la presencia de un condensador de acoplamiento (véase la Patente 6,181,969, Fig. 3, elemento 203). Como se muestra, la fuente es capaz de generar de salida hacia el electrodo una corriente  $I_{out}$  que oscila entre  $I_{ref}$  y  $271I_{ref}$  en incrementos de  $I_{ref}$  dependiendo del estado de los bits de control (Bit < 1: M>). En concreto, cada bit, cuando sea seleccionado, contribuye con  $2^{(M-1)}$  el valor de corriente a la corriente de salida,  $I_{out}$ , mediante la activación de los transistores 530 de paso en cada una de las M etapas que comprende la fuente de corriente de salida. Por ejemplo, si se desea una corriente de  $53I_{ref}$  en  $I_{out}$ , unos bits Bit < 1, 3, 5, 6 > serían activados (actividad baja) para activar los transistores  $530_1$ ,  $530_3$ ,  $530_5$  y  $530_6$ , los cuales, respectivamente contribuyen con  $I_{ref}$ ,  $4I_{ref}$ ,  $16I_{ref}$  y  $32I_{ref}$ , en total,  $53I_{ref}$ . Aunque cada etapa se muestra incorporando su propia fuente de corriente  $I_{ref}$ , se produciría generalmente el caso de que cada etapa accediera a una corriente de referencia singular (no mostrada por no ser conveniente), que resultaría preferente para asegurar la uniformidad de la corriente en todas las etapas.

Sin embargo, este enfoque no comprende un uso eficiente del espacio sobre el circuito integrado sobre el que se fabrica el conjunto de circuitos de fuente / sumidero de corriente de salida. En una implantación típica de un sistema SCS, el dispositivo SCS podría contener 16 electrodos, de  $E_1$  a  $E_{16}$ . Sin embargo, generalmente se da el caso de que solo un PDAC (fuente) y un NDAC (sumidero) están activos a la vez. O bien, más raramente, cuatro o más PDACs (fuentes) o NDACs (sumideros) podrían estar activos a la vez. Incluso en los casos más extremos, se apreciará que la mayoría de los PDACs (fuente) y de NDACs (sumideros) están inactivos. En otras palabras, la mayor parte del tiempo, la mayoría de los PDACs o NDACs dedicados a un electrodo concreto no están siendo utilizados. Cuando se tiene en cuenta que los PDACs o NDACs ocupan un espacio considerable en el circuito integrado (véase la Fig. 3), la provisión de dicha redundancia para cada electrodo parece ineficiente.

Otra arquitectura de corriente de salida se divulga en la Patente 6,516,227 anteriormente mencionada y, en particular, en la Figura 4A de la patente 6,516,227, cuyos aspectos primordiales se resumen en la presente solicitud en la Figura 2B. Como se muestra en la Figura 2B, la arquitectura de la Patente 6,516,227 utiliza también una pluralidad de fuentes y sumideros de corriente y utiliza también una matriz de baja impedancia que interviene entre las fuentes / sumideros y los electrodos  $E_x$ . Advuértase que cada par de fuentes / sumideros está cableado de forma conjunta en los nodos 333, de forma que la matriz de conmutación intervenga entre los nodos 333 comunes y los electrodos. Por supuesto solo un elemento entre la fuente o el sumidero de cada par es activado cada vez y, por tanto, el punto 333 de cualquier par será fuente o sumidero de corriente en cualquier momento concreto. Mediante el

control apropiado de la matriz de conmutación, cualquiera de los nodos 333 puede estar conectado a cualquiera de los electrodos  $E_x$  en cualquier momento.

Aunque en general ofrece una arquitectura apropiada, la arquitectura de la Figura 2B presenta inconvenientes. Uno de ellos es que la arquitectura de la Figura 2B introduce una resistencia adicional en la trayectoria de salida entre el suministro de energía eléctrica del conjunto de circuitos de DAC y el electrodo. Como se analizó en la solicitud US 2005/267,546 A1, generalmente se desea reducir al mínimo la resistencia entre el suministro de energía y el electrodo. Así, y con referencia a la Figura 4, la cual muestra la arquitectura de la Figura 2B con mayor detalle, se desea que la resistencia se reduzca al mínimo entre la trayectoria de salida y el suministro de energía  $V+$  o  $V-$  y un electrodo determinado  $E_x$ . Esto se debe a que cualquier resistencia en la trayectoria de salida originará una caída de la tensión en la trayectoria de salida (la resistencia de la trayectoria de salida por  $I_{out}$ ) lo que por otra parte no es útil en el contexto del conjunto de circuitos. Pero en la arquitectura de la Figura 2B y 4, se puede apreciar que tres elementos están conectados en serie entre los suministros de energía y el electrodo: el espejo de corriente, el transistor de selección de bits y el transistor de la matriz de conmutación de baja impedancia. Debido a las resistencias adicionales de estos componentes, y a la resistencia adicional de los conmutadores en la matriz de conmutación, la energía (esto es, la resistencia de la trayectoria de salida por  $I_{out}^2$ ) se pierde. En un dispositivo de simulación implantable, dicha pérdida de energía innecesaria es inexcusable, porque la vida útil de la batería en dicho dispositivo es esencial y es fabricada ventajosamente para que dure el mayor tiempo posible.

Además, la arquitectura de la Figura 2B es también ineficiente desde un punto de vista de la disposición. Debido al nodo común entre un par de fuente PDAC y sumidero NDAC, solo un DAC de cada par puede estar activo en cualquier momento. Por tanto, y como en el caso de la arquitectura de la Figura 2A, el conjunto de circuitos de DAC se garantiza para que no se utilice en cualquier momento específico. Más en concreto, al menos un 50% del conjunto de circuitos de DAC (posiblemente más) no se utilizará en ningún momento determinado, lo que de nuevo provoca un uso antieconómico de la disposición sobre el integrado.

Otra arquitectura de corriente de salida se divulga en la Patente estadounidense 5,603,726.

Resumiendo, la técnica de estimulación implantable o, más en concreto, la técnica del sistema del IPG o de la SCS, resultaría beneficiada por una arquitectura que permitiera que se suministraran corrientes variables a una pluralidad de electrodos, pero de una manera más eficiente. Dichas soluciones se facilitan en la presente memoria.

### **Sumario**

En la presente memoria se divulga una arquitectura de salida de corriente para un dispositivo de estimulación implantable por ejemplo un Generador de Impulsos Implantable (IPG) o, más en concreto, para un sistema de Estimulación de la Médula Espinal (SCS). En la arquitectura, el conjunto de circuitos de fuente y de sumidero de corriente está dividido en una pluralidad de etapas, cada una de las cuales es capaz, por medio de un bloque conmutador de abastecer o absorber una cantidad de corriente hacia o desde uno cualquiera de los electrodos dispuestos en el dispositivo. En la arquitectura, el conjunto de circuitos de fuente de corriente es diferente del conjunto de circuitos de absorción de corriente, y los dos no comparten nodos de circuito comunes antes de la conexión con los electrodos. En otras palabras, el conjunto de circuitos de fuente de corriente y el conjunto de circuitos de absorción de corriente no comparten un nodo común distinto de los electrodos.

Cada etapa está, de modo preferente, formada por un espejo de corriente para recibir una corriente de referencia y generar de salida una corriente hacia el bloque conmutador de la etapa. La corriente de salida de la etapa representa una versión a escala de la corriente de referencia, esto es, la corriente de salida comprende la corriente de referencia por un escalar en la etapa. El escalar en cada etapa puede establecerse cableando una pluralidad prefijada de transistores de salida en paralelo. En una forma de realización preferente, los escalares de las diferentes etapas se establecen para asegurar que una resolución mínima de corriente pueda ser suministrada a cualquier electrodo determinado en cualquier momento determinado, un objetivo que se puede conseguir estableciendo los escalares a uno en cada etapa. Sin embargo, debe tenerse en cuenta que los escalares de las diversas etapas pueden modificarse ampliamente para conseguir concretos objetivos de diseño.

En una forma de realización preferente, la corriente de referencia para los espejos de corriente en las etapas puede ser controlada. En concreto, y en una forma de realización, una corriente de referencia inicial es introducida en un convertidor digital a analógico (DAC) para conseguir una ganancia con respecto a la corriente de referencia inicial, la cual entonces se suministra a las etapas. Al hacerlo, la magnitud global de la corriente hacia los electrodos en el dispositivo puede ser globalmente controlada mediante el control del DAC. Cualquier conjunto de circuitos de DAC de corriente apropiado puede ser utilizado para escalar la corriente de referencia inicial.

Con esta arquitectura, no se requiere un conjunto de circuitos de fuente y sumidero dedicado en cada electrodo del dispositivo, porque las etapas del conjunto de circuitos de fuente y sumidero son distribuidas a través de los electrodos mediante los bloques conmutadores. Esto mejora la eficiencia del sistema, y elimina la pérdida del conjunto de circuitos PDAC y NDAC que no están siendo utilizados en los electrodos no estimulados. Además, debido a que el conjunto de circuitos de fuente y de sumidero no comparten un nodo común antes de los electrodos,

se palian las dificultades asociadas con un nodo concreto del conjunto de circuitos de suministro de corriente que potencialmente actúa como fuente y como sumidero.

La invención se define mediante la reivindicación 1.

### **Breve descripción de los dibujos**

5 Los aspectos anteriores y otros de la presente invención se pondrán de manifiesto de forma más evidente a partir de la descripción concreta subsecuente de los mismos, ofrecidos en combinación con los dibujos que se acompañan, en los que:

10 La Figura 1 muestra una fuente de corriente de salida ejemplar y un sumidero de corriente de salida correspondiente presentando cada uno un conjunto de circuitos de convertidor de corriente digital a analógico (DAC) en serie con una carga.

La Figura 2A muestra una arquitectura de la técnica anterior para acoplar las fuentes y los sumideros de corriente de salida a una pluralidad de electrodos utilizando un conjunto de circuitos dedicados cableados en cada electrodo.

15 La Figura 2B muestra una arquitectura de la técnica anterior para acoplar la fuente y los sumideros de corriente de salida con una pluralidad de electrodos utilizando una matriz de conmutación.

La Figura 3 muestra la complejidad de la disposición de las fuentes de corriente de salida de la Figura 2A.

La Figura 4 muestra los inconvenientes relacionados con la arquitectura de la Figura 2B.

20 La Figura 5 muestra un diagrama de bloques que ilustra componentes ejemplares implantables, externos y quirúrgicos de un sistema de estimulación de la médula espinal (SCS) que emplea un dispositivo de estimulación implantable de acuerdo con la presente invención.

La Figura 6 muestra diversos componentes del sistema SCS de la Figura 5.

La Figura 7 muestra un diagrama de bloques que ilustra los componentes principales de una forma de realización de un dispositivo de estimulación implantable en el que puede ser utilizada la invención.

25 La Figura 8 muestra un diagrama que bloques que ilustra otra forma de realización de un dispositivo de estimulación implantable en el que puede ser utilizada la invención.

La Figura 9 ilustra una arquitectura de fuente / sumidero de corriente mejorada de acuerdo con una forma de realización de la invención.

La Figura 10 muestra el conjunto de circuitos de espejos de corriente utilizable en la arquitectura de la Figura 9.

30 La Figura 11 muestra una arquitectura de fuente / sumidero de corriente preferente en la que se utiliza un escaler de uno en cada etapa.

Caracteres de referencia correspondientes indican correspondientes componentes a lo largo de las diversas vistas de los dibujos.

### **Descripción detallada**

35 La descripción subsecuente es el mejor modo actualmente previsto para llevar a cabo la invención. La presente descripción no debe ser considerada en sentido limitativo, sino que se ha elaborado simplemente con la finalidad de describir los principios generales de la invención. El alcance de la invención queda definido con referencia a las reivindicaciones y sus equivalentes.

40 De entrada, se subraya que la presente invención puede ser utilizada con un generador de impulsos implantable (IPG), o un simulador eléctrico similar y / o un sensor eléctrico, que puede ser utilizado como un componente de numerosos tipos diferentes de sistemas de estimulación. La descripción que sigue se refiere al uso de la invención dentro de un sistema de estimulación de la médula espinal (SCS). Sin embargo, se debe entender que la invención no está limitada por ello. Antes bien, la invención puede ser utilizada con cualquier tipo de circuito eléctrico implantable que pudiera aprovechar de un conjunto de circuitos eficiente de fuente / sumidero de corriente de salida.

45 Por ejemplo, la presente invención puede ser utilizada como parte de un marcapasos, desfibrilador, estimulador coclear, estimulador retiniano, estimulador configurado para generar el movimiento coordinado de los miembros, estimulador cerebral cortical y profundo, o cualquier otro estimulador neural configurado para tratar la incontinencia urinaria, la apnea del sueño, la subluxación de hombro, etc.

50 Dirigiendo en primer término la atención a la Figura 5, en ella se muestra un diagrama de bloques que ilustra los diversos componentes de un sistema SCS ejemplar en el que puede ser utilizada la invención. Estos componentes

pueden subdividirse en tres categorías generales: (1) unos componentes 10 implantables, (2) unos componentes 20 externos y (3) unos componentes 30 quirúrgicos. Como se aprecia en la Figura 5, los componentes 10 implantables incluyen un generador de impulsos implantable (IPG) 100, un conjunto 110 de electrodos, y (en caso necesario) una extensión 120 de conductor. La extensión 120 puede ser utilizada para conectar eléctricamente el conjunto 110 de electrodo al IPG 100. En una forma de realización ejemplar, el IPG 100, descrito con mayor amplitud más adelante en conexión con las Figuras 7 u 8, puede comprender un generador de impulsos controlado por telemetría multicanal, recargable, alojado dentro de una carcasa de aleación de titanio redondeada de alta resistividad para reducir el calentamiento de las corrientes parásitas durante el proceso de carga inductivo. El IPG 100 puede generar una estimulación eléctrica por medio de una multiplicidad de electrodos (por ejemplo, dieciséis electrodos de E<sub>1</sub> a E<sub>16</sub>, incluidos dentro del conjunto 110 de electrodos.

De acuerdo con una forma de realización ejemplar de la presente invención, el IPG 100 puede incluir un conjunto de circuitos eléctricos de estimulación ("electrónica de estimulación"), una fuente de energía eléctrica, por ejemplo una batería recargable y un sistema telemétrico. Típicamente el IPG 100 está situado en un receptáculo practicado por cirugía ya sea dentro del abdomen o justo en la parte superior de las nalgas. Por supuesto, puede también ser implantado en otros emplazamientos del cuerpo del paciente. Una vez implantado, el IPG 100 es conectado al sistema de conductor, que comprende la extensión 120 de conductor, si es necesaria, y el conjunto 110 de electrodo. La extensión 120 de conductor, por ejemplo, puede ser tunelizada hasta la columna vertebral. Una vez implantado y después de que se haya completado cualquier periodo de estimulación de prueba, el sistema 110 de conductor y la extensión 120 de conductor están concebidos para ser permanentes. Por el contrario, el IPG 100 puede ser sustituido cuando su fuente de energía eléctrica falle o ya no pueda ser recargado.

Como se aprecia de forma óptima en la Figura 6, y como también se ilustra en la Figura 5, el conjunto 110 de electrodos y su sistema de conductor asociado típicamente están en contacto con el generador de impulsos implantable IPG 100 por medio de un sistema 120 de extensión de conductor. El conjunto 110 de electrodo puede también estar conectado a un estimulador 140 de prueba externo, por medio del uso de una extensión 132 de conductor percutánea y / o un conductor 134 externo. El estimulador 140 de prueba externo típicamente incluye el mismo o similar conjunto de circuitos de generación de impulsos que el IPG 100, y se utiliza como elemento de prueba durante, por ejemplo, de 7 a 10 días después de que el conjunto de electrodos haya sido implantado, antes de la implantación del IPG 100, para someter a prueba la eficacia de la estimulación que debe ser suministrada.

Con referencia todavía a las Figuras 5 y 6, un programador de sujeción manual (HHP) 202 puede ser utilizado para controlar el IPG 100 por medio de un enlace 201 de comunicaciones no invasivo apropiado, por ejemplo un enlace de RF. Dicho control permite que el IPG 100 sea activado o desactivado y, en general, hace posible que se establezcan unos parámetros de estimulación, por ejemplo, la amplitud, la anchura y la cadencia de los impulsos dentro de los límites prescritos. El HHP 202 puede también estar enlazado con el estimulador 140 de prueba externo por medio de otro enlace 205', por ejemplo un enlace de infrarrojos. La programación detallada del IPG 100 se lleva a cabo, de modo preferente, mediante el uso de un programador 204 externo del facultativo (Fig. 5), que también puede ser de mano y que puede estar acoplado directamente al IPG o por medio del HHP 202. Un cargador 208 externo acoplado de forma no invasiva con el IPG 100 por medio del enlace 209, por ejemplo un enlace inductivo, permite conseguir la disponibilidad de la energía almacenada en el cargador 208 para que sea acoplado a la batería recargable alojada dentro del IPG 100.

Dirigiendo ahora la atención a la Figura 7, en ella se muestra un diagrama de bloques que ilustra los componentes principales de una forma de realización de un generador de impulsos implantable (IPG) 100 que puede ser utilizado con la invención. Como se aprecia en la Figura 7, el IPG puede incluir un microcontrolador ( $\mu$ C) 160 conectado al conjunto de circuitos 162 de memoria. El  $\mu$ C 160 típicamente comprende un microprocesador y un conjunto de circuitos lógicos asociados, los cuales, en combinación con los circuitos 166 lógicos de control, con la lógica 168 de temporizador, y de un circuito 164 de oscilador y reloj, generan el control necesario y las señales de estados que permiten que el  $\mu$ C 160 controle la operación del IPG de acuerdo con un programa de operación y unos parámetros de estimulación seleccionados. El programa de operación y los parámetros de estimulación están típicamente almacenados en la memoria 162 mediante la transmisión de una señal portadora modulada apropiada por medio de una bobina 170 de recepción y la carga y la transmisión del conjunto de circuitos 172 de telemetría procedentes de una unidad de programación externa, por ejemplo, un programador 202 de mano y / o un programador 204 de facultativo, asistido en caso necesario por medio del uso de un dispositivo 206 direccional (véase la Fig. 5). (El programador de mano se considera así como en contacto "telecomunicativo" con el IPG; y el programador clínico se considera también que está en contacto telecomunicativo con el IPG, por ejemplo, mediante un programador de mano). El conjunto de circuitos 172 de carga y de telemetría de envío desmodula la señal portadora que recibe a través de la bobina 170 para recuperar los datos de programación, por ejemplo, el programa operativo y / o los parámetros de estimulación, datos de programación que a continuación son almacenados dentro de la memoria 162 o dentro de otros elementos de memoria (no mostrados) distribuidos a lo largo del IPG 100.

El microcontrolador 160 está también acoplado a unos circuitos 174 de monitorización por medio del bus 173. Los circuitos 174 de monitorización monitorizan el estado de los diversos nodos o de otros puntos 175 a lo largo del IPG 100, por ejemplo las tensiones del suministro de energía, los valores de la corriente, la temperatura, la impedancia de los electrodos fijados a los diversos electrodos E<sub>1</sub> ... E<sub>N</sub> y similares. Los datos informativos detectados por medio del circuito 174 de monitorización pueden ser enviados a un emplazamiento distante situado por fuera del IPG (por

ejemplo, un emplazamiento no implantado) a través del conjunto de circuitos 176 de telemetría de retorno, el cual incluye una bobina 177 de transmisión.

5 La energía eléctrica operativa del IPG 100 puede ser derivada a partir de una fuente 180 de energía eléctrica recargable de acuerdo con una forma de realización ejemplar de la presente invención. La fuente 180 de energía eléctrica recargable puede comprender una batería de litio iónico o un polímero de litio iónico, por ejemplo. La batería 180 recargable proporciona una tensión no regulada a los circuitos 182 de energía eléctrica. Los circuitos 182 de energía eléctrica, a su vez, generan las diversas tensiones 184, algunas de las cuales son reguladas y algunas de las cuales no lo son, según se requiera por los diversos circuitos situados dentro del IPG 100.

10 En una forma de realización ejemplar, cualquiera de los electrodos N puede ser asignado a hasta k grupos posibles o "canales". En una forma de realización preferente, k puede ser igual a cuatro. Además, cualquiera de los N electrodos puede operar, o puede estar incluido, en cualquiera de los canales k. El canal identifica qué electrodos son seleccionados para originar o absorber corriente para crear un campo eléctrico en el tejido que debe ser estimulado. Las amplitudes y las polaridades de los electrodos dispuestos sobre un canal pueden variar, por ejemplo, según sean controladas por el programador 202 de mano del paciente. Un software de programación externo del programador 204 clínico se utiliza típicamente para establecer los parámetros que incluyen la polaridad de los electrodos, la amplitud, la cadencia de impulsos y la anchura de impulsos para los electrodos de un canal determinado, entre otras posibles características programables.

15 Los N electrodos programables pueden ser programados para que tengan una polaridad positiva (corriente de fuente), negativa (corriente de absorción), o de desactivación (sin corriente) en cualquiera de los k canales. Además, cada uno de los N electrodo pueden operar en un modo bipolar o en un modo multipolar. Por ejemplo, cuando dos o más contactos de electrodos estén agrupados con la corriente de fuente / sumidero al mismo tiempo. Como alternativa, cada uno de los N electrodos puede operar en un modo monopolar en el que, por ejemplo, los contactos de electrodo asociados con un canal estén configurados como cátodos (negativos), y el electrodo encapsulado (esto es, el encapsulado de IPG) esté configurado como ánodo (positivo).

20 Así mismo, la amplitud del impulso de corriente que es originado o absorbido hacia o desde un contacto de electrodo determinado puede ser programado en uno de diversos niveles de corriente discretos, por ejemplo, entre 0 y 10 mA en etapas de 0,1 mA. Así mismo, la anchura de impulsos de los impulsos de corriente puede ser ajustada en incrementos pertinentes, por ejemplo de 0 a 1 milisegundos (ms) en incrementos de 10 microsegundos ( $\mu$ s). De modo similar, la cadencia de impulsos puede ser ajustada, de modo preferente, dentro de unos límites aceptables, por ejemplo de 0 a 1000 Hz. Otras características programables pueden incluir la disposición en rampa inicial / terminal lenta, el funcionamiento cíclico de estimulación por ráfagas (activado durante el tiempo X, desactivado durante el tiempo Y), y nodos de detección en bucle abierto o cerrado.

25 Los impulsos de estimulación generados por el IPG 100 pueden ser equilibrados en cuanto a la carga. Esto significa que la cantidad de carga positiva asociada con un impulso de estímulos determinado son compensados por una carga negativa igual y opuesta. El equilibrio de la carga puede conseguirse por medio de unos condensadores  $C_X$  de acoplamiento los cuales proporcionan una descarga de condensadores pasiva que consigue la condición de carga equilibrada deseada. Como alternativa, pueden ser utilizados unos impulsos bifásicos o multifásicos activos con fases positivas y negativas que estén equilibradas, para conseguir el estado equilibrado de la carga requerido.

30 Resumiendo, el IPG 100 puede controlar individualmente las corrientes en los N electrodos. El control del conjunto de circuitos 186 del DAC de corriente de salida utilizando el microcontrolador 160, en combinación con la lógica 166 de control y la lógica 186 de temporizador permite así que cada contacto de electrodos esté emparejado o agrupado con otros contactos de electrodo, incluyendo el electrodo encapsulado monopolar para controlar la polaridad, la amplitud, la cadencia, la anchura de impulsos y el canal a través del cual son suministrados los impulsos de estímulo de la corriente.

35 Como se muestra en la Figura 7, buena parte del conjunto de circuitos incluido dentro del IPG 100 puede materializarse en un único circuito integrado específico de la aplicación (ASIC) 190. Esto hace posible que el tamaño global del IPG 100 sea bastante pequeño y se aloje sin problemas dentro de una cápsula apropiada herméticamente cerrada. El IPG 100 puede incluir N alimentadores a través para hacer posible que el contacto eléctrico se produzca individualmente desde el interior de la cápsula herméticamente cerrada con los N electrodos que forman parte del sistema de conductor situado por fuera de la cápsula.

40 Como se indicó anteriormente, en uso, el IPG 100 puede ser situado en un receptáculo practicado por cirugía, por ejemplo, en el abdomen o justo en la parte superior de las nalgas, y conectado de forma separable al sistema de conductor (que comprende la extensión 120 de conductor y el conjunto 110 de electrodos). Mientras que el sistema de conductor está concebido para ser permanente, el IPG 100 puede ser sustituido en el caso de que su fuente de energía falle, o por otras razones.

45 Las características de la telemetría de retorno del IPG 100 permiten que sea verificado el estado del IPG. Por ejemplo, cuando el programador 202 de mano externo (y / o el programador 204 clínico), inicia una sesión de programación con el IPG 100 (Fig. 5), la capacidad de la batería es teledorada para que el programador externo

pueda calcular el tiempo estimado de recarga. Cualquier cambio efectuado en los parámetros de los estímulos de la corriente son confirmados por medio de la telemetría de retorno, asegurando así que dichos cambios han sido correctamente recibidos e implantados dentro del sistema de implante. Además, tras la interrogación por el programador externo, todos los parámetros almacenados dentro del sistema 10 de implante pueden ser cargados en uno o más programadores externos.

Dirigiendo ahora la atención a la Figura 8, en ella se ilustra un diagrama de bloques híbrido de una forma de realización alternativa de un IPG 100' que puede ser utilizado con la invención. El IPG 100' incluye tanto datos analógicos como digitales o circuitos integrados (CIs), que pueden estar alojados en una cápsula única redondeada herméticamente cerrada que tenga, por ejemplo, un diámetro de aproximadamente 45 mm y un grosor de aproximadamente 10 mm. Muchos de los circuitos contenidos en el IPG 100' son idénticos o similares a los circuitos contenidos dentro del IPG 100 mostrado en la Figura 7. El IPG 100' incluye una matriz de procesador, o un chip 160', un circuito 172' de telemetría de RF (típicamente elaborado con componentes discretos), una bobina 170' de cargador, una batería 180' de litio iónico o de polímero de litio iónico, un cargador de batería y unos circuitos 182' de protección, unos circuitos 162' de memoria (SEEPROM) y 163' (SRAM), un CI 191' digital, o un CI 190' analógico, y un conjunto de condensadores y un conector 192' de clavijas.

El conjunto de condensadores y el conector 192' de clavijas incluyen dieciséis condensadores de desacoplamiento de salida, así como unos respectivos conectores alimentadores a través para conectar un lado de cada condensador de desacoplamiento a través de la cápsula cerrada herméticamente con un conector al cual el conjunto 100 de electrodos o la extensión 120 de los conductores puede estar conectado de manera separable.

El procesador 160' puede elaborarse con un circuito integrado específico de la aplicación (ASIC), una matriz de puertas programable sobre el terreno (FPGA), o similares que comprenda un dispositivo principal para la comunicación y programación bidireccional completa. El procesador 160' puede utilizar un núcleo de 8086 (el 8086 es un microprocesador comercialmente disponible en, por ejemplo, Intel), o un equivalente de baja potencia de dicho procesador, 16 kilobytes de una memoria SRAM, dos circuitos de interfaz en serie síncronos, una interfaz EEPROM en serie, y un gestor de arranque 735 de ROM. El dado 160' del procesador puede también incluir un circuito oscilador 164' eficiente de reloj y un mezclador y un circuito modulador / desmodulador que implemente el procedimiento de telemetría de RF de la QFAST RF que soporte una telemetría bidireccional a 8 Kbits / segundo. La QFAST son las iniciales de "Técnica de Espectro Expandido de Adquisición Rápida en Cuadratura", y representa un esquema conocido y viable para modular y desmodular datos. Un circuito 734 convertidor de analógico a digital (A/D) también está alojado en el procesador 160' para hacer posible la monitorización de las diversas señales analógicas, impedancias, estado regulador y tensión de batería del nivel del sistema. El procesador 160' incluye además los enlaces de comunicación necesarios con otros ASICs individuales utilizados dentro del IPG 100'. El controlador 160' como todos los procesadores similares, opera de acuerdo con un programa almacenado dentro de sus circuitos de memoria.

El CI analógico (CIA) 190' puede comprender un ASIC que funcione como circuito principal integrado que lleve a cabo las distintas tareas necesarias para la funcionalidad del IPG 100', incluyendo la provisión de la regulación de potencia, la salida de estímulos y la medición y la monitorización de las impedancias. Un conjunto de circuitos 194' electrónicos lleva a cabo la función de medición y monitorización de las impedancias.

El CI 190' analógico puede también incluir un conjunto de circuitos 186' de DAC de corriente de salida configurado para suministrar corriente a una carga, como por ejemplo, puede ser un tejido. El conjunto de circuitos 186' de DAC de corriente de salida puede estar configurado para suministrar hasta 20 mA agregados y hasta 12,7 mA sobre un único canal en etapas de mA de 0,1. Sin embargo, debe destacarse que el conjunto de circuitos 186' de DAC de corriente de salida puede ser configurado para suministrar cualquier cantidad de corriente agregada y cualquier cantidad de corriente sobre un único canal, de acuerdo con una forma de realización ejemplar. El conjunto de circuitos 186' de DAC de corriente de salida se describirá con mayor detalle más adelante con referencia a las Figuras 9 - 11.

Los reguladores para el IPG 100' suministran al procesador y al secuenciador digital una tensión. Los circuitos en interfaz digitales alojados en el CI 190' analógico son, de modo similar, alimentados con una tensión. Un regulador programable suministra la tensión operativa para el conjunto de circuitos 186' de DAC de corriente de salida. Los condensadores  $C_x$  de acoplamiento y los electrodos  $E_x$ , así como el conjunto de circuitos restantes dispuestos en el CI 186' analógico, pueden todos estar alojados dentro de la cápsula herméticamente cerrada del IPG 100. Un pasador del alimentador a través que está incluido como parte del conector 192' de clavijas hace posible se efectúe la conexión eléctrica entre cada uno de los condensadores  $C_N$  de acoplamiento y los respectivos electrodos  $E_1, E_2, E_3, \dots, o E_{16}$ .

El CI digital (DigIC) 191' funciona como interfaz primaria entre el procesador 160' y el conjunto de circuitos 186' de DAC de corriente de salida, y su función principal es la de proporcionar la información de los estímulos al conjunto de circuitos 186' de DAC de corriente de salida. El DigIC 191' controla y modifica así los niveles y las secuencias de los estímulos cuando son excitados por el procesador 160'. En una forma de realización ejemplar, el DigIC 191' comprende un circuito integrado específico de la aplicación digital (ASIC digital).



Como se señaló anteriormente, las formas de realización ejemplares de la presente invención conllevan la arquitectura utilizada en las fuentes y sumideros de corriente de salida, esto es, en el conjunto de circuitos 186 o 186' de DAC de corriente de salida, que algunas veces son respectivamente designados como el conjunto de circuitos PDAC y NDAC. Esquemas anteriores fueron resumidos en la sección de Antecedentes de la presente divulgación, y fueron ilustrados principalmente con respecto a las Figuras 2 a 4. Pero como se indicó, estas arquitecturas ofrecen diversos inconvenientes.

Nuevas arquitecturas mejoradas de corriente de salida se ilustran en las Figuras 9 - 11. Las nuevas arquitecturas, como las arquitecturas anteriores, emplean el conjunto de circuitos de fuente de corriente de salida y de sumidero de corriente de salida, respectivamente etiquetadas en la Figura 9 como conjunto de circuitos 400 y 401, los cuales se implementarían lógicamente, por ejemplo, en un CI 190' analógico (Fig. 8). Sin embargo, lo que resulta singular con respecto al conjunto de circuitos de las Figuras 9 - 11, y a diferencia de la arquitectura de la técnica anterior de las Figuras 2A y 3, es que cada electrodo  $E_1$  a  $E_N$  sobre el IPG 100 no incorpora su propio conjunto de circuitos de fuente y sumidero cableado dedicado. Por el contrario, el conjunto de circuitos 400, 401 de fuente y sumidero es compartido entre los diversos electrodos  $E_x$ , por medio de una red de bloques conmutadores, como se analizará más adelante.

Además y a diferencia de la arquitectura de la técnica anterior de las Figuras 2B y 4, e ignorando las impedancias como las impedancias  $C_N$  de acoplamiento (Fig. 7), por razones que se expondrán más adelante, es de destacar que los PDACs y NDACs no comparten un nodo común (como el nodo 333 de la Figura 2B) distinto de los nodos de electrodo. Como resultado de ello, el conjunto de circuitos no queda intencionadamente sin utilizar como lo estaba en la arquitectura de la Figura 2B, en la que al menos uno entre el PDAC y NDAC en un par específico debía permanecer sin utilizar en cualquier punto concreto en el tiempo. Así mismo, en comparación con el esquema de la matriz de conmutación de la Figura 2B y de la Figura 4, las nuevas arquitecturas de las Figuras 9 y 11 comprenden un componente menos en la trayectoria de salida, lo que reduce las bajadas de tensión no deseadas en la trayectoria de salida, y ello se traduce en ahorros de energía. Como se puede apreciar en breve referencia a la Figura 11, la cual muestra una fuente 400 de corriente de PDAC, solo dos componentes intervienen entre el suministro de energía  $V+$  y un electrodo determinado: el (los) transistor(es) de espejo(s) de corriente y el conmutador de selección  $S_{N, L}$  a partir del bloque conmutador. En efecto, y en comparación con la Figura 4, el transistor de selección de bits y el conmutador de la matriz de conmutación de baja impedancia se combinan en un único conmutador en la nueva arquitectura, ahorrando tanto espacio de trazado como energía. Así mismo, se consiguen ahorros de energía adicionales mediante la nueva arquitectura de las Figuras 9 - 11, pero antes de analizar esto, estas figuras serán primeramente a continuación analizadas con mayor detalle.

El conjunto de circuitos 400 de fuente se muestra fundamentalmente en la Figura 9, mientras que el conjunto de circuitos 401 de sumidero se ilustra en simples líneas de puntos, lo cual refleja la concentración de la presente divulgación sobre el análisis del conjunto de circuitos 400 de fuente de corriente de salida. Sin embargo, el conjunto de circuitos 401 de sumidero, aunque no se analiza de manera específica, ofrece un diseño y una función similares al conjunto de circuitos 400 de fuente aunque difieren en polaridad (por ejemplo, conexión con el suministro de energía negativa  $V-$ , el uso de transistores de N canales, etc.).

Como se muestra, el conjunto de circuitos 400 de fuente comprende un PDAC 407, diversos espejos 410 de corriente, y diversos bloques conmutadores 405. En concreto hay un número  $L$  de espejos de corriente 410 y de bloques conmutadores 405, y cada bloque conmutador comprende  $N$  conmutadores, correspondientes al número de electrodos del IPG 100. En otras palabras, hay un total de  $N \cdot L$  conmutadores en los bloques conmutadores 405.

El PDAC 407 convierte una corriente de referencia inicial  $I_1$  en una corriente de referencia auténtica  $I_{ref}$  que es enviada como una entrada para cada uno de los espejos de corriente 410. El PDAC 407 puede comprender cualquier estructura conocida en la técnica para hacer posible la amplificación de la corriente sobre la base de impulsos digitales. Por ejemplo, el PDAC puede ser construido como en la Figura 3. Sin embargo, puede ser utilizado cualquier otro diseño y, de hecho, no se requiere estrictamente el uso del PDAC 407 en todas las formas de realización útiles de la invención. Sin embargo, no tiene utilidad en el establecimiento de la resolución y la magnitud global de las corrientes de salida que deben ser suministradas a los diversos electrodos  $E_x$ , como se analizará con mayor detalle a continuación.

Los diversos espejos de corriente 410 toman la corriente de referencia  $I_{ref}$  y escalan esa corriente para producir corrientes de magnitudes deseadas en cada una de las  $L$  etapas. Así, la primera etapa escala la  $I_{ref}$  en  $A_1$ , la segunda en  $A_2$ , etc. Los diversos escalares,  $A_1, A_2, \dots, A_L$ , pueden ser diferentes o pueden ser los mismos en cada una de las etapas. Por ejemplo, los escalares pueden aumentar de manera exponencial ( $A_1 = 1, A_2 = 2, A_3 = 4, A_4 = 8$ , etc.) o aumentar linealmente ( $A_1 = 1, A_2 = 2, A_3 = 3$ , etc.), o pueden permanecer siendo los mismos. De hecho en una forma de realización preferente cada uno de los escalares  $A_L = 1$ , y así, cada una de las  $L$  etapas, simplemente toma la corriente de referencia  $I_{ref}$  y genera de salida esa corriente hacia sus respectivos bloques conmutadores 405. (En este sentido, se puede decir que una corriente es "escalada" incluso si el escalar de la etapa es igual a uno). Los escalares  $A_L$  de cada etapa pueden fijarse variando el número de transistores situados en paralelo en las etapas de salida de los espejos de corriente 410, como se muestra en la Figura 10. Así, cuando se desea una ganancia de  $x4$ , se situarían cuatro transistores 413 de canal P en paralelo con el transistor 414 de equilibrado en el espejo de corriente. Así, en la forma de realización preferente, solo un transistor 413 se utilizaría en cada etapa 410 de espejos

de corriente, como se ilustra en la Figura 11. Aunque la Figura 11 muestra la fuente 400, se debe entender que, en una forma de realización preferente un sumidero 401 a base de transistores de N canales se construiría de modo similar.

5 Como distinción adicional con respecto a la arquitectura de las Figuras 2A y 3, nótese que los espejos de corriente 410 no pueden ser seleccionados de manera individual en y por sí mismos, esto es, no presentan transistores de selección de bits como en el DAC de la Figura 3. Están siempre activados y suministran corriente a los bloques conmutadores 405, con selección o no de un espejo de una corriente del espejo de corriente concreto 410' que se produce en su bloque conmutador 405 determinado.

10 Debe destacarse que los espejos de corriente 410 son simplemente un ejemplo de un convertidor de corriente, esto es un circuito utilizado para convertir una corriente ( $I_{ref}$ ) en otra corriente ( $A_x \cdot I_{ref}$ ). En la técnica son conocidos otros muchos circuitos capaces de llevar a cabo esta función y, por tanto, el uso de espejos de corriente en cada etapa deben entenderse como simplemente ejemplar. Además, adviértase que, a diferencia de los diversos circuitos de PDAC de la Figura 2B, los espejos de corriente 410 de la Figura 9 no son seleccionables, esto es, siempre están habilitados para proporcionar sus corrientes a los bloques conmutadores 405. En resumen, la arquitectura diseñada es más sencilla porque una capa adicional de selección por encima y más allá de la selección de los diversos conmutadores  $S_x$  de los bloques conmutadores 405 no es necesaria.

20 Como se indicó anteriormente, el bloque conmutador 405 para cada etapa recibe la salida de los espejos de corriente 410, esto es, la  $I_{ref}$  en la forma de realización preferente. Como se muestra en las Figuras 9 y 11, cada bloque conmutador 405 contiene N conmutadores,  $S_N$ , cada uno de los cuales es capaz de encaminar la corriente de salida desde su espejo de corriente  $410_x (A_x I_{ref})$  hasta cualquiera de los electrodos  $E_x$  del IPG 100. De esta manera, en cada etapa, el conmutador  $S_1$  puede enviar esa corriente de etapa al  $E_1$ , el conmutador  $S_2$  al  $E_2$ , etc. Por consiguiente, cada etapa es controlable para enviar su corriente de salida, hacia más de uno de la pluralidad de nodos de electrodo y de esta manera puede afectar a la corriente en cualquier electrodo determinado, y múltiples etapas pueden trabajar conjuntamente para producir una corriente en un electrodo determinado. Por ejemplo, supóngase que cada espejo de corriente 410 presenta un escalar A de 1, de manera que cada uno envía la  $I_{ref}$  a su respectivo bloque conmutador 405. Supóngase así mismo que hay 128 etapas, de manera que todos los espejos de corriente 410, de forma conjunta, pueden suministrar una corriente máxima de  $128I_{ref}$ . Con referencia de nuevo al ejemplo analizado en los Antecedentes, en el caso de que se deseara una corriente de  $53I_{ref}$  en el electrodo  $E_2$ , los conmutadores  $E_{2b}$  podrían estar cerrados en cualquiera 53 de las varias etapas (por ejemplo las primeras 53 etapas, las últimas 53 etapas, etc.). De modo similar, múltiples electrodos pueden ser estimulados al mismo tiempo, esto es, para formar uno de los canales k analizados anteriormente. Por ejemplo, supóngase que se desea la  $53I_{ref}$  en el electrodo  $E_2$ ; la  $12I_{ref}$  en el electrodo  $E_5$ , y la  $19I_{ref}$  en el electrodo  $E_8$ . Esto requeriría simultáneamente el cierre de los 53 conmutadores  $S_2$ , de los 12 conmutadores  $S_5$  y de los 19 conmutadores  $S_8$ .

35 En este punto, son dignos de destacar determinados aspectos de la nueva arquitectura. En primer lugar, la corriente mínima que puede ser enviada a cualquier electrodo concreto  $E_x$  es  $I_{ref}$ , lo que comprendería la selección del conmutador de ese electrodo en solo una etapa con un escalar de uno. (Esta resolución mínima no toma en consideración otros esquemas para generar fracciones de la  $I_{ref}$ , como por ejemplo se divulga en la Patente 6,181,969 anteriormente mencionada. Por supuesto, dichos esquemas podrían ser utilizados en combinación con las formas de realización de las Figuras 9 y 11, pero no se muestran). En segundo lugar, la corriente máxima que puede ser suministrada a cualquier electrodo (o combinación de electrodos en uno de los canales k) en cualquier momento determinado es  $(A_1 + A_2 + \dots + A_L) \cdot I_{ref}$ , o  $128I_{ref}$  en consonancia con el ejemplo en el que los escalares de cada etapa son iguales a uno.

45 Teniendo en cuenta estas limitaciones, pueden ser apreciados mejor diversos aspectos preferentes de la arquitectura. El primero es la preferencia para establecer los escalares  $A_x$  de todas las etapas en uno. Al hacerlo, se asegura que se encuentra disponible la resolución más baja de la corriente  $I_{ref}$  para un electrodo determinado en un momento determinado. Por ejemplo, supóngase que se desea  $I_{ref}$  en el electrodo  $E_4$  mientras que se desea  $3I_{ref}$  en el electrodo  $E_5$ . Si los escalares en las diversas etapas fueran exponenciales, por ejemplo ( $A_1 = 1, A_2 = 2, A_3 = 4, A_4 = 8, \dots$ ), una de estas corrientes deseadas podría no llevarse a cabo, dado que el escalar de la primera etapa ( $A_1 = 1$ ) se necesitaría para ambos al mismo tiempo. Así, mediante la elección de la resolución más pequeña para cada etapa ( $A_x = 1$ ), se puede asegurar que pueden suministrarse múltiples electrodos con incrementos mínimos de corriente y, así, pueden ser controlados con precisión.

55 Esta misma ventaja de resolución mínima garantizada puede también llevarse a cabo de otras maneras. Por ejemplo, un número fijo de etapas (pero inferior al total) podría fijarse en un escalar de uno, mientras que otras etapas asumen valores escalares diferentes. Por ejemplo, admitiendo que sería raro que más de cuatro electrodos  $E_N$  fueran estimulados de una vez, podrían ser fijadas cuatro etapas con un escalar de uno (garantizando la resolución mínima en los cuatro electrodos); otras cuatro etapas podrían establecerse con un escalar de dos; otras cuatro etapas más podrían establecerse con un escalar de cuatro; y así sucesivamente de forma exponencial creciente. En otras palabras, los escalares  $A_x$  en las diversas etapas pueden asumir diferentes valores dependiendo de la resolución deseada y de otros objetivos de diseño.

Nótese que hasta el punto en el que los escalares mayores de uno son utilizados en las etapas, el número de etapas (esto es, el número de espejos de corriente 410 y de bloques conmutadores 405) disminuirá siempre que la capacidad de la corriente permanezca constante. Por ejemplo, para una capacidad de corriente de  $128I_{ref}$ , los escalares de  $A_x = 1$  requerirán 128 etapas. Esto significa una intensificación mayor del espacio, pero ofrecerá un control de resolución mejorada (por el contrario, los escalares que aumentan exponencialmente ( $A_1 = 1$ ,  $A_2 = 2$ ,  $A_3 = 4$ ,  $A_4 = 8$ , etc.) requeriría solo siete etapas (para un total de un valor esencialmente el mismo de  $127I_{ref}$ ). Esto significa una intensificación menor del espacio, y simplifica el diseño, pero presenta también inconvenientes relacionados con un control mínimo de la resolución como se indicó anteriormente. En resumen, la resolución mínima *versus* el número de etapas deseado en la fuente 400 de corriente de salida requiere componendas que deben tomarse en consideración en cualquier diseño concreto. Así, aunque es preferente el uso de etapas con escalares de resolución mínima, esta no es la única manera de diseñar una forma de realización de la invención, y la invención no debe considerarse limitada en este sentido.

El segundo aspecto preferente de la arquitectura divulgada digno de destacarse es la conclusión del PDAC 407. El PDAC 407 escala la corriente de referencia inicial  $I_1$  en un factor de  $Z$  para obtener la verdadera corriente de referencia  $I_{ref}$  enviada a los espejos de corriente 410 (esto es,  $I_{ref} = Z \cdot I_1$ ). De esta manera, las corrientes enviadas en último término a los electrodos pueden ser en mayor medida (y de manera global) modificadas mediante el ajuste de la ganancia del PDAC 407. Si se requieren resoluciones de corriente más pequeñas en los electrodos  $E_x$ ,  $Z$  pueden reducirse por medio del apropiado control digital del PDAC. Si se requieren corrientes totales más altas,  $Z$  puede también incrementarse. Así mismo, debido a que el PDAC 407 es controlable digitalmente, puede ser controlado en un punto en el tiempo para proporcionar una ganancia baja (bajo  $Z$ ) o ninguna ganancia ( $Z = 1$ ), suministrando al tiempo en otros momentos una ganancia alta (alto  $Z$ ). Así, el PDAC 407 proporciona un mayor control de la escala de corrientes que puede en último término suministrarse a los electrodos  $E_x$ . Dicho esto, sin embargo, el PDAC 407 no se requiere en todas las formas de realización de la invención.

Como se señaló anteriormente, en una forma de realización preferente, los bloques conmutadores 405 podrían, en total, comprender  $N \cdot L$  conmutadores, en los que  $N$  es igual al número de electrodos y  $L$  es igual al número de etapas en el conjunto de circuitos 400 (o 401) de salida. Sin embargo, debe destacarse que no necesariamente cada etapa  $L$  requeriría necesariamente  $N$  conmutadores. Por ejemplo, una etapa determinada podría comprender menos de  $N$  conmutadores, renunciando a la capacidad de enviar la corriente de esa etapa a un electrodo concreto  $E_x$ . Además, no es necesario que cada conmutador  $X$ ésimo de los bloques conmutadores 405 suministre corriente al electrodo  $X$ ésimo,  $E_x$ . En resumen, aunque la Figura 9 ilustra una forma de realización preferente, son posibles otros diseños dentro del ámbito de la presente forma de realización divulgada que también obtienen los beneficios de la arquitectura divulgada en la presente memoria.

El control de los  $N$  conmutadores en las diversas  $L$  etapas puede fácilmente llevarse a cabo por medio de técnicas de tratamiento sobradamente conocidas. Por ejemplo, una lógica de control (como la lógica de control 166 de la Fig. 7) puede generar una dirección de las etapas, y para los diversos conmutadores  $S_x$  de esa etapa, que deben ser activados en un punto concreto en el tiempo para obtener una corriente deseada en un electrodo  $E_x$  determinado. En este sentido, las señales de control que deben ser enviadas para abrir o cerrar los conmutadores  $S_x$  deben considerarse como débilmente afines a las señales dispuestas en el bus 513 en la arquitectura de la técnica anterior de las Figuras 2A & 3. Se debe entender que los conmutadores  $S_x$  son de preferencia transistores únicos de una polaridad lógica dependiendo de si están presentes en el conjunto de circuitos 400 de fuente (canales P) o en el conjunto de circuitos 401 de sumidero (canales N). Sin embargo, también podrían ser utilizadas otras estructuras para los conmutadores  $S_x$ , como por ejemplo puertas de paso o puertas de transmisión, etc.

Se debe entender que la dirección en la cual la corriente fluye es un concepto relativo, y pueden utilizarse diferentes convenciones para definir si las corrientes fluyen hacia o desde diversas fuentes. En este sentido, las flechas que muestran las direcciones de los flujos de las corrientes en las Figuras, las referencias a la corriente que fluye hacia o desde los diversos nodos de circuito, las referencias a las corrientes que son absorbidas u originadas, etc., deben todas considerarse como relativas y no en sentido limitativo alguno.

Debe también considerarse que la referencia a un nodo de electrodo implantable en posición adyacente al tejido que debe ser estimulado incluye unos electrodos sobre el dispositivo de estimulación implantable, o a conductores de electrodo asociados, o a cualquier otra estructura para estimular tejido.

Además, se debe entender que un "nodo de electrodo implantable adyacente al tejido que debe ser estimulado" se debe entender con respecto a cualquier capacitancia de salida, por ejemplo las capacitancias de acoplamiento  $C_N$  incluidas en el conector 192 de clavijas o en cualquier otra parte (véase la Fig. 7). Se debe entender que los nodos situados a ambos lados de dicho condensador de acoplamiento u otra impedancia de salida son, en el contexto de la presente invención, no distintos materialmente desde un punto de vista arquitectónico, de forma que cualquier nodo sería considerado como un nodo de electrodo implantable en posición adyacente al tejido que debe ser estimulado. Así, y con referencia a la Figura 7, aun cuando se ha utilizado un condensador de acoplamiento  $C_1$  entre el conjunto de circuitos 186 de DAC y el nodo de electrodo  $E_1$ , tanto el nodo  $E_1$  como el nodo 450 serían considerados como "nodos de electrodo implantables adyacentes al tejido que debe ser estimulado" en el contexto de la presente invención. Así, el nodo 450 no comprendería un nodo común entre el conjunto de circuitos de fuente y sumidero diferente del nodo de electrodo  $E_1$ , en cuanto el nodo 450 es sinónimo con el nodo  $E_1$  en el contexto de la invención.

5 En resumen, la frase “en el que el conjunto de circuitos de fuente de corriente y el conjunto de circuitos de sumidero de fuente no comparten un nodo común distinto de los electrodos” no debe ser interpretada de manera que el nodo 450 sea un nodo común distinto de los nodos de electrodo, porque, como se acaba de decir, el nodo 450 sería sinónimo al nodo de electrodo  $E_1$ . Lo mismo sucedería respecto de otras impedancias, por ejemplo, si un resistor de salida se utilizara además de o en lugar del condensador de acoplamiento  $C_1$ .

10 Aunque la invención divulgada en la presente memoria ha sido descrita por medio de formas de realización y aplicaciones específicas de la misma, pueden efectuarse numerosas modificaciones y variantes en ella por parte de los expertos en la materia sin apartarse del alcance literal y equivalente de la invención según queda definido en las reivindicaciones.

**REIVINDICACIONES**

1.- Conjunto de circuitos para un dispositivo de estimulación implantable, que comprende:

una pluralidad de nodos de electrodo implantables en posición adyacente al tejido que debe ser estimulado;

5 una pluralidad de convertidores de corriente no seleccionables dispuestos cada uno para convertir una corriente de referencia en una pluralidad de corrientes de salida, en el que las corrientes de salida representan versiones a escala de la corriente de referencia; y

10 una pluralidad de bloques conmutadores, en el que cada uno de la pluralidad de bloques conmutadores está asociado con un respectivo convertidor de la pluralidad de convertidores de corriente, en el que cada bloque conmutador comprende una pluralidad de conmutadores para recibir la corriente de salida de su convertidor de corriente asociado;

**caracterizado porque** cada bloque conmutador es capaz de enviar o absorber la corriente de salida procedente de su convertidor de corriente asociado hacia o desde cualquier nodo de la pluralidad de nodos de electrodo.

2.- El conjunto de circuitos de la reivindicación 1, que comprende además un convertidor digital a analógico para convertir otra corriente en la corriente de referencia.

15 3.- El conjunto de circuitos de la reivindicación 1, que comprende además un convertidor digital a analógico para convertir una primera corriente de referencia en una segunda corriente de referencia, en el que la pluralidad de convertidores de corriente están, cada una, dispuesta para convertir la segunda corriente de referencia en la pluralidad de corrientes de salida.

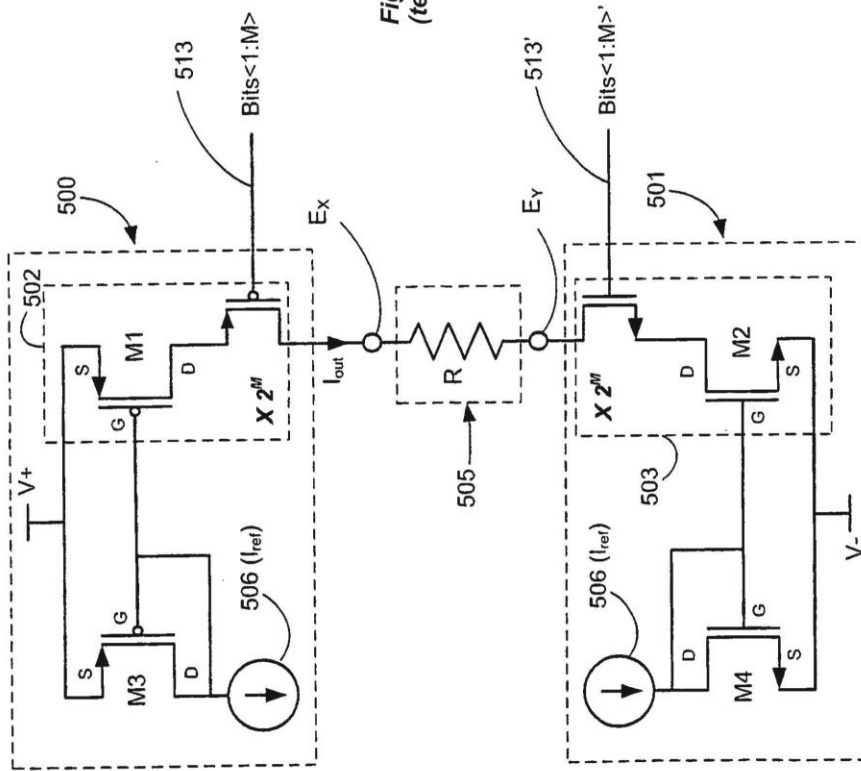
20 4.- El conjunto de circuitos de la reivindicación 3, en la que el convertidor digital a analógico convierte la primera corriente de referencia en una magnitud concreta de la segunda corriente de referencia de acuerdo con señales de control digitales.

5.- El conjunto de circuitos de la reivindicación 1 o 3, en el que los convertidores de corriente comprenden unos espejos de corriente.

25 6.- El conjunto de circuitos de la reivindicación 5, en el que se establece un escalar entre la corriente de salida y la corriente de referencia mediante un número de transistores de salida paralelos dispuestos en los espejos de corriente.

7.- El conjunto de circuitos de la reivindicación 1 o 3, en el que conjunto de circuitos comprende o bien un conjunto de circuitos de fuente de corriente o bien un conjunto de circuitos de sumidero de corriente

30



**Figura 1**  
*(tecnica anterior)*

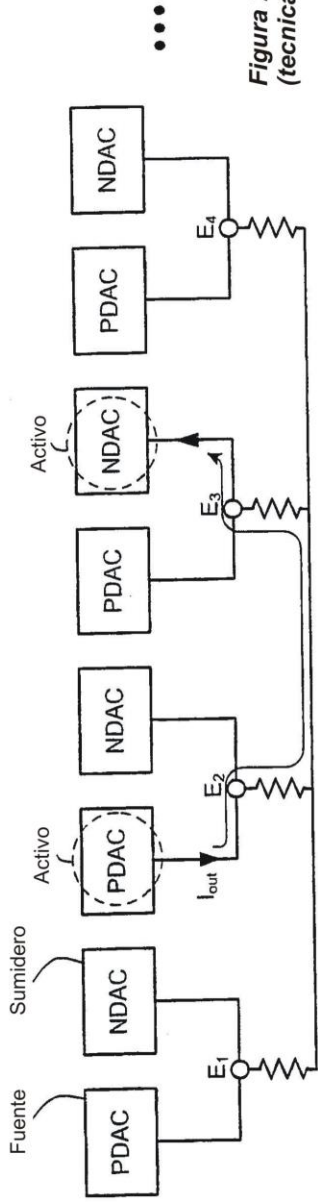


Figura 2A  
(tecnica anterior)

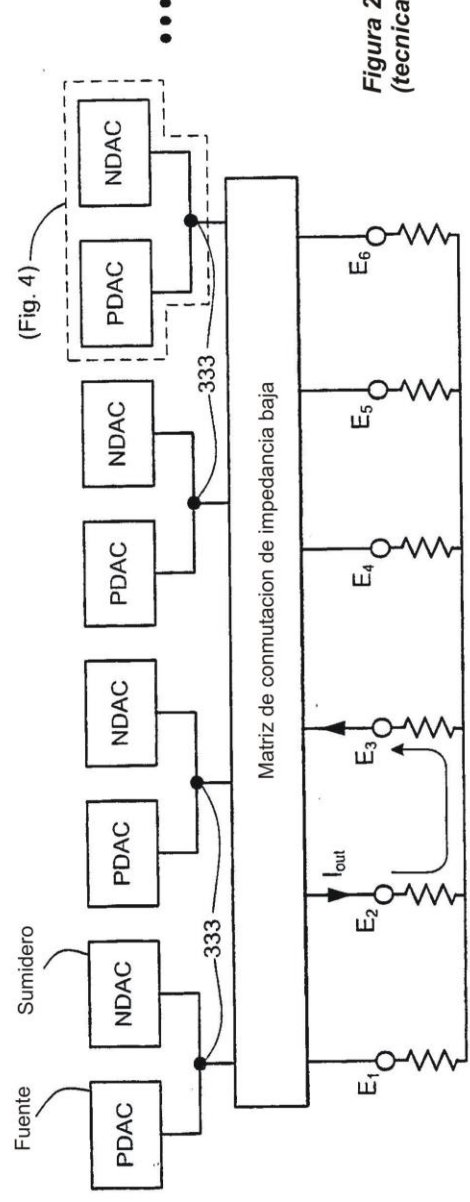


Figura 2B  
(tecnica anterior)

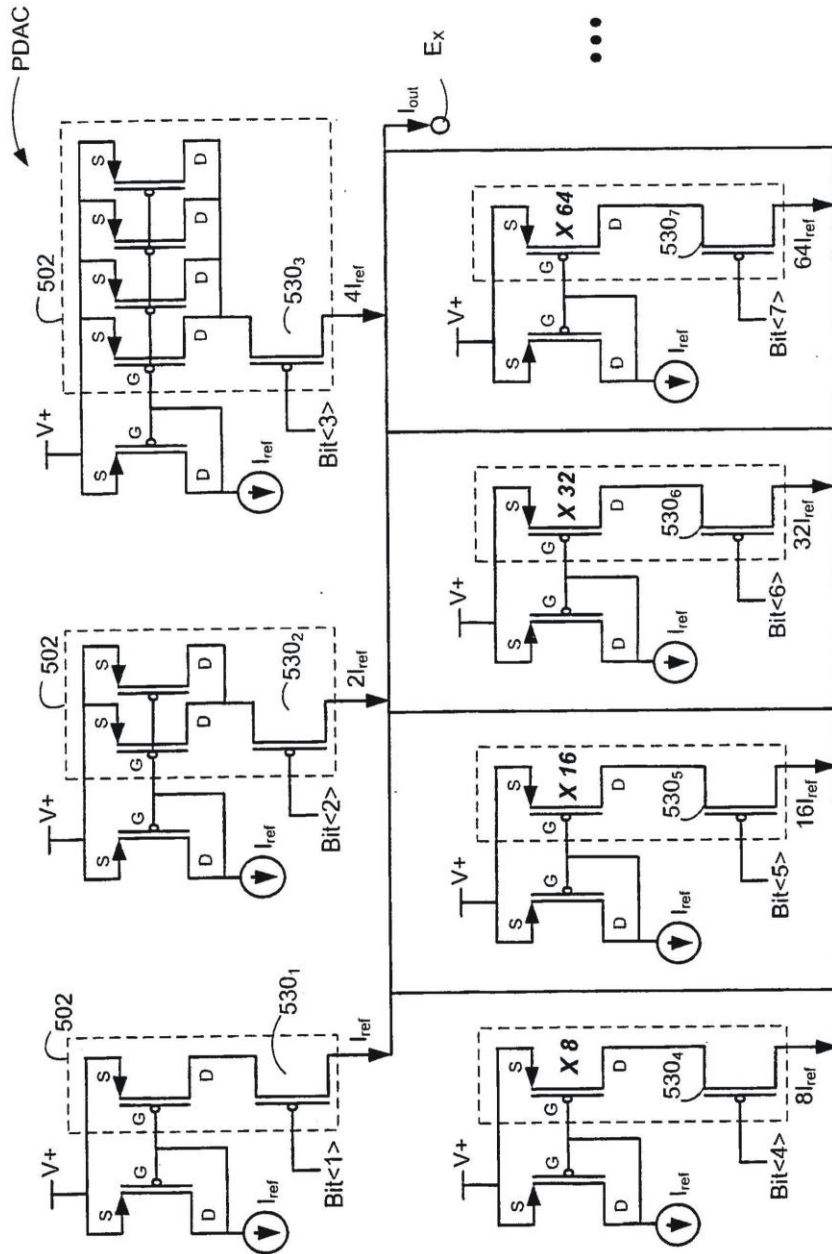
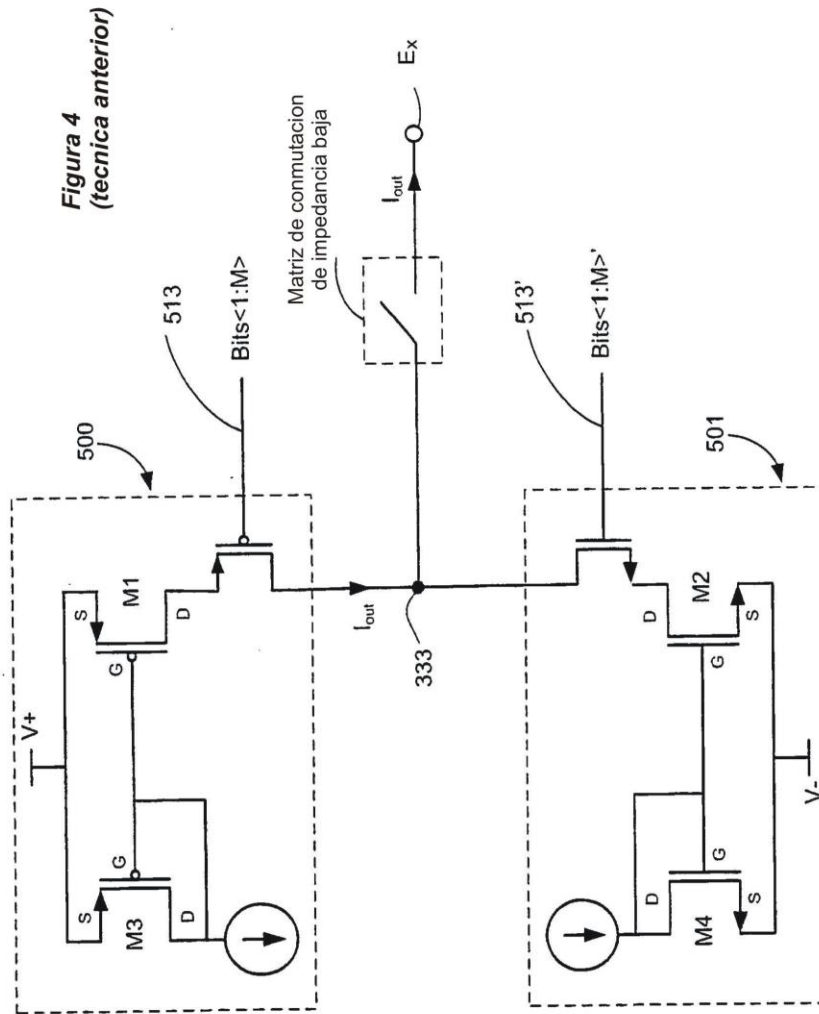


Figura 3 (tecnica anterior)





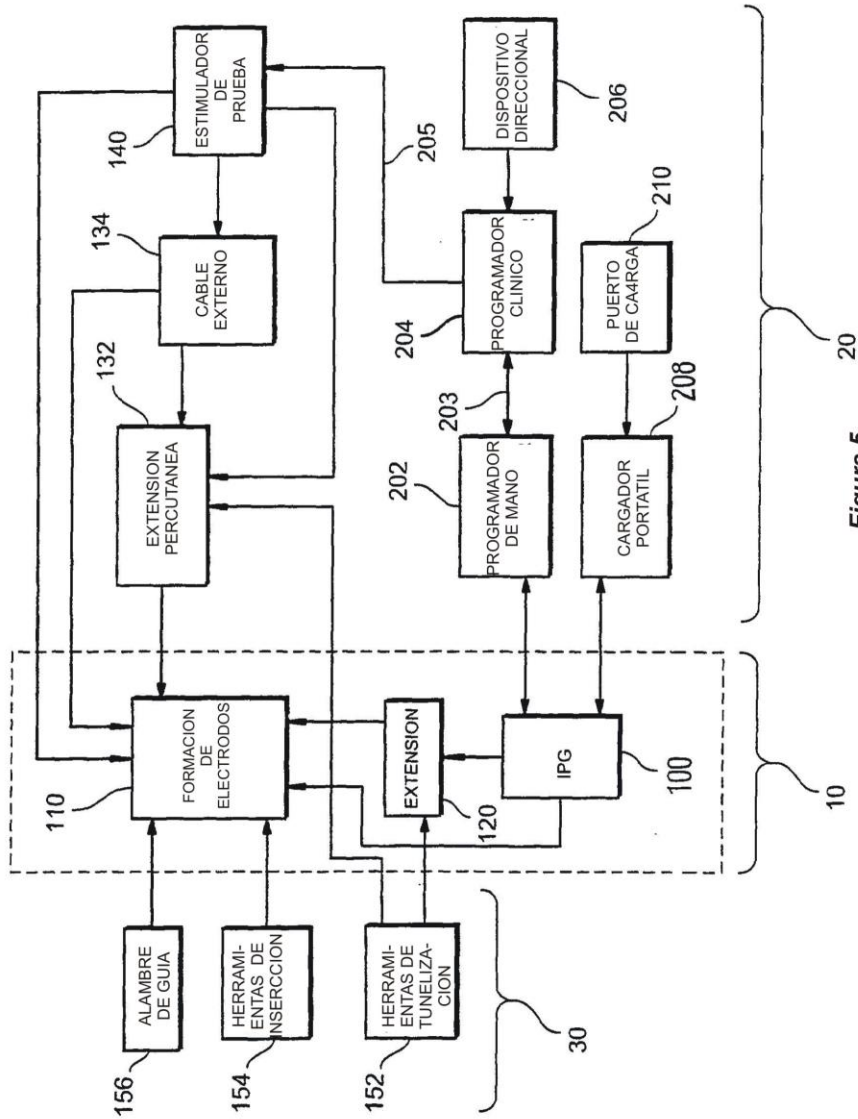


Figura 5

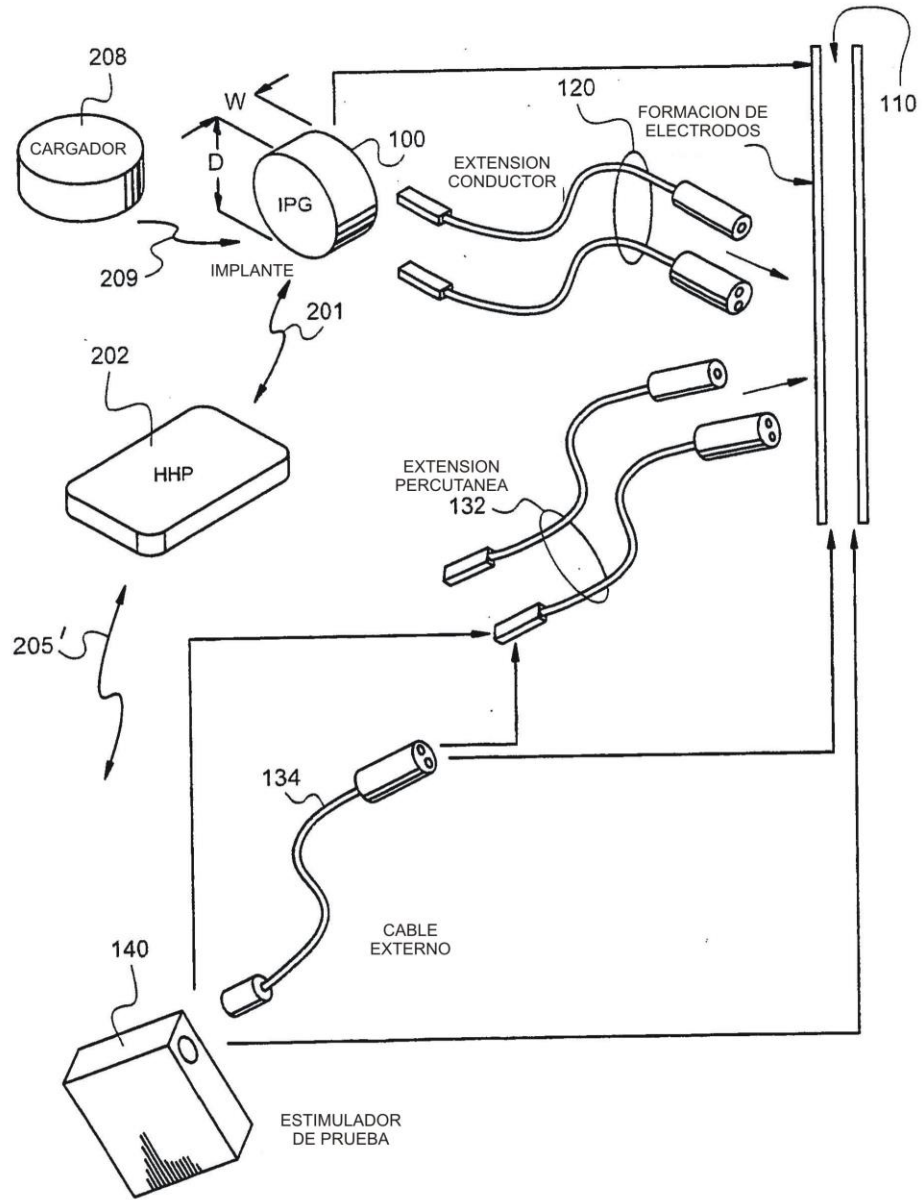


Figura 6

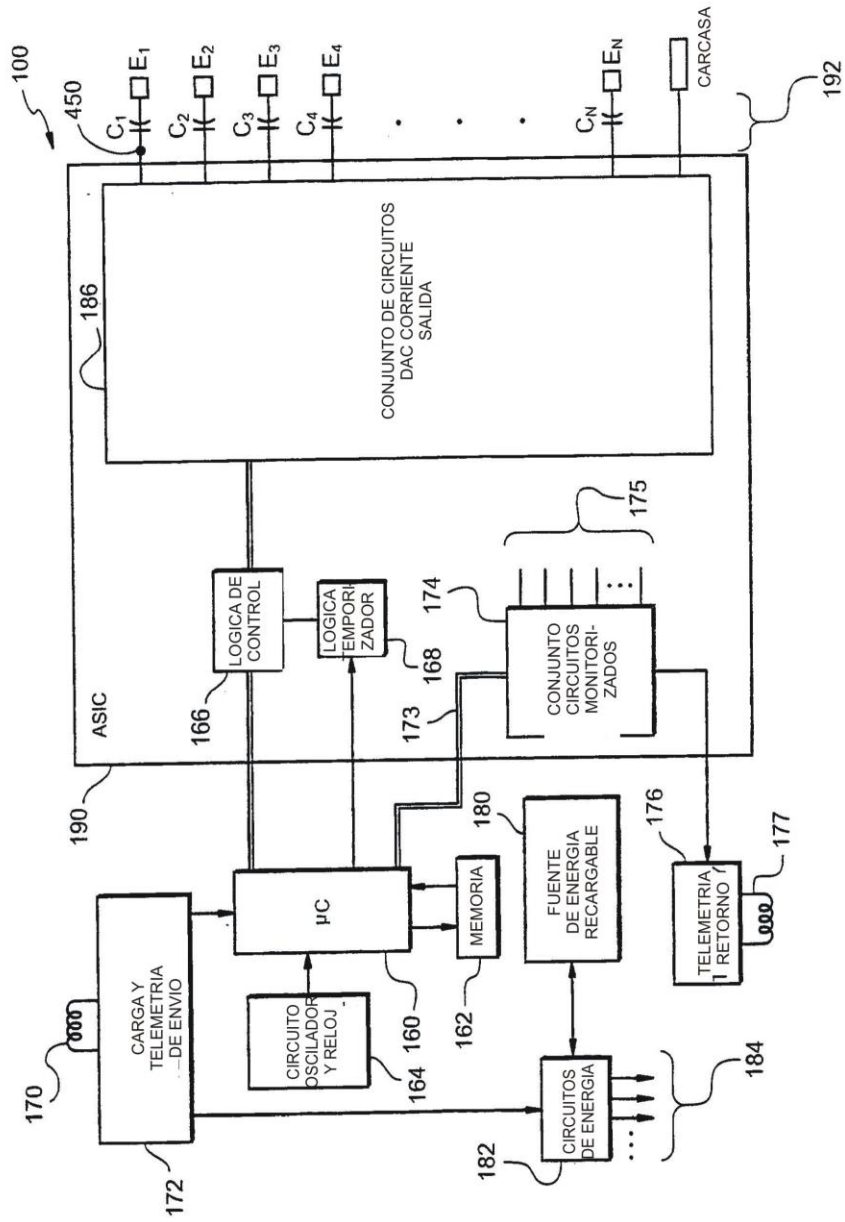


Figura 7

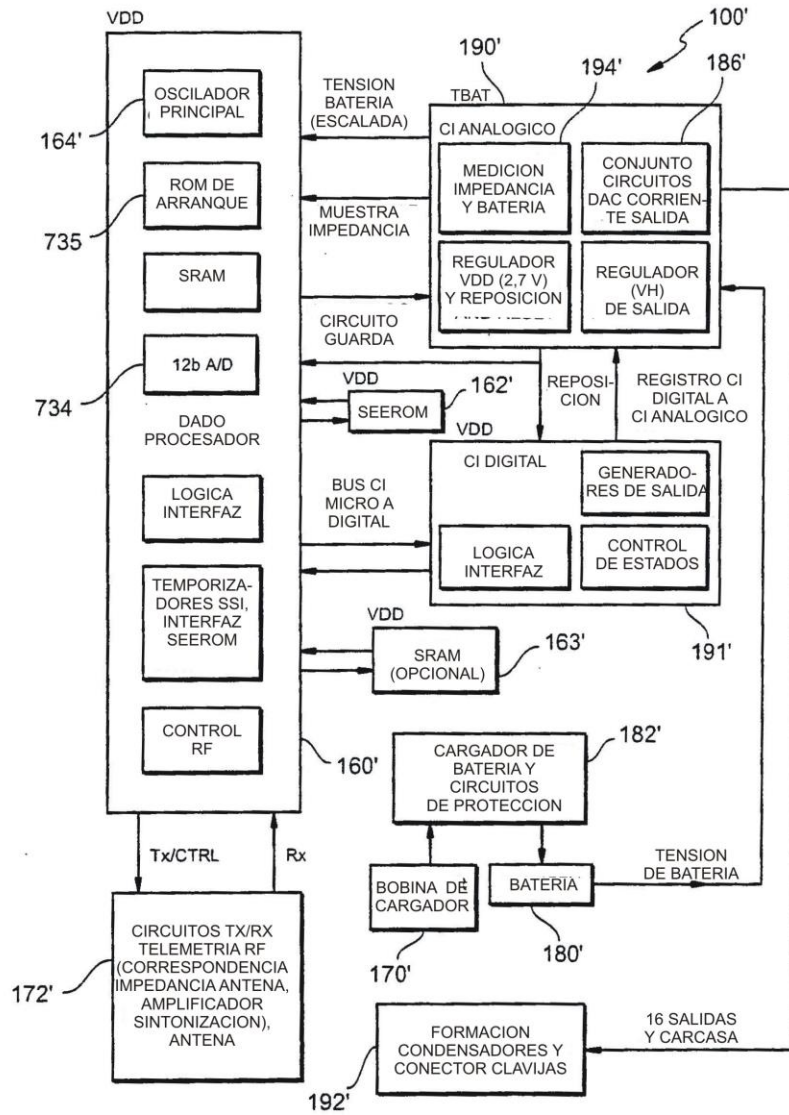


Figura 8

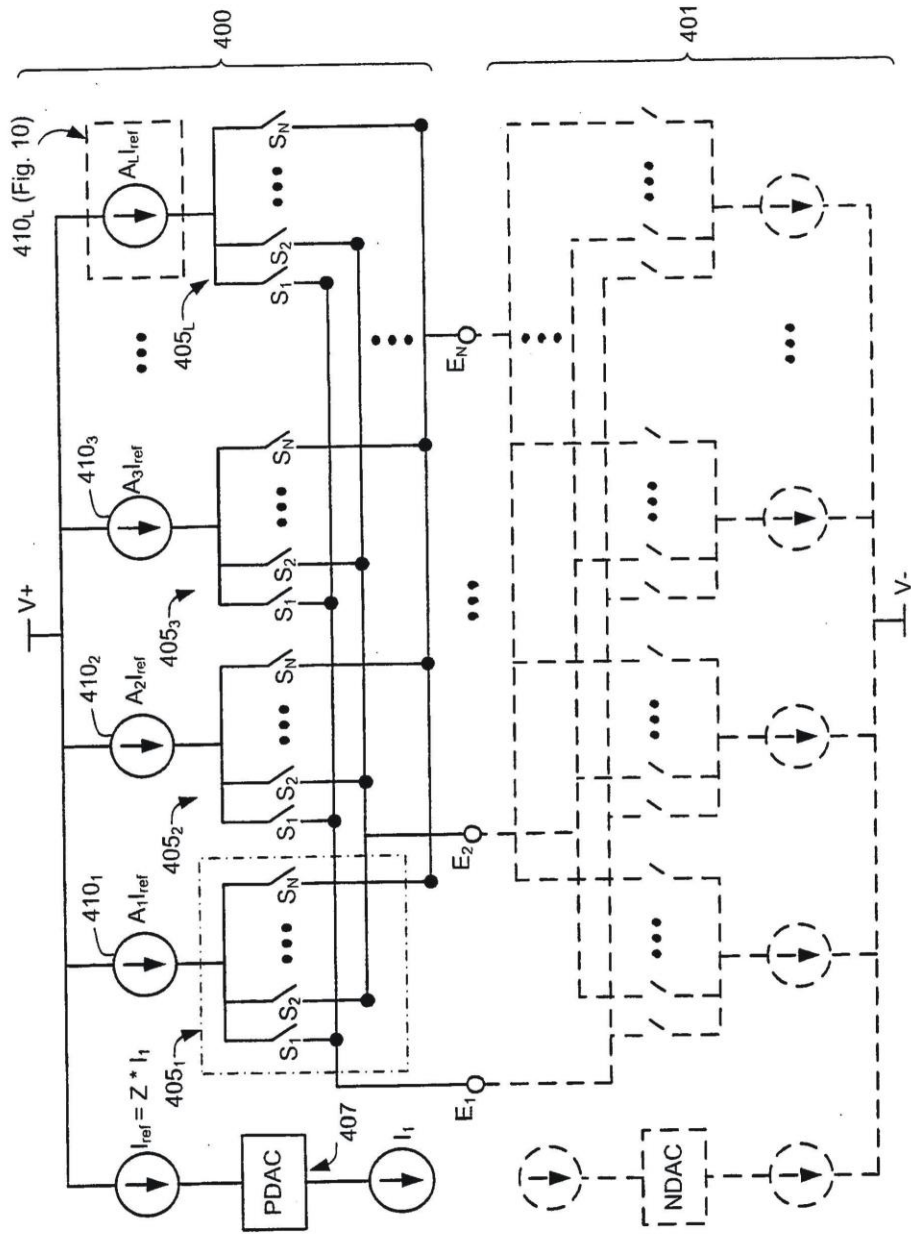


Figura 9

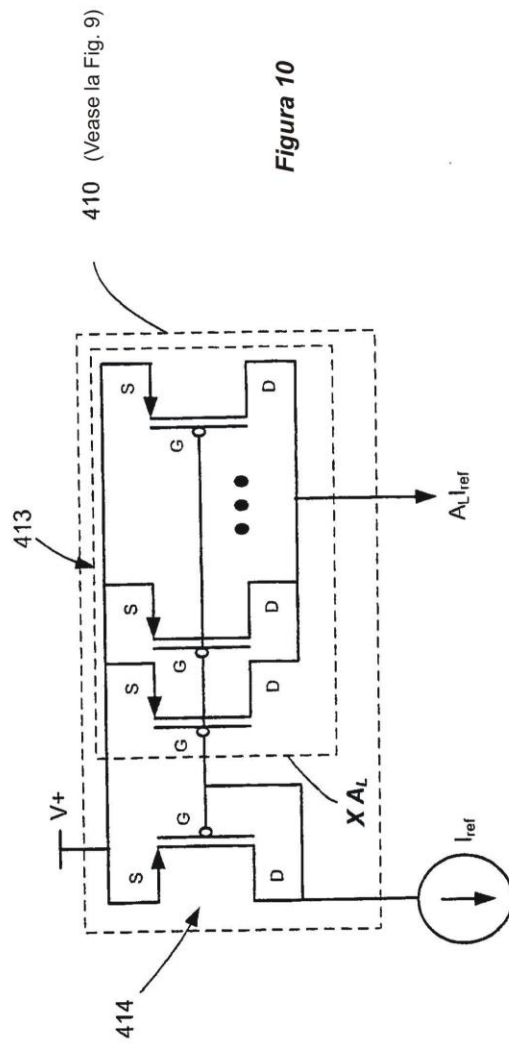


Figura 10

410 (Vease la Fig. 9)

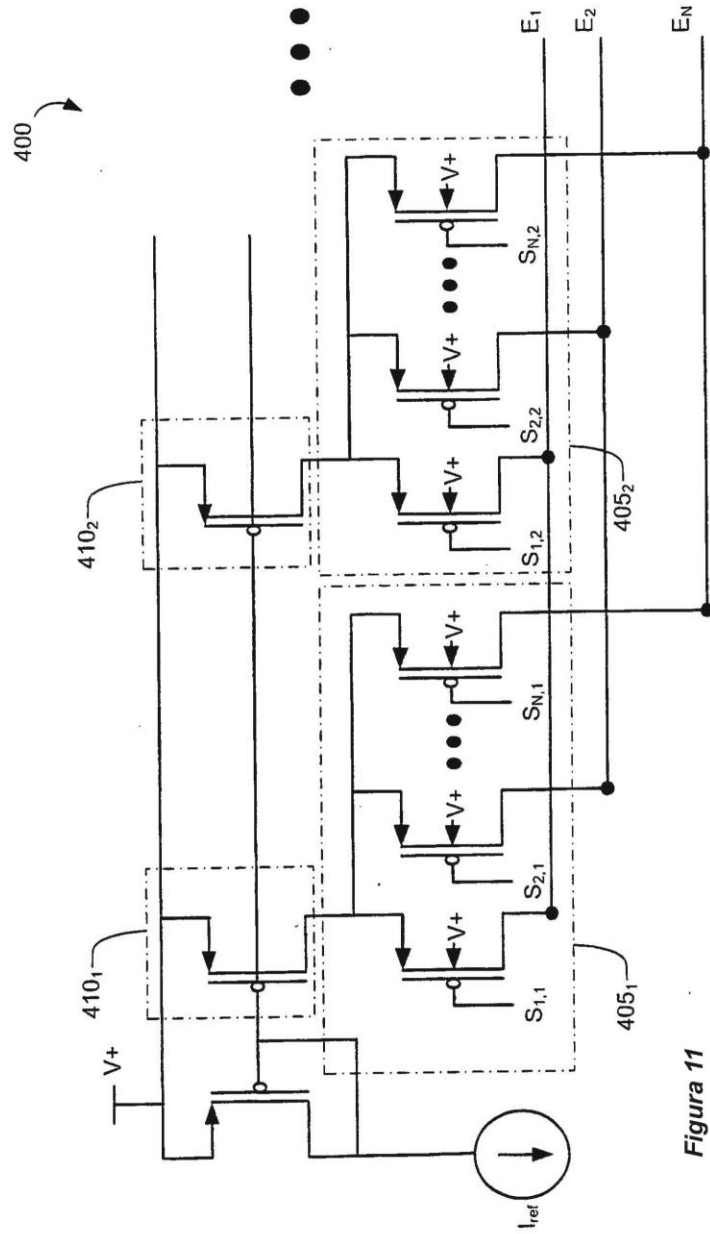


Figure 11