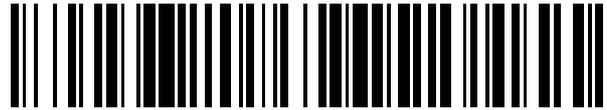


19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 565 440**

51 Int. Cl.:

**G06F 17/50** (2006.01)

**H03K 19/20** (2006.01)

**H03K 19/21** (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **19.04.2010 E 10716951 (8)**

97 Fecha y número de publicación de la concesión europea: **13.01.2016 EP 2425531**

54 Título: **Circuito y diseños para lógica XOR y XNOR**

30 Prioridad:

**05.05.2009 US 435672**  
**30.04.2009 US 174408 P**

45 Fecha de publicación y mención en BOPI de la traducción de la patente:  
**04.04.2016**

73 Titular/es:

**TELA INNOVATIONS, INC. (100.0%)**  
**485 Alberto Way, Suite 115**  
**Los Gatos, CA 95032, US**

72 Inventor/es:

**BECKER, SCOTT T.**

74 Agente/Representante:

**LAZCANO GAINZA, Jesús**

**ES 2 565 440 T3**

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

**DESCRIPCIÓN**

Circuito y diseños para lógica XOR y XNOR

Campo

La presente descripción se relaciona con un circuito lógico exclusivo OR.

5 Antecedentes

10 Un empuje para un mayor rendimiento y tamaño más pequeño de la boquilla conduce a la industria de semiconductores a reducir el área del chip de circuito en aproximadamente 50% cada dos años. La reducción del área del chip proporciona un beneficio económico para migrar a tecnologías más nuevas. La reducción del área del chip al 50% se logra al reducir los tamaños de las características entre 25% y 30%. Se permite la reducción de tamaño por las mejoras en la fabricación de equipos y materiales. Por ejemplo, la mejora en el proceso litográfico ha permitido que se alcancen tamaños de características más pequeños, mientras que la mejora en el pulido mecánico químico (CMP) ha permitido en parte un número mayor de capas de interconexión.

15 En la evolución de la litografía, cuando el tamaño de característica mínimo alcanza la longitud de onda de la fuente de luz utilizada para exponer las formas de la característica, ocurren interacciones no deseadas entre características vecinas. Los tamaños de características mínimos de hoy se están reduciendo por debajo de 45 nm (nanómetros), mientras que la longitud de onda de la fuente de luz utilizada en el proceso de fotolitografía se mantiene en 193 nm. La diferencia entre el tamaño de característica mínimo y la longitud de onda de la luz utilizada en el proceso de fotolitografía se define como el espacio litográfico. A medida que crece el espacio litográfico, se reduce la capacidad de resolución del proceso litográfico.

20 Un patrón de interferencia se produce a medida que cada forma sobre la máscara interactúa con la luz. Los patrones de interferencia de formas vecinas pueden crear interferencia constructiva o destructiva. En el caso de interferencia constructiva, se pueden crear formas no deseadas de manera inadvertida. En el caso de una interferencia destructiva, se pueden eliminar las formas deseadas inadvertidamente. En cualquier caso, una forma particular se imprime de una manera diferente de aquella destinada, lo que puede provocar una falla del dispositivo. Las metodologías de corrección, tales como la corrección de proximidad óptica (OPC), tratan de predecir el impacto de las formas vecinas y modificar la máscara de tal manera que se fabrica la forma impresa según se desee. La calidad de la predicción de la interacción de luz se reduce a medida que se encogen las geometrías de proceso y a medida que las interacciones de luz se vuelven más complejas.

30 En vista de lo anterior, se buscan soluciones para mejoras en el diseño y disposición de circuitos que pueden mejorar el manejo de los espacios litográficos a medida que la tecnología sigue avanzando hacia tamaños de características de dispositivo semiconductor más pequeños.

Los circuitos lógicos se describen en los documentos US2006/181310 y US 4 424 460.

Resumen

La invención se establece en las reivindicaciones adelante.

35 En una realización, se describe un circuito lógico exclusivo OR (XOR). El circuito lógico XOR incluye un primer nodo de entrada, un segundo nodo de entrada, y un nodo de salida. Una puerta de paso se conecta para ser controlada por un estado lógico presente en el segundo nodo de entrada. La puerta de paso se conecta para pasar a través de una versión de un estado lógico presente en el primer nodo de entrada al nodo de salida cuando se controla para transmitir por el estado lógico presente en el segundo nodo de entrada. Una puerta de transmisión se conecta para ser controlada por el estado lógico presente en el primer nodo de entrada. La puerta de transmisión se conecta para pasar a través de una versión del estado lógico presente en el segundo nodo de entrada al nodo de salida cuando se controla para transmitir por el estado lógico presente en el primer nodo de entrada. El estado lógico alto se conecta para ser controlado por el estado lógico presente en el primer nodo de entrada y el estado lógico presente en el segundo nodo de entrada. El estado lógico alto se conecta para activar un estado presente en el nodo de salida bajo cuando son altos el estado lógico presente en el primer nodo de entrada y el estado lógico presente en el segundo nodo de entrada.

50 En una realización, se describe un diseño de circuito lógico exclusivo OR (XOR). El diseño de circuito lógico XOR incluye seis transistores PMOS y cinco transistores NMOS. Los cinco transistores NMOS se emparejan respectivamente con cinco de los seis transistores PMOS, de tal manera que cada par de transistores NMOS y PMOS se define para compartir una estructura de electrodo de puerta contigua colocada a lo largo de una respectiva de cinco pistas de electrodo de puerta. El sexto de los seis transistores PMOS se define por una estructura de electrodo de puerta colocada a lo largo de una sexta pista de electrodo de puerta, de tal manera que el sexto transistor PMOS no comparte

la sexta pista de electrodo de puerta con otro transistor dentro del diseño de circuito lógico exclusivo OR. Las seis pistas de electrodo de puerta se orientan paralelas entre sí.

5 En una realización, se describe un circuito lógico exclusivo NOR (XNOR). El circuito lógico XNOR incluye un primer nodo de entrada, un segundo nodo de entrada, y un nodo de salida. Una puerta de paso se conecta para ser controlada por un estado lógico presente en el segundo nodo de entrada. La puerta de paso se conecta para pasar a través de una versión de un estado lógico presente en el primer nodo de entrada al nodo de salida cuando se controla para transmitir por el estado lógico presente en el segundo nodo de entrada. Una puerta de transmisión se conecta para ser controlada por el estado lógico presente en el primer nodo de entrada. La puerta de transmisión se conecta para pasar a través de una versión del estado lógico presente en el segundo nodo de entrada al nodo de salida cuando se controla para transmitir por el estado lógico presente en el primer nodo de entrada. El estado lógico bajo se conecta para ser controlado por el estado lógico presente en el primer nodo de entrada y el estado lógico presente en el segundo nodo de entrada. El estado lógico bajo se conecta para activar un estado presente en el nodo de salida alto cuando el estado lógico presente en el primer nodo de entrada y el estado lógico presente en el segundo nodo de entrada son bajos.

15 En una realización, se describe un diseño de circuito lógico exclusivo NOR (XNOR). El diseño de circuito lógico XNOR incluye cinco transistores PMOS y seis transistores NMOS. Los cinco transistores PMOS se emparejan respectivamente con cinco de los seis transistores NMOS, de tal manera que cada par de transistores PMOS y NMOS se define para compartir una estructura de electrodo de puerta contigua colocada a lo largo de una respectiva de cinco pistas de electrodo de puerta. El sexto de los seis transistores NMOS se define por una estructura de electrodo de puerta colocada a lo largo de una sexta pista de electrodo de puerta, de tal manera que el sexto transistor NMOS no comparte la sexta pista de electrodo de puerta con otro transistor dentro del diseño de circuito lógico exclusivo NOR. Las seis pistas de electrodo de puerta se orientan paralelas entre sí.

Otros aspectos y ventajas de la invención serán más evidentes a partir de la siguiente descripción detallada, tomada en conjunto con los dibujos acompañantes, que ilustran a modo de ejemplo la presente invención.

Breve descripción del los dibujos

- 25 La Figura 1A muestra un circuito de puerta lógico (XOR) convencional;
- Las Figuras 1B-1E muestran tablas de estado para el circuito de puerta lógico (XOR) convencional de la Figura 1A;
- La Figura 1F muestra un diseño del XOR convencional, de acuerdo con una realización de la presente invención;
- La Figura 1G muestra una configuración de inversor de ejemplo, de acuerdo con la técnica anterior;
- La Figura 2A muestra un circuito de puerta lógico XNOR, de acuerdo con una realización de la presente invención;
- 30 Las Figuras 2B-2E muestran tablas de estado para el circuito de puerta lógico XNOR de la Figura 2A, de acuerdo con una realización de la presente invención;
- La Figura 2F muestra un diseño del circuito de puerta lógico XNOR de la Figura 2A, de acuerdo con una realización de la presente invención;
- La Figura 3A muestra un circuito de puerta lógico (XOR), de acuerdo con una realización de la presente invención;
- 35 Las Figuras 3B-3E muestran tablas de estado para el circuito de puerta lógico (XOR) de la Figura 3A, de acuerdo con una realización de la presente invención;
- La Figura 3F muestra un diseño del circuito de puerta lógico (XOR) de la Figura 3A, de acuerdo con una realización de la presente invención;
- 40 La Figura 4A muestra un ejemplo de pistas de electrodo de puerta definidas dentro de la arquitectura de diseño de nivel de puerta restringida, de acuerdo con una realización de la presente invención; y
- La Figura 4B muestra la arquitectura de diseño de nivel de puerta restringida de ejemplo de la Figura 4A con un número de características de nivel de puerta de ejemplo definidas en la misma, de acuerdo con una realización de la presente invención.

Descripción detallada

En la siguiente descripción, se exponen numerosos detalles específicos con el fin de proporcionar una comprensión completa de la presente invención. Sin embargo, será evidente, para un experto en la técnica que la presente invención se puede poner en práctica sin algunos o todos estos detalles específicos. En otros casos, no se han descrito en detalle operaciones de proceso bien conocidas para no oscurecer innecesariamente la presente invención.

5 Circuito XOR convencional

La Figura 1A muestra un circuito de puerta lógico (XOR) convencional ("XOR 100" en adelante). El XOR 100 incluye dos entradas A y B, y una salida Q. La entrada A se proporciona en un nodo 101. La entrada B se proporciona en un nodo 102. La salida Q se proporciona en un nodo 105. Las Figuras 1B-1E muestran tablas de estado para el XOR 100. Como se muestra en las Figuras 1B-1E, el XOR 100 proporciona un estado apropiado de salida Q para las diversas combinaciones de estado de las entradas A y B. ' 10

Como se muestra en la Figura 1A, el nodo 101 que recibe la entrada A se conecta a una puerta de un transistor 117 PMOS y a una puerta de un transistor 120 NMOS. El nodo 101 también se conecta a una entrada de un inversor 110. Una salida del inversor 110 se conecta a un nodo 103. El nodo 103 se conecta a una puerta de un transistor 113 PMOS y a una puerta de un transistor 116 NMOS.

15 El nodo 102 se conecta a una puerta de un transistor 114 PMOS y a una puerta de un transistor 119 NMOS. El nodo 102 también se conecta a una entrada de un inversor 111. Una salida del inversor 111 se conecta a un nodo 104. El nodo 104 se conecta a una puerta de un transistor 115 NMOS y a una puerta de un transistor 118 PMOS.

Los transistores 113 y 114 PMOS se conectan en una forma serial entre un suministro de potencia (VDD) y el nodo 105, que proporciona la salida Q del XOR 100. Los transistores 115 y 116 NMOS se conectan en una forma serial entre el nodo 105 y un potencial de tierra de referencia (GND). Los transistores 117 y 118 PMOS se conectan en una forma serial entre el suministro de potencia (VDD) y el nodo 105. Los transistores 119 y 120 NMOS se conectan en una forma serial entre el nodo 105 y el potencial de tierra de referencia (GND). 20

Con base en lo anterior, el XOR 100 convencional incluye dos grupos de estado lógico alto, donde el primer grupo se define por los transistores 113 y 114 PMOS, y el segundo grupo se define por los transistores 117 y 118 PMOS. El XOR 100 también incluye dos grupos de estado lógico bajo, donde el primer grupo se define por los transistores 115 y 116 NMOS, y el segundo grupo se define por los transistores 119 y 120 NMOS. Cada grupo de estado lógico alto y bajo se controla por una versión de la entrada A y una versión de la entrada B. Por lo tanto, con base en las entradas A y B, los circuitos del XOR 100 convencional se definen para activar la salida Q ya sea alta o baja mediante el uso de cualquier grupo de estado lógico alto o cualquier grupo de estado lógico bajo, respectivamente. 25

Adicionalmente, se debe entender que cada uno de los inversores 110 y 111 incluye un transistor PMOS y un transistor NMOS. La Figura 1G muestra una configuración de inversor de ejemplo, de acuerdo con la técnica anterior. El inversor recibe una señal de entrada A y produce una señal de salida Q. El inversor incluye un transistor 192 PMOS que tiene una puerta conectada para ser controlada por la señal de entrada A, una primera terminal conectada a un suministro de potencia (VDD), y una segunda terminal conectada para proporcionar la señal de salida Q. El inversor también incluye un transistor 193 NMOS que tiene una puerta conectada para ser controlada por la señal de entrada A, una primera terminal conectada para proporcionar la señal de salida Q, y una segunda terminal conectada a un potencial de tierra de referencia (GND). Cuando es alta la entrada A del inversor la salida es baja, viceversa. Con base en cada inversor que incluye un transistor PMOS y un transistor NMOS, se debe entender que el XOR 100 convencional incluye un total de 6 transistores PMOS y 6 transistores NMOS. 30

La Figura 1F muestra un diseño del XOR 100, de acuerdo con una realización de la presente invención. El diseño del XOR 100 se define de acuerdo con una arquitectura de diseño de nivel de puerta restringida, como se describe aquí. Los diversos transistores PMOS y NMOS como se describieron previamente con respecto a la Figura 1A se marcan de acuerdo con lo anterior en el diseño de la Figura 1F. Los diversos nodos como se describieron previamente con respecto a la Figura 1A también se marcan de acuerdo con lo anterior en el diseño de la Figura 1F. Los electrodos de puerta del transistor 118 PMOS y transistor 119 NMOS se definen en una forma colineal de tal manera que se separan dentro del nivel de puerta mediante una separación 195 de extremo a extremo. También, los electrodos de puerta del transistor 114 PMOS y transistor 115 NMOS se definen en una forma colineal de tal manera que se separan dentro del nivel de puerta por una separación 196 de extremo a extremo. 40

Se debe entender que con el fin de diseñar el XOR 100 convencional dentro de seis pistas de electrodo de puerta que utilizan la arquitectura de nivel de puerta restringida, es necesario tener por lo menos dos separaciones 195 y 196 de extremo a extremo de electrodo de puerta, por ejemplo, dentro del nivel de puerta del XOR 100. Dichas separaciones de extremo a extremo de electrodo de puerta se definen de acuerdo con reglas de diseño aplicables que requieren un tamaño de separación de extremo a extremo mínimo. Por lo tanto, se debe apreciar que la presencia de separaciones de extremo a extremo de electrodo de puerta puede requerir las regiones de difusión tipo P y tipo N para ser separadas 45

más de lo que se requeriría en la ausencia de separaciones de extremo a extremo de electrodo de puerta, requiriendo de esta manera una altura de celda total más grande.

#### Realizaciones de diseño y circuito XOR

5 La Figura 3A muestra un circuito de puerta lógico (XOR) 300 ("XOR 300" en adelante), de acuerdo con una realización de la presente invención. El XOR 300 incluye dos entradas A y B, y una salida Q. La entrada A se proporciona en un nodo 301. La entrada B se proporciona en un nodo 302. La salida Q se proporciona en un nodo 307. Las Figuras 3B-3E muestran tablas de estado para el XOR 300, de acuerdo con una realización de la presente invención. Como se muestra en las Figuras 3B-3E, el XOR 300 proporciona un estado apropiado de salida Q para las diversas combinaciones de estado de las entradas A y B.

10 Como se muestra en la Figura 3A, el nodo 301 que recibe la entrada A se conecta a una entrada de un inversor 310 y a una puerta de un transistor 314 PMOS. El nodo 302 que recibe la entrada B se conecta a una entrada de un inversor 311. La salida del inversor 310 se conecta a un nodo 303. El nodo 303 se conecta a: 1) una primera terminal de un transistor 312 NMOS, 2) una puerta de un transistor 316 PMOS, y 3) una puerta de un transistor 313 NMOS. La salida del inversor 311 se conecta a un nodo 304. El nodo 304 se conecta a: 1) una puerta del transistor 312 NMOS, 2) una  
15 puerta de un transistor 315 PMOS, 3) una primera terminal del transistor 313 NMOS, y 4) una primera terminal del transistor 314 PMOS.

20 Un nodo 305 se conecta a cada uno de: 1) una segunda terminal del transistor 312 NMOS, 2) una segunda terminal del transistor 313 NMOS, 3) una segunda terminal del transistor 314 PMOS, y 4) una segunda terminal del transistor 316 PMOS. Una primera terminal del transistor 315 PMOS se conecta a un suministro de potencia (VDD). Una segunda terminal del transistor 315 PMOS se conecta a un nodo 306, que se conecta a una primera terminal del transistor 316 PMOS. El nodo 305 se conecta a una entrada de un inversor 317. Una salida del inversor 317 se conecta a un nodo 307, que proporciona la salida Q del XOR 300.

25 Las tablas de estado de las Figuras 3B-3E muestran los diferentes estados de los diversos nodos (Nodo- 301 a Nodo - 307) del XOR 300 para aplicación de diferentes combinaciones de estado en las entradas A y B. Cada uno de los inversores 310, 311, y 317 incluye un transistor PMOS y un transistor NMOS. Por lo tanto, en contraste con el XOR 100 convencional que incluye un total de seis transistor PMOS y seis transistores NMOS, el XOR 300 incluye un total de seis transistores PMOS y cinco transistores NMOS, de esta manera ahorrando un transistor NMOS.

30 El XOR 300 de 2 entradas se define para procesar cuatro combinaciones únicas de las entradas A y B, como se representa en las Figuras 3B-3E. Específicamente, el transistor 313 NMOS y transistor 314 PMOS juntos definen una puerta 350 de transmisión que se controla por la entrada A. Cuando el estado de entrada A es bajo, es decir, una lógica 0, la puerta 350 de transmisión contribuye al control del estado de salida Q, de tal manera que el estado de salida Q empareja el estado de entrada B.

35 El transistor 312 NMOS define una puerta 360 de paso que se controla por la entrada B. Cuando el estado de entrada B es bajo, es decir, lógica 0, la puerta 360 de paso contribuye al control del estado de salida Q, de tal manera que el estado de salida Q empareja el estado de entrada A.

Los transistores 315 y 316 PMOS juntos definen el estado lógico 370 alto que se controla por ambas entradas A y B. Cuando son altos el estado de entrada A y el estado de entrada B, es decir, lógica 1, se desactivan la puerta 350 de transmisión y puerta 360 de paso, y el estado lógico 370 alto controla el estado de salida Q, de tal manera que el estado de salida Q es bajo, es decir, una lógica 0.

40 Cuando el estado de cualquiera de las entradas A y B es bajo, es decir, lógica 0, se desactiva el estado lógico 370 alto.

El XOR 300 se define para ya sea:

- pasar a través de una versión del estado de entrada A a la salida Q por medio de la puerta 360 de paso controlada por la entrada B,
- pasar a través de una versión del estado de entrada B a la salida Q por medio de una puerta 350 de  
45 transmisión controlada por la entrada A, o
- activar un estado de la salida Q bajo por medio del estado lógico 370 alto bajo el control de ambas entradas A y B.

50 De acuerdo con lo anterior, el circuito 300 lógico XOR incluye el primer nodo 301 de entrada A, el segundo nodo 302 de entrada B, y el nodo 307 de salida Q. La puerta 360 de paso se conecta para ser controlada por un estado lógico presente en el segundo nodo 302 de entrada. La puerta 360 de paso se conecta para pasar a través de una versión de

un estado lógico presente en el primer nodo 301 de entrada al nodo 307 de salida cuando se controla para transmisión por el estado lógico presente en el segundo nodo 302 de entrada. La puerta 350 de transmisión se conecta para ser controlada por el estado lógico presente en el primer nodo 301 de entrada. La puerta 350 de transmisión se conecta para pasar a través de una versión del estado lógico presente en el segundo nodo 302 de entrada al nodo 307 de salida cuando se controla para transmitir por el estado lógico presente en el primer nodo 301 de entrada. El estado lógico 370 alto se conecta para ser controlado por el estado lógico presente en el primer nodo 301 de entrada y el estado lógico presente en el segundo nodo 302 de entrada. El estado lógico 370 alto se conecta para activar un estado presente en el nodo 307 de salida bajo cuando son altos el estado lógico presente en el primer nodo 301 de entrada y el estado lógico presente en el segundo nodo 302 de entrada.

La Figura 3F muestra un diseño del XOR 300, de acuerdo con una realización de la presente invención. En una realización, el diseño del XOR 300 se define con base en una arquitectura de diseño de nivel de puerta restringida, como se describe aquí. El inversor 310 se define por un transistor 310P PMOS y un transistor 310N NMOS que comparten una estructura 310G de electrodo de puerta contigua definida a lo largo de una única pista 380 de electrodo de puerta. El inversor 311 se define por un transistor 311P PMOS y un transistor 311N NMOS que comparten una estructura 311G de electrodo de puerta contigua definida a lo largo de una única pista 384 de electrodo de puerta. El inversor 317 se define por un transistor 317P PMOS y un transistor 317N NMOS que comparten una estructura 317G de electrodo de puerta contigua definida a lo largo de una única pista 385 de electrodo de puerta.

El transistor 315 PMOS del estado lógico 370 alto y el transistor 312 NMOS de la puerta 360 de paso comparten una estructura 381G de electrodo de puerta contigua definida a lo largo de una única pista 381 de electrodo de puerta. El transistor 316 PMOS del estado lógico 370 alto y el transistor 313 NMOS de la puerta 350 de transmisión comparten una estructura 382G de electrodo de puerta contigua definida a lo largo de una única pista 382 de electrodo de puerta. El transistor 314 PMOS de la puerta 350 de transmisión se define a lo largo de una única pista 383 de electrodo de puerta. Los nodos 301-307 se definen en el diseño de XOR 300 mediante diversas combinaciones de contactos, estructuras de intercontacto (M1, M2), y vías (Vía 1), con el fin de hacer las conexiones entre los diversos transistores como se muestra en la Figura 3A.

Se debe apreciar que el diseño del XOR 300, cuando se define de acuerdo con la arquitectura de electrodo de puerta restringida, se define utilizando seis pistas (380-385) de electrodo de puerta adyacentes. En una realización, se separan de igual manera las seis pistas (380-385) de electrodo de puerta adyacentes. Sin embargo, en otra realización, se pueden utilizar diferentes separaciones perpendiculares para separar las seis pistas (380-385) de electrodo de puerta adyacentes. También, se debe apreciar que el diseño del XOR 300, cuando se define de acuerdo con la arquitectura de electrodo de puerta restringida, no requiere la colocación de extremos de línea de electrodo de puerta opuestos. En otras palabras, no existen estructuras de electrodo de puerta colocadas extremo a extremo a lo largo de cualquier pista de electrodo de puerta dada dentro del diseño de XOR 300. Por lo tanto, se evitan las dificultades litográficas asociadas con la fabricación de separaciones de extremo a extremo entre características de electrodo de puerta.

También, dado que no existen separaciones de electrodo de puerta de extremo a extremo posicionadas a lo largo de una pista de electrodo de puerta dada entre la región de difusión de tipo P y la región de difusión de tipo N, el espacio de diseño perpendicular entre regiones de difusión tipo P y tipo N no se ve obligado a cumplir con un requisito de tamaño mínimo, como sería dictado por las reglas de diseño asociadas a la colocación/ fabricación de separaciones de electrodo de puerta de extremo a extremo. Por lo tanto, si se desea en determinadas realizaciones, la altura de celda total del diseño de XOR 300, es decir, la distancia perpendicular entre VDD y GND, se puede reducir al separar las regiones de difusión tipo P y tipo N más cercanas.

Adicionalmente, aunque la realización de ejemplo de las Figuras 3A y 3F muestra el estado lógico 370 alto definido de tal manera que la puerta del transistor 315 PMOS se conecta a la salida del segundo inversor 311 de entrada, y de tal manera que la puerta del transistor 316 PMOS se conecta a la salida del primer inversor 310 de entrada, se debe entender que se puede invertir la pila de transistores 315 y 316 PMOS. Específicamente, en una realización, el estado lógico 370 alto se define de tal manera que la puerta del transistor 315 PMOS se conecta a la salida del primer inversor 310 de entrada, y de tal manera que la puerta del transistor 316 PMOS se conecta a la salida del segundo inversor 311 de entrada.

#### Realizaciones de Diseño y Circuito XNOR

La Figura 2A muestra un circuito 200 de puerta lógico XNOR ("XNOR 200" en adelante), de acuerdo con una realización de la presente invención. El XNOR 200 incluye dos entradas A y B, y una salida Q. La entrada A se proporciona en un nodo 201. La entrada B se proporciona en un nodo 202. La salida Q se proporciona en un nodo 207. Las Figuras 2B-2E muestran tablas de estado para el XNOR 200, de acuerdo con una realización de la presente invención. Como se muestra en las Figuras 2B-2E, el XNOR 200 proporciona un estado apropiado de salida Q para las diversas combinaciones de estado de las entradas A y B.

Como se muestra en la Figura 2A, el nodo 201 que recibe la entrada A se conecta a una entrada de un inversor 210 y a una puerta de un transistor 214 NMOS. El nodo 202 que recibe la entrada B se conecta a una entrada de un inversor

211. La salida del inversor 210 se conecta a un nodo 203. El nodo 203 se conecta a: 1) una primera terminal de un transistor 212 PMOS, 2) una puerta de un transistor 213 PMOS, y 3) una puerta de un transistor 215 NMOS. La salida del inversor 211 se conecta a un nodo 204. El nodo 204 se conecta a: 1) una puerta del transistor 212 PMOS, 2) una puerta de un transistor 216 NMOS, 3) una primera terminal del transistor 213 PMOS, y 4) una primera terminal del transistor 214 NMOS.

Un nodo 205 se conecta a cada uno de: 1) una segunda terminal del transistor 212 PMOS, 2) una segunda terminal del transistor 213 PMOS, 3) una segunda terminal del transistor 214 NMOS, y 4) una segunda terminal del transistor 215 NMOS. Una primera terminal del transistor 216 NMOS se conecta a un potencial de tierra de referencia (GND). Una segunda terminal del transistor 216 NMOS se conecta a un nodo 206, que se conecta a una primera terminal del transistor 215 NMOS. El nodo 205 se conecta a una entrada de un inversor 217. Una salida del inversor 217 se conecta a un nodo 207, que proporciona la salida Q del XNOR 200. Las tablas de estado de las Figuras 2B-2E muestran los diferentes estados de los diversos nodos (Nodo-201 a Nodo-207) del XNOR 200 para aplicación de diferentes combinaciones de estado en las entradas A y B. Cada uno de los inversores 210, 211, y 217 incluye un transistor PMOS y un transistor NMOS. Por lo tanto, el XNOR 200 incluye un total de cinco transistores PMOS y seis transistores NMOS.

El XNOR 200 de 2 entradas se define para procesar cuatro combinaciones únicas de las entradas A y B, como se representa en las Figuras 2B-2E. Específicamente, el transistor 213 PMOS y transistor 214 NMOS juntos definen una puerta 250 de transmisión que se controla por la entrada A. Cuando es alto el estado de entrada A, es decir, una lógica 1, la puerta 250 de transmisión contribuye al control del estado de salida Q, de tal manera que el estado de salida Q empareja el estado de entrada B.

El transistor 212 PMOS define una puerta 260 de paso que se controla por la entrada B. Cuando es alto el estado de entrada B, es decir, lógica 1, la puerta 260 de paso contribuye al control del estado de salida Q, de tal manera que el estado de salida Q empareja el estado de entrada A.

Los transistores 215 y 216 NMOS juntos definen el estado lógico 270 bajo que se controla por ambas entradas A y B. Cuando son bajos el estado de entrada A y el estado de entrada B, es decir, lógica 0, se desactivan la puerta 250 de transmisión y puerta 260 de paso, y el estado lógico 270 bajo controla el estado de salida Q, de tal manera que es alto el estado de salida Q, es decir, una lógica 1. Cuando es alto cualquier estado de las entradas A y B, es decir, se desactiva lógica 1, el estado lógico 270 bajo.

Con base en lo anterior, el XNOR 200 se define para ya sea:

- pasar a través de una versión del estado de entrada A a la salida Q por medio de la puerta 260 de paso controlada por entrada B,
- pasar a través de una versión del estado de entrada B a la salida Q por medio de una puerta 250 de transmisión controlada por la entrada A,
- activar un estado de la salida Q alto por medio del estado lógico 270 bajo bajo el control de ambas entradas A y B.

De acuerdo con lo anterior, el circuito lógico XNOR 200 incluye el primer nodo 201 de entrada A, el segundo nodo 202 de entrada B, y el nodo 207 de salida Q. La puerta 260 de paso se conecta para ser controlada por un estado lógico presente en el segundo nodo 202 de entrada. La puerta 260 de paso se conecta para pasar a través de una versión de un estado lógico presente en el primer nodo 201 de entrada al nodo 207 de salida cuando se controla para transmitir por el estado lógico presente en el segundo nodo 202 de entrada. La puerta 250 de transmisión se conecta para ser controlada por el estado lógico presente en el primer nodo 201 de entrada. La puerta 250 de transmisión se conecta para pasar a través de una versión del estado lógico presente en el segundo nodo 202 de entrada al nodo 207 de salida cuando se controla para transmitir por el estado lógico presente en el primer nodo 201 de entrada. El estado lógico 270 bajo se conecta para ser controlada por el estado lógico presente en el primer nodo 201 de entrada y el estado lógico presente en el segundo nodo 202 de entrada. El estado lógico 270 bajo se conecta para activar un estado presente en el nodo 207 de salida alto cuando son bajos el estado lógico presente en el primer nodo 201 de entrada y el estado lógico presente en el segundo nodo 202 de entrada.

La Figura 2F muestra un diseño del XNOR 200, de acuerdo con una realización de la presente invención. En una realización, el diseño del XNOR 200 se define con base en una arquitectura de diseño de nivel de puerta restringida, como se describe aquí. El inversor 210 se define por un transistor 210P PMOS y un transistor 210N NMOS que comparten una estructura 210G de electrodo de puerta contigua definida a lo largo de una única pista 280 de electrodo de puerta. El inversor 211 se define por un transistor 211P PMOS y un transistor 211N NMOS que comparten una estructura 211G de electrodo de puerta contigua definida a lo largo de una única pista 284 de electrodo de puerta. El inversor 217 se define por un transistor 217P PMOS y un transistor 217N NMOS que comparten una estructura 217G de electrodo de puerta contigua definida a lo largo de una única pista 285 de electrodo de puerta.

El transistor 216 NMOS del estado lógico 270 bajo y el transistor 212 PMOS de la puerta 260 de paso comparten una estructura 281G de electrodo de puerta contigua definida a lo largo de una única pista 281 de electrodo de puerta. El transistor 215 NMOS del estado lógico 270 bajo y el transistor 213 PMOS de la puerta 250 de transmisión comparten una estructura 282G de electrodo de puerta contigua definida a lo largo de una única pista 282 de electrodo de puerta.  
 5 El transistor 214 NMOS de la puerta 250 de transmisión se define a lo largo de una única pista 283 de electrodo de puerta. Los nodos 201-207 se definen en el diseño de XNOR 200 por diversas combinaciones de contactos, estructuras de intercontacto (M1, M2), y vías (Vía 1), con el fin de hacer las conexiones entre los diversos transistores como se muestra en la Figura 2A.

10 Se debe apreciar que el diseño del XNOR 200, cuando se define de acuerdo con la arquitectura de diseño de nivel de puerta restringida, se define utilizando seis pistas (280-285) de electrodo de puerta adyacentes. En una realización, las seis pistas (280-285) de electrodo de puerta adyacentes se separan igualmente. Sin embargo, en otra realización, se pueden utilizar diferentes separaciones perpendiculares para separar las seis pistas (280-285) de electrodo de puerta adyacentes. También, se debe apreciar que el diseño del XNOR 200, cuando se define de acuerdo con la arquitectura de diseño de nivel de puerta restringida, no requiere colocación de extremos de línea de electrodo de puerta opuestos.  
 15 En otras palabras, no existen estructuras de electrodo de puerta colocadas extremo a extremo a lo largo de cualquier pista de electrodo de puerta dada dentro del diseño XNOR 200. Por lo tanto, se evitan las dificultades litográficas asociadas con la fabricación de separaciones de extremo a extremo entre las características de electrodo de puerta.

También, porque no existen separaciones de extremo a extremo de electrodo de puerta posicionadas a lo largo de una pista de electrodo de puerta dada entre la región de difusión tipo P y la región de difusión tipo N, el espacio de diseño perpendicular entre las regiones de difusión tipo P y tipo N no se obliga para cumplir con un requerimiento de tamaño mínimo, como se dictaría por las reglas de diseño asociadas con colocación/fabricación de separaciones de extremo a extremo de electrodo de puerta. Por lo tanto, si se desea en determinadas realizaciones, la altura total de la celda del diseño de XNOR 200, es decir, la distancia perpendicular entre VDD y GND, se puede reducir al separar las regiones de difusión tipo P y tipo N más cercanas.  
 20

25 Se debe entender que el circuito 300 XOR y el diseño asociado como se describe aquí se puede convertir a un circuito XNOR y diseño asociado al eliminar el inversor 317 de salida. En esta configuración convertida, el nodo 307 de salida se vuelve equivalente al nodo 305, y la relación entre la salida Q y las entradas A y B es la misma como se muestra en las tablas de estado de las Figuras 2B-2E para el XNOR 200.

30 También se debe entender que el circuito 200 de XNOR y diseño asociado como se describe aquí se puede convertir a un circuito XOR y diseño asociado al eliminar el inversor 217 de salida. En esta configuración convertida, el nodo 207 de salida llega a ser equivalente al nodo 205, y la relación entre la salida Q y las entradas A y B es la misma como se muestra en las tablas de estado de las Figuras 3B-3E para el XOR 300.

35 Adicionalmente, aunque la realización de ejemplo de las Figuras 2A y 2F muestran el estado lógico 270 bajo definido de tal manera que la puerta del transistor 216 NMOS se conecta a la salida de la segunda inversor 211 de entrada, y de tal manera que la puerta del transistor 215 NMOS se conecta a la salida del primer inversor 210 de entrada, se debe entender que se puede invertir la pila de transistores 216 y 215 NMOS. Específicamente, en una realización, el estado lógico 270 bajo se define de tal manera que la puerta del transistor 216 NMOS se conecta a la salida del primer inversor 210 de entrada, y de tal manera que la puerta del transistor 215 NMOS se conecta a la salida del segundo inversor 211 de entrada.

40 **Arquitectura de diseño de nivel de puerta restringida**

Como se mencionó anteriormente, se puede implementar los circuitos XOR 300 y XNOR 200 de la presente invención en una arquitectura de diseño de nivel de puerta restringida dentro de una porción de un chip semiconductor. Para el nivel de puerta, un número de líneas virtuales paralelas se definen para extenderse a través del diseño. Estas líneas virtuales paralelas se denominan como pistas de electrodo de puerta, ya que se utilizan para indexar la colocación de electrodos de puerta de diversos transistores dentro del diseño. En una realización, las líneas virtuales paralelas que forman las pistas de electrodo de puerta se definen por una separación perpendicular entre ellas igual a un electrodo de puerta de paso específico. Por lo tanto, la colocación de los segmentos de electrodo de puerta sobre las pistas de electrodo de puerta corresponde al electrodo de puerta de paso especificado. En otra realización las pistas de electrodo de puerta se separan en pasos variables mayores que o iguales a un electrodo de puerta de paso especificado.  
 45

50 La Figura 4A muestra un ejemplo de pistas 401A-401E de electrodo de puerta definido dentro de la arquitectura de diseño de nivel de puerta restringida, de acuerdo con una realización de la presente invención. Las pistas 401A-401E de electrodo de puerta se forman por las líneas virtuales paralelas que se extienden a través del diseño de nivel de puerta del chip, con una separación perpendicular entre ellas igual a un paso 407 de electrodo de puerta especificado. Para propósitos ilustrativos, se muestran regiones 403 y 405 de difusión complementarias en la Figura 4A. Se debe entender que las regiones 403 y 405 de difusión se definen en el nivel de difusión por debajo del nivel de puerta. También, se debe entender que se proporcionan regiones 403 y 405 de difusión por medio de ejemplo y en ninguna forman  
 55

representan ninguna limitación sobre el tamaño de región de difusión, forma, y/o colocación dentro del nivel de difusión relativo a la arquitectura de diseño de nivel de puerta restringida.

5 Dentro de la arquitectura de capa de nivel de puerta restringida, un canal de diseño de característica de nivel de puerta se define alrededor de una pista de electrodo de puerta dada con el fin de extender entre pistas de electrodo de puerta adyacentes a la pista de electrodo de puerta dada. Por ejemplo, los canales 401A-1 a 401E-1 de diseño de característica de nivel de puerta se definen alrededor de pistas 401A a 401E de electrodo de puerta, respectivamente. Se debe entender que cada pista de electrodo de puerta tiene un canal de diseño de característica de nivel de puerta correspondiente. También, para pistas de electrodo de puerta posicionadas adyacentes a un borde de un espacio de diseño prescrito, por ejemplo, adyacente a un límite de celda, el canal de diseño de característica de nivel de puerta correspondiente se extiende como si fuera una pista de electrodo de puerta virtual fuera del espacio de diseño prescrito, como se ilustra por los canales 401A- 1 y 401E-1 de diseño de característica de nivel de puerta. Se debe entender adicionalmente que cada canal de diseño de característica de nivel de puerta se define por extenderse a lo largo de la longitud completa de su pista de electrodo de puerta correspondiente. De esta manera, cada canal de diseño de característica de nivel de puerta se define para extenderse a través del diseño de nivel de puerta dentro de la porción del chip al cual se asocia el diseño de nivel de puerta.

20 Dentro de la arquitectura de diseño de nivel de puerta restringida, las características de nivel de puerta asociadas con una pista de electrodo de puerta dada se definen dentro del canal de diseño de característica de nivel de puerta asociada con la pista de electrodo de puerta dada. Una característica de nivel de puerta contigua puede incluir una porción que define un electrodo de puerta de un transistor, y una porción que no define un electrodo de puerta de un transistor. De esta manera, una característica de nivel de puerta contigua se puede extender sobre una región de difusión y una región dieléctrica de un nivel de chip subyacente.

25 En una realización, cada porción de una característica de nivel de puerta que forma un electrodo de puerta de un transistor se posiciona para ser centrada sustancialmente sobre una pista de electrodo de puerta dada. Adicionalmente, en esta realización, las porciones de la característica de nivel de puerta que no forman un electrodo de puerta de un transistor se puede posicionar dentro del canal de diseño de característica de nivel de puerta asociada con la pista de electrodo de puerta dada. Por lo tanto, una característica de nivel de puerta dada se puede definir esencialmente en cualquier sitio dentro de un canal de diseño de característica de nivel de puerta dada, en tanto que las porciones de electrodo de puerta de la característica de nivel de puerta dada se centran sobre la pista de electrodo de puerta correspondiente al canal de diseño de característica de nivel de puerta dada, y en tanto que la característica de nivel de puerta dada cumple con los requerimientos de separación de diseño relativos con otras características de nivel de puerta en los canales de diseño de nivel de puerta adyacente. Adicionalmente, se prohíbe el contacto físico entre características de nivel de puerta definidas en canales de diseño de característica de nivel de puerta que se asocian con pistas de electrodo de puerta adyacentes.

35 La Figura 4B muestra la arquitectura de diseño de nivel de puerta de ejemplo de la Figura 4A con un número de características 409-423 de nivel de puerta de ejemplo definidas aquí, de acuerdo con una realización de la presente invención. La característica 409 de nivel de puerta se define dentro el canal de diseño de característica 401A-1 de nivel de puerta asociada con la pista 401A de electrodo de puerta. Las porciones de característica 409 de electrodo de puerta de nivel de puerta se centran sustancialmente sobre la pista 401A de electrodo de puerta. También, las porciones de electrodo sin puertas de la característica 409 de nivel de puerta mantienen los requerimientos de separación de la regla de diseño con características 411 y 413 de nivel de puerta definidas dentro del canal 401B- 1 de diseño de característica de nivel de puerta adyacente. De forma similar, las características 411-423 de nivel de puerta se definen dentro de su canal de diseño de característica de nivel de puerta respectiva, y tienen sus porciones de electrodo de puerta sustancialmente centrada sobre la pista de electrodo de puerta correspondiente a su canal de diseño de característica de nivel de puerta respectivo. También, se debe apreciar que cada una de las características 411-423 de nivel de puerta mantiene los requerimientos de separación de regla de diseño con las características de nivel de puerta definidas dentro de los canales de diseño de característica de nivel de puerta adyacentes, y evita el contacto físico con cualquier otra característica de nivel de puerta definida dentro de canales de diseño de característica de nivel de puerta adyacentes.

50 Un electrodo de puerta corresponde a una porción de una característica de nivel de puerta respectiva que se extiende sobre una región de difusión, en donde la característica de nivel de puerta respectiva se define en su totalidad dentro de un canal de diseño de característica de nivel de puerta. Cada característica de nivel de puerta se define dentro se canal de diseño de característica de nivel de puerta sin poner en contacto físicamente otras característica de nivel de puerta definida dentro de un canal de diseño de característica de nivel de puerta adyacente. Como se ilustra por los canales de diseño de característica 401A-1 a 401E-1 de nivel de puerta de la Figura 4B, cada canal de diseño de característica de nivel de puerta se asocia con una pista de electrodo de puerta dada y corresponde a una región de diseño que se extiende a lo largo de la pista de electrodo de puerta dada y perpendicularmente hacia fuera en cada dirección opuesta de la pista de electrodo de puerta dada a una más cercana de ya sea una pista de electrodo de puerta adyacente o una pista de electrodo de puerta virtual fuera del límite de diseño.

Algunas características de nivel de puerta pueden tener una o más porciones superiores definidas en cualquier número de lugares a lo largo de su longitud. Una porción superior de contacto de una característica de nivel de puerta dado se

5 define como un segmento de la característica de nivel de puerta que tiene una altura y un ancho de tamaño suficiente para recibir una estructura de contacto de puerta, en donde "ancho" se define a través del sustrato en una dirección perpendicular a la pista de electrodo de puerta de la característica de nivel de puerta dada, y en donde "altura" se define a través del sustrato en una dirección paralela a la pista de electrodo de puerta de la característica de nivel de puerta dada. Se debe apreciar que la parte superior de contacto de una característica de nivel de puerta, cuando se ve desde arriba, se puede definir por esencialmente cualquier forma de diseño, que incluye un cuadrado o un rectángulo. También, dependiendo de los requerimientos de disposición y diseño de circuitos, una porción superior de contacto dada de una característica de nivel de puerta puede o no puede tener un contacto de puerta definida por encima.

10 Un nivel de puerta de las diversas realizaciones descritas aquí se define como un nivel de puerta restringido, como se discutió anteriormente. Algunas de las características del nivel de puerta forman electrodos de puerta de los dispositivos de transistores. Otras de las características de nivel de puerta pueden formar segmentos conductores que se extienden entre dos puntos dentro del nivel de la puerta. También, otras de las características de nivel de puerta pueden ser no funcionales con respecto al funcionamiento del circuito integrado. Se debe entender que la cada una de las características de nivel de puerta, independientemente de la función, se define para extenderse a través del nivel de  
15 puerta dentro de sus respectivos canales de diseño de característica de nivel de puerta sin ponerse en contacto físicamente con otras características de nivel de puerta definidas con los canales de diseño de característica de nivel de puerta adyacentes.

20 En una realización, las características de nivel de puerta se definen para proporcionar un número finito de interacciones litográficas de forma a forma de diseño controladas que se pueden predecir y optimizar exactamente para los procesos de fabricación y de diseño. En esta realización, las características de nivel de puertas se definen para evitar las relaciones espaciales de forma a forma del diseño que pudieran introducir una interacción adversa litográfica dentro del diseño que no se pueden predecir y mitigar exactamente con una alta probabilidad. Sin embargo, se debe entender que los cambios en la dirección de las características de nivel de la puerta dentro de sus canales de diseño de nivel de puerta son aceptables cuando las interacciones litográficas correspondientes son predecibles y manejables.

25 Se debe entender que cada una de las características de nivel de puerta, independientemente de la función, se define de tal manera que ninguna característica de nivel de puerta a lo largo de una pista de electrodo de puerta dada se configura para conectarse directamente dentro del nivel de puerta con otra característica de nivel de puerta definida a lo largo de una diferente pista de electrodo de puerta sin utilizar una característica de nivel de no-puerta. Más aún, cada conexión entre características de nivel de puerta que se colocan dentro de los diferentes canales de diseño de nivel de  
30 puertas asociadas con diferentes pistas de electrodos de puerta se hace a través de una o más características de nivel no puerta, que se pueden definir en los niveles de interconexión superiores, es decir, a través de uno o más niveles de interconexión por encima del nivel de puerta, o por medio de características de interconexión locales en o por debajo del nivel de la puerta.

35 Se debe entender que los diseños y circuitos XOR 300 y XNOR 200 como se describe aquí se pueden almacenar en una forma tangible, tal como en un formato digital en un medio legible por ordenador. Por ejemplo, los diseños de los circuitos de XOR 300 y/o XNOR 200 como se describen aquí se pueden almacenar en un archivo de datos de diseño como una o más celdas, seleccionables desde una o bibliografías de celdas. El archivo de datos de diseño se puede formatear como un archivo de base de datos GDS II (Sistema de Datos Gráficos), un archivo de base de datos de OASIS (Estándar de Intercambio del Sistema de Técnica Abierta), o cualquier otro tipo de formato de archivo de datos  
40 adecuado para almacenar y comunicar diseños de dispositivos semiconductores. También, los diseños de múltiples niveles de los circuitos XOR 300 y/o XNOR 200 se pueden incluir dentro de un diseño de múltiples niveles de un dispositivo semiconductor más grande. El diseño de múltiples niveles del dispositivo semiconductor más grande también se puede almacenar en la forma de un archivo de datos de diseño, tales como aquellos identificados anteriormente.

45 También, se puede realizar la invención descrita aquí como código legible por ordenador en un medio legible por ordenador. Por ejemplo, el código legible por ordenador puede incluir el archivo de datos de diseño dentro del cual los diseños de circuito XOR 300 y/o XNOR 200. El código legible por ordenador también puede incluir instrucciones de programa para seleccionar una o más bibliotecas de diseño y/o celdas que incluyen diseños de circuitos XOR 300 y/o XNOR 200. Las bibliotecas de diseño y/o celdas también se pueden almacenar en un formato digital en un medio legible por ordenador.

50 El medio legible por ordenador mencionado aquí es cualquier dispositivo de almacenamiento de datos que puede almacenar datos que en adelante se pueden leer por un sistema de ordenador. Ejemplos del medio legible por ordenador incluyen unidades de disco duro, almacenamiento conectado a red (NAS), memoria de sólo lectura, memoria de acceso aleatorio, CD-ROM, CD-R, CD-RW, cintas magnéticas, y otros dispositivos de almacenamiento de datos ópticos y de no ópticos. El medio legible por ordenador también se puede distribuir sobre una red de sistemas de  
55 ordenador acoplados de tal manera que el código legible por ordenador se almacena y se ejecuta en una forma distribuida.

Cualquiera de las operaciones descritas aquí que forman parte de la invención son operaciones de máquina de diseño de circuitos. La invención también se relaciona con un dispositivo o un aparato para realizar estas operaciones. El

5 aparato se puede construir especialmente para el propósito requerido, tal como un ordenador de propósito especial. Cuando se define como un ordenador de propósito especial, el ordenador también puede realizar otro procesamiento, ejecución de programas o rutinas que no forman parte del propósito especial, sin dejar de ser capaz de operar con el propósito especial. Alternativamente, las operaciones se pueden procesar por un ordenador de propósito general  
10 activado o configurado selectivamente por uno o más programas de ordenador almacenados en la memoria del ordenador, memoria caché, u obtenidos a través de una red. Cuando se obtienen datos en una red, los datos se pueden procesar por otros ordenadores en red, por ejemplo, una nube de recursos de ordenador.

10 Las realizaciones de la presente invención también se pueden definir como una máquina que transforma datos desde un estado hasta otro estado. Los datos pueden representar un artículo, que puede ser representado como una señal electrónica y manipular electrónicamente los datos. Los datos transformados pueden, en algunos casos, ser representados visualmente sobre una pantalla, lo que representa el objeto físico que resulta de la transformación de datos. Los datos transformados se pueden guardar para almacenar en general, o en particular formatos que permiten la construcción o representación de un objeto físico y tangible. En algunas realizaciones, se puede realizar la manipulación por un procesador. En dicho ejemplo, el procesador de este modo transforma los datos de una cosa a otra. Aún  
15 adicionalmente, los métodos se pueden procesar por una o más máquinas o procesadores que se pueden conectar en una red. Cada máquina puede transformar datos de un estado o cosa a otra, y también puede procesar datos, guardar datos para almacenamiento, transmitir datos a través de una red, exhibir el resultado, o comunicar el resultado a otra máquina.

20 Se debe entender además que los diseños y circuitos de XOR 300 y XNOR 200 como se describe aquí se pueden fabricar como parte de un dispositivo semiconductor o chip. En la fabricación de dispositivos semiconductores, tales como circuitos integrados, celdas de memoria, y similares, una serie de operaciones de fabricación se realizan para definir características sobre una oblea de semiconductor. La oblea incluye dispositivos de circuitos integrados en la forma de estructuras de múltiples niveles definidas sobre un sustrato de silicio. A un nivel de sustrato, se forman dispositivos de transistores con regiones de difusión. En los niveles posteriores, las líneas de metalización de interconexión se modelan y conectan de forma eléctrica a los dispositivos de transistores para definir un dispositivo de  
25 circuito integrado deseado. También, los diseños conductores modelados se aíslan de otras capas conductoras por materiales dieléctricos.

30 Aunque se ha descrito esta invención en términos de diversas realizaciones, se apreciará que aquellos expertos en la técnica luego de leer las especificaciones precedentes y estudiar los dibujos realizará diversas alteraciones, permutaciones y equivalentes de los mismos.

Reivindicaciones

1. Un circuito lógico exclusivo OR, que comprende:

un primer inversor (310) de entrada que tiene una entrada conectada a un primer nodo (301) de entrada;

un segundo inversor (311) de entrada que tiene una entrada conectada a un segundo nodo (302) de entrada;

5 un inversor (317) de salida que tiene una salida conectada a un nodo (307) de salida;

una puerta (350) de transmisión conectada para ser controlada por el estado lógico presente en el primer nodo de entrada, la puerta de transmisión se conecta para pasar a través de una versión del estado lógico presente en el segundo nodo de entrada al nodo de salida cuando se controla para transmitir por el estado lógico presente en el primer nodo de entrada, la puerta de transmisión definida por un segundo transistor (313) NMOS y un primer transistor (314) PMOS, el segundo transistor NMOS tiene una primera terminal de difusión conectada a la salida del segundo inversor de entrada, el segundo transistor NMOS tiene una segunda terminal de difusión conectada a la entrada del inversor de salida, el segundo transistor NMOS que tiene un electrodo de puerta conectado a una salida del primer inversor de entrada, el primer transistor PMOS tiene una primera terminal de difusión conectada a la salida del segundo inversor de entrada, el primer transistor PMOS tiene una segunda terminal de difusión conectada a la entrada del inversor de salida, el primer transistor PMOS que tiene un electrodo de puerta conectado a el primer nodo de entrada; y

el estado lógico (370) alto conectado para ser controlado por el estado lógico presente en el primer nodo de entrada y el estado lógico presente en el segundo nodo de entrada, el estado lógico alto conectado para activar un estado presente en el nodo de salida bajo cuando el estado lógico presente en el primer nodo de entrada y el estado lógico presente en el segundo nodo de entrada son altos, el estado lógico alto definido por un segundo transistor (315) PMOS y un tercer transistor (316) PMOS, el segundo transistor PMOS tiene una primera terminal de difusión conectada a un suministro de potencia, el segundo transistor PMOS tiene una segunda terminal de difusión conectada a una primera terminal de difusión del tercer transistor PMOS, el tercer transistor PMOS tiene una segunda terminal de difusión conectada al inversor de entrada y caracterizado por una puerta (360) de paso conectada para ser controlada por un estado lógico presente en el segundo nodo de entrada, la puerta de paso se conecta para pasar a través de una versión de un estado lógico presente en el primer nodo de entrada al nodo de salida cuando se controla para transmitir por el estado lógico presente en el segundo nodo de entrada, la puerta de paso definida por un primer transistor (312) NMOS que tiene una primera terminal de difusión conectada a una salida del primer inversor de entrada, el primer transistor NMOS tiene una segunda terminal de difusión conectada a una entrada del inversor de salida, el primer transistor NMOS que tiene un electrodo de puerta conectado a una salida del segundo inversor de entrada; y por ya sea el segundo transistor PMOS que tiene un electrodo de puerta conectado a la salida del segundo inversor de entrada con el tercer transistor PMOS que tiene un electrodo de puerta conectado a la salida del primer inversor de entrada o el segundo transistor PMOS que tiene un electrodo de puerta conectado a la salida del primer inversor de entrada con el tercer transistor PMOS que tiene un electrodo de puerta conectado a la salida del segundo inversor de entrada.

2. El circuito lógico exclusivo OR como se menciona en la reivindicación 1, en donde el primer transistor NMOS se conecta para transmitir cuando el estado lógico en el segundo nodo de entrada es bajo, de tal manera que el estado lógico en el nodo de salida se hace coincidir con el estado lógico en el primer nodo de entrada.

3. El circuito lógico exclusivo OR como se menciona en la reivindicación 1, en donde el primer transistor PMOS y el segundo transistor NMOS se conectan para transmitir cuando el estado lógico en el primer nodo de entrada es bajo, de tal manera que el estado lógico en el nodo de salida se hace coincidir con el estado lógico en el segundo nodo de entrada.

4. El circuito lógico exclusivo OR como se menciona en la reivindicación 1, en donde el segundo transistor PMOS y el tercer transistor PMOS se conectan para transmitir cuando los estados lógicos en el primer y segundo nodos de entrada ambos son altos, de tal manera que el estado lógico en el nodo de salida se activa bajo.

5. El circuito lógico exclusivo OR como se menciona en la reivindicación 1, en donde el circuito lógico exclusivo OR se define dentro un chip semiconductor.

6. Un circuito lógico exclusivo NOR, que comprende:

un primer inversor (210) de entrada que tiene una entrada conectada a un primer nodo (201) de entrada;

un segundo inversor (211) de entrada que tiene una entrada conectada a un segundo nodo (202) de entrada;

un inversor (217) de salida que tiene una salida conectada a un nodo (207) de salida;

una puerta (250) de transmisión conectada para ser controlada por el estado lógico presente en el primer nodo de entrada, la puerta de transmisión se conecta para pasar a través de una versión del estado lógico presente en el segundo nodo de entrada al nodo de salida cuando se controla para transmitir por el estado lógico presente en el primer nodo de entrada, la puerta de transmisión definida por un segundo transistor (213) PMOS y un primer transistor (214) NMOS, el segundo transistor PMOS tiene una primera terminal de difusión conectada a la salida del segundo inversor de entrada, el segundo transistor PMOS tiene una segunda terminal de difusión conectada a la entrada del inversor de salida, el segundo transistor PMOS que tiene un electrodo de puerta conectado a una salida del primer inversor de entrada, el primer transistor NMOS tiene una primera terminal de difusión conectada a la salida del segundo inversor de entrada, el primer transistor NMOS tiene una segunda terminal de difusión conectada a la entrada del inversor de salida, el primer transistor NMOS que tiene un electrodo de puerta conectado a el primer nodo de entrada; y

el estado lógico (270) bajo conectado para ser controlada por el estado lógico presente en el primer nodo de entrada y el estado lógico presente en el segundo nodo de entrada, el estado lógico bajo conectado para activar un estado presente en el nodo de salida alto cuando el estado lógico presente en el primer nodo de entrada y el estado lógico presente en el segundo nodo de entrada son bajos, el estado lógico bajo definido por un segundo transistor (215) NMOS y un tercer transistor (216) NMOS, el segundo transistor NMOS tiene una primera terminal de difusión conectada a un potencial de tierra de referencia, el segundo transistor NMOS tiene una segunda terminal de difusión conectada a una primera terminal de difusión del tercer transistor NMOS, el tercer transistor NMOS que tiene una segunda terminal de difusión conectada a la entrada del inversor de salida, y caracterizado por una puerta (260) de paso conectada para ser controlada por un estado lógico presente en el segundo nodo de entrada, la puerta de paso se conecta para pasar a través de una versión de un estado lógico presente en el primer nodo de entrada al nodo de salida cuando se controla para transmitir por el estado lógico presente en el segundo nodo de entrada, la puerta de paso definida por un primer transistor (212) PMOS que tiene una primera terminal de difusión conectada a una salida del primer inversor de entrada, el primer transistor PMOS tiene una segunda terminal de difusión conectada a una entrada del inversor de salida, el primer transistor PMOS que tiene un electrodo de puerta conectado a una salida del segundo inversor de entrada y por ya sea el segundo transistor NMOS que tiene un electrodo de puerta conectado a la salida del segundo inversor de entrada con el tercer transistor NMOS que tiene un electrodo de puerta conectado a la salida del primer inversor de entrada o el segundo transistor NMOS que tiene un electrodo de puerta conectado a la salida del primer inversor de entrada con el tercer transistor NMOS que tiene un electrodo de puerta conectado a la salida del segundo inversor de entrada.

7. El circuito lógico exclusivo NOR como se menciona en la reivindicación 6, en donde el primer transistor PMOS se conecta para transmitir cuando es alto el estado lógico en el segundo nodo de entrada, de tal manera que el estado lógico en el nodo de salida se hace coincidir con el estado lógico en el primer nodo de entrada.

8. El circuito lógico exclusivo NOR como se menciona en la reivindicación 6, en donde el primer transistor NMOS y el segundo transistor PMOS se conectan para transmitir cuando es alto el estado lógico en el primer nodo de entrada, de tal manera que el estado lógico en el nodo de salida se hace coincidir con el estado lógico en el segundo nodo de entrada.

9. El circuito lógico exclusivo NOR como se menciona en la reivindicación 6, en donde el segundo transistor NMOS y el tercer transistor NMOS se conectan para transmitir cuando los estados lógicos en el primer y segundo nodos de entrada ambos son bajos, de tal manera que el estado lógico en el nodo de salida se activa alto.

10. El circuito lógico exclusivo OR como se menciona en la reivindicación 6, en donde el circuito lógico exclusivo NOR se define dentro un chip semiconductor.



A (Nodo -101)	0
B (Nodo -102)	0
Q (Nodo -105)	0
Nodo -103	1
Nodo -104	1

**Fig. 1B**  
(Técnica Anterior)

A (Nodo -101)	0
B (Nodo -102)	1
Q (Nodo -105)	1
Nodo -103	1
Nodo -104	0

**Fig. 1C**  
(Técnica Anterior)

A (Nodo -101)	1
B (Nodo -102)	0
Q (Nodo -105)	1
Nodo -103	0
Nodo -104	1

**Fig. 1D**  
(Técnica Anterior)

A (Nodo -101)	1
B (Nodo -102)	1
Q (Nodo -105)	0
Nodo -103	0
Nodo -104	0

**Fig. 1E**  
(Técnica Anterior)

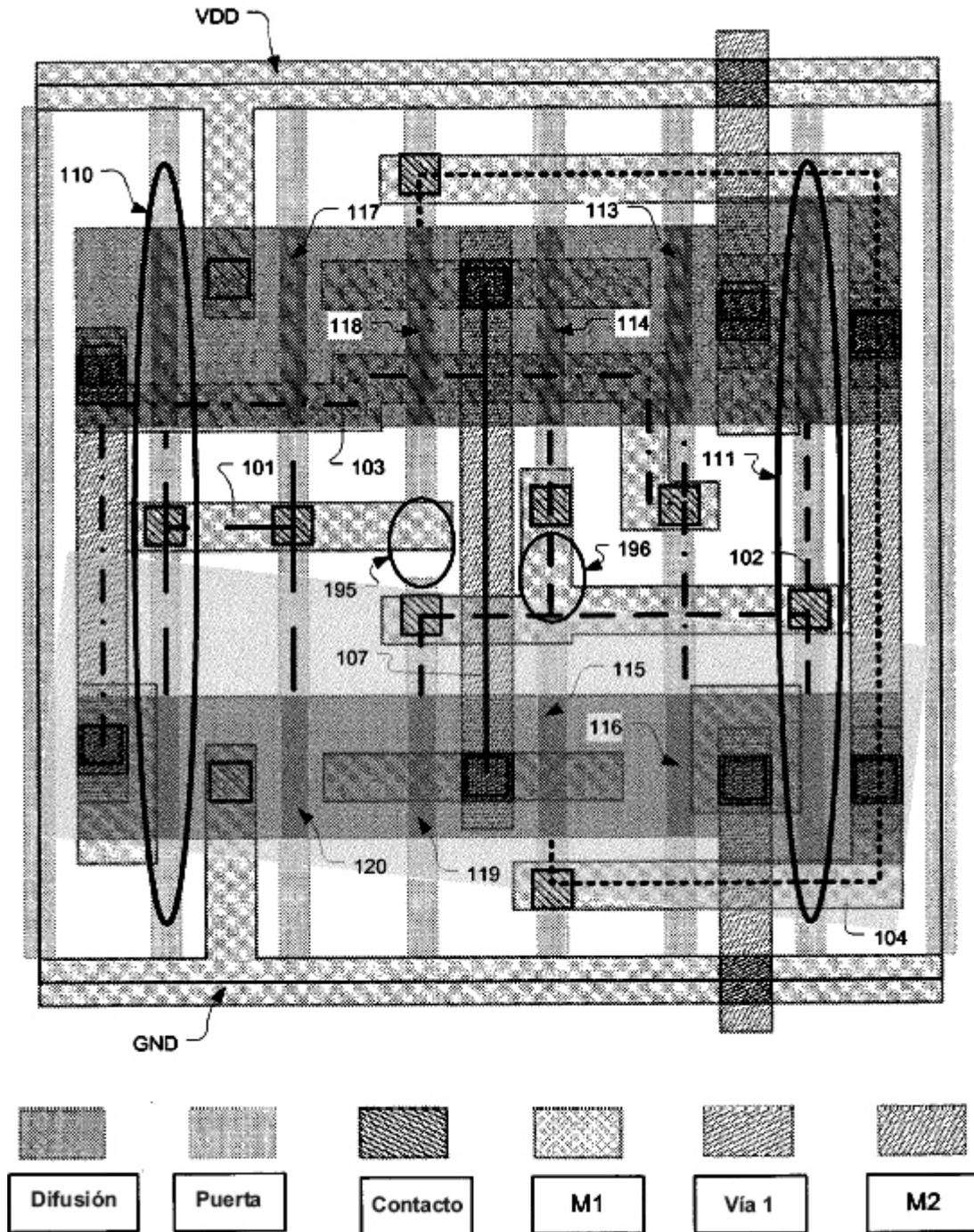
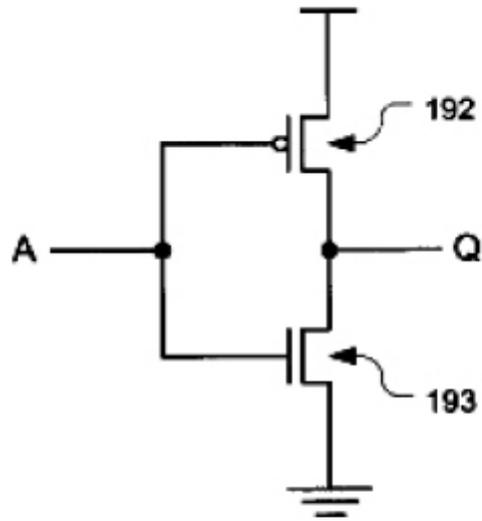


Fig. 1F



**Fig. 1G**  
(Técnica Anterior)

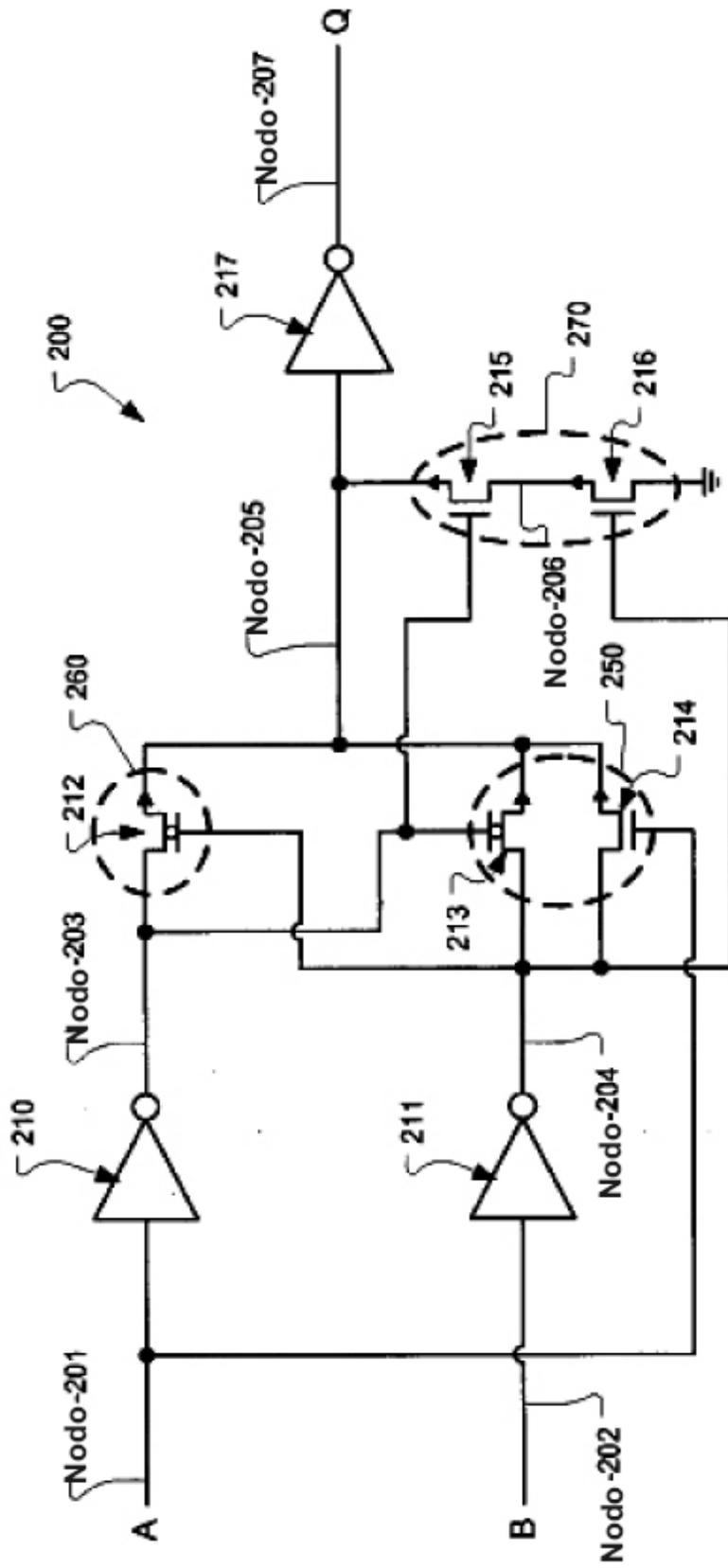


Fig. 2A

A (Nodo-201)	0
B (Nodo-202)	0
Q (Nodo-207)	1
Nodo-203	1
Nodo-204	1
Nodo-205	0
Nodo-206	0

**Fig. 2B**

A (Nodo -201)	0
B (Nodo -202)	1
Q (Nodo-207)	0
Nodo-203	1
Nodo-204	0
Nodo -205	1
Nodo-206	1

**Fig. 2C**

A (Nodo-201)	1
B (Nodo-202)	0
Q (Nodo-207)	0
Nodo-203	0
Nodo-204	1
Nodo-205	1
Nodo-206	0

**Fig. 2D**

A (Nodo-201)	1
B (Nodo-202)	1
Q (Nodo-207)	1
Nodo-203	0
Nodo-204	0
Nodo-205	0
Nodo-206	0

**Fig. 2E**

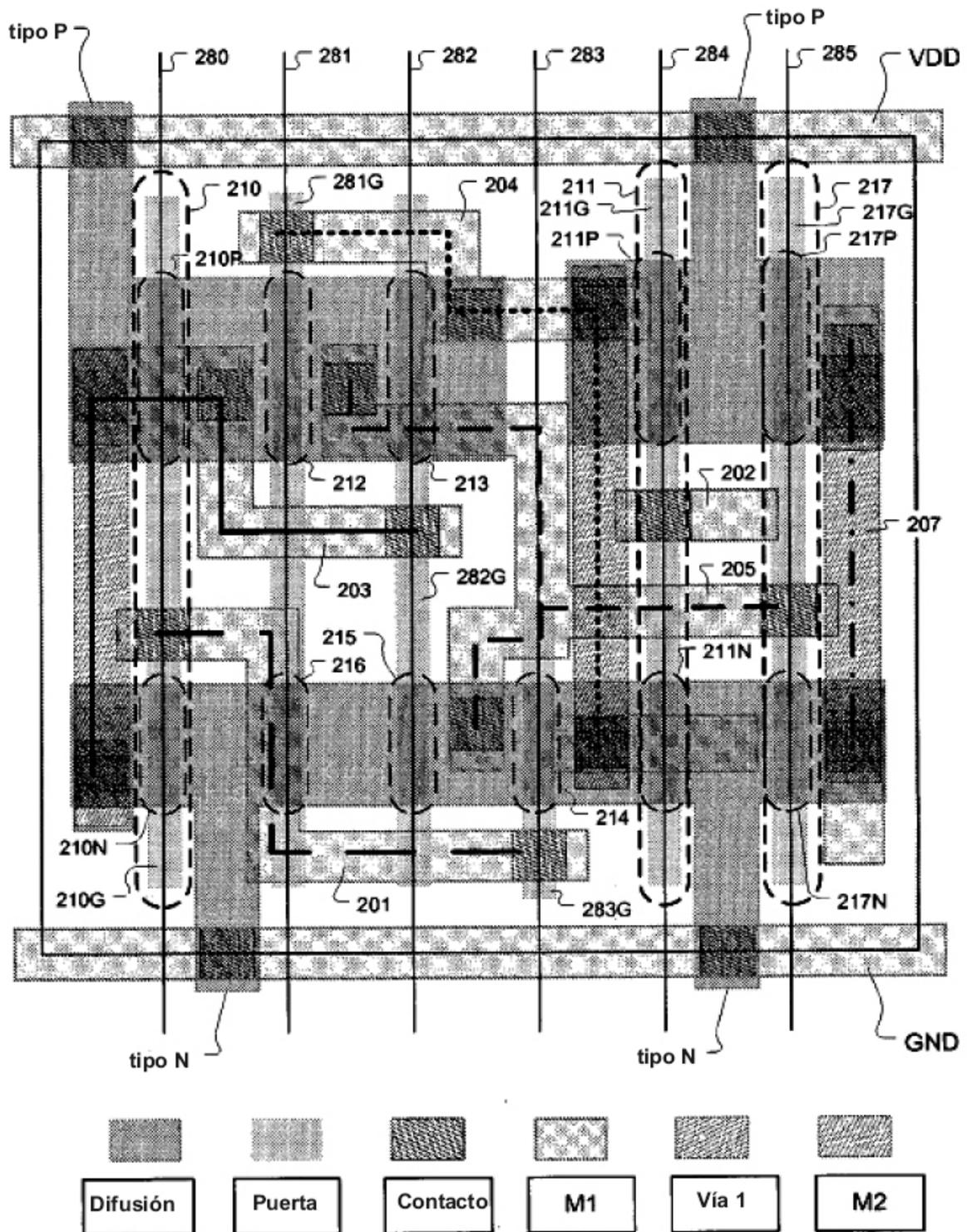


Fig. 2F

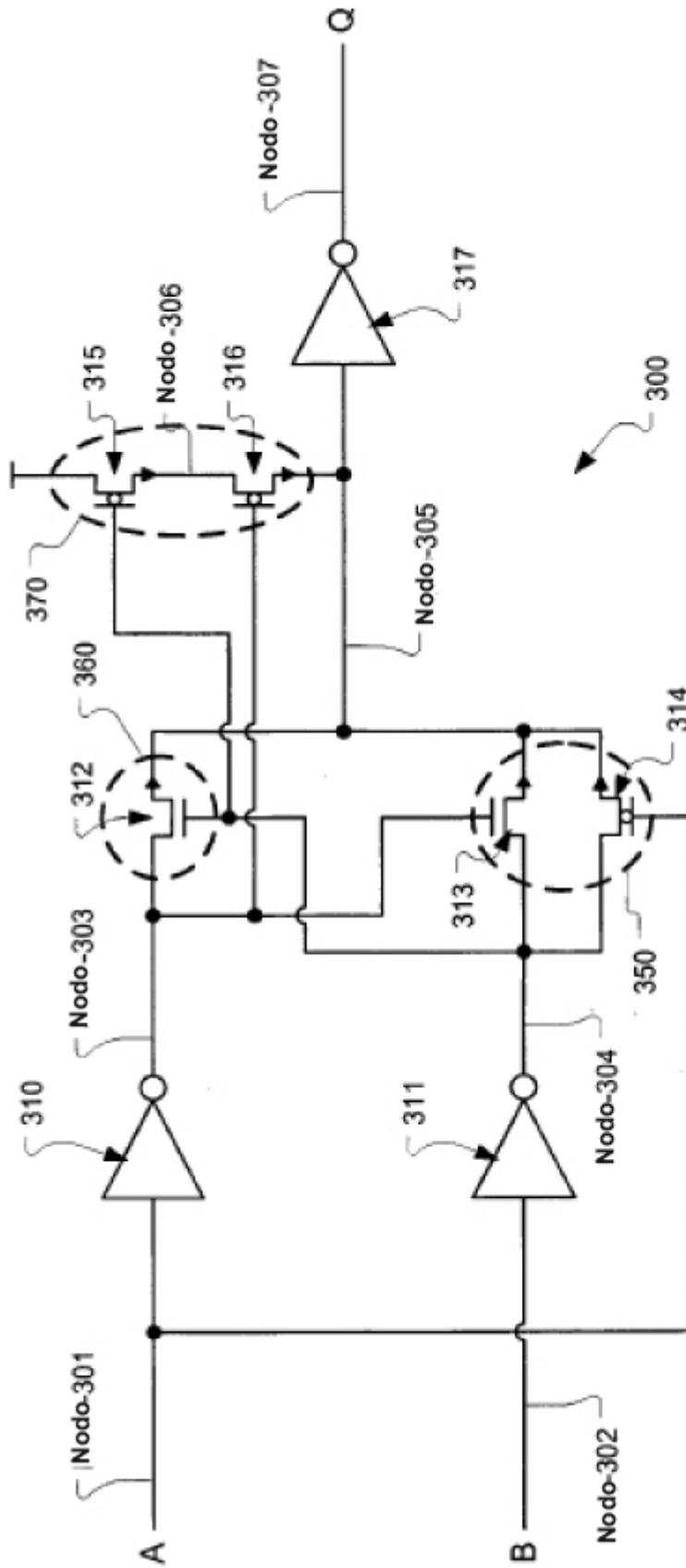


Fig. 3A

A (Nodo-301)	0
B (Nodo-302)	0
Q (Nodo-307)	0
Nodo-303	1
Nodo -304	1
Nodo-305	1
Nodo-306	0

**Fig. 3B**

A (Nodo-301)	0
B (Nodo-302)	1
Q (Nodo-307)	1
Nodo -303	1
Nodo -304	0
Nodo-305	0
Nodo-306	1

**Fig. 3C**

A (Nodo-301)	1
B (Nodo-302)	0
Q (Nodo-307)	1
Nodo-303	0
Nodo 304	1
Nodo-305	0
Nodo-306	0

**Fig. 3D**

A (Nodo -301)	1
B (Nodo-302)	1
Q (Nodo-307)	0
Nodo -303	0
Nodo -304	0
Nodo-305	1
Nodo-306	1

**Fig. 3E**

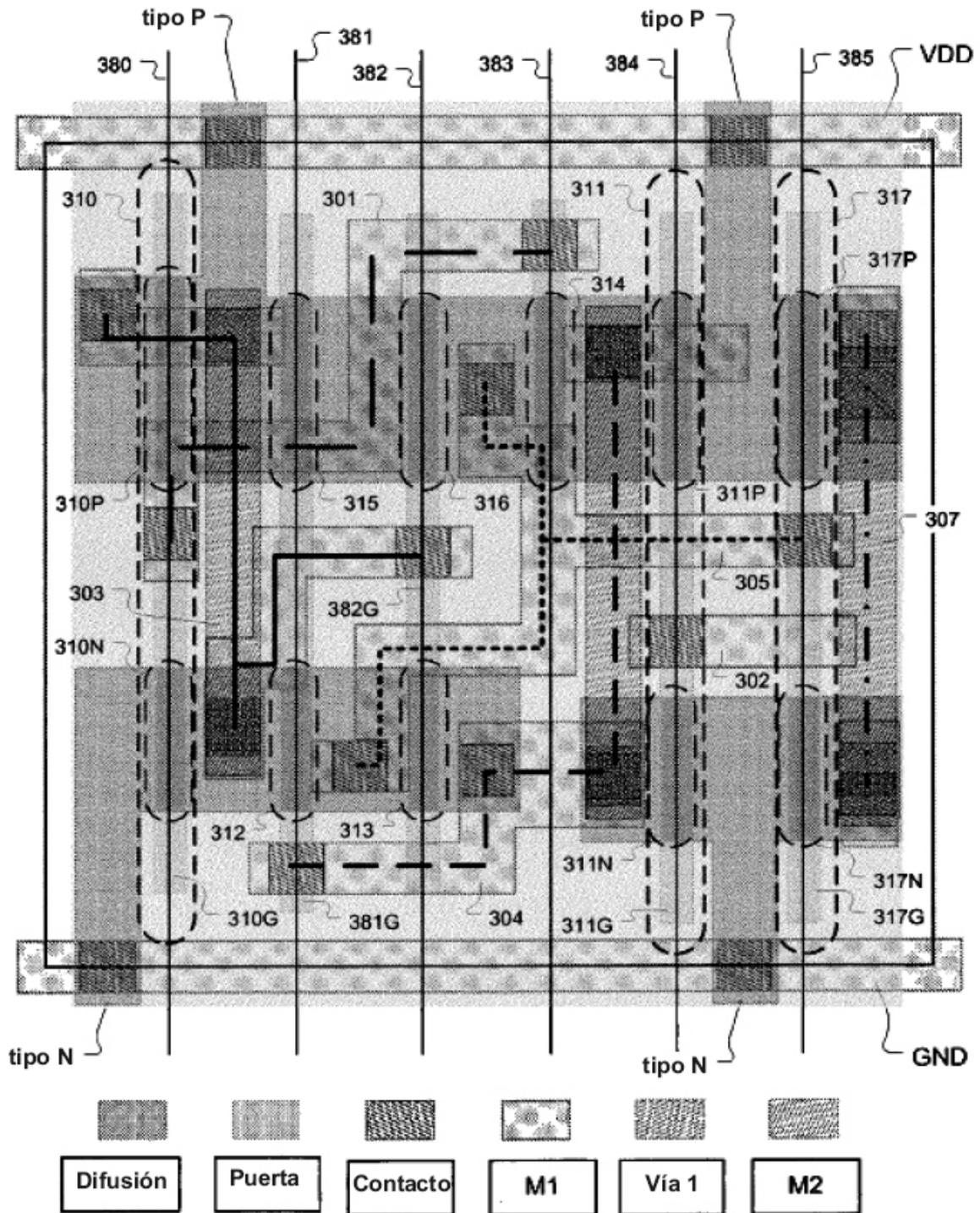


Fig. 3F

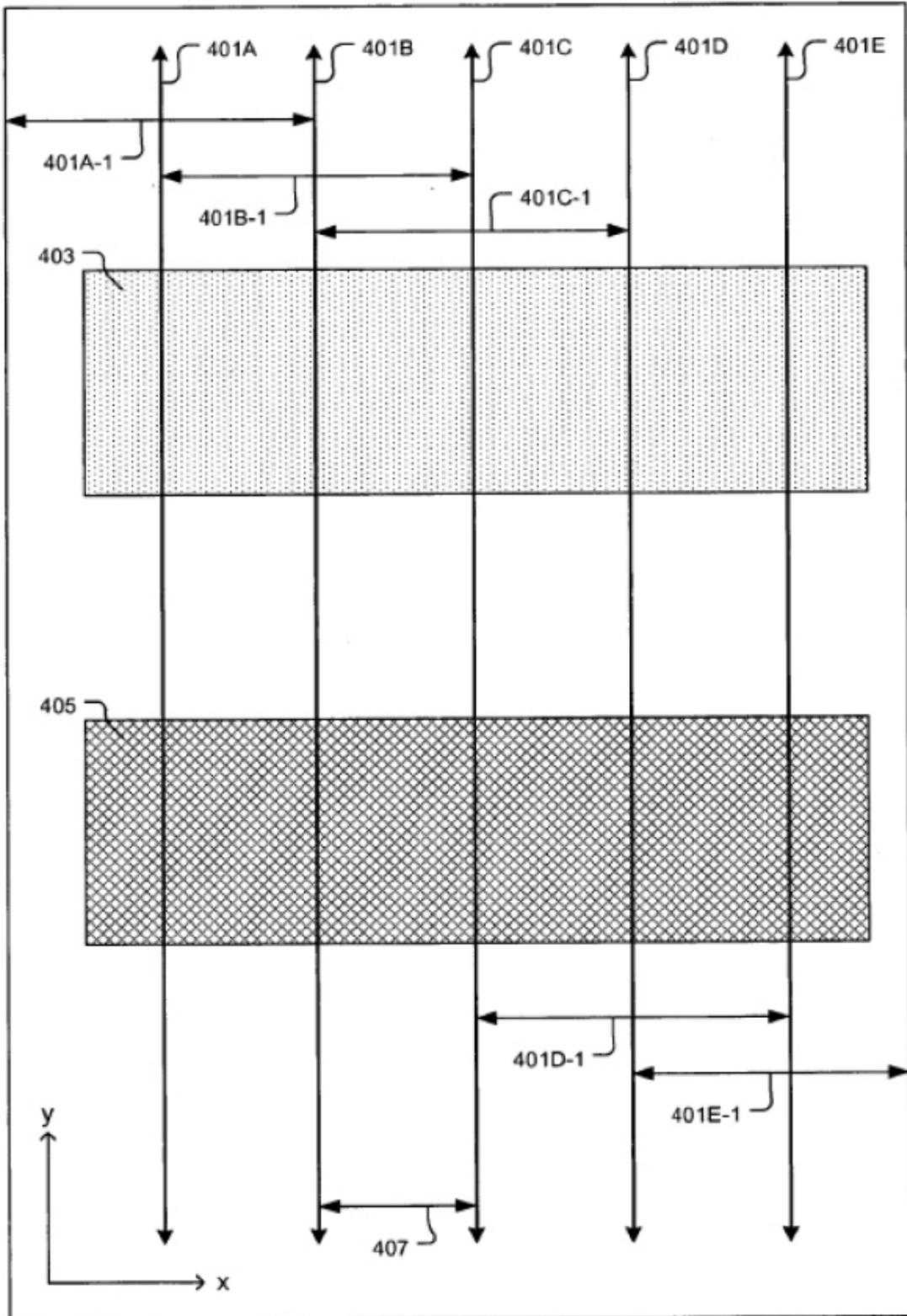


Fig. 4A

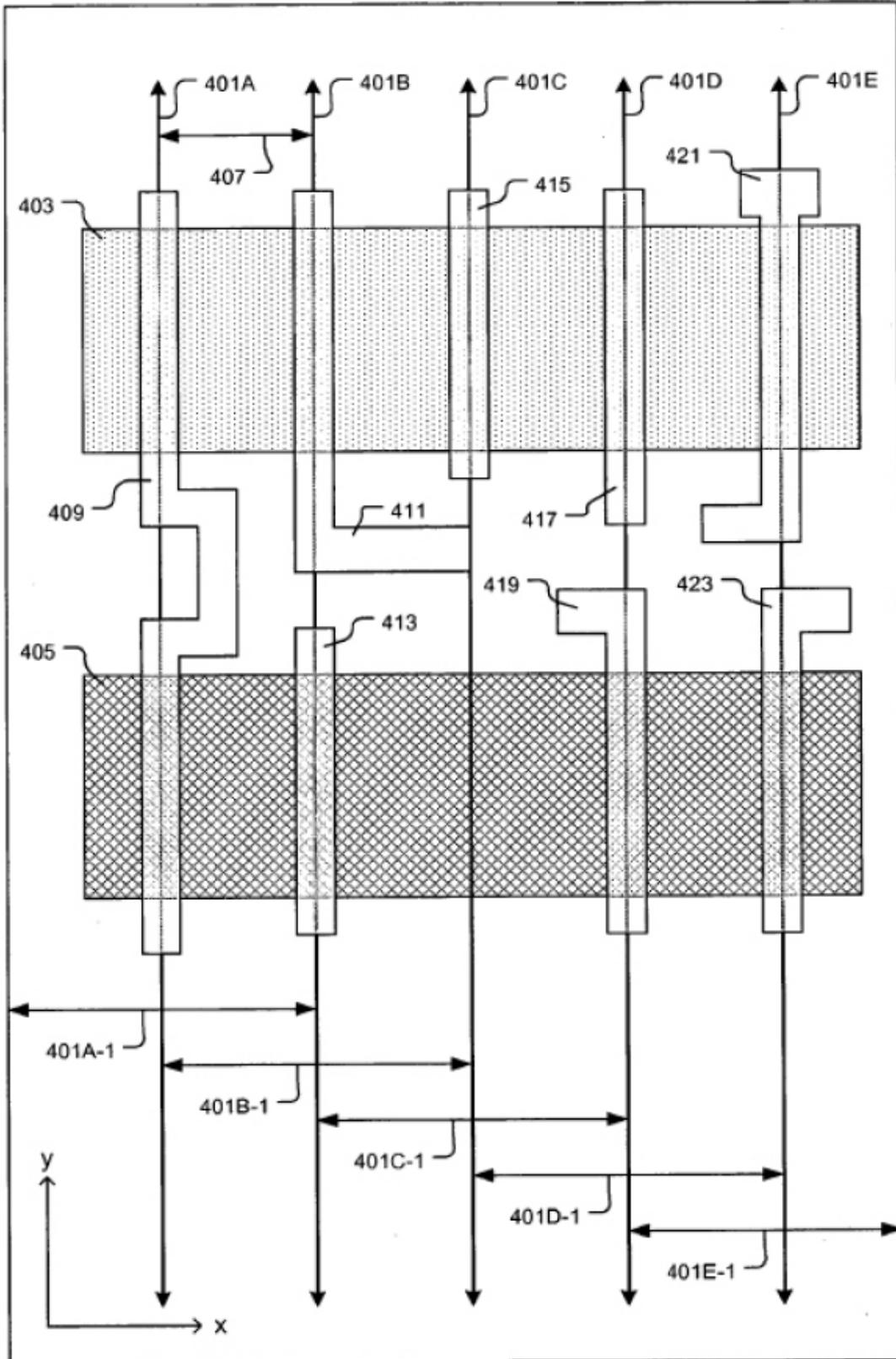


Fig. 4B