

19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 569 683**

51 Int. Cl.:

**A61B 5/04** (2006.01)

**A61B 5/0476** (2006.01)

**A61B 5/00** (2006.01)

**A61B 5/0478** (2006.01)

**A61B 5/0482** (2006.01)

**H03F 3/45** (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **19.06.2012 E 12801854 (6)**

97 Fecha y número de publicación de la concesión europea: **20.04.2016 EP 2720611**

54 Título: **Sistema de registro de neuronas**

30 Prioridad:

**20.06.2011 US 201161571098 P**

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

**12.05.2016**

73 Titular/es:

**THE REGENTS OF THE UNIVERSITY OF CALIFORNIA (100.0%)  
1111 Franklin Street, 12th Floor  
Oakland, CA 94607, US**

72 Inventor/es:

**LO, YI-KAI y  
LIU, WENTAI**

74 Agente/Representante:

**DE ELZABURU MÁRQUEZ, Alberto**

ES 2 569 683 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

**DESCRIPCIÓN**

Sistema de registro de neuronas.

**Campo de la Invención**

5 Esta invención se refiere a método, dispositivos y a un sistema de registro de señales eléctricas procedentes de neuronas.

**Antecedentes de la invención**

10 El entendimiento de cómo funciona el cerebro mediante el registro de la actividad eléctrica de las células del cerebro (neuronas) ha sido perseguido por los científicos neuronales y el personal clínico. El mecanismo subyacente de cómo las neuronas se activan e interactúan se puede traducir el movimientos expertos y precisos, y el entendimiento del mecanismo se puede utilizar como una herramienta para el diagnóstico de enfermedades cerebrales. Se ha mostrado que las actividades neuronales registradas procedentes de la corteza motriz se pueden utilizar para controlar un dispositivo robótico [1]–[2]. Los científicos neuronales han empleado el registro neuronal procedente de electrodos en el cuero cabelludo o intracraneales crónicamente implantados para investigar la actividad electrofisiológica para la detección y predicción de ataques epilépticos [2]. Aquellos experimentos implicaron registrar una gran población de neuronas y de este modo estimularon la necesidad de el desarrollo de un sistema de registro de neuronas de múltiples canales. El documento US2008290944 describe un amplificador neuronal de microenergía con polarización de potencia adaptativa para utilizar en disposición de múltiples electrodos. El amplificador neuronal de microenergía incluye una etapa de ganancia de ruido baja. La etapa de ganancia de ruido baja es implementada utilizando un amplificador y elementos presudoresistores.

20 Los retos del diseño de un sistema de registro de neuronas están altamente correlacionados con las características de las señales de neuronas fisiológicas. El dispositivo de registro debe ser capaz de registrar estas señales con un rango dinámico grande en término de amplitud de señal y frecuencia, y rechazar el desplazamiento del cero que se produce en la interfaz electrodo-electrolito. El consumo de energía del sistema tiene que ser reducido para el funcionamiento durante largo tiempo y para evitar la elevación de la temperatura del tejido del cerebro que podría causar daños permanentes [3]. La impedancia del electrodo y la impedancia de entrada del amplificador forman un divisor de voltaje y de este modo la señal de neurona práctica mostrada en la entrada del amplificador es más pequeña que su valor real.

30 La degradación es severa para registros de potenciales de campo locales (LFPs) debido a que la impedancia del electrodo es mucho mayor a 10 Hz que su valor a 1 kHz [4]. Si la señal neuronal en la entrada del amplificador de registro está seriamente atenuada, es difícil que se diferencie del ruido de fondo. Además, la siguiente generación de sistemas de registro debería tener la capacidad de procesar una cantidad enorme de información neuronal mediante la detección de señal, extracción de característica, clasificación de patrón y otros mecanismos. Un sistema de registro futuro debería también tener la capacidad de reducir la cantidad de datos que van a ser transmitidos y/o extraídos de una señal de control estable procedente de un grupo de neuronas grande con el fin de controlar los dispositivos prostéticos. Los retos de diseño observados anteriormente se pueden traducir en diseños de bajo voltaje y alta energía que necesitan un nodo de tecnología avanzada. La presente invención está dirigida a al menos algunos de estos retos.

**Sumario de la invención**

40 La invención está definida por las reivindicaciones adjuntas. Una realización de la invención reivindicada proporciona un sistema de registro de neuronas de extremo delantero de baja potencia totalmente integrado en tecnología TSMC 65nm 1p6m MOS. El sistema es expandible para soportar cientos de canales. En un ejemplo, tenemos dos módulos de registro, conteniendo cada uno 32 canales de registro con ancho de banda y ganancia ajustable, un multiplexor de 32 a 1, un registrador de aproximación sucesiva diferencial (SAR) convertidor analógico a digital (ADC) con régimen de muestreo programable en cada canal, y un módulo de control digital para gobernar la digitalización de señal así como para codificar y serializar la señal de neurona digitalizada procedente de dos ADCs. Los resultados para ambas estimaciones de post-configuración y las medidas de chip reales son agradables. Los resultados muestran que el amplificador de registro consume 6  $\mu$ W con un ruido referido a la entrada de 3,8  $\mu$ Vrms. El ADC puede digitalizar la señal neuronal a una velocidad de 40kS/s a 9 bit de resolución. El consumo total de energía de todo el sistema es de 2,56 mW y ocupa un área de 3 x 4 mm<sup>2</sup>.

50 Una realización de la invención reivindicada incluye las siguientes características:

a) Arquitectura escalable de extremo delantero analítico para soportar elevada densidad de canales para el sistema de registro neuronal, incluso > 1000 canales.

b) Diseño de chip de baja potencia/bajo ruido totalmente integrado que incluye amplificadores de 3 etapas y ADC SAR que utiliza tecnología de proceso CMOS submicra profunda tal como procesos CMOS de 65nm, 45nm, 22nm, etc.

c) Diseño de baja energía y bajo ruido por un amplificador especial "folded-cascode" de ganancia aumentada para aumentar la ganancia de bucle abierto del amplificador a la vez que se reduce de manera simultánea el ruido requerido a la entrada.

5 d) El amplificador tiene una elevada impedancia y es capaz de soportar ganancia programable (47 – 59 dB) y anchura de banda programable (0,1 Hz – 12 KHz), para un potencial de campo local y potencial de acción para el procesamiento de señal neuronal, así como otras aplicaciones, tales como detecciones de agente ambientales o químicos.

e) La anchura de banda programable se consigue ajustando el voltaje de polarización de las series de transistores que funcionan en la región de inversión débil así como la capacitancia de carga.

10 f) Cada ADC SAR de 9 bit con velocidad de muestreo variable es compartido por 32 canales de amplificadores a través del multiplexor 32:1, de este modo los datos de los 32 canales con serializados y enviados a través de comunicaciones con cable o inalámbricas.

15 En una realización, el amplificador neuronal totalmente integrado que utiliza aumento de ganancia es proporcionado para potenciales de campo locales (LFP), picos neuronales, señales ECoG procedentes de sujetos biológicos. Dos electrodos, un electrodo de trabajo y un electrodo contador, están conectados al condensador de bloqueo DC,  $C_{in}$ , del amplificador neuronal. Mientras, un electrodo de tierra/referencia conecta la tierra del cuerpo a la tierra del circuito del amplificador. Una configuración de retroalimentación capacitiva establece la ganancia del amplificador neuronal como la relación del condensador de entrada ( $C_{in}$ ) y el condensador de retroalimentación ( $C_f$ ). Los efectos parásitos de  $C_{par}$ ,  $C_{in}$  y  $C_f$  se pueden suprimir mediante la ganancia de bucle abierto aumentada del amplificador para minimizar la disposición de ganancia, cuando  $C_{par}$  es la capacitancia parásita de los transistores de entrada que funcionan en la región de sub-umbral.

20 El aumento de ganancia de bucle abierto del amplificador se consigue incorporando un amplificador auxiliar en un amplificador de "cascode folded" (FC) convencional a la vez que todavía se consume la cantidad comparable de corriente a un amplificador FC convencional. La ganancia total del amplificador es la suma de la ganancia del amplificador FC y el amplificador auxiliar.

25 El amplificador auxiliar para el aumento de ganancia se consigue mediante dos amplificadores de fuente común (CS). El primer amplificador se puede formar mediante un par diferencial con carga conectada a diodo o una carga de fuente de corriente. Las salidas de la primera etapa de amplificación están conectadas a las dos puertas de los transistores de fuente de corriente del amplificador FC, respectivamente, que son utilizados como el segundo amplificador CS. El segundo amplificador CS está embebido en la rama plegada del amplificador FC con el fin de reducir al mínimo el consumo de corriente.

30 La señal de entrada es amplificada mediante dos rutas (véase la Fig. 3): una es a través del par de entrada diferencial del amplificador FC,  $M_{1a-1b}$ ; la otra es amplificada mediante el primer amplificador CS de  $M_{1c-d}$  y  $M_{5a-b}$  así como el segundo amplificador CS formado por  $M_{4a-b}$  y la impedancia vista desde el drenaje  $M_{4a}$ . La ganancia total del amplificador de ganancia aumentada es obtenida como

$$\begin{aligned}
 \text{Ganancia} &= g_{m1}R_{out} + g_{m1}(2\alpha - 1) \frac{g_{m4}}{g_{m5}} R_{out} \\
 &= g_{m1} \left( 1 + \frac{g_{m4}}{g_{m5}} (2\alpha - 1) \right) \left( (1 + (g_{m3}r_{03})r_{05}) // r_{04} \right)
 \end{aligned}
 \tag{1}$$

en donde  $g_{mi}$  y  $r_{oi}$  son la transconductancia y la resistencia de salida correspondiente al transistor  $M_i$ , y  $\alpha$  es la relación de distribución de corriente ( $0,5 < \alpha < 1$ ). La ganancia del amplificador es aumentada  $(1 + g_{m4}/g_{m5} (2\alpha - 1))$  veces como se muestra en la ecuación 1 utilizando la técnica de ganancia aumentada.

40 A través de la técnica de aumento de ganancia, un pequeño condensador de entrada del amplificador neuronal se puede utilizar para conseguir impedancia de entrada más grande de manera que la distorsión/atenuación/ de señal entre la interfaz de electrodo y el amplificador se reduce. El condensador 5pF se utiliza para tener como resultado la impedancia de entrada de 31.8 Mohm a 1 kHz.

45 El  $C_{in}$  más pequeño reduce el área de sílice del amplificador, lo que hace posible la implantación del registro de múltiples canales con menos área de silicio.

El amplificador neuronal está integrado monolíticamente en un chip semiconductor único. No se requiere condensador externo/sin chip.

La estructura de amplificador neuronal es aplicable para tecnología moderna CMOS sub-100 nm, en la que surge un

voltaje de alimentación bajo, resistencia de salida más pequeña y corriente de fuga mayor.

El par de transistor diferencial de entrada del amplificador neuronal es implementado con dispositivos de I/O de óxido grueso para evitar la corriente de fuga de puerta significativa en la moderna tecnología CMOS sub-100 nm.

5 El bajo consumo de energía de 4  $\mu$ W o menor se consigue mediante la polarización del par de transistor diferencial de entrada del amplificador neuronal en la región de sub-umbral.

El bajo ruido referenciado a la entrada para el amplificador de ganancia de potencia se consigue (a) reduciendo el flujo de corriente en la rama plegada de un amplificador FC convencional, es decir reduciendo la contribución de ruido de los transistores en cascada, y (b) incrementando la ganancia de bucle abierto del amplificador con la técnica de ganancia aumentada.

10 La densidad de potencia de ruido referido a la entrada del amplificador neuronal con la técnica de aumento de ganancia y el amplificador FC se muestra en la ecuación 2 y en la ecuación 3, respectivamente.

$$\overline{v_{rms,n}^2} = \frac{4KT}{\kappa} \left( \frac{1}{\left( g_{m1} + g_{m1}(2\alpha - 1) \frac{g_{m4}}{g_{m5}} \right)} \right) + \frac{8KT\gamma g_{m2}}{\left( g_{m1} + g_{m1}(2\alpha - 1) \frac{g_{m4}}{g_{m5}} \right)^2} + \frac{16KT\gamma g_{m4}}{\left( g_{m1} + g_{m1}(2\alpha - 1) \frac{g_{m4}}{g_{m5}} \right)^2} \quad (2)$$

y

$$\overline{v_{rms,n}^2} = \frac{4KT}{\kappa} \left( \frac{1}{g_{m1}} \right) + \frac{16KTg_{m2}}{3g_{m1}^2} + \frac{16KTg_{m4}}{3g_{m1}^2} \quad (3)$$

15 en donde k es la constante de Boltzmann,  $\kappa$  es el coeficiente de acoplamiento de puerta de sub-umbral,  $g_{mi}$  es la transconductancia correspondiente al transistor  $M_i$ , T es la temperatura absoluta,  $\alpha$  es la relación de distribución de corriente en el amplificador,  $\gamma$  es el coeficiente de ruido térmico, y  $\alpha$  es la relación de distribución de corriente ( $0,5 < \alpha < 1$ ). El término  $g_{m1}(2\alpha-1)g_{m4}/g_{m5}$  en el denominador es el producto de la ganancia aumentada del amplificador y para disminuir la densidad de energía de ruido. Nótese que  $g_{m4}$  en la ecuación 2 es también más pequeño que en la  
 20 ecuación 3 debido a la corriente reducida en la rama plegada del amplificador. De este modo, de las ecuaciones 2 y 3 el ruido referido a la entrada del amplificador neuronal es suprimido por la técnica de aumento de ganancia con una elección moderada de  $\alpha$ .

El amplificador neuronal se puede deshabilitar una vez que no funcione correctamente después de la implantación para evitar daños a los sujetos.

25 **Breve descripción de los dibujos**

La Fig. 1 muestra una arquitectura de un sistema de registro de 64 canales de acuerdo con una realización a modo de ejemplo de la presente invención.

La Fig. 2 muestra un esquema de un canal de registro de neuronas de acuerdo con una realización a modo de ejemplo de la presente invención.

30 La Fig. 3 muestra un esquema del amplificador de ganancia aumentada de acuerdo con una realización a modo de ejemplo de la presente invención.

La Fig. 4 muestra un esquema de un convertidor de analógico a digital (ADC) y un módulo controlador digital (DCM) de acuerdo con una realización a modo de ejemplo de la presente invención.

35 la Fig. 5 muestra una disposición de un sistema de registro de 64 canales de acuerdo con una realización a modo de ejemplo de la presente invención.

La Fig. 6 muestra la respuesta de frecuencia de un canal de registro de acuerdo con una realización a modo de ejemplo de la presente invención.

La Fig. 7 muestra un ruido referido a la entrada simulado de un canal de registro de neuronas para el ajuste de registro de potenciales de campo locales (LFPs) y picos de acuerdo con una realización a modo de ejemplo de la presente invención.

**Descripción detallada**

5 Vista general del sistema

La arquitectura del sistema completo se muestra en la Fig. 1. Una realización a modo de ejemplo del sistema de 64 canales incluye dos unidades de registro de 32 canales y un módulo controlador digital (DCM) compartido. Cada unidad de registro contiene 32 canales de registro, un multiplexor de 32 a 1, y un ADC SAR. Dentro de cada canal, el amplificador de neuronas amplifica primero la señal de neurona infinitesimal. Una ganancia programable y un filtro de ancho de banda están en cascada y configurados en base a la señal de interés. Un buffer en cada canal pasa la salida filtrada al multiplexor. El ADC digitaliza después la señal con una velocidad de muestreo de 40 kS/s por canal y alimenta la salida al DCM para la serialización de los datos y para realizar el procesamiento de canal específico para identificar los componentes de múltiples sitios.

Diseño del circuito

15 *Canal de registro único*

Un esquema de un canal de registro de neuronas se muestra en la Fig. 2. La primera etapa adaptó un amplificador acoplado a AC y proporcionó una amplificación de banda intermedia de 39,6 dB. La frecuencia de corte de paso elevado de este amplificador se establece por la pseudo-resistencia bipolar MOS formada por  $M_{RA1-RA12}$  y el condensador de retroalimentación,  $C_f$ . Las frecuencias de paso elevado y de bajo paso del posterior filtro de paso de banda se pueden ajustar ajustando  $V_{tune}$  para cambiar  $R_{HPF}$  y alterando el valor de  $C_L$ , en donde  $R_{HPF}$  está formado por transistores PMOS  $M_{RB1-RB11}$  que funcionan en inversión débil y  $C_L$  es el condensador de carga del filtro de paso de banda. El canal de registro tiene la capacidad de ajustar su ganancia de 47 dB a 59 dB. Una cuestión crítica que surge al utilizar un proceso de sub-100 nm es la corriente de fuga de puerta aumentada comparada con los procesos menos avanzados. Una diferencia de 2Å en el espesor de óxido de puerta puede conducir a un orden de cambio de magnitud en la corriente de fuga de puerta [5]. Por lo tanto, en nuestro diseño  $M_{RA1-RA12}$ ,  $M_{RB1-RB12}$ , y los transistores de entrada del amplificador  $A_1$  están implementados con transistores de I/O de óxido grueso para reducir la corriente de fuga, lo que incrementa el ruido de amplificador y disminuye la resistencia de la pseudo-resistencia.

Amplificador de Ganancia Aumentada

La ganancia de banda media del amplificador de neuronas se puede aproximar como

$$\frac{V_{out}}{V_{in}} \approx \frac{C_{in}}{\frac{C_{in} + C_f + C_{par}}{A_1} + C_f} \quad (4)$$

en donde  $C_{par}$  y  $A_1$  son capacitancias parásitas de los transistores de entrada y la ganancia de bucle abierto del amplificador, respetivamente. La capacitancia de entrada ( $C_{in}$ ) se espera que sea pequeña, es decir en el rango de varios pF, para conseguir impedancia de entrada elevada de decenas de Mega Ohms, mientras que la capacitancia de retroalimentación ( $C_f$ ) debe ser también reducida para conseguir una ganancia razonable, por ejemplo 40 dB. Aunque el error de ganancia es aceptable para el amplificador de neuronas, una ganancia de bucle abierto elevada todavía es deseada para suprimir el efecto parásito resultante del transistor de entrada de gran tamaño y los condensadores. Sin embargo, una elevada ganancia es difícil de conseguir bajo las restricciones de bajo voltaje de alimentación de 1,2 V y limitación de energía.

Como se muestra en la Fig. 3, se diseñó un amplificador “cascode-folded” de ganancia aumentada para aumentar la ganancia de bucle abierto del amplificador a la vez que se reducía de forma simultánea el ruido referido a la entrada. Para la condición de polarización del amplificador sólo una pequeña fracción de corriente total está fluyendo en la rama plegada de  $M_3$ - $M_4$  reduciendo su contribución de ruido. Sin embargo, bajo el voltaje de suministro de 1,2 V, es práctico en nuestro diseño añadir una resistencia generada de fuente para disminuir el ruido procedente de  $M_2$ . Utilizamos la fracción de corriente tomada desde  $M_2$  para construir una etapa de ganancia auxiliar formada por  $M_{1c-d}$  y  $M_{5a-b}$ . La etapa de ganancia adicional aumentó la ganancia del amplificador a  $1+(2\alpha-1)g_{m4}/g_{m5}$  veces y simultáneamente redujo el ruido de  $M_2$ . Mediante polarización el transistor diferencial de entrada  $M_1$  en la región de subumbral, el ruido referido a la entrada del amplificador se puede obtener como la ecuación 2 (véase sumario). La ecuación 2 demuestra que el ruido referido a la entrada se puede reducir utilizando la topología de ganancia aumentada. Nótese que  $g_{m2}$  y  $g_{m4}$  en la ecuación 2 son pequeños debido al reducido flujo de corriente que pasa. El valor de  $C_{in}$  y  $C_f$  se elige como 5pF y 50fF para una solución equilibrada entre impedancia, ruido, y potencia.

*Filtro de paso de Banda de ganancia Variable (BPF)*

El BPF de ganancia variable tiene el objetivo de proporcionar capacidades de ajuste de ganancia y anchura de banda independientes en una única etapa para reducir el consumo de energía. Este filtro está compuesto por una cascada formada por un transconductor y un amplificador de transimpedancia con un condensador de carga, y un filtro de paso elevado de primer orden RC como se muestra en la Fig. 2. La ganancia de voltaje del filtro se decide por el producto de la transductancia  $GM$  y  $R_f$ , que es la resistencia de retroalimentación del amplificador de transimpedancia. De este modo, la ganancia se puede ajustar ajustando el flujo de corriente en el transconductor. El paso de banda de ganancia variable puede proporcionar ganancia de 7 dB – 19 dB dentro de una anchura de banda dada.

- 5
- 10 Digitalización de Señal de Neurona
- 15 Un ADC SAR de redistribución de carga diferencial está diseñado para digitalizar señales de neuronas de 64 canales. La arquitectura el ADC tiene una capacitancia de unidad de 20 fF. Un controlador ADC y un controlador de multiplexor están incorporados en el DCM. Un multiplexor de 32:1 está situado delante de cada ADC para seleccionar el canal para el muestreo. Aunque utilizar un contador de 5 bit para ir secuencialmente del canal 1 al 32 es sencillo, puede no ser lo más deseable en todas las circunstancias. Por ejemplo, no todos los canales tienen entrada adecuada para ser muestreados en cualquier momento, y el usuario podría sólo estar interesado en un subconjunto de canales. Por lo tanto, una característica de canal de interés está implementada en el controlador de multiplexor. Esto hace posible que el usuario elija un subconjunto arbitrario de canales, y apague el resto para ahorrar energía. Algunos de los canales pueden incluso tener una frecuencia de muestreo más elevada que otros.
- 20 La Fig. 4 muestra un ejemplo de arquitectura de este controlador de multiplexor. Un archivo registrador de 33 x 5 se emplea para almacenar los índices del canal de muestreo así como el número de canales que se utilizarán. Para habilitar un subconjunto de cuatro canales específicos, a saber ch1, ch10, ch19 y ch28, el archivo registrador debería ser llenado con 1, 10, 19 y 28 en las primeras cuatro entradas, y 3 en la última entrada. El contador de 5 bit irá de 0-3, de este modo los índices de canal deseados serán enviados al multiplexor de canal secuencialmente para habilitar estos canales, y todos los demás canales no serán muestreados. Si la tercera entrada del ejemplo anterior es sustituida por ch1, entonces ch1 será muestreado cuando el contador de 5 bit esté o bien en 0 o bien en 2, de manera que tiene dos veces la frecuencia de muestreo de ch10 y ch28. De este modo, un canal se puede llenar en múltiples entradas en el archivo registrador para conseguir una frecuencia de muestreo de hasta 16 veces más elevada que otras.
- 25
- 30 Un divisor de reloj de 20 bit programable está implementado en el controlador ADC y sirve para dos fines: para disociar la frecuencia de muestreo y la frecuencia del oscilador; para proporcionar un ajuste de frecuencia de muestreo flexible para cada ADC. Hay dos ADCs en este sistema, así, un oscilador de alta frecuencia es requerido para manipular la cadena de datos. El divisor de reloj puede generar una frecuencia de reloj apropiada para el funcionamiento ADC sin importar qué frecuencia de oscilador sea. Además, dado que la característica de canal de interés permite que el usuario habilite un subconjunto de canales, la frecuencia acumulada es menor es este modo. De este modo, el divisor de reloj se puede utilizar para establecer la frecuencia de muestreo acumulada para cada ADC individual en base al número de canales activados y la frecuencia de muestreo deseada por canal.
- 35

**Resultados de Simulación**

Fue diseñado un ejemplo de sistema de grabación de 64 canales y bajo la fabricación en procesos CMOS de TSMC de 65nm. Todo el sistema es operado y simulado bajo una alimentación de 1,2 V a la vez que consume 40  $\mu$ W por canal. Nótese que solo se consumen 6  $\mu$ W por el amplificador de registro de neuronas y el BPF. La disposición de chip ocupa un área de 3 x 4 mm<sup>2</sup>, como se muestra en la Fig. 5. La disposición a modo de ejemplo y el consumo de energía no están optimizados para los fines de ensayo.

La Fig. 6 muestra las respuestas de frecuencia de un canal de registro de neurona. Para registrar LFPs, el sistema presenta una ganancia programable de 47 dB a 59 dB dentro de la anchura de banda de 0,5 Hz a 500 Hz. Aunque con el establecimiento intermedio para el registro de pico, el sistema proporciona ganancia variable de 46,5 dB a 58,5 dB de 300 Hz 12 Hz.

TABLA 1 - RESUMEN Y COMPARACIÓN DE RENDIMIENTO

Referencia	[3]	[8]	[9]	Este Trabajo
Tecnología	0,5 $\mu$ m CMOS	0,5 $\mu$ m CMOS	0,18 $\mu$ m CMOS	65 nm CMOS
Nº de canales	1	16	16	64
Voltaje de Alimentación (V)	2,8	3,3	1,8	1,2
Ganancia de banda media (dB)	40,9	39,6	70	47 ~ 59
Frecuencia de corte elevada (Hz)	0,392 ~ 295	0,2 ~ 94	100	0,5 ~ 0,3 k

Referencia	[3]	[8]	[9]	Este Trabajo
Frecuencia de corte baja (Hz)	45 ~ 5,32 k	140 ~ 8,2 k	9..2 k	500, 12 k
Ruido referenciado a la entrada ( $\mu V_{rms}$ )	3,06	1,94	5,4	3,8 <sup>1</sup> , 2,0 <sup>2</sup>
Impedancia de Entrada @ 1kHz (Mohm)	11,38	7,9	-	31,8
Consumo de Energía de amplificador ( $\mu W$ )	7,56	26,4	8,6	6
NEF	2,37	2,9	4,9	3 <sup>3</sup>
NEF <sup>2</sup> *VDD	15,7	27,7	43,2	10,8
Velocidad de muestreo de ADC/por canal	-	16 k o 500	30 k	4 k ~ 40 k
Resolución (bits)	-	7 ~ 12	8	9
Consumo total de energía (mW)	-	1,8	0,68	2,56

<sup>1</sup> con ruido integrando ancho de banda de 30 Hz a 100 kHz

<sup>2</sup> con ruido integrando ancho de banda de 0,5 Hz a 5 kHz

<sup>3</sup> para registro de pico

Nótese que la ganancia del registro de pico es ligeramente inferior que la de los LFPs debido al valor de  $R_{HPF}$  más pequeño, que disminuye la impedancia de salida total del amplificador de neuronas. El ruido referido a la entrada simulado para ambas configuraciones de LFPs y registro de picos se muestra en la Fig. 7. Para el registro de LFPs, el ruido 1/f domina todavía y de este modo es difícil distinguir el nivel de ruido térmico. El ruido referido a la entrada total para ambos ajustes de registro es  $2 \mu V_{rms}$  (integrando de 0,1 Hz a 5 kHz) y  $3,8 \mu V_{rms}$  (integrando de 30 Hz a 100 kHz) bajo configuración de ganancia de 47 dB. Nótese que la anchura de banda de integración de ruido aquí es mucho mayor que la anchura de banda de señal. Dado que la métrica NEF popular [3] solo concierne a la corriente del amplificador, no puede reflejar la eficiencia de energía. De este modo, nosotros comparamos tanto NEF como la métrica modificada [10]

$$NEF^2 * VDD = v_{rms,in}^2 \left( \frac{2P}{\pi * kT / q * 4kT * BW} \right) \quad (5)$$

en donde P es el consumo de energía del amplificador y BW es el ancho de banda de señal.

El rendimiento del sistema de registro de neuronas y la comparación con otros trabajos se resumen en la Tabla 1. El sistema de registro tiene elevada impedancia de entrada de 31,8 Mohm a 1 kHz para mitigar la atenuación de señal inevitable en la interfaz electrodo-amplificador. El amplificador de registro con filtro de paso de banda presenta el producto NEF<sup>2</sup>\*VDD más bajo. Un ADC con una velocidad de muestreo flexible para canales individuales proporciona además al usuario más flexibilidad para monitorear la señal de neurona de interés. El consumo de energía total del todo el sistema es de 2,56 mW a una frecuencia de reloj de sistema de 23 MHz.

### Referencias

[1] M.A. Nicoletis, J. K. Chapin, Controlling robots with the mind., Scientific American, Estados Unidos, vol. 287 n° 4, pp. 46-53, 2002.

[2] M.A.L. Nicoletis, "Actions from thoughts". Nature, 2001

[3] W. Wattanapanitch, M. Fee, y R. Sarpeshkar, "An energy efficient micropower neural recording amplifier." IEEE Trans. Biomed. Circuitos Sys., vol. 1, n° 2, pp. 136 – 147, junio 2007.

[4] Matthew J. Nelsona, Pierre Pougeta, Erik A. Nilsenc, Craig D. Pattenc, y Jeffrey D. Schalla, "Review of signal distorsion through metal microelectrode recording circuits and filters," Journal of Neuroscience Methods, vol. 169, iss. 1, pp. 141 – 157, 30 de marzo de 2008.

[5] M. Manghisoni, L. Gaioni, L. Ratti, Member, IEEE, V. Re, V. Speziali, y G Traversi, "Impact of gate-leakage current noise in sub-100 nm CMOS front-end electronics," IEEE Nuclear Science Sym. Conf. Record, vol. 5, pp. 12503 – 2508, 2007

- [6] Thanachayanont, A. Naktongkul, "Low-voltage wideband compact CMOS variable gain amplifier," *IEEE Electron. Lett.*, vol. 41, iss. 2, pp. 51 – 52, 2005
- [7] David Johns, Ken Martin, *Analog Integrated Circuit Design*, Wiley, 1997.
- 5 [8] J. M. Mollazadeh, K. Murari, G. Cauwenberghs, y N. Thakor, "Micropower CMOS integrated low-noise amplification, filtering, and digitalization of multimodal neuropotentials," *IEE Trans. Biomed. Circuits Syst.*, vol. 3, no. 1, pp. 1 – 10, Feb. 2009.
- [9] B. Gosselin, A. E. Ayoub, J.-F. Roy, M. Sawan, F. Lepore, A. Chaudhuri, y D Guitton, "A Mixed-Signal Multichip Neural Recording Interface With Bandwidth Reduction," *IEEE Trans. on Biomed. Circuits and Systems*, vol. 3, n° 3, pp. 129 – 141, Junio 2009
- 10 [10] Rikky Muller, Simone Gambini, Jan M, Rabaey, "A 0,013 mm<sup>2</sup> 5μW DC-Coupled Neutral Signal Acquisition IC with 0,5 V Supply," *ISSCC Dir. Tech. Papers*, Feb., 2011
- [11] Yi-Kai Lo, Wentai Lui, Kuanfu Chen, Ming-Hsien Tsai, y Fu-Lung Hsueh, "A 64-Channe neuron recording system" *IEEE EMBS*, Agosto 2011.

**REIVINDICACIONES**

1. Un amplificador neuronal integrado para amplificar señales neuronales , que comprende:
- 5 (a) un primer amplificador de etapa dentro del amplificador neuronal, estando dicho primer amplificador de etapa configurado para la conexión a un electrodo de trabajo y a un electrodo contador, estando cada dicho electrodo conectado a dicho primer amplificador de etapa a través de un condensador de bloqueo DC (Cin), como condensador de entrada;
- (b) un circuito de retroalimentación capacitivo dentro del primer amplificador de etapa configurado para establecer una ganancia de dicho amplificador neuronal como una relación del condensador de entrada (Cin) y el condensador de retroalimentación (Cf); y
- 10 (c) un amplificador “folded-cascode” (FC) que tiene una etapa de ganancia auxiliar incorporada en dicho primer amplificador de etapa para aumentar la ganancia de bucle abierto, comprendiendo dicha etapa de ganancia auxiliar dos amplificadores de fuente común (CS), en los que el citado amplificador de fuente común (CS) está formado por un par diferencial de transistores con carga conectada a diodo, de manera que las salidas diferenciales de dicho primer amplificador de fuente común (CS) están conectadas a dos puertas de transistores de fuente de corriente de
- 15 dicho amplificador “folded-cascode” que comprenden el segundo amplificador de fuente común (CS) embebido en la rama plegada de dicho amplificador “folded- cascode” (FC) con el fin de minimizar el consumo de corriente.
2. El amplificador neuronal expuesto en la reivindicación 1, en el que la ganancia total del primer amplificador de etapa es la suma de la ganancia del amplificador FC y la etapa de ganancia auxiliar.
3. El amplificador neuronal expuesto en la reivindicación 1, en el que dichas señales neuronales son potenciales de campo local (LFP), picos neuronales, señales ECoG.
- 20 4. El amplificador neuronal expuesto en la reivindicación 1, en el que dicho amplificador neuronal está integrado monolíticamente en un único chip semiconductor.
5. El amplificador neuronal expuesto en la reivindicación 1, en el que dicho amplificador neuronal no requiere un condensador externo/sin chip.
- 25 6. El amplificador neuronal expuesto en la reivindicación 1, en el que dicho amplificador neuronal tiene un consumo de energía de aproximadamente 4  $\mu$ W o menor.
7. El amplificador neuronal expuesto en la reivindicación 1, que comprende además un filtro de paso de banda de ganancia variable en la salida del primer amplificador de etapa; comprendiendo el filtro de paso de banda de ganancia variable un cascode de un transductor y un amplificador de transimpedancia con un condensador de carga, y un filtro de paso elevado de primer orden RC que tiene una ganancia de voltaje determinada por el producto de la transductancia del transconductor y la resistencia de retroalimentación del amplificador de transimpedancia, y la ganancia variable se puede ajustar ajustando la corriente que fluye en el transconductor.
- 30 8. El amplificador neuronal expuesto en la reivindicación 1, que comprende además una pseudo-resistencia bipolar MOS (R1) en paralelo con dicho condensador de retroalimentación (Cf) para establecer una frecuencia de corte de paso elevado de dicho primer amplificador de etapa.
- 35

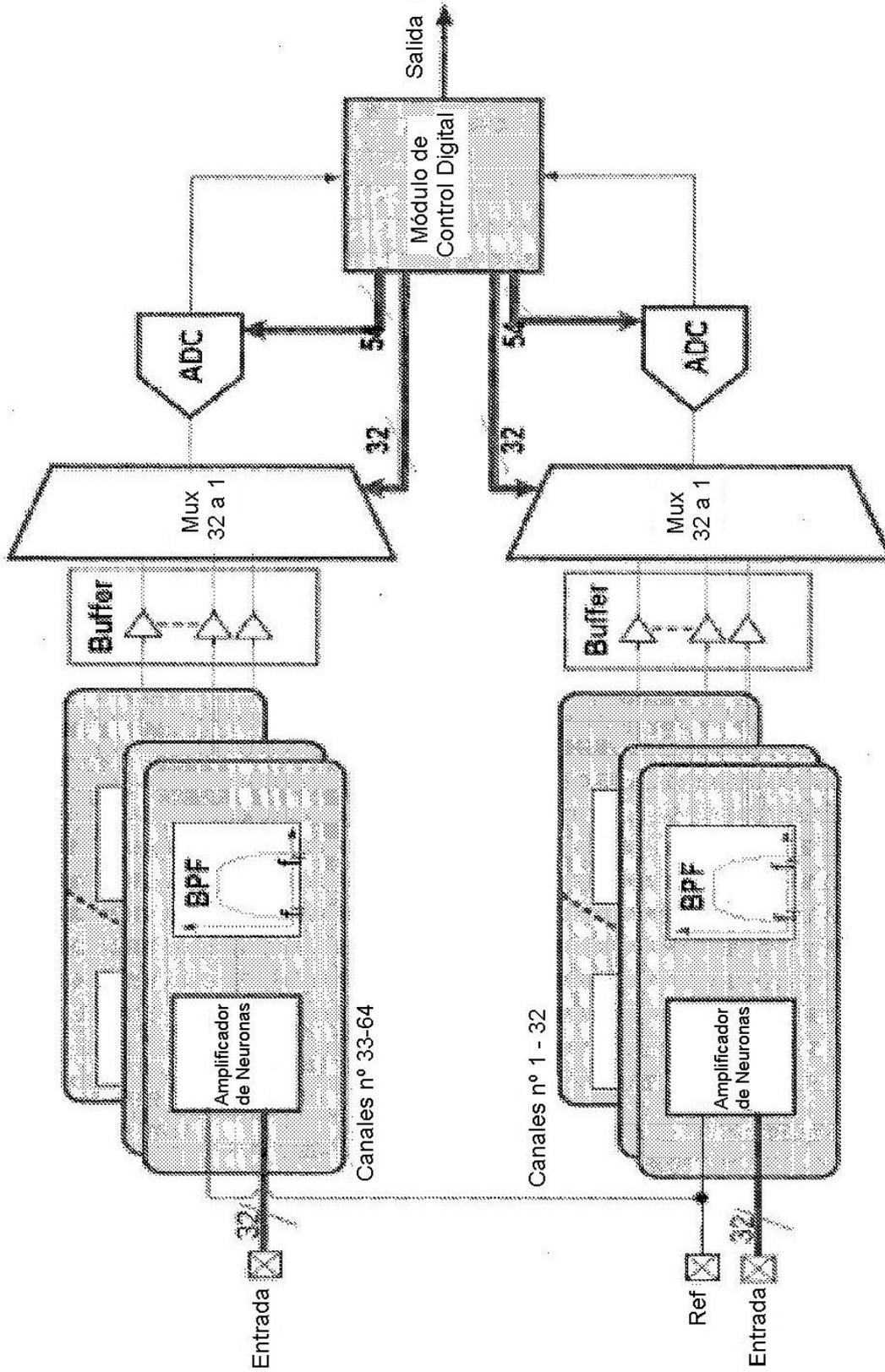


Fig. 1

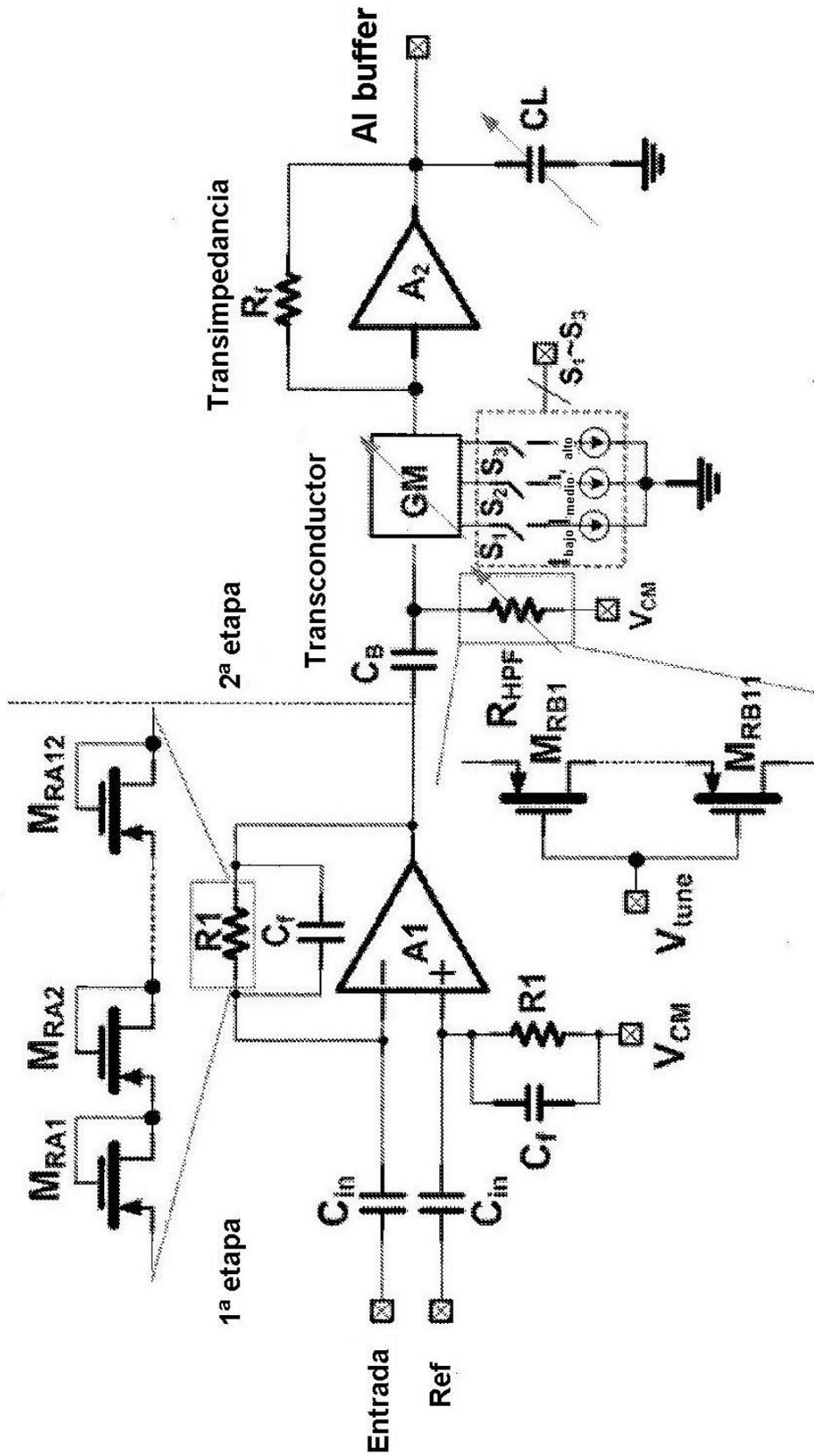


Fig. 2



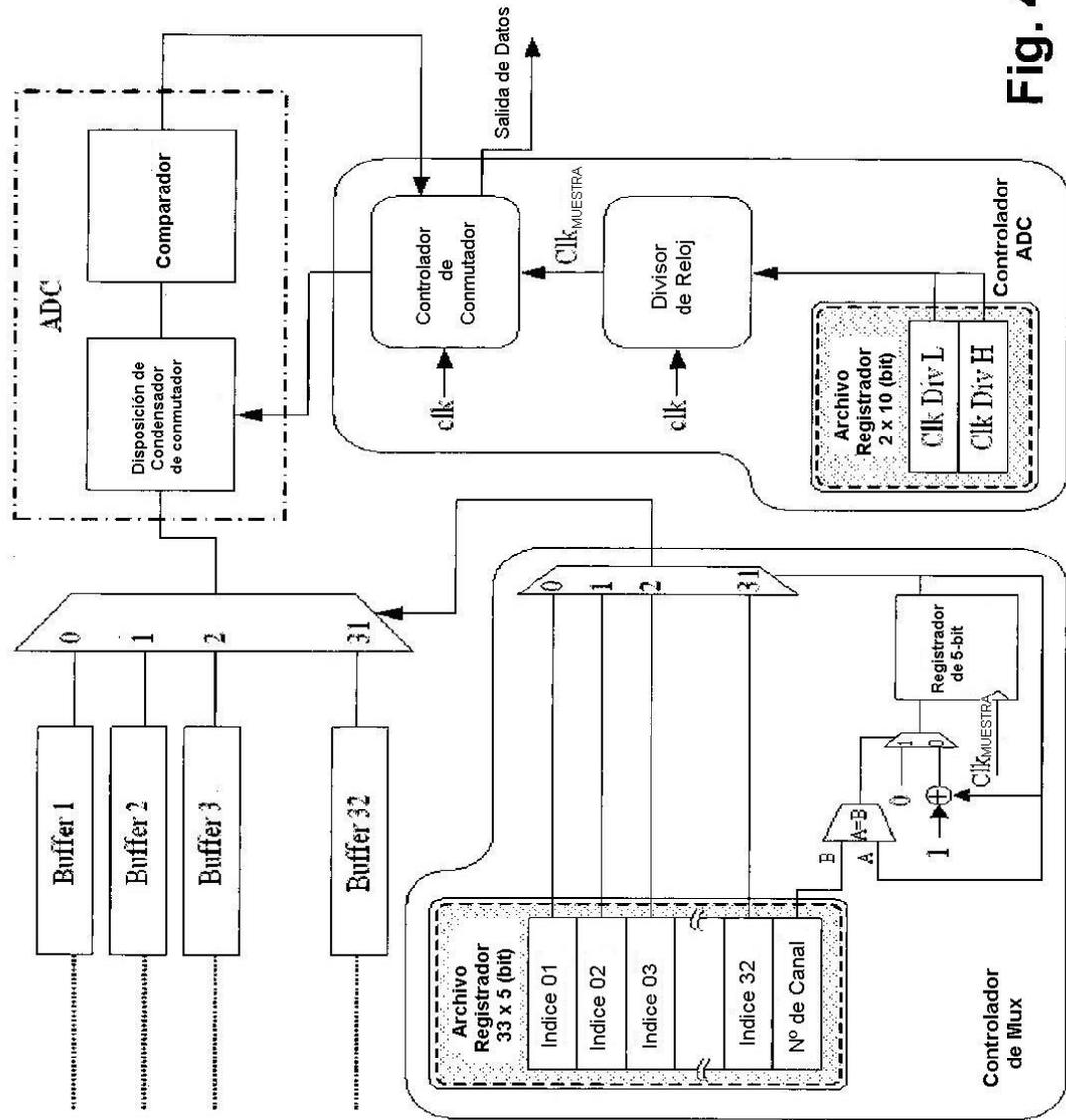
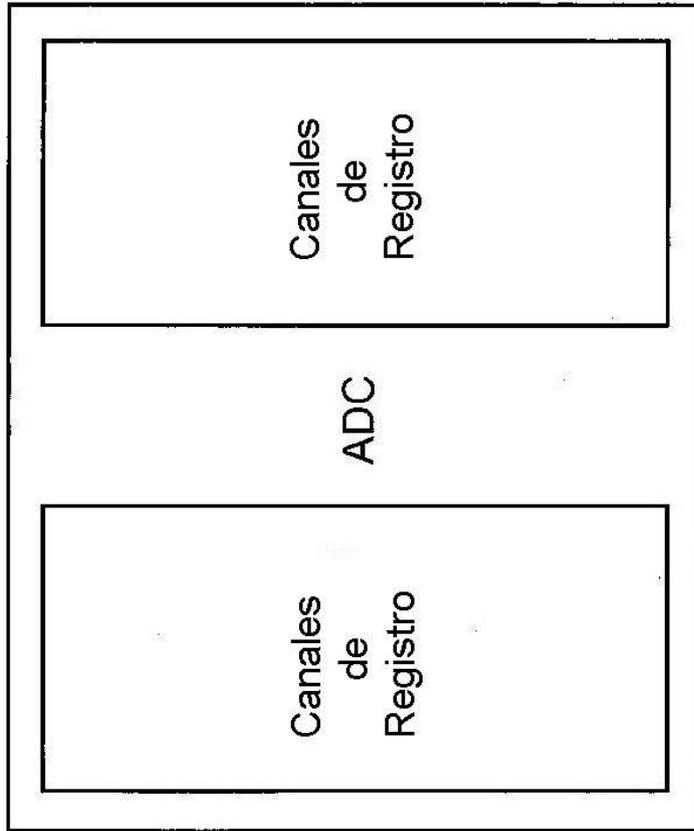


Fig. 4



**Fig. 5**

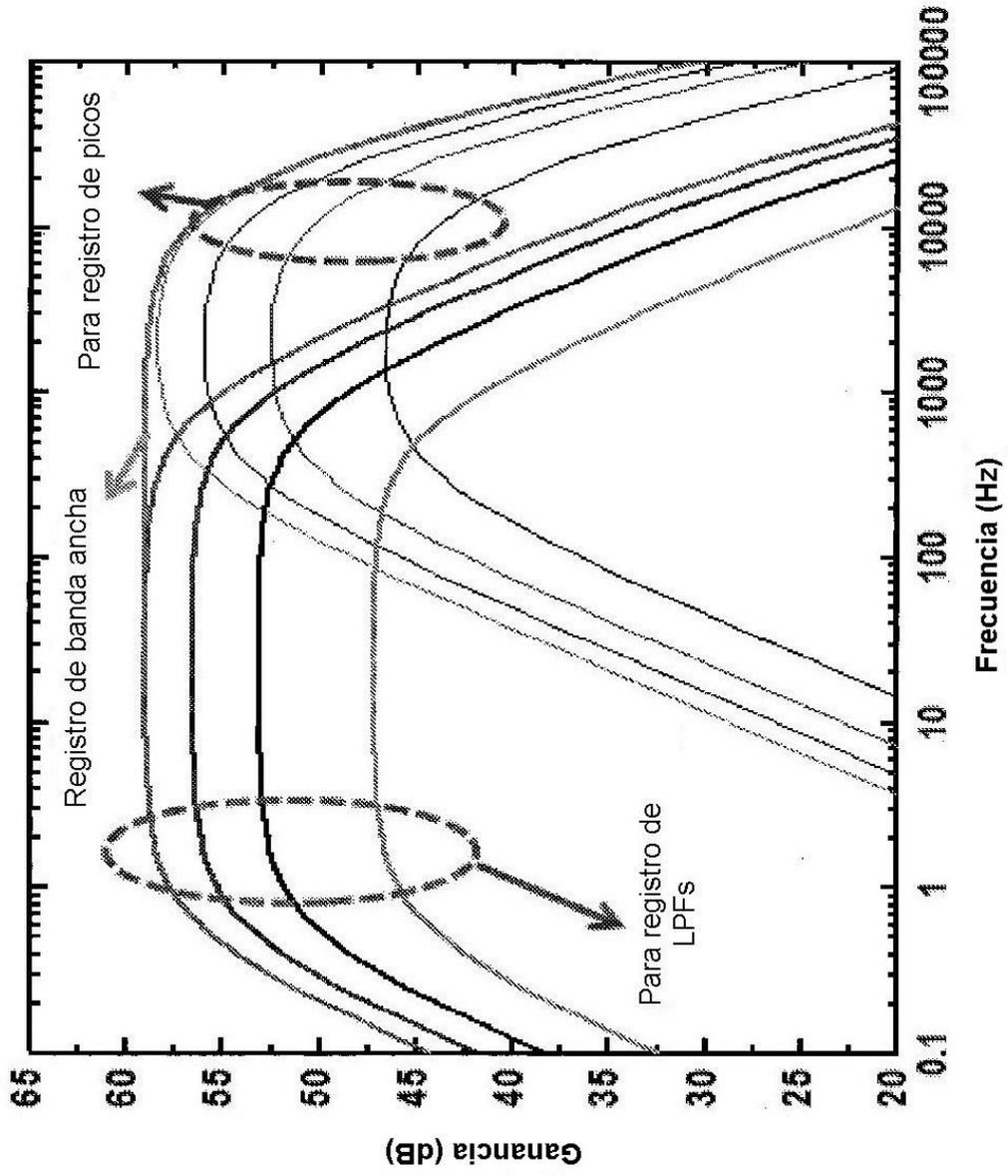


Fig. 6

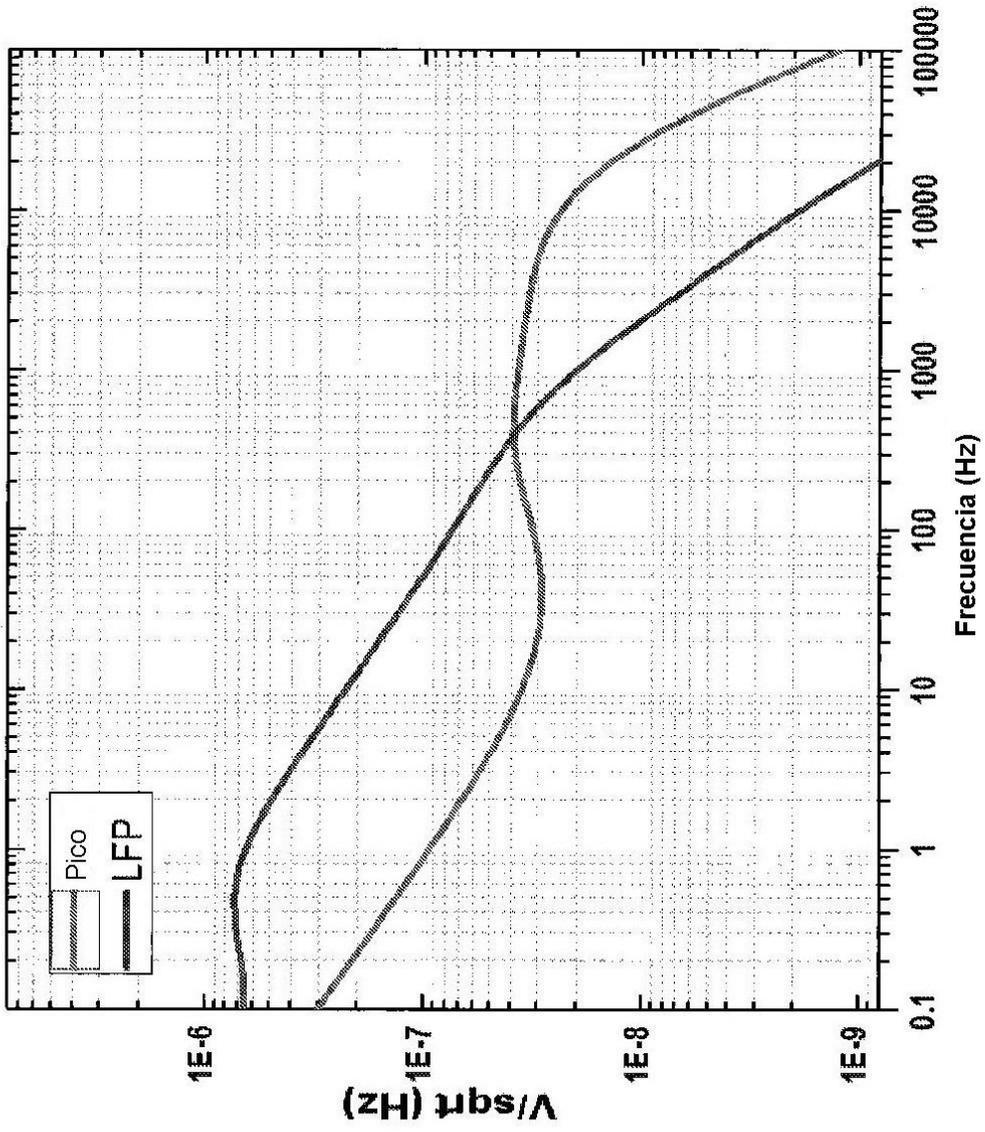


Fig. 7