

19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 573 284**

51 Int. Cl.:

**G06F 12/08** (2006.01)

**G06F 1/32** (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **16.01.2013 E 13701347 (0)**

97 Fecha y número de publicación de la concesión europea: **23.03.2016 EP 2805243**

54 Título: **Gestores híbridos de criterios de memoria caché con escritura doble / escritura simple, y sistemas y procedimientos relacionados**

30 Prioridad:

**16.01.2012 US 201261586937 P**

**14.05.2012 US 201213470643**

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

**07.06.2016**

73 Titular/es:

**QUALCOMM INCORPORATED (100.0%)**

**5775 Morehouse Drive  
San Diego, CA 92121, US**

72 Inventor/es:

**SASSONE, PETER G.;  
KOOB, CHRISTOPHER EDWARD;  
VANTREASE, DANA M.;  
VENKUMAHANTI, SURESH K. y  
CODRESCU, LUCIAN**

74 Agente/Representante:

**FORTEA LAGUNA, Juan José**

**ES 2 573 284 T3**

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

## DESCRIPCIÓN

Gestores híbridos de criterios de memoria caché con escritura doble / escritura simple, y sistemas y procedimientos relacionados

5

### **ANTECEDENTES**

#### **I. Campo de la divulgación**

10 La tecnología de la divulgación se refiere a multiprocesadores, en los que cada núcleo procesador del multiprocesador tiene su propia memoria caché local y comparte una memoria caché común y / o la memoria principal.

#### **II. Antecedentes**

15

Una memoria caché de procesador puede ser configurada para implementar criterios de memoria caché de escritura simple o criterios de memoria caché de escritura doble. Un criterio de memoria caché de escritura doble escribe por duplicado todos los datos almacenados en la memoria caché en una o más memorias caché del siguiente nivel. Por ejemplo, una memoria caché de escritura doble de primer nivel puede escribir por duplicado todos los datos almacenados en la memoria caché de primer nivel en una memoria caché del siguiente nivel. Un criterio de memoria caché de escritura doble asegura que cada memoria caché del primer nivel no contiene datos contaminados, porque los datos almacenados en la memoria caché son escritos por duplicado en la memoria caché del siguiente nivel. Sin embargo, escribir por duplicado cada almacén de datos en una memoria caché del siguiente nivel consume energía adicional, debido a la escritura de datos por duplicado en la memoria caché del siguiente nivel. De tal modo, un criterio de memoria caché de escritura doble puede no ser ideal para dispositivos de menor potencia.

20

Por otra parte, una memoria caché configurada con criterios de memoria caché de escritura simple (es decir, una memoria caché de escritura simple) recoge datos contaminados en la memoria caché hasta su desalojo. Las memorias caché de escritura simple pueden consumir menos energía, porque las escrituras en la memoria caché del primer nivel son recogidas y no son escritas por duplicado antes de su desalojo. Sin embargo, un sistema multiprocesador que incluye memorias caché de escritura doble puede ser más complicado. Por ejemplo, los datos contaminados en las memorias caché de escritura simple pueden necesitar ser repescados para brindar coherencia de datos. Además, durante las fases de diseño y pruebas, la depuración de cuestiones de coherencia de datos puede consumir tiempo.

30

35

El artículo "Arquitectura de coherencia de memoria caché dinámica, de múltiples núcleos, para procesadores móviles sensibles a la energía", Garo Bournoutian et al, Anales de la 9<sup>a</sup> Conferencia Internacional sobre co-diseño de hardware / software y síntesis de sistemas (CODES+ISSS) 2011, 9 de octubre de 2011, páginas 89 a 97, describe una arquitectura de coherencia de memoria caché de múltiples núcleos.

40

El artículo "Caracterización del comportamiento de la energía y la temperatura de un sistema basado en POWER6", Jiménez, V., et al, Revista del IEEE sobre temas sobresalientes y seleccionados en circuitos y sistemas, vol. 1, n. ° 3, 1 de septiembre de 2011, páginas 228 a 241, describe un modelo de energía de un procesador.

45

El documento US 2005 / 195635 A1 divulga una memoria caché dividida en segmentos, por lo cual los segmentos tienen criterios de memoria caché distintos y configurables.

50

El documento EP 0 342 846 A2 divulga un sistema de memoria caché en disco capaz de funcionar en cualquiera de dos modalidades: una modalidad de escritura simple para transferir los datos desde la memoria caché al disco después de que los datos están almacenados en la memoria caché; y una modalidad de escritura doble para transferir directamente los datos desde el anfitrión al disco, no a través de la memoria caché, cuando se recibe una señal de error de batería y / o una señal de carga de batería.

55

### **SUMARIO DE LA DIVULGACIÓN**

La presente invención está definida en las reivindicaciones independientes adjuntas, a las cuales se debería hacer referencia. Las características ventajosas están expuestas en las reivindicaciones dependientes adjuntas.

60

Los modos de realización divulgados en la descripción detallada incluyen gestores híbridos de criterios de memoria caché de escritura doble / escritura simple, y sistemas y procedimientos relacionados. A este respecto, en un modo de realización se proporciona un gestor de criterios de escritura en memoria caché. El gestor de criterios de escritura en memoria caché está configurado para determinar si al menos dos memorias caché están activas entre una pluralidad de memorias caché paralelas. Las memorias caché paralelas comparten una o más memorias caché, o memorias, de linaje común (es decir, parental), ya sea directa o indirectamente a través de una o más memorias caché intermedias, o memorias intermedias, en las que debería mantenerse la coherencia. Una memoria caché activa es una memoria caché que está en uso. Si todas dichas una o más otras memorias caché, entre la pluralidad

65

de memorias caché paralelas, están inactivas, el gestor de criterios de escritura en memoria caché está configurado para instruir a una memoria caché activa, entre la pluralidad de memorias caché paralelas, para aplicar un criterio de memoria caché de escritura simple. De esta manera, el gestor de criterios de escritura en memoria caché puede conservar la energía y / o aumentar las prestaciones cuando solamente está activo un único núcleo procesador entre una pluralidad de núcleos procesadores paralelos. Si cualquiera entre dichas una o más memorias caché adicionales, entre la pluralidad de memorias caché paralelas, está activa, el gestor de criterios de escritura en memoria caché está configurado para instruir a una memoria caché activa, entre la pluralidad de memorias caché paralelas, para aplicar un criterio de memoria caché de escritura doble. De esta manera, el gestor de criterios de escritura en memoria caché facilita la coherencia de datos entre las memorias caché paralelas cuando están activos múltiples núcleos procesadores entre la pluralidad de núcleos procesadores paralelos.

En un aspecto, se proporciona un medio para proporcionar un criterio híbrido de memoria caché de escritura doble / escritura simple para una memoria caché. El medio comprende un medio para determinar si al menos dos memorias caché, entre una pluralidad de memorias caché, están activas o no. El medio comprende además un medio para instruir a una memoria caché activa, entre la pluralidad de memorias caché paralelas, para aplicar un criterio de memoria caché de escritura simple, si todas dichas una o más otras memorias caché, entre la pluralidad de memorias caché paralelas, están inactivas. El medio comprende además un medio para instruir a una memoria caché activa, entre la pluralidad de memorias caché paralelas, para aplicar un criterio de memoria caché de escritura doble, si cualquiera de dichas una o más otras memorias caché, entre la pluralidad de memorias caché paralelas, está activa.

En otro modo de realización, se proporciona un procedimiento para proporcionar un criterio híbrido de memoria caché de escritura doble / escritura simple para una memoria caché. El procedimiento comprende determinar si al menos dos memorias caché, entre una pluralidad de memorias caché paralelas, están activas o no. El procedimiento comprende además instruir a una memoria caché activa, entre la pluralidad de memorias caché paralelas, para aplicar un criterio de memoria caché de escritura simple, si todas dichas una o más otras memorias caché, entre la pluralidad de memorias caché paralelas, están inactivas. El procedimiento comprende además instruir a una memoria caché activa, entre la pluralidad de memorias caché paralelas, para aplicar un criterio de memoria caché de escritura doble si cualquiera entre dichas una o más otras memorias caché, entre la pluralidad de memorias caché paralelas, está activa.

En otro aspecto, se proporciona una memoria caché. La memoria caché comprende una memoria caché y un controlador de memoria caché configurado para establecer un criterio de escritura de memoria caché para la memoria caché. El controlador de memoria caché está adicionalmente configurado para establecer un criterio de memoria caché de escritura simple para la memoria caché, en respuesta a la recepción de una indicación de que todas dichas una o más otras memorias caché, entre una pluralidad de memorias caché paralelas, están inactivas. El controlador de memoria caché está adicionalmente configurado para establecer un criterio de memoria caché de escritura doble para la memoria caché, en respuesta a la recepción de una indicación de que cualquiera de dichas una o más otras memorias caché, entre una pluralidad de memorias caché paralelas, está activa.

En otro modo de realización, se proporciona un sistema multiprocesador. El sistema multiprocesador comprende una pluralidad de memorias caché paralelas, y una memoria compartida por la pluralidad de memorias caché paralelas. El sistema multiprocesador también comprende un gestor de criterios de escritura en memoria caché, configurado para determinar si al menos dos memorias caché, entre la pluralidad de memorias caché paralelas, están activas o no. El gestor de criterios de escritura en memoria caché está adicionalmente configurado para instruir a una memoria caché activa, entre la pluralidad de memorias caché paralelas, para aplicar un criterio de memoria caché de escritura simple, si todas dichas una o más otras memorias caché, entre la pluralidad de memorias caché paralelas, están inactivas. El gestor de criterios de escritura en memoria caché está adicionalmente configurado para instruir a una memoria caché activa, entre la pluralidad de memorias caché paralelas, para aplicar un criterio de memoria caché de escritura doble, si cualquiera de dichas una o más otras memorias caché, entre la pluralidad de memorias caché paralelas, está activa.

En otro modo de realización, se proporciona un medio no transitorio legible por ordenador. El medio legible por ordenador tiene almacenadas en el mismo instrucciones ejecutables por ordenador, para hacer que un procesador proporcione un criterio híbrido de memoria caché de escritura doble / escritura simple, para una pluralidad de memorias caché paralelas. Las instrucciones hacen que el procesador determine si al menos dos memorias caché, entre la pluralidad de memorias caché paralelas, están activas o no. Las instrucciones hacen además que el procesador instruya a una memoria caché activa, entre la pluralidad de memorias caché paralelas, para aplicar un criterio de memoria caché de escritura simple, si todas dichas una o más otras memorias caché, entre la pluralidad de memorias caché paralelas, están inactivas. Las instrucciones hacen además que el procesador instruya a la memoria caché activa, entre la pluralidad de memorias caché paralelas, para aplicar un criterio de memoria caché de escritura doble, si cualquiera de dichas una o más otras memorias caché, entre la pluralidad de memorias caché paralelas, está activa.

**BREVE DESCRIPCIÓN DE LAS FIGURAS**

- 5 La Figura 1 es un diagrama de bloques de un sistema multiprocesador ejemplar que comprende un gestor ejemplar de criterios de escritura en memoria caché, configurado para proporcionar criterios híbridos de memoria caché de escritura doble, o escritura simple;
- 10 la Figura 2 es una máquina de estados ejemplar que puede ser llevada a cabo por el gestor de criterios de escritura en memoria caché en la Figura 1, para proporcionar criterios híbridos de memoria caché de escritura doble, o escritura simple;
- 15 la Figura 3 es un diagrama de bloques de otro sistema multiprocesador ejemplar con una pluralidad de núcleos procesadores, comprendiendo cada núcleo procesador un gestor de criterios de escritura en memoria caché, para proporcionar criterios híbridos de memoria caché de escritura doble, o escritura simple;
- 20 la Figura 4 es un diagrama de bloques de otro sistema multiprocesador ejemplar que emplea un hipervisor que comprende un gestor de criterios de escritura en memoria caché, para proporcionar criterios híbridos de memoria caché de escritura doble, o escritura simple;
- 25 la Figura 5 es un diagrama de bloques de otro sistema multiprocesador ejemplar que emplea una unidad de gestión de energía (PMU) que comprende un gestor de criterios de escritura en memoria caché, para proporcionar criterios híbridos de memoria caché de escritura doble, o escritura simple; y
- la Figura 6 es un diagrama de bloques de un sistema ejemplar basado en procesadores que incluye un gestor de criterios de escritura en memoria caché, de acuerdo a los modos de realización divulgados en el presente documento.

**DESCRIPCIÓN DETALLADA**

30 Los modos de realización divulgados en la descripción detallada incluyen gestores híbridos de criterios de memoria caché de escritura doble/escritura simple, y sistemas y procedimientos relacionados. A este respecto, en un modo de realización, se proporciona un gestor de criterios de escritura en memoria caché. El gestor de criterios de escritura en memoria caché está configurado para determinar si al menos dos memorias caché, entre una pluralidad de memorias caché paralelas, están activas. Las memorias caché paralelas comparten una o más memorias caché, o memorias, de linaje común (es decir, parentales), ya sea directa o indirectamente, a través de una o más memorias caché intermedias, o una o más memorias intermedias, en las que debería mantenerse la coherencia. Una memoria caché activa es una memoria caché que está en uso. Si todas las una o más otras memorias caché, entre la pluralidad de memorias caché paralelas, están inactivas, el gestor de criterios de escritura en memoria caché está configurado para instruir a una memoria caché activa, entre la pluralidad de memorias caché paralelas, para aplicar un criterio de memoria caché de escritura simple. De esta manera, el gestor de criterios de escritura en memoria caché puede conservar la energía y / o aumentar las prestaciones cuando solamente está activo un único núcleo procesador entre una pluralidad de núcleos procesadores paralelos. Si cualquiera de las una o más otras memorias caché, entre la pluralidad de memorias caché paralelas, está activa, el gestor de criterios de escritura en memoria caché está configurado para instruir a una memoria caché activa, entre la pluralidad de memorias caché paralelas, para aplicar un criterio de memoria caché de escritura doble. De esta manera, el gestor de criterios de escritura en memoria caché facilita la coherencia de datos entre las memorias caché paralelas cuando están activos múltiples núcleos procesadores entre la pluralidad de núcleos procesadores paralelos.

50 La Figura 1 es un diagrama de bloques de un sistema multiprocesador ejemplar 10 que comprende una pluralidad de núcleos procesadores paralelos 22(0) a 22(X). Cada núcleo de procesamiento 22(0) a 22(X) accede a una memoria caché paralela local 14(0) a 14(X), que comprende un controlador de memoria caché 16(0) a 16(X) y una memoria caché 18(0) – 18(X). Las memorias caché 14(0) a 14(X) en la Figura 1 son memorias caché paralelas, porque comparten una memoria compartida 20 de linaje común. Según lo ilustrado en la Figura 1, las memorias caché paralelas 14(0) a 14(X) pueden ser memorias caché de primer nivel para los núcleos procesadores 22(0) a 22(X). Alternativamente, las memorias caché paralelas 14(0) a 14(X) pueden ser memorias caché de nivel superior, por ejemplo, memorias caché de segundo nivel o de tercer nivel de los núcleos procesadores 22(0) a 22(X). Las memorias caché paralelas 14(0) a 14(X) comparten una memoria compartida 20. La memoria compartida 20 puede ser una memoria caché compartida, por ejemplo, una memoria caché de segundo nivel. La memoria compartida 20 también puede ser una memoria principal. Como también se ilustra en la Figura 1, el sistema multiprocesador 10 puede estar integrado en un troquel semiconductor 24.

60 Un sistema multiprocesador puede emplear algo de su tiempo operativo teniendo activo un único núcleo procesador. Por lo tanto, puede ser ventajoso optimizar el sistema multiprocesador 10 para que consuma menos energía al funcionar con un único núcleo procesador 22(0) activo. De tanto en tanto, cuando se requieren prestaciones aumentadas, otros uno o más núcleos procesadores 22(X) del sistema multiprocesador 10 pueden ser activados para proporcionar capacidad aumentada de procesamiento para el sistema multiprocesador 10. El sistema multiprocesador 10 puede consumir energía adicional cuando están activos más de uno de los núcleos

procesadores 22(0) a 22(X); sin embargo, la energía aumentada consumida por el sistema multiprocesador 10 puede tener lugar solamente durante periodos de tiempo en que pueden ser requeridas ráfagas aumentadas de prestaciones.

5 A este respecto, el sistema multiprocesador 10 comprende un gestor de criterios de escritura en memoria caché 12, configurado para proporcionar criterios híbridos de memoria caché de escritura doble, o escritura simple. El gestor de criterios de escritura en memoria caché 12 está configurado para gestionar los criterios de escritura en memoria caché de una pluralidad de memorias caché paralelas 14(0) a 14(X). El gestor de criterios de escritura en memoria caché 12 está configurado para determinar si están activas o no al menos dos memorias caché paralelas 14(0) a 14(X). El gestor de criterios de escritura en memoria caché 12 está configurado para instruir a una memoria caché 14(0) activa, entre la pluralidad de memorias caché paralelas 14(0) a 14(X), para aplicar un criterio de memoria caché de escritura simple, si todas las otras una o más memorias caché 14(X), entre la pluralidad de memorias caché paralelas 14(0) a 14(X), están inactivas. De esta manera, el gestor de criterios de escritura en memoria caché 12 puede conservar la energía y / o aumentar las prestaciones del sistema multiprocesador 10 cuando solamente está activo un único núcleo procesador 22(0) entre una pluralidad de núcleos procesadores paralelos 22(0) a 22(X). Por ejemplo, el gestor de criterios de escritura en memoria caché 12 puede ser configurado para instruir a la memoria caché activa 14(0), entre la pluralidad de memorias caché paralelas 14(0) a 14(X), para aplicar un criterio de memoria caché de escritura simple, cuando todas las otras memorias caché 14(X), entre la pluralidad de memorias caché paralelas 14(0) a 14(X), devienen inactivas.

Además, el gestor de criterios de escritura en memoria caché 12 también está configurado para instruir a una memoria caché activa 14(0), entre la pluralidad de memorias caché paralelas 14(0) a 14(X), para aplicar un criterio de memoria caché de escritura doble, si cualquiera de dichas uno o más otras memorias caché 14(X) está activa. De esta manera, el gestor de criterios de escritura en memoria caché 12 facilita la coherencia de datos entre las memorias caché paralelas 14(0) a 14(X) cuando están activos múltiples núcleos procesadores 22(0) a 22(X) entre la pluralidad de núcleos procesadores paralelos 22(0) a 22(X).

El gestor de criterios de escritura en memoria caché 12 está configurado para enviar instrucciones a los controladores de memoria caché 16(0) a 16(X) de las memorias caché paralelas 14(0) a 14(X), para implementar el criterio híbrido de memoria caché de escritura doble, o escritura simple. El gestor de criterios de escritura en memoria caché 12 está configurado para instruir que se establezcan los criterios deseados de escritura en memoria caché, para las memorias caché paralelas 14(0) a 14(X). El controlador de memoria caché 16(0) está configurado para recibir las instrucciones desde el gestor de criterios de escritura en memoria caché 12, para establecer los criterios deseados de escritura en memoria caché para la memoria caché 18(0). El controlador de memoria caché 16(0) está configurado para establecer un criterio de memoria caché de escritura simple, como el criterio de escritura en memoria caché para la memoria caché 18(0), en respuesta a la recepción de una indicación de que todas las una o más otras memorias caché 14(X), entre una pluralidad de memorias caché paralelas 14(0) a 14(X), están inactivas. El controlador de memoria caché 16(0) está además configurado para establecer un criterio de memoria caché de escritura doble, para la memoria caché 18(0), en respuesta a la recepción de una indicación de que cualquiera de dichas una o más otras memorias caché 14(X), entre la pluralidad de memorias caché paralelas 14(0) a 14(X), está activa.

El gestor de criterios de escritura en memoria caché 12 puede ser implementado como una máquina de estados. A este respecto, la Figura 2 proporciona una máquina de estados 26 ejemplar, que puede ser realizada por el gestor de criterios de escritura en memoria caché 12 de la Figura 1. A este respecto, la Figura 2 ilustra una máquina de estados 26 ejemplar para un gestor de criterios de escritura en memoria caché 12. En un modo de realización, la máquina de estados 26 puede ser proporcionada con un primer estado 28, un segundo estado 30, un tercer estado 32 y un cuarto estado 34.

Con referencia ahora al primer estado 28, cuando solamente está activo un núcleo procesador 22(0) entre una pluralidad de núcleos procesadores paralelos 22(0) a 22(X), la memoria caché local 14(0), a la que accede el núcleo procesador 22(0), puede ser la única memoria caché activa entre una pluralidad de memorias caché paralelas 14(0) a 14(X). Cuando solamente una primera memoria caché 14(0) está activa entre una pluralidad de memorias caché paralelas 14(0) a 14(X), no hay necesidad de mantener coherencia continua de datos entre la memoria caché 14(0) y dichas una o más otras memorias caché 14(X). Por tanto, aplicar un criterio de memoria caché de escritura simple a la memoria caché 14(0) podría conservar energía y aumentar las prestaciones del único núcleo procesador activo 22(0). En consecuencia, según lo ilustrado en la Figura 2, cuando solamente una memoria caché 14(0) está activa, el gestor de criterios de escritura en memoria caché 12 estará en un primer estado 28. En el primer estado 28, el gestor de criterios de escritura en memoria caché 12 aplica un criterio de memoria caché de escritura simple a la memoria caché activa 14(0). Al aplicar el criterio de memoria caché de escritura simple, la memoria caché 14(0) puede almacenar datos contaminados.

Sin embargo, una vez que son activadas una o más de las otras memorias caché 14(X), la memoria caché 14(0) necesitará quedar coherente con las otras una o más memorias caché 14(X). Por tanto, cuando el gestor de criterios de escritura en memoria caché 12 detecta que cualquiera de dichas una o más otras memorias caché 14(X) está activa, el gestor de criterios de escritura en memoria caché 12 efectúa la transición desde el primer estado 28 a un

segundo estado 30. El gestor de criterios de escritura en memoria caché 12 puede ser configurado para determinar que cualquiera de dichas una o más otras memorias caché 14(X), entre la pluralidad de memorias caché paralelas 14(0) a 14(X), está activa, determinando que cualquiera, entre dichas una o más otras memorias caché 14(X), está energizada. El gestor de criterios de escritura en memoria caché 12 también puede ser configurado para determinar que cualquiera de dichas una o más otras memorias caché 14(X) está activa, determinando que cualquiera de dichos uno o más otros núcleos procesadores 22(X), configurados para acceder a cualquiera de dichas una o más otras memorias caché 14(X), está energizado y / o activo.

En el segundo estado 30, el gestor de criterios de escritura en memoria caché 12 deja la memoria caché 14(0), inicialmente activa, coherente con dichas una o más otras memorias caché 14(X). Para lograr la coherencia de datos, el gestor de criterios de escritura en memoria caché 12 instruye a la memoria caché 14(0), inicialmente activa, para despejar todas las líneas contaminadas de memoria caché. La memoria caché 14(0) activa puede despejar todas las líneas contaminadas de memoria caché escribiendo datos, almacenados por líneas contaminadas cualesquiera de memoria caché, en una memoria compartida 20, compartida entre la pluralidad de memorias caché paralelas 14(0) a 14(X). Antes, durante o después de despejar todas las líneas contaminadas de memoria caché en la memoria compartida 20, el gestor de criterios de escritura en memoria caché 12 también instruye a la memoria caché 14(0) inicialmente activa para aplicar un criterio de memoria caché de escritura doble. Al gestionar también dichas una o más otras memorias caché 14(X), el gestor de criterios de escritura en memoria caché 12 también instruirá a dichas una o más otras memorias caché 14(X) para aplicar un criterio de memoria caché de escritura doble. El despeje de las líneas contaminadas de memoria caché de la memoria caché 14(0) puede ser completado antes que otro núcleo procesador 22(X) de activación reciente, y / o antes de que queden completamente activas dichas una o más otras memorias caché 14(x) de activación reciente. Después de que se complete el despeje de líneas contaminadas cualesquiera de memoria caché en la memoria caché 14(0) inicialmente activa, la memoria caché 14(0) inicialmente activa del primer núcleo procesador 22(0) mantendrá en lo sucesivo la coherencia con dichas una o más otras memorias caché 14(X). La coherencia es mantenida a través de la memoria compartida 20 en este modo de realización. La memoria compartida 20 de linaje común puede ser una memoria compartida del siguiente nivel de la memoria caché activa 14(0) y / o de las otras memorias caché 14(X). Alternativamente, puede haber una o más memorias caché intermedias, y / o una o más memorias intermedias, dispuestas entre la memoria caché activa 14(0) y la memoria compartida 20. También puede haber una o más memorias caché intermedias y / o memorias intermedias, dispuestas entre dichas una o más otras memorias caché 14(X) y la memoria compartida 20. Después de que la memoria caché 14(0) inicialmente activa es actualizada para que sea coherente con la memoria compartida 20, puede permitirse que dichos uno o más otros núcleos procesadores 22(X) y / o dichas una o más otras memorias caché 14(X) queden completamente activos.

Dado que la activación de otros uno o más núcleos procesadores 22(X) y / u otras una o más memorias caché 14(X) lleva tiempo, las operaciones del segundo estado 30 pueden ser instruidas para que tengan lugar esencialmente en paralelo con la activación de dichos uno o más otros núcleos procesadores 22(X) y / o la activación de dichas una o más otras memorias caché 14(X).

Con referencia continua a la Figura 2, cuando una o más de dichas una o más otras memorias caché 14(X) quedan activas, el gestor de criterios de escritura en memoria caché 12 efectúa la transición a un tercer estado 32. En el tercer estado 32, hay al menos dos memorias caché 14 paralelas (p. ej., 14(0), 14(X)) activas, y cada una de las memorias caché 14 paralelas activas está aplicando un criterio de memoria caché de escritura doble. Esto permite a los núcleos procesadores activos 22(0) a 22(X) mantener la coherencia de las memorias caché activas 14(0) a 14(X) en la memoria compartida 20 en este modo de realización. Si otra(s) memoria(s) caché 14(X) adicional(es) se torna(n) activa(s) (p. ej., otras dos o más memorias caché 14(X) están activas), el gestor de criterios de escritura en memoria caché 12 permanece en el tercer estado 32 y la(s) otra(s) memoria(s) caché 14(X) adicional(es) también es(son) instruida(s) para aplicar un criterio de memoria caché de doble escritura.

En algún momento, la capacidad adicional de procesamiento de dichos uno o más otros núcleos procesadores 22(X) puede no ser requerida ya por el sistema multiprocesador 10. Cuando la capacidad adicional de procesamiento de dichos uno o más otros núcleos procesadores 22(X) ya no es requerida por el sistema multiprocesador 10, el sistema multiprocesador 10 puede instruir a dichos uno o más otros núcleos procesadores 22(X) para desactivarse, a fin de conservar energía. Como resultado, dichas una o más otras memorias caché 14(X) también pueden ser apagadas y / o desactivadas (es decir, quedar inactivas) sin drenar dichas una o más otras memorias caché 14(X) a la memoria compartida 20. Cuando el gestor de criterios de memoria caché 12 determina que todas dichas una o más otras memorias caché 14(X) están inactivas (p. ej., solamente una memoria caché 14(0) permanece activa), el gestor de criterios de escritura en memoria caché 12 efectúa la transición desde el tercer estado 32 al cuarto estado 34.

En el cuarto estado 34, ya no hay necesidad de mantener coherente la memoria caché 14(0) individualmente activa con dichas una o más otras memorias caché 14(X), porque dichas una o más otras memorias caché 14(X) no están activas y / o no están energizadas. Por lo tanto, en el cuarto estado 34, el gestor de criterios de escritura en memoria caché 12 instruye a la memoria caché 14(0) que permanece activa, para aplicar un criterio de memoria caché de escritura simple. Los datos contaminados pueden ser nuevamente almacenados en la memoria caché 14(0). Como resultado, menos energía es consumida por el sistema multiprocesador 10. Además, según la implementación, la

carga de trabajo y / u otros factores de diseño, el núcleo procesador 22(0) que permanece activo podría tener prestaciones aumentadas bajo los criterios de memoria caché de escritura simple.

Después de instruir a la memoria caché 14(0) que permanece activa para aplicar un criterio de memoria caché de escritura simple, el gestor de criterios de escritura en memoria caché 12 efectúa la transición desde el cuarto estado 34 al primer estado 28. El gestor de criterios de escritura en memoria caché 12 permanecerá en el primer estado 28 mientras la memoria caché paralela 14(0) activa sea la única memoria caché 14 activa entre la pluralidad de memorias caché paralelas 14(0) a 14(X). El gestor de criterios de escritura en memoria caché 12 continua en lo sucesivo según lo expuesto en el presente documento.

Alguien medianamente experto en la técnica apreciará, a partir de esta divulgación, que la memoria caché 14(0) que permanece individualmente activa al final de un ciclo, a través de los estados primero, segundo, tercero y cuarto de la máquina de estados 26, puede ser una misma memoria caché 14 o una memoria caché 14 distinta, entre la pluralidad de memorias caché paralelas 14(0) a 14(X), a la memoria caché 14(0) inicialmente activa, al comienzo del ciclo. En otras palabras, puede permanecer activa, al final del ciclo a través de la máquina de estados 26, una misma memoria caché 14, o una memoria caché 14 distinta a la que estaba inicialmente activa al comienzo del ciclo a través de la máquina de estados 26.

Alguien medianamente experto en la técnica también apreciará, a partir de esta divulgación, que el gestor de criterios de escritura en memoria caché 12 puede comprender y operar varias máquinas de estados 26. Por ejemplo, un gestor de criterios de escritura en memoria caché 12 que gestiona múltiples memorias caché 14 puede comprender y operar una máquina de estados 26 individual para cada memoria caché 14 gestionada por el gestor de criterios de escritura en memoria caché 12.

Además, la anterior exposición se refiere a cuatro estados distintos de la máquina de estados 26: el primer estado 28, el segundo estado 30, el tercer estado 32 y el cuarto estado 34. Generalmente, el primer estado 28 y el tercer estado 32 pueden ser estados de mayor duración, y el segundo estado 30 y el cuarto estado 34 pueden ser estados de transición (es decir, de menor duración). La máquina de estados 26 también puede estar dotada de menos estados, o de estados adicionales. Por ejemplo, en algunos modos de realización, la máquina de estados 26 puede ser proporcionada como una máquina de dos estados, estando el primer estado 28 de mayor duración y el segundo estado 30 de transición proporcionados como un primer estado 36, y estando el tercer estado 32 de mayor duración y el cuarto estado 34 de transición proporcionados como un segundo estado 38.

A modo de ejemplo adicional, se expone ahora un quinto estado 40 de arranque optativo, ilustrado en la Figura 2. Cuando una memoria caché 14 arranca por primera vez, el gestor de criterios de escritura en memoria caché 12 puede no saber inicialmente si están o no activas otras memorias caché paralelas 14. Antes de que pueda tomarse una determinación en cuanto a cuáles memorias caché 14 están activas / inactivas, puede ser arriesgado suponer que una memoria caché 14 en activación es la única memoria caché 14 activa. En consecuencia, el gestor de criterios de escritura en memoria caché 12 puede ser configurado para instruir a una memoria caché 14 para aplicar el criterio de memoria caché de escritura doble como el criterio por omisión de escritura en memoria caché, hasta que pueda tomarse una determinación en cuanto a cuáles memorias caché 14 están activas / inactivas. Como resultado, se evitan cuestiones de coherencia de datos que podrían ocurrir en otro caso si la memoria caché 14 en activación aplicara un criterio de caché de escritura simple en presencia de otras memorias caché paralelas 14 activas.

A este respecto, el gestor de criterios de escritura en memoria caché 12 puede arrancar inicialmente en el estado de arranque 40. En el estado de arranque 40, el gestor de criterios de escritura en memoria caché 12 instruye a la memoria caché 14 para aplicar un criterio de memoria caché de escritura doble. El gestor de criterios de escritura en memoria caché 12 efectúa luego la transición al tercer estado 32. Se tomará entonces una determinación con respecto a cuáles memorias caché 14 están activas / inactivas. Si todas dichas una o más otras memorias caché 14(X), entre la pluralidad de memorias caché paralelas 14, están inactivas, entonces el gestor de criterios de escritura en memoria caché 12 de la memoria caché 14 en activación efectuará la transición al cuarto estado 34 (instruyendo a la memoria caché 14 en activación para aplicar un criterio de memoria caché de escritura simple) y luego la transición al primer estado 28. Si cualquiera de dichas una o más otras memorias caché 14(X), entre la pluralidad de memorias caché paralelas 14, está activa, entonces el gestor de criterios de escritura en memoria caché 12 de la memoria caché 14 en activación permanecerá en el tercer estado 38.

El sistema multiprocesador 10 de la Figura 1 ilustra una única agrupación de núcleos procesadores 22(0) a 22(X). Sin embargo, el sistema multiprocesador 10 también puede ser proporcionado como parte de un sistema multiprocesador jerárquico 10(1). A este respecto, la Figura 3 ilustra un sistema multiprocesador jerárquico 10(1) que tiene una pluralidad de agrupaciones de núcleos procesadores. Los núcleos procesadores 22A(0) a 22A(X) proporcionan una primera agrupación de núcleos procesadores. Los núcleos procesadores 22B(0) a 22B(Y) forman una segunda agrupación de núcleos procesadores. En la Figura 3, las memorias caché 14A(0) a 14A(X) son memorias caché paralelas, porque comparten una memoria caché paralela 14C(0) de linaje común. Las memorias caché 14B(0) a 14B(Y) son memorias caché paralelas, porque comparten una memoria caché paralela 14C(Z) de linaje común. Las memorias caché 14C(0) a 14C(Z) son memorias caché paralelas, porque comparten una memoria

compartida 20 de linaje común. Las memorias caché 14A(0) a 14A(X) y 14B(0) a 14B(X) también son memorias caché paralelas porque comparten una memoria compartida 20 de linaje común. El sistema multiprocesador jerárquico 10(1) puede ser proporcionado en un troquel semiconductor 24(1). Los elementos en la Figura 3 tienen números similares de elementos que los elementos de la Figura 1, y funcionan de la misma manera que los elementos en la Figura 1, excepto en vista de lo descrito en el presente documento.

Según se ilustra en la Figura 3, el gestor de criterios de escritura en memoria caché 12 de la Figura 1 puede ser proporcionado como una pluralidad de gestores de criterios de escritura en memoria caché 12A(0) a 12A(X), y 12B(0) a 12B(Y). En el modo de realización ilustrado en la Figura 3, cada núcleo procesador 22 (p. ej., los núcleos procesadores 22A(0) a 22A(X) y 22B(0) a 22B(Y)) contiene un gestor de criterios de escritura en memoria caché 12 (p. ej., 12A(0) a 12A(X) y 12B(0) a 12B(Y), respectivamente). El gestor de criterios de escritura en memoria caché 12, contenido en cada núcleo procesador 22, está configurado para determinar si al menos dos memorias caché 14, entre la pluralidad de memorias caché paralelas 14A(0) a 14A(X) y 14B(0) a 14B(Y), están activas. El gestor de criterios de escritura en memoria caché 12, contenido en cada núcleo procesador 22, también está configurado para instruir a una memoria caché paralela 14, a la que accede su núcleo procesador 22, con respecto a cuál criterio de escritura de memoria caché aplicar.

A este respecto, en la Figura 3, cuando solamente está activo un primer núcleo procesador 22A(0), el gestor de criterios de escritura en memoria caché 12A(0) puede instruir a la memoria caché paralela 14A(0) para aplicar un criterio de memoria caché de escritura simple. El gestor de criterios de escritura en memoria caché 12A(0) también puede instruir a la memoria caché paralela 14A(0) para aplicar un criterio de memoria caché de escritura simple si ninguno de dichos uno o más otros núcleos procesadores 22B(0) a 22B(Y), en la segunda agrupación de núcleos procesadores, está activo. Cuando el núcleo procesador 22A(X) arranca, el gestor de criterios de escritura en memoria caché 12A(X) determina que la memoria caché paralela 14A(0) ya está activa y, por lo tanto, instruye a la memoria caché paralela 14A(X) para aplicar un criterio de memoria caché de escritura doble. Cuando el núcleo procesador 22A(X) arranca, el gestor de criterios de escritura en memoria caché 12A(0) también determina que el núcleo procesador 22A(X) está en activación y, por lo tanto, instruye a la memoria caché 14A(0) ya activa para despejar sus líneas de memoria caché de todos los datos contaminados. La memoria caché paralela 14A(X) despejará entonces todas sus líneas contaminadas de memoria caché, escribiendo los datos almacenados en líneas contaminadas cualesquiera de memoria caché, de la memoria caché paralela 14A(0), en una memoria caché paralela 14C(0), compartida entre los núcleos procesadores 22A(0) a 22A(X) de la primera agrupación de núcleos procesadores.

Una vez que está completado el despeje de las líneas contaminadas de memoria caché de la memoria caché paralela 14A(X), la memoria caché paralela 14A(0) está preparada para mantener la coherencia de datos con la memoria caché paralela 14A(X) del núcleo procesador 22A(X). A este respecto, ambas memorias caché paralelas 14A(0) y 14A(X) aplicarán un criterio de memoria caché de escritura doble para escribir cualquier dato, almacenado en sus memorias caché locales 18A(0) y 18A(X), en la memoria caché paralela 14C(0).

La máquina de estados 26 de la Figura 2 también puede ser aplicada a memorias caché paralelas, tales como las memorias caché paralelas 14C(0) a 14C(Z). En este momento, hay núcleos procesadores 22 activos en una primera agrupación de procesadores (p. ej., los núcleos procesadores 22A(0), 22A(X)). Sin embargo, no hay ningún otro núcleo procesador 22B(0) a 22B(Y) activo en otras una o más agrupaciones de procesadores. Como resultado, está activa una memoria caché paralela 14C(0) y no hay ninguna otra memoria caché paralela 14C(Z) activa. Porque no hay ninguna otra memoria caché paralela 14C(Z) activa, la memoria caché paralela 14C(0) es instruida para aplicar un criterio de memoria caché de escritura simple. La memoria caché paralela 14C(0) puede continuar aplicando un criterio de memoria caché de escritura simple mientras todas las otras memorias caché paralelas (p. ej., la memoria caché paralela 14C(Z)), paralelas a la memoria caché paralela 14C(0), permanezcan inactivas (es decir, no activas).

Cuando un núcleo procesador 22B(0) es activado en la segunda agrupación de núcleos procesadores, la máquina de estados 26 de la Figura 2 se usa para fijar los criterios de las memorias caché paralelas 14C(0) a 14C(Z) en un nivel más profundo de memorias caché. Cuando el núcleo procesador 22B(0) (en otra agrupación de núcleos procesadores) es arrancado y / o activado de otro modo, la memoria caché paralela 14B(0) y la memoria caché paralela 14C(Z) también arrancarán y quedarán activas. El gestor de criterios de escritura en memoria caché 12B(0) determina que las memorias caché paralelas 14A(0) a 14A(X) están activas y, por lo tanto, instruye a la memoria caché paralela 14B(0) para aplicar un criterio de memoria caché de escritura doble. El gestor de criterios de escritura en memoria caché 12B(0) también determina que la memoria caché paralela 14C(0) está activa y, por lo tanto, instruye a la memoria caché paralela 14C(Z) para aplicar un criterio de memoria caché de escritura doble.

El gestor de criterios de escritura en memoria caché 12A(0) también determina que el núcleo procesador 22B(0) y / o la memoria caché paralela 14B(0) están activos y, por lo tanto, instruye a la memoria caché paralela 14C(0) para aplicar un criterio de memoria caché de escritura doble. Esto permite que la memoria caché paralela 14C(0) mantenga la coherencia con la memoria caché paralela 14C(Z) recientemente activada. A este respecto, cada una entre la memoria caché paralela 14C(0) y la memoria caché paralela 14C(Z) escribirá por duplicado los datos almacenados en sus memorias caché 18C(0), 18C(Z), en la memoria compartida 20. Cuando todos los núcleos procesadores activos 22B de la otra agrupación de núcleos procesadores (núcleo procesador 22B(0) en este ejemplo) sean desactivados, el gestor de criterios de escritura en memoria caché 12A(0) determinará que ningún

otro núcleo procesador 22B(0) a 22B(Y) y / o memoria paralela 14B(0) a 14B(Y), de otras agrupaciones cualesquiera de núcleos procesadores, están activos. Cuando esto ocurre, el gestor de criterios de escritura en memoria caché 12A(0) puede instruir a la memoria caché paralela 14C(0) para aplicar un criterio de memoria caché de escritura simple. Aplicar un criterio de memoria caché de escritura simple puede conservar energía y / o mejorar las prestaciones de los procesadores 12A(0) a 12A(X) en la única agrupación de núcleos procesadores que permanece activa (es decir, los procesadores 12A(0) a 12A(X)). Alguien medianamente experto en la técnica apreciará, a partir de esta divulgación, que la máquina de estados 26 de la Figura 2 puede ser aplicada en cualquier nivel de un sistema jerárquico de memoria caché. Alguien medianamente experto en la técnica también apreciará, a partir de esta divulgación, que cada agrupación de núcleos procesadores en la Figura 3 puede comprender dos o más núcleos procesadores 22.

Alguien medianamente experto en la técnica también apreciará, a partir de esta divulgación, que el sistema multiprocesador jerárquico 10(1) puede comprender dos o más agrupaciones de núcleos procesadores. El sistema multiprocesador jerárquico 10(1) ilustrado en la Figura 3 ilustra tres niveles de memorias caché. Sin embargo, alguien medianamente experto en esa técnica apreciará que la máquina de estados 26 también puede ser aplicada a jerarquías más profundas de memorias caché.

Los núcleos procesadores 22A(0) a 22A(X) y 22B(0) a 22B(Y) ilustrados en la Figura 3 contienen cada uno su propio gestor de criterios de escritura en memoria caché 12A(0) a 12A(X) y 12B(0) a 12B(Y). Sin embargo, el gestor de criterios de escritura en memoria caché 12 también puede ser proporcionado fuera de los núcleos procesadores 22A(0) a 22A(X) y 22B(0) a 22B(Y). A este respecto, la Figura 4 ilustra un sistema multiprocesador 10(2) que comprende un gestor de criterios de escritura en memoria caché 12, integrado en un hipervisor 44. El hipervisor 44 puede determinar si cualquiera de los núcleos procesadores 22A(0) a 22A(X) y 22B(0) a 22B(Y), y / o las memorias caché paralelas 14A(0) a 14A(X) y 14B(0) a 14B(Y), están activos o no. El hipervisor también puede determinar si cualquiera de las memorias caché paralelas 14C(0) a 14C(Z) está activa. El hipervisor 44 también puede controlar la activación y desactivación de los núcleos procesadores 22A(0) a 22A(X) y 22B(0) a 22B(Y), y / o la activación y desactivación de sus respectivas agrupaciones de núcleos procesadores. En un modo de realización, el hipervisor 44 es proporcionado como circuitos por separado en un troquel semiconductor 24(2). En otro modo de realización, el hipervisor 44 es proporcionado en software. Cuando se implementa en software, el hipervisor 44 puede ejecutarse en un núcleo procesador 22, por separado de los núcleos procesadores 22A(0) a 22A(X) y 22B(0) a 22B(Y). Sin embargo, el hipervisor 44 también puede ejecutarse en uno o más de los núcleos procesadores 22A(0) a 22A(X) y 22B(0) a 22B(Y).

Según lo ilustrado por el sistema multiprocesador 10(3) en la Figura 5, el gestor de criterios de escritura en memoria caché 12 también puede estar integrado en una unidad de gestión de energía (PMU) 46. La PMU 46 puede ser implementada como circuitos individuales de un troquel semiconductor 24(3). La PMU 46 controla el arranque y / o el apagado de los núcleos procesadores 22A(0) a 22A(X) y 22B(0) a 22B(Y) y / o las memorias caché paralelas 14A(0) a 14A(X) y 14B(0) a 14B(Y). La PMU 46 puede o no implementar máquinas de estados individuales 26 para afectar a las memorias caché paralelas 14A(0) a 14A(X) y 14B(0) a 14B(Y) y / o las memorias caché paralelas 14C(0) a 14C(Z).

El gestor de criterios de escritura en memoria caché 12 y / o las memorias caché paralelas 14, de acuerdo a modos de realización y aspectos divulgados en el presente documento, pueden ser proporcionados, o integrados, en cualquier dispositivo basado en procesadores. Los ejemplos, sin limitación, incluyen un equipo de sobremesa, una unidad de entretenimiento, un dispositivo de navegación, un dispositivo de comunicaciones, una unidad de datos de ubicación fija, una unidad de datos de ubicación móvil, un teléfono móvil, un teléfono celular, un ordenador, un ordenador portátil, un ordenador de sobremesa, un asistente digital personal (PDA), un monitor, un monitor de ordenador, un televisor, un sintonizador, una radio, una radio por satélite, un reproductor de música, un reproductor de música digital, un reproductor de música portátil, un reproductor de vídeo digital, un reproductor de vídeo, un reproductor de discos de vídeo digital (DVD) y un reproductor de vídeo digital portátil.

A este respecto, la Figura 6 ilustra un ejemplo de un sistema 48 basado en procesadores. En este ejemplo, el sistema 48 basado en procesadores incluye una o más unidades centrales de procesamiento (CPU) 50, incluyendo cada una uno o más procesadores 52. Las CPU 50 pueden tener memoria(s) caché 53 acoplada(s) a uno o más procesadores 52, para el rápido acceso a datos temporalmente almacenados. Como se ha expuesto en el presente documento, cada memoria caché 53 puede contener un controlador de memoria caché 56 y memoria caché 54, controlada según lo expuesto en el presente documento. La(s) CPU 50 está(n) acoplada(s) a un bus de sistema 58 y pueden inter-acoplar dispositivos maestros y dispositivos esclavos, incluidos en el sistema 48 basado en procesadores. Como es bien sabido, la(s) CPU 50 se comunica(n) con estos otros dispositivos intercambiando información de dirección, control y datos por el bus del sistema 58. Por ejemplo, la(s) CPU 50 puede(n) comunicar solicitudes de transacciones de bus al controlador de memoria 60, como un ejemplo de un dispositivo esclavo. Aunque no está ilustrado en la Figura 6, podrían proporcionarse múltiples buses de sistema 58, en donde cada bus de sistema 58 constituye una estructura distinta.

Otros dispositivos maestros y esclavos pueden ser acoplados al bus del sistema 58. Según se ilustra en la Figura 6, estos dispositivos pueden incluir una memoria del sistema 62, uno o más dispositivos de entrada 64, uno o más dispositivos de salida 66, uno o más dispositivos de interfaz de red 68 y uno o más controladores de visor 70, como

ejemplos. El dispositivo, o los dispositivos, 64 puede(n) incluir cualquier tipo de dispositivo de entrada, incluyendo, pero sin limitarse a, teclas de entrada, conmutadores, procesadores de voz, etc. El dispositivo, o los dispositivos, 66 puede(n) incluir cualquier tipo de dispositivo de salida, incluyendo, pero sin limitarse a, el audio, el vídeo, otros indicadores visuales, etc. El dispositivo, o los dispositivos, de interfaz de red 68 puede(n) ser cualquier dispositivo configurado para permitir el intercambio de datos a y desde una red 72. La red 72 puede ser cualquier tipo de red, incluyendo, pero sin limitarse a, una red cableada o inalámbrica, una red privada o pública, una red de área local (LAN), una red de área local amplia (WLAN) e Internet. El dispositivo, o los dispositivos, de interfaz de red 68 puede(n) ser configurado(s) para dar soporte a cualquier tipo de protocolo de comunicación deseado.

Según lo expuesto en el presente documento, la(s) CPU 50 también puede(n) incluir uno o más gestores de criterios de escritura en memoria caché 12. Según se ilustra en la Figura 6, dichos uno o más gestores de criterios de escritura en memoria caché 12 pueden estar integrados en la(s) memoria(s) caché 53 y / o integrados en el procesador, o los procesadores, 52. Como también se ilustra en la Figura 6, dichos uno o más gestores de criterios de escritura en memoria caché 12 también pueden ser proporcionados en la(s) CPU 50 por separado de la(s) memoria(s) caché 53 y el procesador, o los procesadores, 52. Por ejemplo, uno o más gestores de criterios de escritura en memoria caché 12, proporcionados por separado, pueden ser proporcionados integrados en un hipervisor 44 y / o una PMU 46 de la(s) CPU 50.

La(s) CPU 50 también puede(n) ser configurada(s) para acceder al controlador, o los controladores, de visor 70 por el bus del sistema 58, para controlar información enviada a uno o más visores 74. El controlador, o los controladores, de visor 70 envían información al visor, o a los visores, 74, para ser exhibida mediante uno o más procesadores de vídeo 76, que procesan la información a exhibir en un formato adecuado para el visor, o los visores, 74. El visor, o los visores, 74 puede(n) incluir cualquier tipo de visor, incluyendo, pero sin limitarse a, un tubo de rayos catódicos (CRT), un visor de cristal líquido (LCD), una pantalla de plasma, etc. La memoria del sistema 62 puede comprender un controlador de memoria 60 para acceder a la memoria 78 del sistema 48 basado en procesadores. La memoria 78 puede comprender un medio no transitorio legible por ordenador. El medio legible por ordenador puede tener almacenadas en el mismo instrucciones ejecutables por ordenador, para hacer que el procesador, o los procesadores, 52 implemente(n) procedimientos descritos en el presente documento, para proporcionar un criterio híbrido de memoria caché de escritura doble, o escritura simple, para una o más entre una pluralidad de memorias caché 53. A este respecto, la memoria 78 puede comprender un almacén de programas 80 y / o un almacén de datos 82.

Los expertos en la técnica apreciarán además que los diversos bloques lógicos ilustrativos, módulos, circuitos y algoritmos descritos con relación a los modos de realización divulgados en el presente documento pueden ser implementados como hardware electrónico, instrucciones almacenadas en la memoria o en otro medio legible por ordenador, y ejecutados por un procesador u otro dispositivo de procesamiento, o combinaciones de ambos. El gestor, o los gestores, de criterios de escritura en memoria caché, el controlador, o los controladores, de memoria caché y / o la(s) memoria(s) caché, descrito(s) en el presente documento pueden ser empleados en cualquier circuito, componente de hardware, circuito integrado (IC), o chip de IC, como ejemplos. La memoria divulgada en el presente documento puede ser de cualquier tipo y tamaño de memoria, y puede ser configurada para almacenar cualquier tipo de información deseada. Para ilustrar claramente esta intercambiabilidad, diversos componentes ilustrativos, bloques, módulos, circuitos y etapas han sido descritos anteriormente, en general, en términos de su funcionalidad. Cómo es implementada tal funcionalidad depende de la aplicación específica, las opciones de diseño y / o las restricciones de diseño impuestas sobre el sistema global.

Los diversos bloques lógicos ilustrativos, módulos y circuitos descritos con relación a los modos de realización divulgados en el presente documento pueden ser implementados o realizados con un procesador, un procesador de señales digitales (DSP), un Circuito Integrado Específico de la Aplicación (ASIC), una formación de compuertas programables en el terreno (FPGA) u otro dispositivo lógico programable, compuerta discreta o lógica de transistor, componentes discretos de hardware o cualquier combinación de los mismos diseñada para realizar las funciones descritas en el presente documento. Un núcleo de procesamiento (también llamado en el presente documento un núcleo, un núcleo de procesamiento y / o un procesador) puede ser un microprocesador pero, como alternativa, el núcleo de procesamiento puede ser cualquier procesador convencional, controlador, micro-controlador o máquina de estados. Un núcleo de procesamiento también puede ser implementado como una combinación de dispositivos informáticos, p. ej., una combinación de un DSP y un microprocesador, una pluralidad de microprocesadores, uno o más microprocesadores conjuntamente con un núcleo de DSP o cualquier otra configuración de ese tipo.

Los modos de realización divulgados en el presente documento pueden ser realizados en hardware y en instrucciones que están almacenadas en hardware, y pueden residir, por ejemplo, en Memoria de Acceso Aleatorio (RAM), memoria flash, Memoria de Solo Lectura (ROM), ROM Eléctricamente Programable (EPROM), ROM Programable Eléctricamente Borrable (EEPROM), registros, un disco rígido, un disco extraíble, un CD-ROM o cualquier otra forma de medio legible por ordenador conocido en la técnica. Un medio de almacenamiento ejemplar está acoplado con el procesador de modo que el procesador pueda leer información de, y escribir información en, el medio de almacenamiento. Como alternativa, el medio de almacenamiento puede ser una parte integrante del procesador. El procesador y el medio de almacenamiento pueden residir en un ASIC. El ASIC puede residir en una estación remota. Como alternativa, el procesador y el medio de almacenamiento pueden residir como componentes

discretos en una estación remota, una estación base, o un servidor.

También se hace notar que las etapas operativas descritas en cualquiera de los modos de realización ejemplares en el presente documento están descritas para proporcionar ejemplos y debate.

5 Los expertos en la técnica también entenderán que la información y las señales pueden ser representadas usando cualquiera entre una amplia variedad de distintas tecnologías y técnicas. Por ejemplo, los datos, las instrucciones, los comandos, la información, las señales, los bits, los símbolos y los chips que puedan ser mencionados en toda la extensión de la descripción anterior pueden ser representados por voltajes, corrientes, ondas electromagnéticas, campos o partículas magnéticos, campos o partículas ópticos o cualquier combinación de los mismos.

10 La anterior descripción de la divulgación se proporciona para permitir que cualquier experto en la técnica realice o use la divulgación. Diversas modificaciones para la divulgación serán inmediatamente evidentes para los expertos en la técnica. Por tanto, la divulgación no está concebida para estar limitada a los ejemplos y diseños descritos en el presente documento, sino que se le ha de acordar el más amplio ámbito congruente con las reivindicaciones adjuntas.

15

**REIVINDICACIONES**

1. Un gestor de criterios de escritura en memoria caché (12), configurado para:
  - 5 determinar si al menos dos memorias caché (14), entre una pluralidad de memorias caché paralelas, están activas o no;
    - 10 instruir a una memoria caché activa, entre la pluralidad de memorias caché paralelas (14), para aplicar un criterio de memoria caché de escritura simple, si todas dichas una o más otras memorias caché, entre la pluralidad de memorias caché paralelas, están inactivas; e
      - 15 instruir a la memoria caché activa, entre la pluralidad de memorias caché paralelas (14), para aplicar un criterio de memoria caché de escritura doble, si cualquiera de dichas una o más otras memorias caché, entre la pluralidad de memorias caché paralelas, está activa;
        - 20 caracterizado porque el gestor de criterios de escritura en memoria caché está configurado para instruir a la memoria caché activa, entre la pluralidad de memorias caché paralelas, para aplicar el criterio de memoria caché de escritura simple cuando todas dichas una o más otras memorias caché, entre la pluralidad de memorias caché paralelas, quedan inactivas.
  2. El gestor de criterios de escritura en memoria caché de la reivindicación 1, adicionalmente configurado para instruir a la memoria caché activa para despejar todas las líneas contaminadas de memoria caché si cualquiera de dichas una o más otras memorias caché, entre la pluralidad de memorias caché paralelas, es activada.
  3. El gestor de criterios de escritura en memoria caché de la reivindicación 2, configurado para instruir a la memoria caché activa para despejar todas las líneas contaminadas de memoria caché, instruyendo a la memoria caché activa para escribir los datos, almacenados por líneas contaminadas cualesquiera de memoria caché, en una memoria compartida.
  4. El gestor de criterios de escritura en memoria caché de la reivindicación 1, configurado para determinar si cualquiera de dichas una o más otras memorias caché, entre la pluralidad de memorias caché paralelas (14), está activa, determinando si cualquiera de uno o más núcleos procesadores, configurados para acceder a cualquiera de dichas una o más otras memorias caché, está energizado.
  5. El gestor de criterios de escritura en memoria caché de la reivindicación 1, configurado para determinar si todas dichas una o más otras memorias caché, entre la pluralidad de memorias caché paralelas (14), están inactivas, determinando si todos los uno o más núcleos procesadores (22), configurados para acceder a cualquiera de dichas una o más otras memorias caché, están no energizados.
  6. El gestor de criterios de escritura en memoria caché de la reivindicación 1, en el que la memoria caché activa está configurada para aplicar el criterio de memoria caché de escritura doble como un criterio por omisión.
  7. El gestor de criterios de escritura en memoria caché de la reivindicación 1, integrado en al menos uno entre: un núcleo de procesamiento, un hipervisor, una unidad de gestión de energía (PMU) y un troquel semiconductor.
  8. El gestor de criterios de escritura en memoria caché de la reivindicación 1, que comprende además un dispositivo seleccionado entre el grupo que consiste en un equipo de sobremesa, una unidad de entretenimiento, un dispositivo de navegación, un dispositivo de comunicaciones, una unidad de datos de ubicación fija, una unidad de datos de ubicación móvil, un teléfono móvil, un teléfono celular, un ordenador, un ordenador portátil, un ordenador de sobremesa, un asistente digital personal (PDA), un monitor, un monitor de ordenador, un televisor, un sintonizador, una radio, una radio por satélite, un reproductor de música, un reproductor de música digital, un reproductor de música portátil, un reproductor de vídeo digital, un reproductor de vídeo, un reproductor de disco de vídeo digital (DVD) y un reproductor de vídeo digital portátil, en el cual está integrado el gestor de criterios de escritura en memoria caché (12).
  9. Un procedimiento para proporcionar un criterio híbrido de memoria caché de escritura doble, o escritura simple, para una memoria caché (14), que comprende:
    - 60 determinar si al menos dos memorias caché, entre una pluralidad de memorias caché paralelas, están activas o no;
      - 65 instruir a una memoria caché activa, entre la pluralidad de memorias caché paralelas (14), para aplicar un criterio de memoria caché de escritura simple, si todas las una o más otras memorias caché, entre la pluralidad de memorias caché paralelas, están inactivas; e

instruir a la memoria caché activa, entre la pluralidad de memorias caché paralelas (14), para aplicar un criterio de memoria caché de escritura doble, si cualquiera de dichas una o más otras memorias caché, entre la pluralidad de memorias caché paralelas, está activa;

5  
caracterizado por instruir a la memoria caché activa, entre la pluralidad de memorias caché paralelas, para aplicar el criterio de memoria caché de escritura simple, cuando todas dichas una o más otras memorias caché, entre la pluralidad de memorias caché paralelas, quedan inactivas.

10 10. El procedimiento de la reivindicación 9, que comprende además instruir a la memoria caché activa para despejar todas las líneas contaminadas de memoria caché, si cualquiera de dichas una o más otras memorias caché, entre la pluralidad de memorias caché paralelas, está activada, en el que la etapa de instruir a la memoria caché activa para despejar todas las líneas contaminadas de memoria caché comprende instruir a la memoria caché activa para escribir datos, almacenados por líneas contaminadas cualesquiera de memoria caché, en una memoria compartida.

15  
20 11. El procedimiento de la reivindicación 9, que comprende determinar si cualquiera de dichas una o más otras memorias caché, entre la pluralidad de memorias caché paralelas (14), está activa, determinando si cualquiera de dichos uno o más núcleos procesadores (22), configurados para acceder a cualquiera de dichas una o más otras memorias caché (14), está energizado.

25 12. El procedimiento de la reivindicación 9, que comprende determinar si todas dichas una o más otras memorias caché, entre la pluralidad de memorias caché paralelas, están inactivas, determinando si todos dichos uno o más núcleos procesadores, configurados para acceder a cualquiera de dichas una o más otras memorias caché, están no energizados.

30 13. El procedimiento de la reivindicación 9, que comprende además instruir a la memoria caché activa para aplicar el criterio de memoria caché de escritura doble como un criterio por omisión.

35 14. Un sistema multiprocesador, que comprende:  
una pluralidad de memorias caché paralelas (14);  
una memoria compartida (20), compartida por la pluralidad de memorias caché paralelas (14); y  
un gestor de criterios de escritura en memoria caché (12), de acuerdo a una cualquiera de las reivindicaciones 1 a 8.

40 15. Un medio legible por ordenador que tiene almacenadas en el mismo instrucciones ejecutables por ordenador, para hacer que un procesador implemente un procedimiento de acuerdo a una cualquiera de las reivindicaciones 9 a 13.

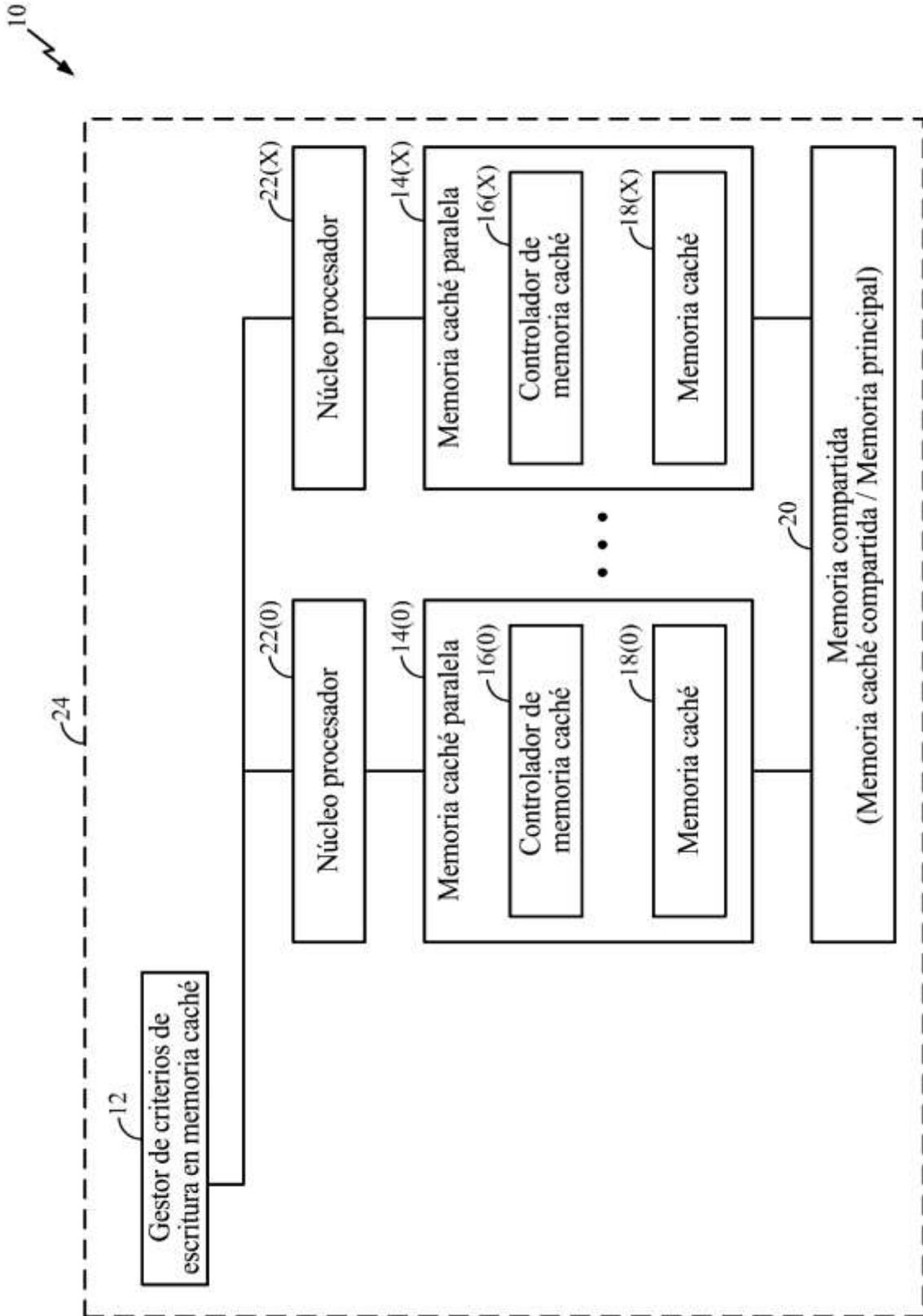


FIG. 1

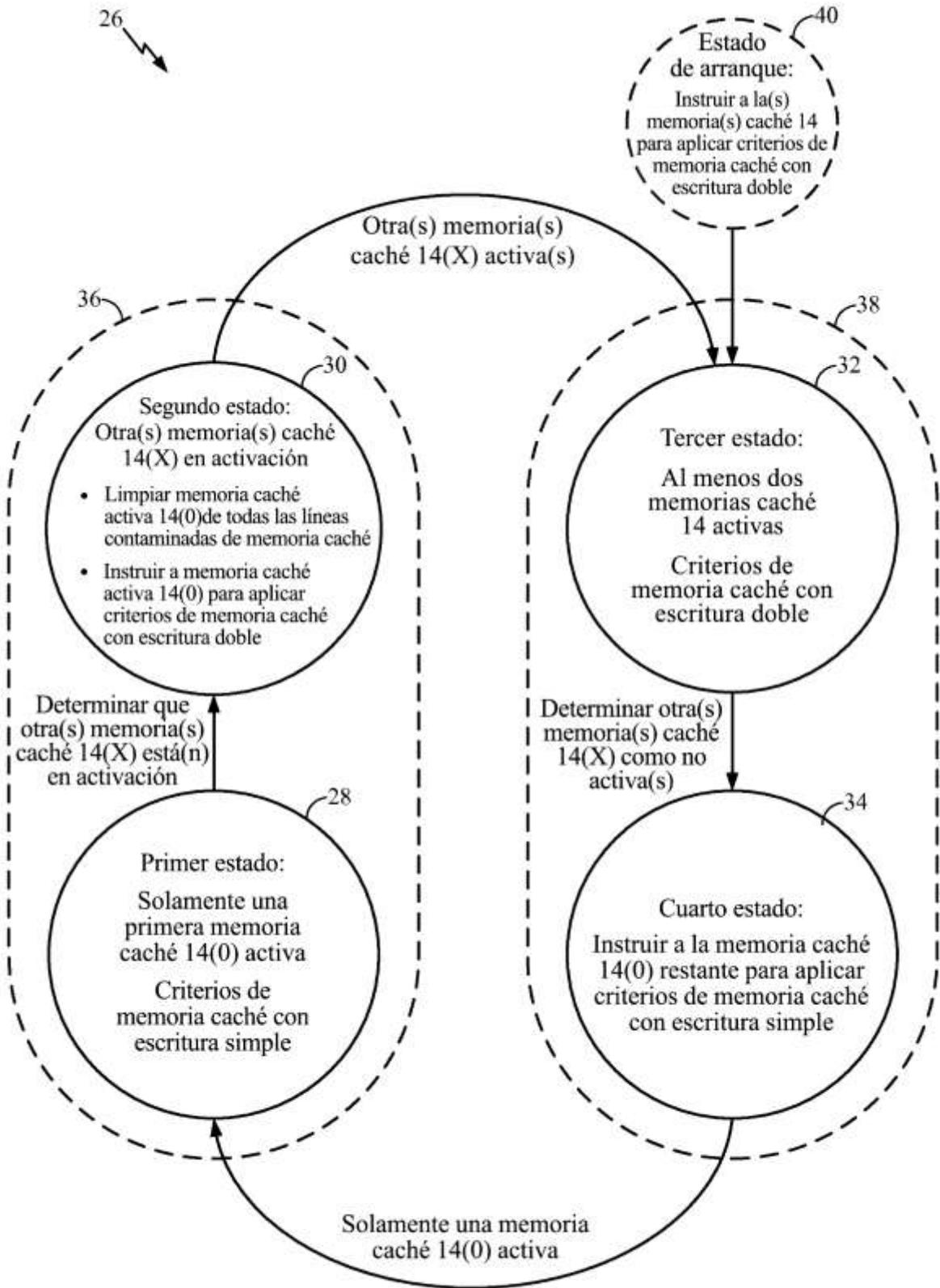


FIG. 2

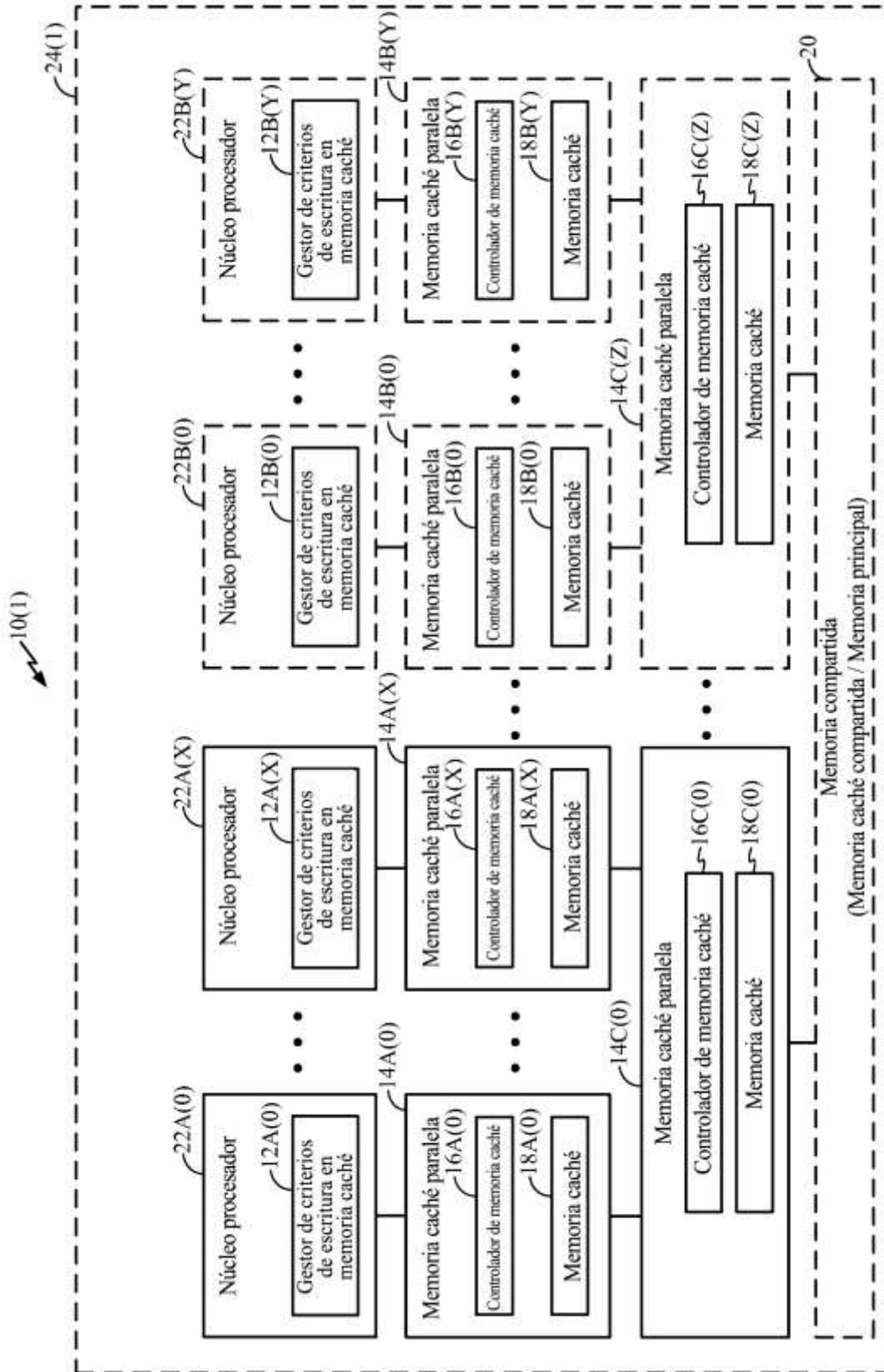


FIG. 3

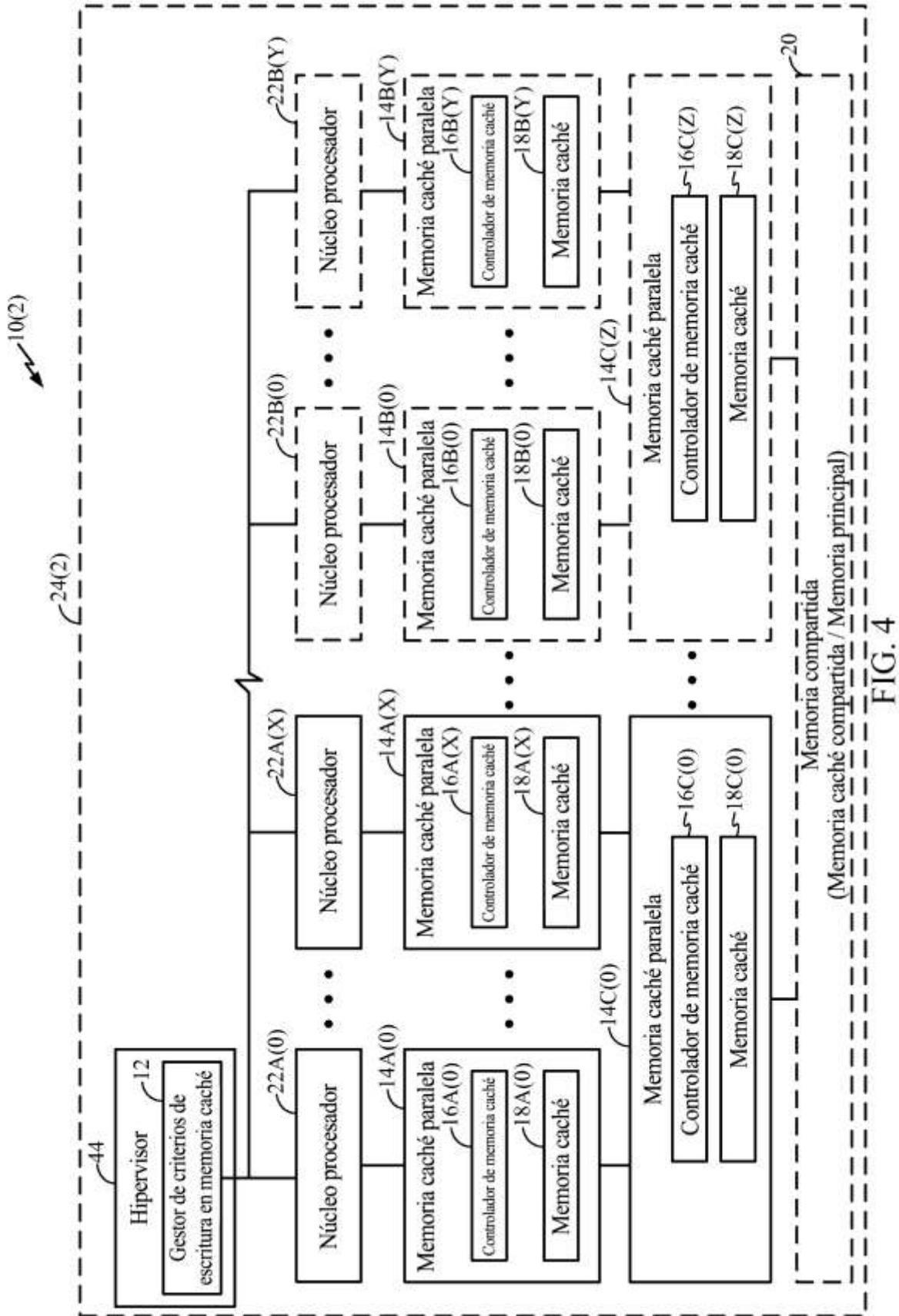


FIG. 4



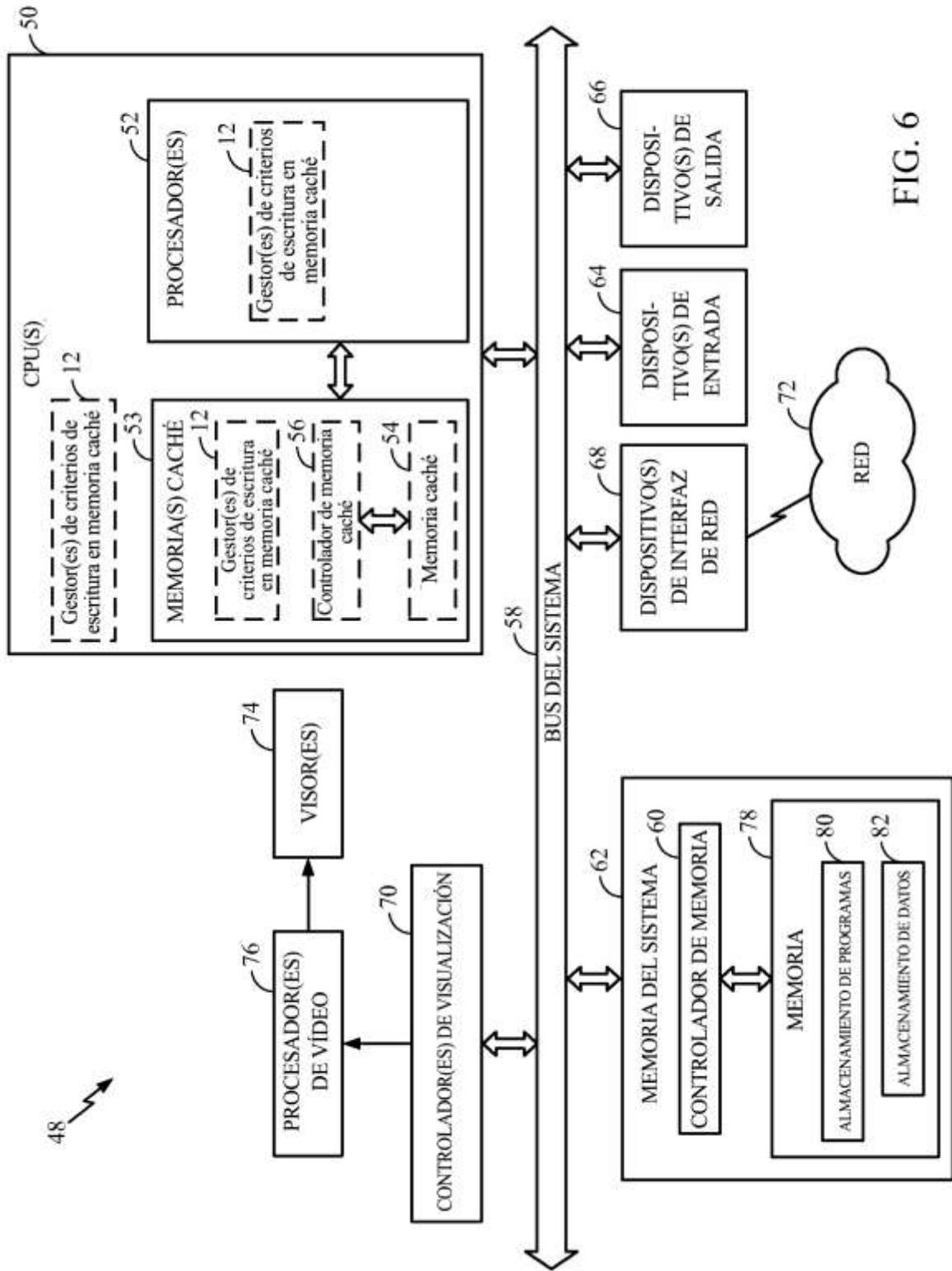


FIG. 6

48 ↗