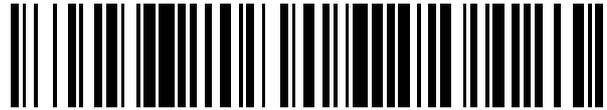


19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 573 285**

51 Int. Cl.:

G06F 13/42 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **25.01.2013 E 13708933 (0)**

97 Fecha y número de publicación de la concesión europea: **23.03.2016 EP 2807572**

54 Título: **Interfaces de alta velocidad multi-carril para una interfaz en serie síncrona de alta velocidad (HSI), y sistemas y procedimientos relacionados**

30 Prioridad:

25.01.2012 US 201213358312

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

07.06.2016

73 Titular/es:

**QUALCOMM INCORPORATED (100.0%)
5775 Morehouse Drive
San Diego, CA 92121, US**

72 Inventor/es:

**SHACHAM, ASSAF y
GIL, AMIT**

74 Agente/Representante:

FORTEA LAGUNA, Juan José

ES 2 573 285 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Interfaces de alta velocidad multi-carril para una interfaz en serie síncrona de alta velocidad (HSI), y sistemas y procedimientos relacionados

5

ANTECEDENTES

I. Campo de la divulgación

10 La tecnología de la divulgación se refiere en general a interfaces de comunicaciones para comunicaciones de chip de circuitos integrados (IC) a chip IC.

II. Antecedentes

15 Los dispositivos electrónicos han proliferado en toda la sociedad soportando una amplia gama de aplicaciones y usos. A medida que se amplía el número y la diversidad de dispositivos, hay un creciente deseo de dispositivos electrónicos para comunicarse entre sí. Asimismo, hay un creciente deseo de aumentar la velocidad con la que los componentes en un único dispositivo se comunican entre sí para aumentar el rendimiento. En respuesta al deseo de aumentar la velocidad, se han propuesto y adoptado diversas técnicas y protocolos.

20

La alianza MIPI[®] es uno de los líderes en el desarrollo de protocolos de comunicación para su uso por diversos dispositivos. En particular, desde septiembre de 2008 a enero de 2009, la alianza MIPI[®] aprobó y publicó un protocolo y una especificación de capa física que especifica la capa física de la interfaz de serie síncrona de alta velocidad (HSI). La versión 1.01.00 de esta especificación está disponible para su descarga para miembros MIPI suscritos, pero se analiza un resumen en www.mipi.org/specifications/high-speed-synchronous-serial-interface-hsi. La especificación MIPI HSI describe un protocolo que permite comunicaciones chip a chip bidireccionales y simétricas y está particularmente adaptado para su uso en aplicaciones de semiconductores móviles. Una aplicación particularmente contemplada de la especificación HSI es permitir que un cubo de aplicación, tal como un procesador principal, se comunique con un cubo celular (por ejemplo, un módem celular) en un terminal móvil. El rendimiento bruto de esta especificación se limita a aproximadamente 173 Mbps en cada dirección. Aunque a estas velocidades de datos puede conseguirse un rendimiento de categoría 3 (CAT3) de evolución a largo plazo (LTE), no se soportan categorías LTE superiores. Se desean nuevas soluciones para permitir un ancho de banda y requisitos de rendimiento cada vez mayores.

25

30

35 El documento US2009/248978 divulga el uso de una trayectoria de datos USB adicional configurada para portar datos adicionales en paralelo con los datos portados por otra trayectoria de datos USB, estando los datos fragmentados en las dos trayectorias de datos.

40

RESUMEN DE LA DIVULGACIÓN

Las realizaciones divulgadas en la descripción detallada incluyen una interfaz de alta velocidad multi-carril para un sistema y procedimientos de interfaz en serie síncrona de alta velocidad modificados (HSI). Modificando la interfaz HSI para incluir varias trayectorias de datos paralelas, se mejora el rendimiento de los datos para acomodar las mayores velocidades de datos. A este respecto, en una realización, un dispositivo electrónico configurado para operar usando un protocolo de interfaz en serie síncrona de alta velocidad modificado (HSI), comprende una interfaz de comunicaciones de transmisión. La interfaz de comunicaciones de transmisión comprende una trayectoria de datos de protocolo HSI configurada para portar datos desde el dispositivo electrónico, una trayectoria disponible de protocolo HSI configurada para portar una señal READY conforme al protocolo HSI, y una trayectoria de indicador configurada para portar una señal FLAG. La interfaz de comunicaciones de transmisión comprende adicionalmente una o más trayectorias de datos adicionales configuradas para portar datos adicionales en paralelo con los datos portados por la trayectoria de datos de protocolo HSI, de tal forma que la trayectoria de datos de protocolo HSI y la una o más trayectorias de datos adicionales portan datos conformes con el protocolo HSI fragmentados en la trayectoria de datos de protocolo HSI y la una o más trayectorias de datos adicionales.

45

50

55 En otra realización, un dispositivo electrónico configurado para operar usando un protocolo de interfaz en serie síncrona de alta velocidad modificado (HSI), comprende una interfaz de comunicaciones de transmisión. La interfaz de comunicaciones de transmisión comprende medios para proporcionar una trayectoria de datos configurada para portar datos desde el dispositivo electrónico, medios para proporcionar una trayectoria disponible configurada para portar una señal READY conforme al protocolo HSI, y medios para proporcionar una trayectoria de indicador configurada para portar una señal FLAG. La interfaz de comunicaciones de transmisión comprende adicionalmente medios para proporcionar una o más trayectorias de datos adicionales configuradas para portar datos adicionales del dispositivo electrónico en paralelo con los datos portados por los medios para proporcionar una trayectoria de datos, de tal forma que los medios para proporcionar una trayectoria de datos y los medios para proporcionar la una o más trayectorias de datos adicionales portan datos conformes con el protocolo HSI fragmentados en la trayectoria de datos y la una o más trayectorias de datos adicionales.

60

65

5 En otra realización, un procedimiento para operar un dispositivo de protocolo de interfaz en serie síncrona de alta velocidad modificado (HSI), comprende proporcionar una trayectoria disponible configurada para portar una señal READY conforme al protocolo HSI, proporcionando una trayectoria de indicador configurada para portar una señal FLAG, y proporcionar al menos dos trayectorias de datos de transmisión configuradas para portar datos de un dispositivo electrónico en paralelo de tal forma que los datos conformes con el protocolo HSI se fragmentan en las al menos dos trayectorias de datos.

BREVE DESCRIPCIÓN DE LAS FIGURAS

10 La figura 1 es un diagrama de bloques a nivel del sistema ejemplar de un sistema de comunicación chip a chip convencional que usa un protocolo de comunicación HSI;

la figura 2 es un diagrama ejemplar de un enlace de comunicación bidireccional convencional entre chips, de acuerdo con el protocolo de comunicación HSI;

15 la figura 3 es un diagrama ejemplar de las señales DATA y FLAG convencionales que muestra cómo se representan los bordes de bits usando la señal FLAG en el protocolo de comunicación HSI;

la figura 4 es un diagrama ejemplar de una señal DATA en trama en serie convencional, de acuerdo con el protocolo de comunicación HSI;

20 la figura 5 es una realización ejemplar de un enlace de comunicación HSI bidireccional modificado de acuerdo con la presente divulgación;

25 las figuras 6A-6C ilustran señales de datos ejemplares fragmentadas en los carriles de datos adicionales de la presente divulgación;

la figura 7 es un gráfico ejemplar que ilustra los rendimientos de datos que pueden conseguirse a través de la presente divulgación;

30 la figura 8 es un gráfico ejemplar que ilustra recuentos de pines adicionales usados para facilitar las realizaciones de la presente divulgación; y

35 la figura 9 es un diagrama de bloques de un sistema basado en procesador ejemplar que puede incluir el chip de comunicación de la figura 5.

DESCRIPCIÓN DETALLADA

40 Con referencia a continuación a las figuras en los dibujos, se describen varias realizaciones ejemplares de la presente divulgación. La expresión "ejemplar" se usa en el presente documento en el sentido de "que sirve como ejemplo, instancia o ilustración". No debe considerarse que cualquier realización descrita en el presente documento como "ejemplar" sea preferida o ventajosa con respecto a otras realizaciones.

45 Las realizaciones divulgadas en la descripción detallada incluyen una interfaz de alta velocidad multi-carril para un sistema y procedimientos de interfaz en serie síncrona de alta velocidad modificados (HSI). Modificando una interfaz HSI para incluir varias trayectorias de datos paralelas, se mejora el rendimiento de los datos para acomodar mayores velocidades de datos. A este respecto en una realización, un dispositivo electrónico configurado para operar usando un protocolo de interfaz en serie síncrona de alta velocidad modificado (HSI), comprende una interfaz de comunicaciones de transmisión. La interfaz de comunicaciones de transmisión comprende una trayectoria de datos configurada para portar datos desde el dispositivo electrónico, una trayectoria disponible configurada para portar una señal READY conforme al protocolo HSI, y una trayectoria de indicador configurada para portar una señal FLAG. La interfaz de comunicaciones de transmisión comprende adicionalmente una o más trayectorias de datos adicionales configuradas para portar datos adicionales del dispositivo electrónico en paralelo con los datos portados por la trayectoria de datos de tal forma que la trayectoria de datos y la una o más trayectorias de datos adicionales portan datos conformes con el protocolo HSI fragmentados en la trayectoria de datos y la una o más trayectorias de datos adicionales.

50

55

60 A este respecto, la figura 1 es un sistema de comunicación HSI convencional 10. El sistema de comunicación 10 puede usarse, en una realización ejemplar, en un terminal móvil, tal como un teléfono móvil, un teléfono inteligente, un ordenador portátil, una tableta, o similar. El sistema de comunicación 10 puede incluir accesorios de aplicación 12 tal como una pantalla, una cámara, un teclado y/u otros dispositivos de entrada y salida. El sistema de comunicación 10 puede incluir adicionalmente un módulo de aplicación 14 que comunica con los accesorios de aplicación 12 a través de enlaces de comunicación 16. El módulo de aplicación 14 puede incluir diversas aplicaciones y un sistema operativo (OS) 18 que controlan los controladores de dispositivo 20 directamente o a través de un bus 21. A su vez, los controladores de dispositivo 20 pueden controlar los enlaces de comunicación 16 a través de un cubo de aplicación (o chip) 22. El cubo de aplicación 22 puede comunicarse con un módem celular 24 a través de un enlace

65

de comunicación conforme a HSI 26. El módem celular 24 puede incluir un cubo de módem celular 28, que interfunciona con los controladores de dispositivo 30 y los elementos físicos 32 del sistema celular, así como los elementos de software 34 del módem celular 24 como se entiende bien. El cubo de módem celular 28 puede comunicarse a través de una interfaz por radiofrecuencia (RF) 36, tal como una antena al espectro RF 38 para comunicaciones inalámbricas (por ejemplo, una llamada basada en telefonía móvil, o similar).

Con referencia a la figura 2, se ilustra en más detalle el enlace de comunicación conforme a HSI 26. El cubo de aplicación 22 incluye un receptor de aplicación 40 y un transmisor de aplicación 42. El cubo de módem celular 28 incluye un receptor celular 44 y un transmisor celular 46. El transmisor de aplicación 42 transmite un enlace unidireccional 48 al receptor celular. El enlace unidireccional 48 incluye una trayectoria ACDATA 50, una trayectoria ACFLAG 52, y una trayectoria ACWAKF opcional 54. El receptor celular 44 también responde al transmisor de aplicación 42 con una trayectoria CAREADY 56. De forma análoga, el transmisor celular 46 transmite un enlace unidireccional 58 al receptor de aplicación 40. El enlace unidireccional 58 incluye una trayectoria CADATA 60, una trayectoria CAFLAG 62, y una trayectoria CAWAKE opcional 64. El receptor de aplicación 40 también responde al transmisor celular 46 con una trayectoria ACREADY 66. (Ha de apreciarse que la dirección de la trayectoria puede determinarse por las dos primeras letras: AC es una dirección Aplicación > Celular y CA es una dirección Celular > Aplicación). Comúnmente, ambos enlaces unidireccionales 48, 58 forman un enlace bidireccional 68. Los enlaces unidireccionales 48, 58 son simétricos en el sentido en que tienen el mismo número de trayectorias y transmiten la misma clase de señales sobre las trayectorias respectivas.

Aunque las señales en las trayectorias WAKE, DATA, FLAG y READY (tanto AC como CA) se definen por el protocolo HSI MIPI[®], la figura 3 proporciona una breve ilustración 74 de la interacción convencional entre la señal en la trayectoria FLAG 70 y la señal en la trayectoria DATA 72. Es decir, la señal FLAG se usa para indicar bits repetidos en la señal DATA. Por lo tanto, la señal FLAG permanece constante en los puntos 70A, 70B. Simultáneamente, la señal DATA hace una transición a los puntos 72A, 72B. Sin embargo, si la señal DATA permanece constante, tal como en los puntos 72C, 72D, la señal FLAG cambia los valores, como se pone de manifiesto en los puntos 70C, 70D. Por lo tanto, en cada bit, la señal DATA o la señal FLAG hacen una transición de tal forma que el receptor de aplicación 40 y el receptor celular 44 sepan que se ha recibido otro bit.

En el protocolo HSI MIPI[®], la señal en la trayectoria DATA 72 puede partirse en tramas o retransmitirse. Una señal DATA 73 con forma de trama convencional ejemplar se ilustra en la figura 4. La señal DATA 73 incluye una trama 74 que tiene treinta y siete bits. El primer bit 76 es un bit de trama para representar el comienzo de la trama 74. Los siguientes cuatro bits son bits de identificador de canal (CHID) 78. Los treinta y dos bits finales son bits de información 80. Los bits CHID 78 pueden usarse para identificar qué aplicación, tal como una de las aplicaciones (o OS) 18 (figura 1), está enviando o sirve para recibir los bits de información 80. De nuevo, los elementos de las figuras 1-4 son convencionales y parte del estándar HSI MIPI[®]. El lector interesado se dirige al documento del estándar MIPI[®] titulado, "MIPI ALLIANCE SPECIFICATION FOR HIGH-SPEED SYNCHRONOUS SERIAL INTERFACE (HSI) PHYSICAL LAYER" versión 1.01.00, publicado el 30 de septiembre de 2008. Como se ha representado anteriormente, la disposición expuesta por el estándar HSI MIPI[®] se limita a aproximadamente 173 Mbps de rendimiento. Aunque esto es adecuado para requisitos de la categoría 3 (CAT3) de evolución a largo plazo (LTE), este rendimiento es insuficiente para soportar mayores requisitos de categoría (por ejemplo, CAT4 o CAT5).

En este contexto, la presente divulgación propone aumentar el rendimiento añadiendo trayectorias de datos paralelas o carriles y fragmentando los datos del estándar HSI original en los carriles de datos. El número de carriles de datos adicionales determinará el rendimiento que puede conseguirse. La adición de uno, tres o siete carriles adicionales son adiciones ejemplares y esto último permite incluso los mayores requisitos de rendimiento contemplados actualmente que serán posibles.

A este respecto, un sistema 82 de acuerdo con una realización ejemplar de la presente divulgación se proporciona con referencia a la figura 5. Aunque el sistema 82 se ilustra como asimétrico, ha de apreciarse que pueden añadirse simétricamente carriles de datos adicionales si se desea sin apartarse del alcance de la presente divulgación. El sistema 82 incluye un cubo de aplicación 84 y un cubo celular 86. En este contexto, tanto el cubo de aplicación 84 como el cubo celular 86 se denominan a menudo en el presente documento como los dispositivos electrónicos 84, 86. El cubo de aplicación 84 incluye un transmisor de aplicación 88 (a veces denominado en el presente documento como una interfaz de comunicaciones de transmisión) que se comunica a través de una señal de enlace ascendente 89 con un receptor celular 90 en el cubo celular 86. El cubo de aplicación 84 también incluye un receptor de aplicación 92 (también una interfaz de comunicaciones de transmisión) que se comunica a través de una señal de enlace descendente 91 con un transmisor celular 94 en el cubo celular 86.

Continuando la referencia a la figura 5, la señal de enlace ascendente 89 incluye una trayectoria CAFLAG 96, una trayectoria CADATA0 98, una trayectoria CADATA1 100, y opcionalmente, una trayectoria CAWAKE 102 transmitida desde el transmisor de aplicación 88 al receptor celular 90. La señal de enlace ascendente 89 también incluye una trayectoria ACREADY 104 desde el receptor celular 90 al transmisor de aplicación 88. Aunque se muestran la trayectoria CAD AT AO 98 y la trayectoria CADATA1 100, ha de apreciarse que pueden proporcionarse dos, cuatro u ocho trayectorias DATA.

Continuando con referencia a la figura 5, la señal de enlace descendente 91 incluye una trayectoria ACFLAG 106, trayectoria ACDATA0 108, trayectoria ACDATA1 110, trayectoria ACDATA2 112, trayectoria ACDATA3 114, y una trayectoria ACWAKE opcional 116 transmitidas desde el transmisor celular 94 al receptor de aplicación 92. La señal de enlace descendente 91 también incluye una trayectoria CAREADY 118 desde el receptor de aplicación 92 al transmisor celular 94. Aunque se ilustran cuatro trayectorias DATA, ha de apreciarse que pueden proporcionarse dos, cuatro u ocho trayectorias DATA.

Continuando con referencia a la figura 5, las señales en las trayectorias WAKE y READY son idénticas a las encontradas en el protocolo HSI MIPI[®]. La señal FLAG, de forma análoga al estándar del protocolo HSI MIPI[®], indica bits repetidos en la señal DATA0 haciendo la transición en el límite entre dos bits consecutivos idénticos en la trayectoria DATA0.

A diferencia de la señal de datos entramada 73 de la figura 4, esta realización fragmenta los datos en las trayectorias separadas DATA0, DATA1, etc. La fragmentación de datos se ilustra en las figuras 6A-6C. La fragmentación, como ese término se usa en el presente documento, se refiere al proceso de tomar los datos serie de la señal de datos 73 y distribuir horizontalmente los datos a través de la pluralidad de trayectorias de datos. Con referencia a la figura 6A, la señal de datos 120A se proporciona en dos carriles, específicamente Lane0 122 y Lane1 124, que se envían a través de la trayectoria DATA0 98 y la trayectoria DATA1 100 respectivamente. Cada uno del Lane0 122 y el Lane1 124 tiene un bit de trama 126A, 126B, dos bits CHID 128A, 128B, y dieciséis bits de información 130A, 130B. Como se ilustra mejor con referencia a la figura 7, y como se explica a continuación, la fragmentación de los datos en los dos carriles de datos básicamente dobla aproximadamente el rendimiento de los datos permitiendo el uso de protocolos de categoría superiores (por ejemplo, LTE CAT4).

De forma análoga, en la figura 6B, la señal de datos 120B se proporciona en cuatro carriles, específicamente Lane0 130, Lane1 132, Lane2 134 y Lane3 136. Cada carril tiene un bit de trama 138 y un bit CHID 140, así como ocho bits de información 142. De nuevo, como se ilustra mejor con referencia a la figura 7 y cómo se explica a continuación, la fragmentación de los datos en los cuatro carriles mejora el rendimiento de datos.

De forma análoga, en la figura 6C, la señal de datos 120C se proporciona en cuatro carriles, específicamente Lane0 130, Lane1 132, Lane2 134 y Lane3 136. Sin embargo, la señal de datos 120C se envía en un modo de transmisión por secuencias, sin el bit de entramado 138. La omisión del bit de entramado permite rendimientos escasamente superiores, ya que no se usa ningún bit para representar la trama. La eliminación del bit de entramado mejoró el rendimiento, incluso debido adicionalmente a que los bits son ahora libres para transportar bits de información.

Continuando con referencia a las figuras 6A-6C, ha de apreciarse que los datos deben fragmentarse en las trayectorias DATA consecuentemente. Es decir, la trayectoria DATA0 98 siempre puede recibir el bit DO, la trayectoria DATA1 100 siempre puede recibir el bit D1, etc. De esta manera, los datos no se envían secuencialmente en ninguna trayectoria DATA, sino que en su lugar se fragmentan en las trayectorias DATA. Es decir, como se ilustra en la figura 6A, en DATA0, se envían D0, D2, D4, etc. y los bits en DATA0 no son secuenciales.

La figura 7 proporciona un gráfico de comparación 150 de velocidades de rendimiento dependientes del número de carriles en la señal de datos. Como se ha indicado anteriormente, un único carril, correspondiente al protocolo HSI convencional, permite un rendimiento de aproximadamente 173 Mbps. A diferencia del rendimiento de un único carril, los carriles múltiples paralelos de la presente divulgación permiten el aumento del rendimiento dependiendo de cuantos carriles se añaden. Si se añade un carril (es decir, dos carriles en total), entonces el rendimiento es de aproximadamente 337 Mbps. Ha de apreciarse que es ligeramente inferior al doble del rendimiento de un único carril. Esta reducción es una función del bit de trama que se incluye en cada trayectoria de acceso (según se opone a un único bit de trama en la única trayectoria). Si se añaden tres carriles (es decir, cuatro carriles en total), entonces el rendimiento es de aproximadamente 640 Mbps. De nuevo, este valor es ligeramente inferior a cuatro veces el rendimiento de un único carril, y de nuevo, esta diferencia se debe a la duplicación de los bits de trama. Si se añaden siete carriles (es decir, ocho carriles totales), entonces el rendimiento es de aproximadamente 1067 Mbps. De nuevo, este valor es algo inferior a ocho veces el rendimiento de un único carril de datos, y esta diferencia se debe a la presencia de los bits de trama adicionales. Los rendimientos son ligeramente superiores si los datos se envían en un formato de transmisión por secuencia en lugar de un formato entramado como se ha indicado anteriormente.

La adición de carriles de datos requiere la adición de pines al dispositivo electrónicos 84, 86. El número de pines añadidos directamente corresponde al número de carriles añadidos. Se proporciona un gráfico ejemplar 160 en la figura 8 que ilustra cuántos pines son necesarios en base cuántos carriles de enlace ascendente o descendente se proporcionan. Por lo tanto, si el enlace ascendente tiene un carril, pero el enlace descendente tiene cuatro carriles, entonces se requieren tres pines adicionales 162 más allá de lo que se proporcionará normalmente en el estándar HSI. Dado que los pines son un componente relativamente costoso en un cubo, puede usarse un gráfico, tal como el gráfico 160, al evaluar la relación coste/beneficio por un diseñador. Es decir, si se requiere un rendimiento particular, y requiere la adición de pines, el diseñador puede evaluar su impacto sobre el coste del dispositivo electrónico.

Ha de apreciarse que la adición de los carriles de datos adicionales también puede necesitar definir una consulta y

respuesta del cubo de aplicación 84 al cubo de módem celular 86, donde el cubo de aplicación 84 consulta al cubo de módem celular 86 inicialmente en la trayectoria DATA0 según las capacidades del cubo de módem celular 86 (es decir, cuántas trayectorias de datos puede gestionar el cubo de módem celular 86 transmitiendo y recibiendo) y después encargando al cubo de módem celular 86 operar en un número de trayectorias de datos de transmisión y recepción compatibles con el número de trayectorias de datos que el cubo de aplicación 84 puede satisfacer. Por ejemplo, si el cubo de aplicación 84 puede transmitir en cuatro trayectorias de datos y recibir en dos trayectorias de datos, pero el cubo de módem celular 86 puede transmitir en ocho trayectorias de datos y recibir en ocho trayectorias de datos, entonces el cubo de aplicación 84 puede ordenar al cubo de módem celular transmitir en dos trayectorias de datos y recibir en cuatro trayectorias de datos de manera que pueda conseguir un rendimiento máximo.

La interfaz de alta velocidad multi-carril para HSI y sistemas y procedimientos relacionados, de acuerdo con las realizaciones divulgadas en el presente documento, puede proporcionarse o integrarse en cualquier dispositivo basado en procesador. Los ejemplos incluyen, sin limitación, un descodificador, una unidad de entretenimiento, un dispositivo de navegación, un dispositivo de comunicaciones, una unidad de datos de localización fija, una unidad de datos de localización móvil, un teléfono móvil, un teléfono celular, un ordenador, un ordenador portátil, un ordenador de escritorio un asistente personal digital (PDA), un monitor, un monitor de ordenador, una televisión, un sintonizador, una radio, una radio por satélite, un reproductor de música, un reproductor de música digital, un reproductor de música portátil, un reproductor de vídeo digital, un reproductor de vídeo, un reproductor de disco de vídeo digital (DVD), y un reproductor de vídeo digital portátil.

A este respecto, la figura 9 ilustra un ejemplo de un sistema basado en procesador 170 que puede emplear un cubo de aplicación 84 como se ilustra en la figura 5. En este ejemplo, el sistema basado en procesador 170 incluye una o más unidades de procesamiento central (CPU) 172, incluyendo cada una uno o más procesadores 174. La o las CPU 172 pueden ser un dispositivo maestro. La o las CPU 172 pueden tener una memoria caché 176 acoplada al procesador o procesadores 174 para un rápido acceso a datos almacenados temporalmente. La o las CPU 172 se acoplan a un bus del sistema 180 y pueden interconectar dispositivos maestros y dispositivos esclavos incluidos en el sistema basado en procesador 170. Como se conoce bien, la o las CPU 172 comunican con estos otros dispositivos intercambiando información de dirección, control y datos por el bus del sistema 180. Por ejemplo, la o las CPU 172 pueden comunicar peticiones de transacción de bus al controlador de memoria 168(N) como ejemplo de un dispositivo esclavo. Aunque no se ilustra en la figura 9, pueden proporcionarse múltiples buses de sistema 180, donde cada bus del sistema 180 constituye una estructura diferente.

Otros dispositivos maestros y esclavos pueden conectarse al bus del sistema 180. Como se ilustra en la figura 9, estos dispositivos pueden incluir un sistema de memoria 182, uno o más dispositivos de entrada 184, uno o más dispositivos de salida 186, y uno o más controladores de pantalla 190, como ejemplos. El dispositivo o dispositivos de entrada 184 pueden incluir cualquier tipo de dispositivo de entrada, incluyendo, pero sin limitación, teclas de entrada, conmutadores, procesadores de voz, etc. El dispositivo o dispositivos de salida 186 pueden incluir cualquier tipo de dispositivo de salida, incluyendo, pero sin limitación, audio, vídeo, otros indicadores visuales, etc. La red 192 puede ser cualquier tipo de red, incluyendo, pero sin limitación, una red alámbrica o inalámbrica, una red privada o pública, una red de área local (LAN), una red de área local extensa (WLAN), e Internet. El sistema de memoria 182 puede incluir una o más unidades de memoria 196(0-N).

La CPU 172 también puede configurarse para acceder al controlador o controladores de pantalla 190 a través del bus del sistema 180 para controlar la información enviada a una o más pantallas 194. El controlador o controladores de pantalla 190 envían información a la pantalla o pantallas 194 a visualizar a través de uno o más procesadores de vídeo 198, que procesan la información a visualizar en un formato adecuado para la pantalla o pantallas 194. La pantalla o pantallas 194 pueden incluir cualquier tipo de pantalla, incluyendo, pero sin limitación, una pantalla de tubo de rayos catódicos (CRT), una pantalla de cristal líquido (LCD), una pantalla de plasma, etc.

La o las CPU 172 y el controlador o controladores de pantalla 190 pueden actuar como dispositivos maestros para hacer que la memoria acceda a peticiones a través del bus del sistema 180. Diferentes flujos de ejecución en la o las CPU 172 y el controlador o controladores de pantalla 190 pueden hacer peticiones. La o las CPU 172 y el controlador o controladores de pantalla 190 pueden proporcionar el MID a través del bus, como se ha descrito previamente, como parte de una petición de transacción de bus.

Los expertos en la técnica apreciarán además que los diversos bloques lógicos, módulos, circuitos y algoritmos ilustrativos descritos en relación con las realizaciones desveladas en el presente documento pueden implementarse como hardware electrónico, instrucciones almacenadas en la memoria o en otro medio legible por ordenador y ejecutadas por un procesador u otro dispositivo de procesamiento, o combinaciones de ambas. Los árbitros, dispositivos maestros y dispositivos esclavos descritos en el presente documento pueden emplearse en cualquier circuito, componente de hardware, circuito integrado (IC), o chip IC, como ejemplos. La memoria divulgada en el presente documento puede ser cualquier tipo y tamaño de memoria y puede configurarse para almacenar cualquier tipo de información deseada. Para ilustrar claramente esta intercambiabilidad, anteriormente se han descrito diversos componentes, bloques, módulos, circuitos y etapas ilustrativos, generalmente, en lo que respecta a su funcionalidad. Cómo se implementa dicha funcionalidad depende de la aplicación particular, elecciones de diseño,

y/o limitaciones de diseño que se imponen en el sistema general. Los expertos en la técnica pueden implementar la funcionalidad descrita de diferentes maneras para cada aplicación particular, pero no debe interpretarse que tales decisiones de implementación supongan un alejamiento del alcance de la presente invención.

5 Los diversos bloques lógicos, módulos y circuitos ilustrativos descritos en relación con las realizaciones dadas a conocer en el presente documento pueden implementarse o realizarse con un procesador, con un DSP, con un
 10 circuito integrado de aplicación específica (ASIC), con una FPGA o con otro dispositivo de lógica programable, lógica de transistor o de puertas discretas, componentes de hardware discretos, o con cualquier combinación de los mismos diseñada para realizar las funciones descritas en el presente documento. Un procesador puede ser un
 15 microprocesador pero, como alternativa, el procesador puede ser cualquier procesador, controlador, microcontrolador o máquina de estados convencional. Un procesador también puede implementarse como una combinación de dispositivos informáticos, por ejemplo, una combinación de un DSP y un microprocesador, una pluralidad de microprocesadores, uno o más microprocesadores junto con un núcleo de DSP o cualquier otra configuración de este tipo.

15 Las realizaciones divulgadas en el presente documento pueden incorporarse en hardware y en instrucciones que se almacenan en hardware, pueden residir, por ejemplo, en memoria de acceso aleatorio (RAM), memoria flash, memoria de sólo lectura (ROM), memoria ROM eléctricamente programable (EPROM), memoria ROM programable
 20 borrrable eléctricamente (EEPROM), registros, un disco duro, un disco extraíble, un CD-ROM o en cualquier otra forma de medio legible por ordenador conocido en la técnica. Un medio de almacenamiento a modo de ejemplo está acoplado al procesador de manera que el procesador pueda leer información de, y escribir información en, el medio de almacenamiento. Como alternativa, el medio de almacenamiento puede ser una parte integrante del procesador. El procesador y el medio de almacenamiento pueden residir en un ASIC. El ASIC puede residir en una estación remota. Como alternativa, el procesador y el medio de almacenamiento pueden residir como componentes discretos
 25 en una estación remota, una estación base o un servidor.

También ha de apreciarse que las etapas operativas descritas en cualquiera de las realizaciones ejemplares en el presente documento se describen para proporcionar ejemplos y análisis. Las operaciones descritas pueden realizarse en numerosas secuencias diferentes distintas de las secuencias ilustradas. Además, las operaciones
 30 descritas en una única etapa operativa pueden realizarse realmente en varias etapas diferentes. Adicionalmente, pueden combinarse una o más etapas operativas analizadas en las realizaciones ejemplares. Se entenderá que las etapas operativas ilustradas en los diagramas de flujo pueden someterse a numerosas modificaciones diferentes como será evidente fácilmente por un experto en la técnica. Los expertos en la técnica también entenderán que la información y señales pueden representarse usando cualquiera de una diversidad de tecnologías y técnicas
 35 diferentes. Por ejemplo, datos, instrucciones, comandos, información, señales, bits, símbolos y chips, que pueden haber sido mencionados a lo largo de la descripción anterior, pueden representarse mediante tensiones, corrientes, ondas electromagnéticas, campos o partículas magnéticos, campos o partículas ópticos, o cualquier combinación de los mismos.

REIVINDICACIONES

1. Un dispositivo electrónico (86) configurado para operar usando un protocolo de interfaz en serie síncrona de alta velocidad modificado, HSI, que comprende:
 - 5 una interfaz de comunicaciones de transmisión (94) que comprende:
 - medios para proporcionar una trayectoria de datos de protocolo HSI (108) configurada para transportar datos desde el dispositivo electrónico;
 - 10 medios para proporcionar una trayectoria disponible de protocolo HSI (118) configurada para portar una señal READY conforme al protocolo HSI; y
 - 15 medios para proporcionar una trayectoria de indicador de protocolo HSI (106) configurada para portar una señal FLAG;

en el que la interfaz de comunicaciones de transmisión comprende adicionalmente:

 - 20 medios para proporcionar una o más trayectorias de datos adicionales (110, 112, 114,116) configuradas para portar
 - 25 datos adicionales desde el dispositivo electrónico en paralelo con los datos portados por los medios para proporcionar una trayectoria de datos de tal forma que los medios para proporcionar una trayectoria de datos y medios para proporcionar la una o más trayectorias de datos adicionales portan datos conformes con el protocolo HSI fragmentados en la trayectoria de datos y la una o más trayectorias de datos adicionales.
2. El dispositivo electrónico de la reivindicación 1, en el que los datos conformes con el protocolo HSI se forman en tramas.
3. El dispositivo electrónico de la reivindicación 2, en el que los datos entramados se representan por un bit de trama en cada flujo de datos en la trayectoria de datos y la una o más trayectorias de datos adicionales.
4. El dispositivo electrónico de la reivindicación 1, en el que los datos conformes con el protocolo HSI comprenden un identificador de canal, CHID, comunicado en la trayectoria de datos y la una o más trayectorias de datos adicionales.
5. El dispositivo electrónico de cualquier reivindicación anterior, en el que la una o más trayectorias de datos adicionales comprende una, tres o siete trayectorias de datos adicionales.
6. El dispositivo electrónico de la reivindicación 1, en el que los datos fragmentados en la trayectoria de datos de protocolo HSI y la una o más trayectorias de datos adicionales comprenden bits de identificación de canal fragmentados en las trayectorias de datos o un primer bit de información en la trayectoria de datos de protocolo HSI o bits de información fragmentados en cuatro trayectorias de datos.
7. El dispositivo electrónico de cualquier reivindicación anterior, que comprende adicionalmente una interfaz de comunicaciones de recepción que comprende una pluralidad de trayectorias de datos de recepción.
8. El dispositivo electrónico de cualquier reivindicación anterior, que comprende adicionalmente varios pines de interfaz, estando cada pin de interfaz configurado para portar una trayectoria de datos respectiva de entre la trayectoria de datos y la una o más trayectorias de datos adicionales.
9. El dispositivo electrónico de cualquier reivindicación anterior, integrado en una matriz de semiconductor.
10. El dispositivo electrónico de cualquier reivindicación anterior, que comprende adicionalmente una pluralidad de trayectorias de datos de recepción configuradas para recibir datos conformes con HSI fragmentados en la pluralidad de trayectorias de datos de recepción.
11. El dispositivo electrónico de cualquier reivindicación anterior en el que la una o más trayectorias de datos adicionales están configuradas para portar únicamente los datos unidireccionamiento desde la interfaz de comunicaciones de transmisión.
12. El dispositivo electrónico (86) de cualquier reivindicación anterior, que comprende adicionalmente una interfaz de comunicaciones de recepción (90), que comprende:
 - 65 una segunda trayectoria de datos de protocolo HSI (98) configurada para recibir segundos datos en el

dispositivo electrónico;

una segunda trayectoria FLAG de protocolo HSI (96) configurada para recibir una segunda señal FLAG; y

5 una segunda trayectoria disponible de protocolo HSI (104) configurada para transmitir una segunda señal READY conforme al protocolo HSI;

en el que la interfaz de comunicaciones de recepción comprende adicionalmente:

10 una o más segundas trayectorias de datos adicionales (100) configuradas para recibir segundos datos

adicionales en paralelo con los segundos datos recibidos por la segunda trayectoria de datos de protocolo HSI, de tal forma que la segunda trayectoria de datos de protocolo HSI y la una o más segundas trayectorias de datos adicionales reciben datos conformes con el protocolo HSI fragmentados en la
15 segunda trayectoria de datos de protocolo HSI y la una o más segundas trayectorias de datos adicionales.

13. El dispositivo electrónico de la reivindicación 12, en el que varias de la una o más segundas trayectorias de datos adicionales configuradas para recibir los segundos datos en la interfaz de comunicaciones de recepción no son iguales a un número de la una o más trayectorias de datos adicionales configuradas para transmitir los datos en la interfaz de comunicaciones de transmisión o en el que varias de las una o más segundas trayectorias de datos adicionales configuradas para recibir los segundos datos en la interfaz de comunicaciones de recepción son iguales a varias de las una o más trayectorias de datos adicionales configuradas para transmitir los datos en la interfaz de comunicaciones de transmisión.

25 14. Un procedimiento para operar un dispositivo de protocolo de interfaz en serie síncrona de alta velocidad modificado, HSI, que comprende:

proporcionar una trayectoria disponible configurada para portar una señal READY conforme al protocolo HSI;

30 proporcionar una trayectoria de indicador configurada para portar una señal FLAG;

proporcionar al menos dos trayectorias de datos de transmisión configuradas para portar datos desde un dispositivo electrónico en paralelo de tal forma que los datos conformes con el protocolo HSI se fragmentan en las al menos dos trayectorias de datos.

35

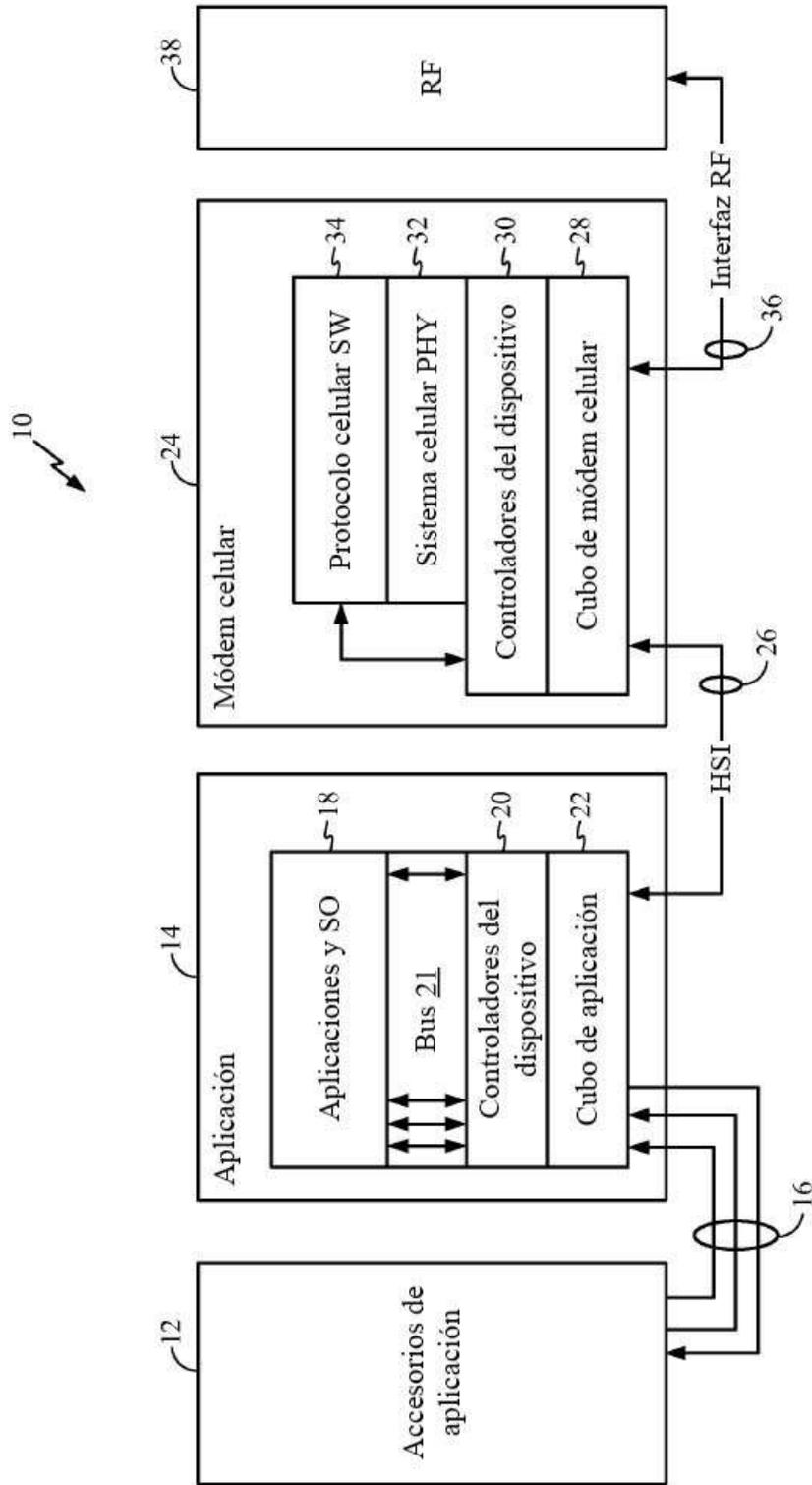


FIG. 1

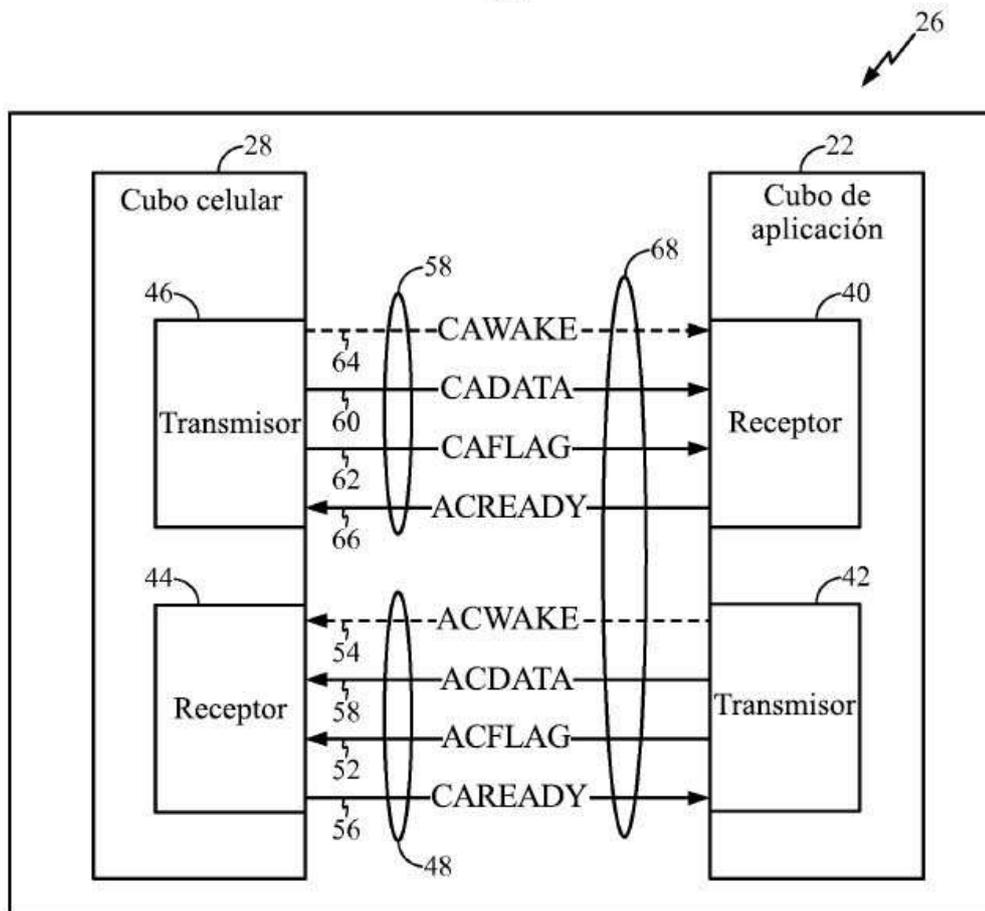


FIG. 2

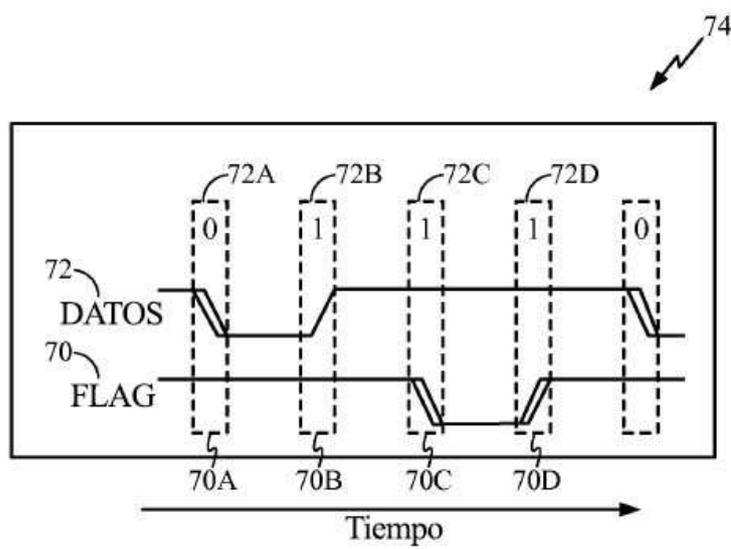


FIG. 3

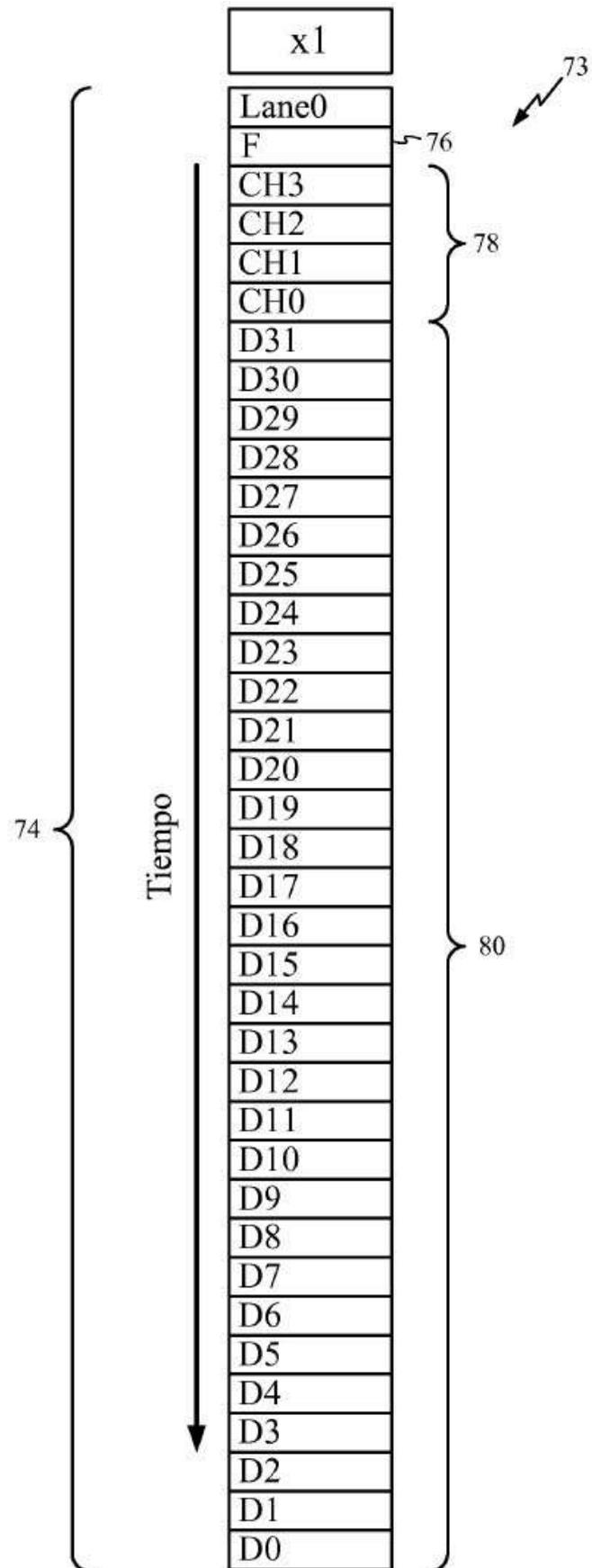


FIG. 4

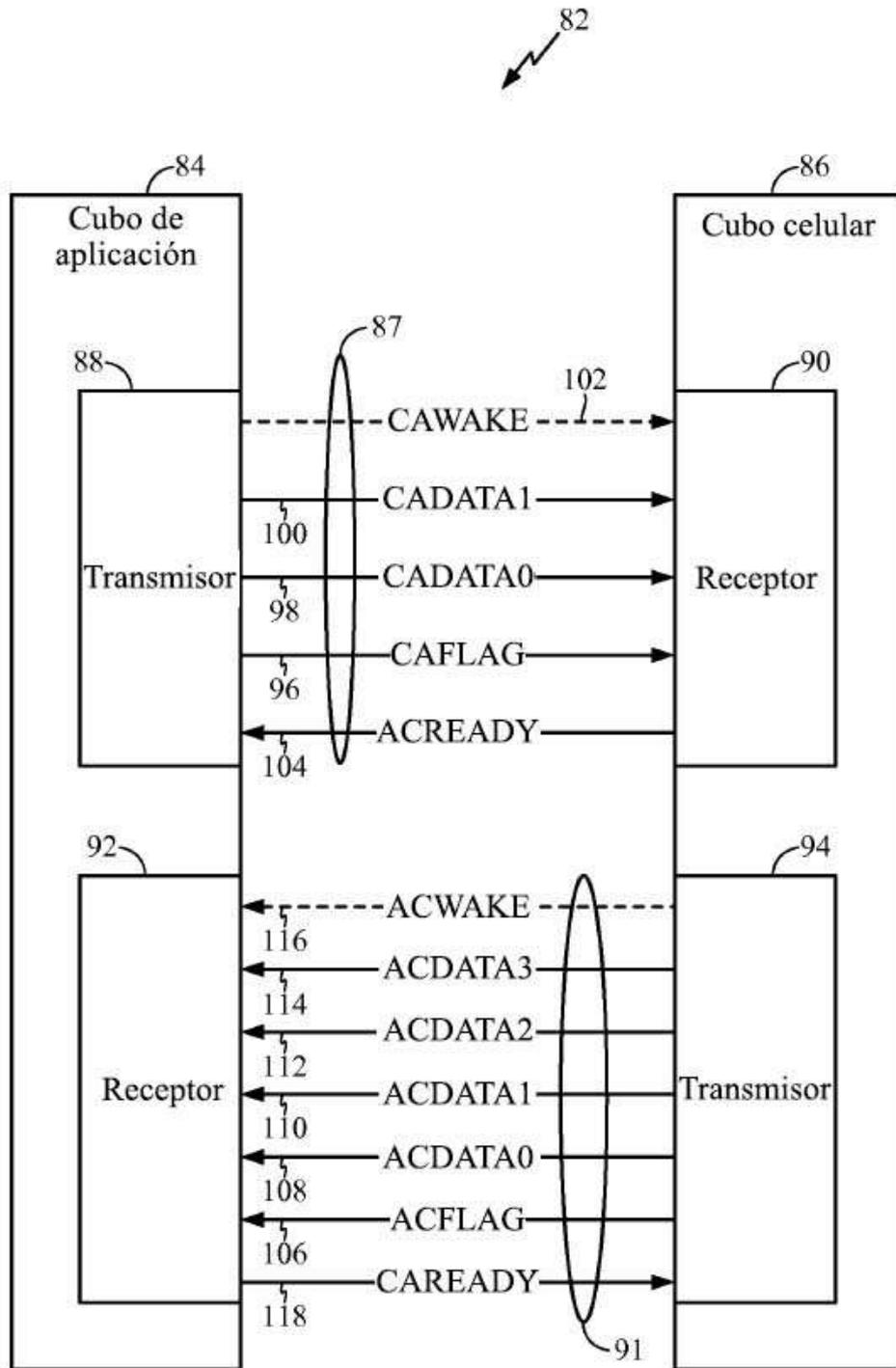


FIG. 5

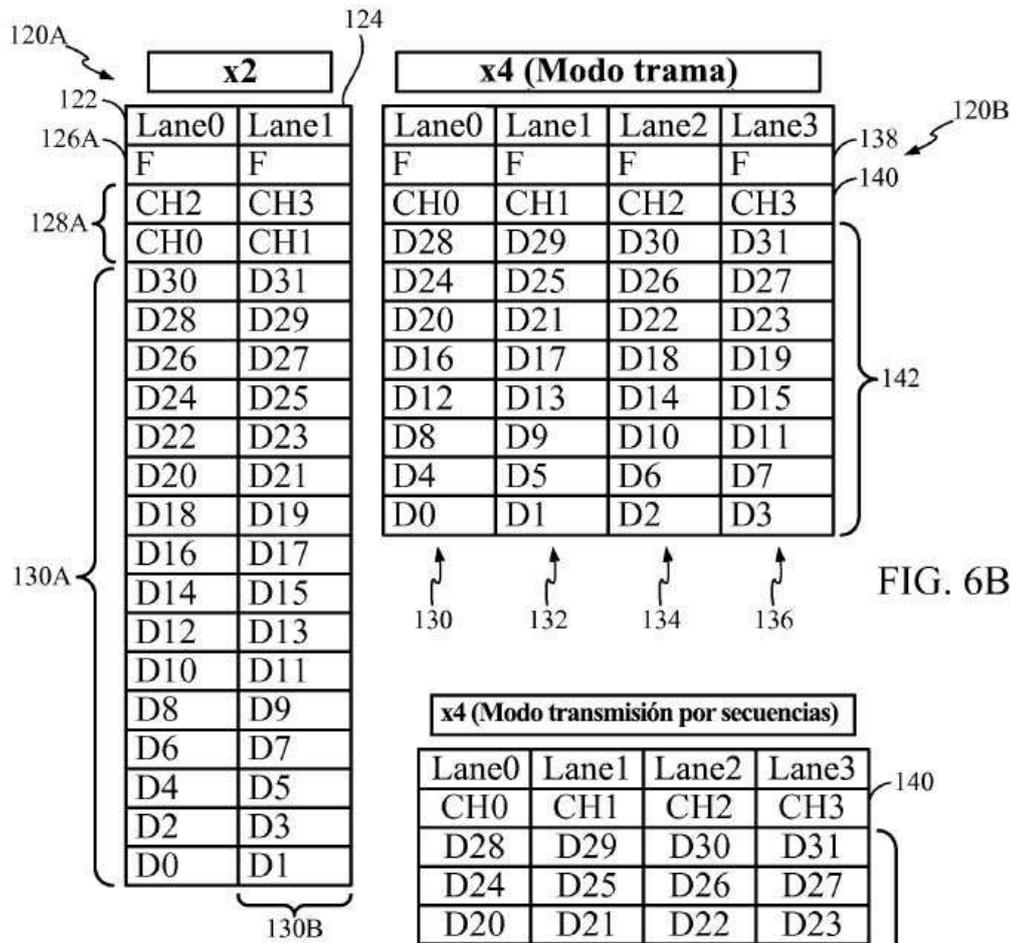


FIG. 6A

FIG. 6B

120C

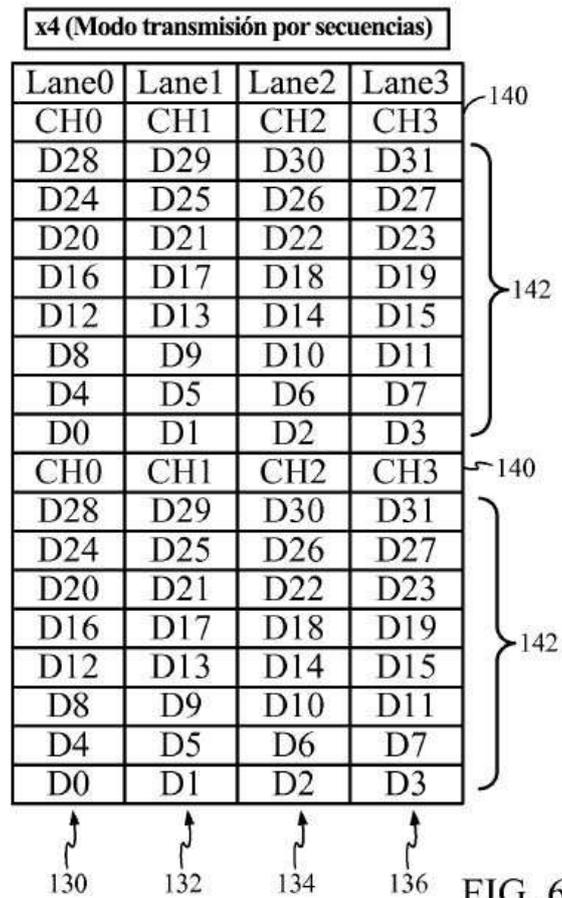
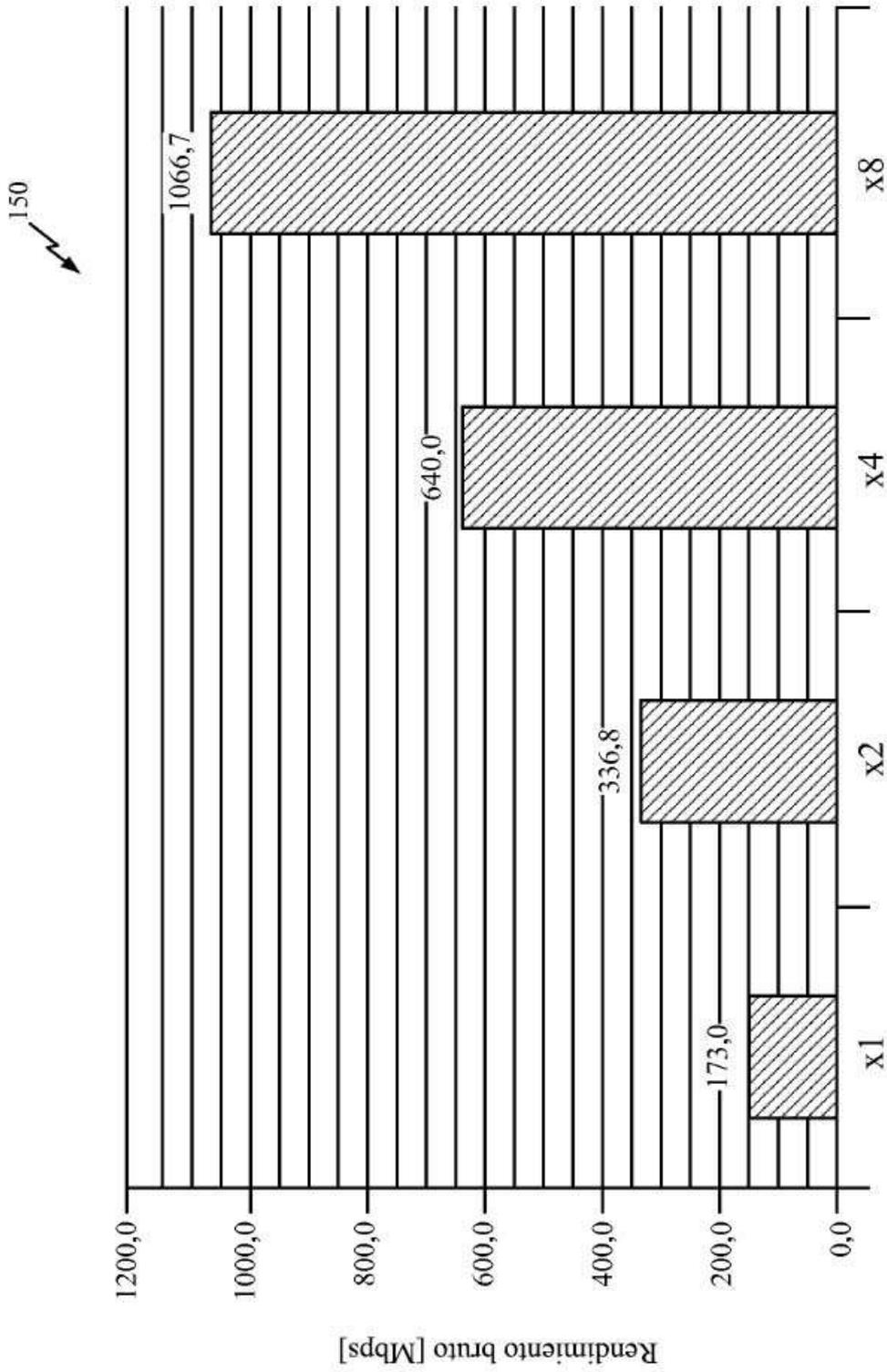
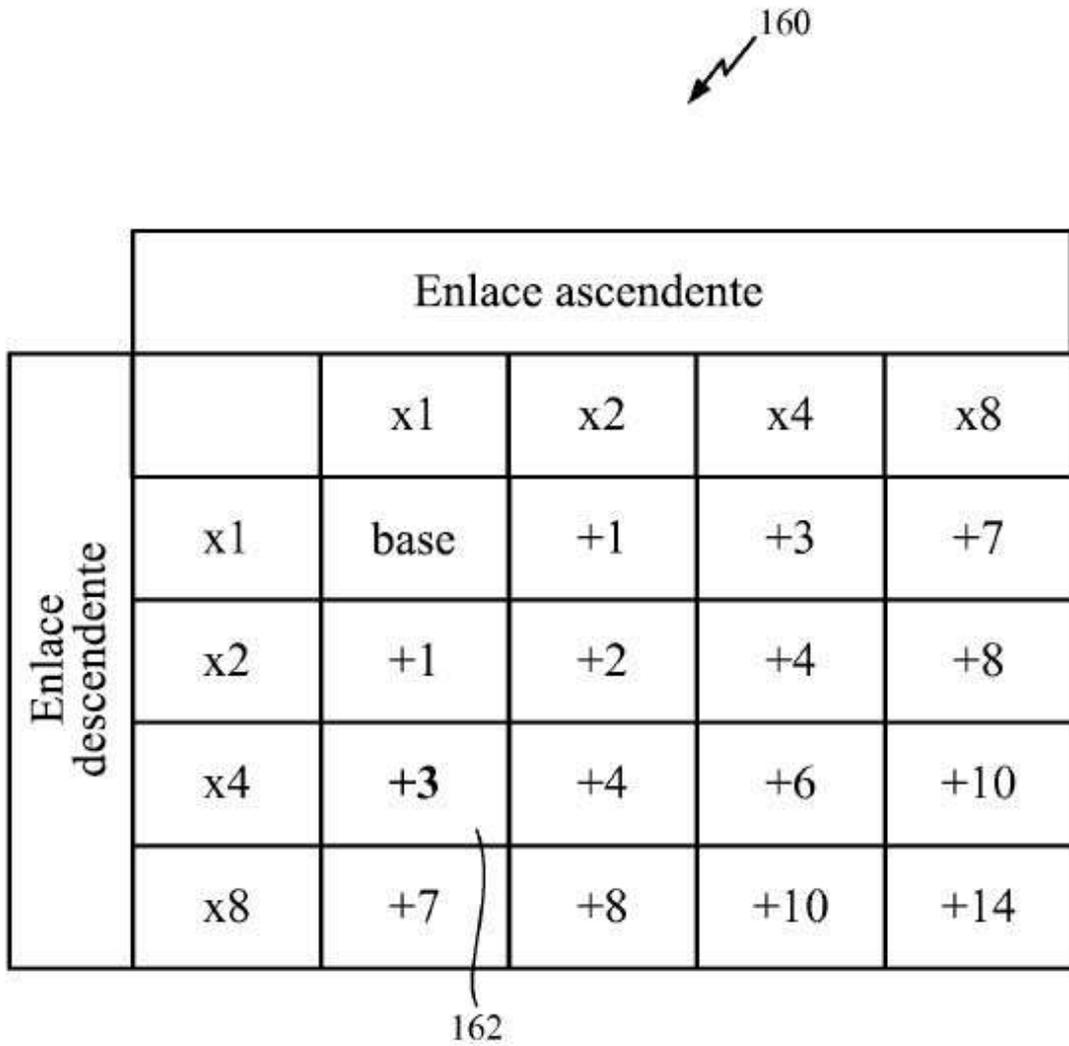


FIG. 6C



Configuración de carril

FIG. 7



160

		Enlace ascendente			
		x1	x2	x4	x8
Enlace descendente	x1	base	+1	+3	+7
	x2	+1	+2	+4	+8
	x4	+3	+4	+6	+10
	x8	+7	+8	+10	+14

162

FIG. 8

