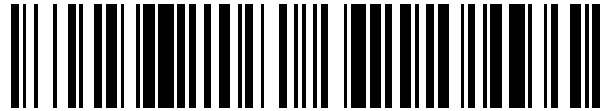


19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 574 656**

51 Int. Cl.:

G06F 1/14 (2006.01)

G06F 1/04 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **31.01.2013 E 13708937 (1)**

97 Fecha y número de publicación de la concesión europea: **06.04.2016 EP 2810138**

54 Título: **Base de tiempos programable**

30 Prioridad:

01.02.2012 US 201261593435 P
29.01.2013 US 201313753341

45 Fecha de publicación y mención en BOPI de la traducción de la patente:
21.06.2016

73 Titular/es:

MICROCHIP TECHNOLOGY INCORPORATED
(100.0%)
2355 West Chandler Boulevard
Chandler, Arizona 85224-6199, US

72 Inventor/es:

BOWLING, STEPHEN y
BARTLING, JAMES E.

74 Agente/Representante:

CARPINTERO LÓPEZ, Mario

ES 2 574 656 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Base de tiempos programable

La presente invención versa sobre una unidad periférica de base de tiempos, en particular sobre un periférico de base de tiempos con modo de activación mejorado.

5 Los microcontroladores (MCU) comprenden un microprocesador, memoria y una pluralidad de periféricos, pudiendo estar configurados algunos periféricos para operar independientemente de los MCU. Un MCU típico comprende generalmente una base de tiempos programable en forma de temporizador como uno de tales periféricos. Un temporizador como el mencionado puede ser programado para proporcionar una señal de activación para funciones del sistema. Un periférico típico de base de tiempos de MCU está diseñado para operar como un temporizador de funcionamiento continuo. Esta función es generalmente implementada para que el periférico de base de tiempos pueda proporcionar una activación compleja para otras funciones del sistema. A menudo, esa funcionalidad es puesta dentro de la función de destino. Por ejemplo, una base de tiempos convencional de 16 bits puede tener un modo de activación con una prestación monoestable, según se muestra en la Fig. 2. El modo de activación usa una señal externa para decir a la base de tiempos cuándo ponerse en marcha. La base de tiempos se mantiene en reinicialización hasta que se active. La Fig. 1 muestra un primer modo de una base de tiempos convencional, en el que una señal de activación pone en marcha el temporizador. El temporizador funciona entonces indefinidamente y genera señales de eventos hasta que un usuario establece a cero un bit CCPx-STAT.TRIG, lo que hace que el temporizador se detenga. La Fig. 2 muestra un modo monoestable que opera de forma diferente. En este modo, la base de tiempos se detendrá después de la generación del evento.

20 En la patente estadounidense US 5.631.592 se da a conocer un sistema conocido de microprocesadores que usa una disposición de generación/detección de impulsos. La patente estadounidense 5.471.608 da a conocer un temporizador-contador programable dinámicamente que tiene un modo de habilitación para un circuito de carga y monitorización de datos del temporizador para permitir el modo de habilitación únicamente tras el fin del tiempo asignado. La patente estadounidense US 5.365.183 da a conocer un microordenador de un solo chip que tiene dos clases de funciones de temporización.

Existe la necesidad de un procedimiento y un sistema para una base de tiempos mejorada. Este y otros objetos pueden lograrse por medio de un microcontrolador y un procedimiento definidos en las reivindicaciones independientes. En las reivindicaciones dependientes se caracterizan mejoras adicionales.

30 Según una realización, un microcontrolador puede comprender una base de tiempos programable, comprendiendo la base de tiempos una indicación de activación para poner en marcha un temporizador o contador de la base de tiempos y pudiendo ser configurada tras la recepción de una señal de activación para que opere en un primer modo para generar una pluralidad de señales de eventos de temporizador/contador hasta que se ponga un bit de reinicialización en un registro de control; y en un segundo modo para generar una única señal de un evento de temporizador/contador; y pudiendo ser configurada la base de tiempo para operar en un tercer modo para generar un número predefinido de señales de eventos de temporizador/contador, estando definido el número predefinido por una pluralidad de bits de un registro y estando controlado por un segundo contador asociado.

40 Según una realización adicional, la pluralidad de bits pueden ser bits del registro de control. Según una realización adicional, el registro de control puede ser un primer registro de control y la pluralidad de bits pueden ser bits de un segundo registro de control asociado con la base de tiempos. Según una realización adicional, el primer modo puede ser puesto poniendo un bit de primer modo, y el segundo modo puede ser puesto poniendo un bit de segundo modo. Según una realización adicional, los bits primero y segundo pueden ser bits de un tercer registro de control asociado con la base de tiempos. Según una realización adicional, el tercer modo puede ser puesto poniendo dicho bit de segundo modo y poniendo la pluralidad de bits a un valor > 0 . Según una realización adicional, la base de tiempos puede ser una unidad de modulación por ancho de impulso de captura y comparación (CCP) o una unidad CCP de salida múltiple (MCCP).

45 Según una realización adicional, la base de tiempos comprende un comparador acoplado con un contador de la base de tiempos y un registro de periodos. Según una realización adicional, la base de tiempos puede comprender, además, una unidad lógica monoestable operable para controlar la base de tiempos para generar una única señal de evento tras la recepción de una señal de activación, estando retardada la señal del evento con respecto a la señal de activación según un valor predefinido almacenado en el registro de periodos. Según una realización adicional, la base de tiempos puede comprender, además, un contador operable para controlar la base de tiempos para generar un número predefinido de señales de eventos tras la recepción de una señal de activación, estando definido cada periodo de tiempo entre eventos por un valor almacenado en el registro de periodos y estando definido el número de señales de eventos por dicho contador. Según una realización adicional, el microcontrolador puede comprender, además, lógica para generar una pluralidad de señales de control predefinidas para cada evento.

Según otra realización, un procedimiento para generar señales de eventos por medio de una base de tiempos en un microcontrolador que puede operar en uno de al menos tres modos puede comprender:

cuando opera en un primer modo:

- tras recibir una indicación de activación, poner en marcha un temporizador o contador de la base de tiempos y generar una pluralidad de señales de eventos de temporizador/contador hasta que se establece un bit de reinicialización en un registro de control;

5 cuando opera en un segundo modo:

- tras recibir una indicación de activación, generar una única señal de un evento de temporizador/contador; y

cuando opera en un tercer modo:

- 10 – tras recibir una indicación de activación, generar un número predefinido de señales de eventos de temporizador/contador, estando definido el número predefinido por una pluralidad de bits de un registro y estando controlado por un segundo contador asociado.

Según una realización adicional del procedimiento, el primer modo se puede establecer poniendo un bit de primer modo, y el segundo modo se puede establecer poniendo un bit de segundo modo. Según una realización adicional del procedimiento, el tercer modo se puede establecer poniendo dicho bit de segundo modo y poniendo la pluralidad de bits a un valor > 0. Según una realización adicional del procedimiento, la señal del evento puede ser generada comparando un valor de un contador de la base de tiempos con un valor de periodo almacenado en un registro. Según una realización adicional del procedimiento, la única señal de evento en el segundo modo puede ser controlada por una unidad lógica monoestable operable para controlar la base de tiempos para generar una única señal de evento tras la recepción de una señal de activación, estando retardada la señal del evento con respecto a la señal de activación según un valor predefinido almacenado en el registro de periodos. Según una realización adicional del procedimiento, un contador puede contar el número de señales de eventos para limitar la generación de señales de eventos. Según una realización adicional del procedimiento, el procedimiento puede comprender, además, generar una pluralidad de señales de control predefinidas para cada evento. Según una realización adicional del procedimiento, cuando opera en el tercer modo, se puede controlar una unidad de captura y comparación para almacenar una pluralidad de valores de captura. Según una realización adicional del procedimiento, cuando opera en el tercer modo, se puede controlar una unidad capacitiva de medición de tiempo para capturar una pluralidad de mediciones de tiempo. Según una realización adicional del procedimiento, cuando opera en el tercer modo, se puede controlar un convertidor analógico-digital para almacenar una pluralidad de valores convertidos. Según una realización adicional del procedimiento, cuando opera en el tercer modo, se puede controlar un controlador de acceso directo a la memoria para llevar a cabo una pluralidad de transferencias de datos. Según una realización adicional del procedimiento, la CPU del microcontrolador puede estar en un modo de reposo de baja potencia cuando la base de tiempos genera señales de eventos.

Breve descripción de los dibujos

- 35 La Fig. 1 muestra un cronograma de un dispositivo periférico de base de tiempos que opera en un primer modo según diversas realizaciones.
- La Fig. 2 muestra un cronograma de un dispositivo periférico de base de tiempos que opera en un segundo modo según diversas realizaciones.
- La Fig. 3 muestra un cronograma de un dispositivo periférico de base de tiempos que opera en un tercer modo según diversas realizaciones.
- 40 La Fig. 4 muestra un diagrama de bloques de una base de tiempos según diversas realizaciones.
- La Fig. 5 muestra un diagrama de bloques de módulos para diferentes modos de comparación.
- La Fig. 6 muestra otro diagrama de bloques de ciertos elementos en un microcontrolador según una realización.
- La Fig. 7 muestra otro diagrama adicional de bloques según otra realización.

Descripción detallada

Un modo monoestable solo permite un ciclo. Sin embargo, algunas aplicaciones pueden desear múltiples ciclos. Por ejemplo, llevar a cabo varias conversiones de ADC, por ejemplo ocho, a intervalos de, por ejemplo, 100 μseg cuando se recibe una indicación de activación. En otro ejemplo, cuando se recibe una indicación de activación, pueden activarse en secuencia, por ejemplo, 3 patillas. En otro ejemplo adicional, pueden planificarse 4 escrituras de DMA a un puerto serie cuando se recibe una activación.

Para poder llevar a cabo tales funciones de eventos múltiples flexibles, según diversas realizaciones, se añade a la base de tiempo un contador para extender el modo monoestable para N ciclos, según se muestra en la Fig. 4. El periférico ejemplar 100 de base de tiempos mostrado en la Fig. 4 comprende un contador 110 de la base de tiempos de 16 o 32 bits que es controlado por una unidad 130 de control de sincronización y activación. La unidad 130 de control de sincronización y activación puede recibir una pluralidad de señales 125 de sincronización que pueden proceder de fuentes internas o externas. Hay un comparador 140 acoplado con el contador 110 de la base de

tiempos y un registro 150 de periodos para generar una señal 190 de evento. La señal 190 de evento también puede ser retroalimentada al multiplexor 120, por ejemplo para reinicializar el contador 110. Además, se proporciona una unidad monoestable 170 que puede bien controlar directamente el contador 110 de la base de tiempos o bien, según se muestra en la Fig. 4, estar acoplada con la unidad 130 de control de sincronización y activación. Un contador adicional 180 recibe la señal 190 del evento y, además, proporciona señales de control a la unidad 130 de control de sincronización y activación. De nuevo, el contador 180 también puede controlar directamente el contador 110 de la base de tiempos. Además, según otras realizaciones, las señales de control proporcionadas por la unidad monoestable 170 y/o el contador 180 pueden ser suministradas al multiplexor 120. Según se muestra en la Fig. 4, se proporciona una unidad 160 de control de modo para generar señales de control respectivas para controlar el multiplexor 120 y todas las demás unidades de la base de tiempos 100 según sea necesario. Para una mejor visión de conjunto, estas conexiones no están representadas en la Fig. 2.

La base de tiempos 100, según se muestra en la realización ejemplar de la Fig. 4, puede operar en tres modos diferentes, mostrados en las Figuras 1-3. En un primer modo, una vez que se pone en marcha el contador 110 de la base de tiempos, se generará un número indefinido de señales 190 de eventos secuenciales. La única forma de detener estas señales de eventos secuenciales es reinicializar la base de tiempos 100 mediante soporte lógico o manualmente. En un segundo modo, según se muestra en la Fig. 2, una activación genera un evento monoestable. En otras palabras, una vez que se activa el contador 110, se genera una única señal 190 de evento, después de lo cual la unidad monoestable 170 reinicializa la base de tiempos para esperar otra activación. En un tercer modo, el contador adicional 180 es preconfigurado a un valor predefinido. Con este fin, se puede proporcionar o integrar un registro de preconfiguración en la unidad contadora 180. Una vez que se ha recibido una activación a través del multiplexor 120, el contador 110 de la base de tiempos genera una pluralidad de señales de eventos secuenciales según se muestra en la Fig. 3. Cada vez que se genera una señal de evento, el contador 180 se decrementa. Una vez que el contador 180 genera un desbordamiento, el sistema 100 es reinicializado y esperará nuevamente otra activación. La función del contador regresivo 180, según se ha explicado en lo que antecede, también puede ser generada por un contador ascendente en combinación con un comparador y un registro asociado.

Según diversas realizaciones, un periférico de comparación de salidas puede hacer que se active automáticamente una medición externa para un número predeterminado de veces, por ejemplo tres veces, para que el MCU pueda permanecer en el modo de reposo para conservar energía. Según diversas realizaciones, la medición puede realizarse enviando impulsos por tres patillas de salida del dispositivo con el periférico de comparación de salidas y midiendo a continuación un retardo temporal en una cuarta patilla de entrada. Sin esta característica, sería preciso que el MCU se reactivase y ejecutase código entre cada medición, causando un consumo adicional de energía.

Al proporcionar la función monoestable y de recuento de eventos dentro del periférico de base de tiempos, puede actuar como fuente de activación genérica flexible para cualquier otro sistema periférico o externo. El contador 180 de eventos permite que el periférico de base de tiempos genere múltiples eventos periódicos 190 a partir de un único evento 125 de soporte físico, ahorrando tanto en sobrecarga de la CPU como en consumo de energía. Las diversas realizaciones pueden ser usadas para automatizar eventos periódicos tales como las conversiones ADC y la detección inductiva de la posición, o la activación de una unidad capacitiva de medición de tiempo, según se ha indicado, por medio de dispositivos periféricos 195. Podría usarse otro destino de activación y el evento 190 de activación puede ser distribuido dentro del dispositivo mediante multiplexores o controladores si es necesario. Los eventos múltiples pueden ocurrir mientras la CPU está en modo de reposo, ahorrando en consumo de energía.

Tal como se ha declarado anteriormente, según diversas realizaciones, un periférico 100 de base de tiempos comprende un contador 180 de eventos. La señal del evento puede ser una única señal de evento o puede ser procesada ulteriormente para generar una pluralidad de señales de eventos dependientes subsiguientes para llevar a cabo una acción. Cuando se recibe una señal de activación, el periférico 100 de base de tiempos repetirá tal acción un número especificado de veces. Así, las diversas realizaciones pueden contribuir a automatizar las aplicaciones de detección para que otros componentes del dispositivo (microcontrolador) puedan quedar en el modo de reposo un tiempo mayor para ahorrar energía. Esto puede ser muy importante para aplicaciones alimentadas por batería, tales como dispositivos medidores, de aptitud física, etc.

Según se muestra en la Fig. 4, se proporciona un contador adicional OSCNT 180, que, según una realización, puede tener cabida para 3 bits. Sin embargo, pueden usarse otras configuraciones. La base de tiempos 100 tiene una función de activación que permite que una señal externa 125 ponga en marcha el contador 110 de la base de tiempos. La base de tiempos se mantendrá en reinicialización hasta que se reciba un impulso de activación Trig_in. En un funcionamiento normal, la base de tiempos empezará a contar y seguirá contando hasta que se cancele la activación en soporte lógico, según se ha explicado anteriormente y se muestra en la Fig. 1. La activación se cancela poniendo a cero el bit de estado TRIG en un registro asociado de función especial.

En el modo monoestable mostrado en la Fig. 2, la base de tiempos contará un periodo de recuento, luego se reinicializará y se detendrá. El modo monoestable permite que el usuario cree un único retardo o impulso en función de un evento de señal de soporte físico.

Según el modo mostrado en la Fig. 3, los bits OSCNT[2:0] (recuento monoestable) extienden adicionalmente las prestaciones del modo monoestable. Si tres bits definen el contador adicional, entonces pueden crearse hasta ocho eventos. Así, cuando los bits OSCNT son puestos en un valor distinto de cero, el temporizador contará durante múltiples periodos, y luego se detendrá. El valor OSCNT especifica el número de periodos de recuento para extender el evento monoestable. Si OSCNT = 011 b, la base de tiempos contará durante cuatro periodos, luego se reinicializará y se detendrá. Esto se muestra en el cronograma de la Fig. 3.

Las diversas realizaciones tienen las ventajas de reducir la sobrecarga del soporte lógico de tareas rápidas “en ráfaga” que, si no, se necesitaría y de automatizar periféricos en reposo para reducir el consumo de energía.

La Fig. 5 muestra registros de control que pueden usarse para controlar las diversas funciones de una base de tiempos según diversas realizaciones, por ejemplo en un microcontrolador de 32 bits. Por ende, cada registro se configura como un registro de 32 bits. Otras realizaciones pueden usar más o menos registros en los que no es preciso proporcionar todas las funciones para permitir la operación expuesta en lo que antecede.

Como puede verse en la siguiente descripción de funciones, los registros de control de la base de tiempos pueden estar diseñados para permitir una pluralidad de funciones. Los siguientes bits de los registros 1-3 de control CCPx permiten la funcionalidad siguiente:

bit 31 OPSSRC: Bit selector de fuente del divisor de frecuencia de salida

- 1 = El divisor de frecuencia de salida enlentece los eventos de salida de activación de módulos
 - 0 = El divisor de frecuencia de salida enlentece los eventos de interrupción de la base de tiempos
- Este bit de control puede no tener función alguna en los modos de captura de entrada.

bit 30-28 No implementado: Leer como '0'

bit 27-24 OPS[3:0]: Bits selectores de división de frecuencia de salida de interrupciones de captura/comparación/PWM

- 1111 = Interrumpir la CPU cada 16ª coincidencia de periodos de la base de tiempos
- 1110 = Interrumpir la CPU cada 15ª coincidencia de periodos de la base de tiempos
- 0100 = Interrumpir la CPU cada 5ª coincidencia de periodos de la base de tiempos
- 0011 = Interrumpir la CPU cada 4ª coincidencia de periodos de la base de tiempos o después de 4 eventos de captura de entrada
- 0010 = Interrumpir la CPU cada 3ª coincidencia de periodos de la base de tiempos o después de 3 eventos de captura de entrada
- 0001 = Interrumpir la CPU cada 2ª coincidencia de periodos de la base de tiempos o después de 2 eventos de captura de entrada
- 0000 = Interrumpir la CPU después de cada coincidencia de periodos de la base de tiempos o de cada evento de captura de entrada

bit 23 TRIGEN: Bit de habilitación de la activación de CCPx

- 1 = La operación de activación de la base de tiempos está habilitada
- 0 = La operación de activación de la base de tiempos está inhabilitada

bit 22 ONESHOT: Bit de habilitación del modo monoestable

- 1 = Modo de activación monoestable habilitado; duración de la activación fijada por CCPxCON3.OSCNT[2:0]
- 0 = Modo de activación monoestable inhabilitado

bit 21 SYNCOSSEL: Bit selector de salida de sincronización

- 1 = Se usa una señal alternativa como señal de salida de sincronización de módulos (véase la Tabla 2-1)
- 0 = La señal de salida de sincronización de módulos es el evento de reinicialización/vuelco de la base de tiempos

bit 20-16 SYNC[4:0]: Bits selectores de la fuente de sincronización de captura/comparación/PWM

- 11111 = La base de tiempos está en el modo de funcionamiento libre y da la vuelta en FFFF
- 11110 = La base de tiempos está sincronizada a la fuente n° 30
- ...
- 00001 = La base de tiempos está sincronizada a la fuente n° 1
- 00000 = La base de tiempos está sincronizada de forma autónoma y da la vuelta en FFFF o en la coincidencia con el registro de periodos

ES 2 574 656 T3

- bit 15 ON: Bit de habilitación de módulo
- 1 = El módulo está habilitado con el modo de operación especificado por los bits de control MOD[3:0]
 - 0 = El módulo está inhabilitado
- bit 14 FRZ: Bit de paralización en modo de depuración
- 5
- 1 = Cuando el emulador está en modo de depuración, el módulo paraliza su operación
 - 0 = Cuando el emulador está en modo de depuración, el módulo prosigue su operación
- Nota: FRZ es 'U-0' en el modo operativo y 'R/W-0' en el modo de depuración.
- bit 13 SIDL: Bit de detención en el modo inactivo
- 10
- 1 = Suspender la operación del módulo cuando el dispositivo entra en el modo inactivo
 - 0 = Continuar la operación del módulo en el modo inactivo
- bit 12 SLPEN: Bit de habilitación del modo de reposo
- 1 = El módulo sigue operando en los modos de reposo
 - 0 = El módulo no opera en los modos de reposo
- bit 11 TSYNC: Bit de sincronización del reloj de la base de tiempos
- 15
- 1 = El reloj de la base de tiempos del módulo está sincronizado con los relojes internos del sistema; se aplican las restricciones de sincronización
 - 0 = El reloj de la base de tiempos del módulo no está sincronizado con los relojes internos del sistema
- Nota: Este bit de control no tiene ninguna función cuando la fuente de reloj seleccionada por CS[2:0] se deriva de la fuente de reloj del sistema y es síncrona con la misma.
- 20
- bit 10-8 CS[2:0]: Bits selectores de captura/comparación/PWM × reloj
- 111 = clk_in[7]
 - 110 = clk_in[6]
 - 101 = clk_in[5]
 - 100 = clk_in[4]
 - 011 = clk_in[3]
 - 010 = clk_in[2]
 - 001 = clk_in[1]
 - 000 = El reloj de la base de tiempos es TCY
- 25
- bit 7-6 TPS[1:0]: Bits selectores de captura/comparación/PWM × división de frecuencia de entrada de la base de tiempos
- 30
- 11 = Divisor de frecuencia de entrada 1:64
 - 10 = Divisor de frecuencia de entrada 1:16
 - 01 = Divisor de frecuencia de entrada 1:4
 - 00 = Divisor de frecuencia de entrada 1:1
- 35
- bit 5 T32: Bit selector de la base de tiempos de 32 bits
- 1 = Usa una base de tiempos de 32 bits para la función seleccionada de temporizador, comparación de salida de flanco único, o captura de entrada
 - 0 = Usa una base de tiempos de 16 bits para la función seleccionada de temporizador, comparación de salida de flanco único, o captura de entrada
- 40
- Nota: La operación de 32 bits no está disponible en los modos de comparación de salida de flanco doble.
- bit 4 CCM: Bit selector del modo de captura/comparación
- 1 = El módulo opera como un periférico de captura de entrada
 - 0 = El módulo opera como un periférico de comparación de salidas
- 45
- bit 3-0 MOD[3:0]: Bits selectores del modo CCP
- CCM = 1 (modos de captura de entrada)
- 1xxx = Reservado
 - 0111 = Reservado
 - 0110 = Reservado

ES 2 574 656 T3

0101 = Capturar cada 16º flanco ascendente
0100 = Capturar cada 4º flanco ascendente
0011 = Capturar cada flanco ascendente y descendente
0010 = Capturar cada flanco descendente
0001 = Capturar cada flanco ascendente
0000 = Capturar cada flanco ascendente y descendente (modo de detección de flancos)

CCM = 0 (modos de comparación de salidas)

1111 = Modo de entrada externa; generador de impulsos inhabilitado. Fuente seleccionada por los bits ICS[2:0]

1110 = Reservado

1101 = Reservado

1100 = Reservado

1011 = Reservado

1010 = Reservado

1001 = Reservado

1000 = Reservado

0111 = Modo de impulsos de frecuencia variable

0110 = Modo de comparación de impulsos alineados por el centro - en memoria tampón

0101 = Modo de comparación de flanco doble - en memoria tampón

0100 = Modo de comparación de flanco doble

0011 = Modo de flanco único de 16 bits/32 bits: Conmutar la salida en coincidencia de comparación

0010 = Modo de flanco único de 16 bits/32 bits: Pasar la salida a baja en coincidencia de comparación

0001 = Modo de flanco único de 16 bits/32 bits: Pasar la salida a alta en coincidencia de comparación

0000 = Modo de temporizador de 16 bits/32 bits: Funciones de salida inhabilitadas

Los siguientes bits del registro 2 de control CCPx pueden permitir la funcionalidad siguiente:

bit 31 OENSYNC: Bit de sincronización de habilitación de la salida

1 = La actualización por parte de los bits de habilitación de la salida ocurre en la siguiente reinicialización o vuelco de la base de tiempos

0 = La actualización por parte de los bits de habilitación de la salida ocurre de inmediato

bit 30 No implementado: Leer como '0'

bit 29-24 OCxEN: Bit de control de habilitación/encaminamiento de salida

1 = La patilla OCx es controlada por el módulo CCP y produce una señal de comparación de salidas o PWM

0 = La patilla OCx no es controlada por el módulo CCP; la patilla está disponible para la lógica de puertos u otro periférico multiplexado en la patilla

Los modos de base de tiempos y de captura de entrada pueden no tener ninguna función externa de patilla de salida; por lo tanto, los bits OCxEN pueden no tener efecto alguno en estos modos (mccp_io_pX_port_en = 0). Las patillas OCxA - OCxF están disponibles a la lógica de puertos o a otro periférico.

bit 23-22 ICGSM[1:0]: Bits de control del modo de fuente de selección de capturas de entrada

11 = Reservado

10 = Modo monoestable; el evento de la fuente de selección inhabilitará futuros eventos de captura (ICDIS = 1)

01 = Modo monoestable; el evento de la fuente de selección habilitará futuros eventos de captura (ICDIS = 0)

00 = Modo sensible al nivel; un alto nivel procedente de la fuente de selección habilitará futuros eventos de captura; un bajo nivel inhabilitará futuros eventos de captura

Este bit puede no tener efecto alguno en los modos de temporizador, en los modos de comparación de salidas o en los modos PWM.

bit 21 No implementado: Leer como '0'

bit 20-19 AOUTSEL[1:0]: Bits selectores de la señal de salida auxiliar

11 = La salida de señales depende del modo de operación del módulo

ES 2 574 656 T3

10 = La salida de señales depende del modo de operación del módulo
01 = La salida de señales depende del modo de operación del módulo
00 = No hay salida alguna de señales por mccp_aux_out

bit 18-16 ICS[2:0]: Bits selectores de la fuente de captura de entrada

5
111 = Fuente de captura nº 8
110 = Fuente de captura nº 7
101 = Fuente de captura nº 6
100 = Fuente de captura nº 5
011 = Fuente de captura nº 4
10
010 = Fuente de captura nº 3
001 = Fuente de captura nº 2
000 = Fuente de captura nº 1

bit 15 RSEN: Bit de habilitación de la reinicialización de PWM de CCPx

15
1 = El bit CCPxSTAT.ASE se establece a cero automáticamente al comienzo del siguiente periodo de PWM, después de que haya finalizado la indicación de apagado
0 = CCPxSTAT.ASE debe establecerse a cero en soporte lógico para reanudar la actividad de PWM en las patillas de salida

bit 14 ASDGM: Bit de habilitación del modo de selección de apagado automático de CCPx

20
1 = Esperar hasta la reinicialización o el volcado siguiente de la base de tiempos para que se produzca el apagado
0 = El evento de apagado ocurre de inmediato

bit 13 No implementado: Leer como '0'

bit 12 SSDG: Bit de control de apagado por soporte lógico/puerta de CCPx

25
1 = Forzar manualmente el evento de apagado automático, de la puerta de reloj del temporizador, o de la puerta de señales de captura de entrada (sigue aplicándose la configuración del bit ASDGM)
0 = Operación normal del módulo

bit 11-8 No implementado: Leer como '0'

bit 7:0 ASDG[7:0]: Bits de habilitación de la fuente de apagado automático/puerta de CCPx

30
1 = La fuente n de ASDG está habilitada
0 = La fuente n de ASDG está inhabilitada

Los siguientes bits del registro 3 de control CCPx pueden permitir la funcionalidad siguiente:

bit 31 OETRIG: Habilitación de salida en el bit de control de la activación

1 = Para el modo activado (TRIGEN = 1), el módulo no excita las patillas de salida hasta la activación
0 = Operación normal de las patillas de salida

35
bit 26-24 OSCNT[2:0]: Bits de recuento monoestable (2)

111 = Extender el evento de activación monoestable 7 ciclos de recuento de la base de tiempos (8 periodos de la base de tiempos en total)
110 = Extender el evento de activación monoestable 6 ciclos de recuento de la base de tiempos (7 periodos de la base de tiempos en total)
40
101 = Extender el evento de activación monoestable 5 ciclos de recuento de la base de tiempos (6 periodos de la base de tiempos en total)
100 = Extender el evento de activación monoestable 4 ciclos de recuento de la base de tiempos (5 periodos de la base de tiempos en total)
45
011 = Extender el evento de activación monoestable 3 ciclos de recuento de la base de tiempos (4 periodos de la base de tiempos en total)
010 = Extender el evento de activación monoestable 2 ciclos de recuento de la base de tiempos (3 periodos de la base de tiempos en total)
001 = Extender el evento de activación monoestable 1 ciclo de recuento de la base de tiempos (2 periodos de la base de tiempos en total)
50
000 = No extender el evento de activación monoestable.

ES 2 574 656 T3

bit 27 No implementado: Leer como '0'

bit 26-24 OUTM[2:0]: Bits de control del modo de salida

111 = Reservado

110 = Modo de barrido de salida

5 101 = Modo de salida en motor de escobillas de CC, marcha adelante

100 = Modo de salida en motor de escobillas de CC, marcha atrás

011 = Reservado

010 = Modo de salida de semipunte

001 = Modo de salida de contrafase

10 000 = Modo de salida de encaminamiento único

bit 23-22 No implementado: Leer como '0'

bit 21 POLACE: Bit de control de la polaridad de las patillas OCxA, OCxC y OCxE de CCP

1 = La polaridad de las patillas de salida es ACTIVA BAJA

0 = La polaridad de las patillas de salida es ACTIVA ALTA

15 bit 20 POLBDF: Bit de control de la polaridad de las patillas OCxB, OCxD y OCxF de CCP

1 = La polaridad de las patillas de salida es ACTIVA BAJA

0 = La polaridad de las patillas de salida es ACTIVA ALTA

bit 19-18 PSSACE[1:0]: Bits de control del estado de apagado de las patillas de salida OCxA, OCxC y OCxE de PWM

20 11 = Las patillas son pasadas a ACTIVAS cuando ocurre un evento de apagado

10 = Las patillas son pasadas a INACTIVAS cuando ocurre un evento de apagado

0x = Las patillas reciben un triple estado cuando ocurre un evento de apagado

bit 17-16 PSSBDF[1:0]: Bits de control del estado de apagado de las patillas de salida OCxB, OCxD y OCxF de PWM

25 11 = Las patillas son pasadas a ACTIVAS cuando ocurre un evento de apagado

10 = Las patillas son pasadas a INACTIVAS cuando ocurre un evento de apagado

0x = Las patillas reciben un triple estado cuando ocurre un evento de apagado

bit 15-6 No implementado: Leer como '0'

bit 5-0 DT[5:0]: Bits selectores de tiempo muerto de captura/comparación/PWM

30 111111 = Insertar 63 periodos de demora de tiempo muerto entre señales complementarias de salida

□...

000010 = Insertar 2 periodos de demora de tiempo muerto entre señales complementarias de salida

000001 = Insertar 1 periodo de demora de tiempo muerto entre señales complementarias de salida

000000 = Lógica de tiempo muerto inhabilitada

35 La Fig. 6 muestra un diagrama de bloques de un microcontrolador en el que solo se representan las funciones esenciales. Una unidad central 260 de procesamiento (CPU) puede estar acoplada con la base de tiempos 250 programable para su configuración. La base de tiempos 250 puede ser implementada según se muestra en la Fig. 4. Sin embargo, la base de tiempos puede tener lógica adicional para generar señales más complejas que puedan requerir los dispositivos periféricos. La base de tiempos 250 programable puede recibir para su selección una pluralidad de señales de reloj, así como una pluralidad de señales de indicación de activación y/o sincronización. Según se ha declarado anteriormente, la base de tiempos 250 programable puede generar una amplia variedad de señales de eventos según su modo de operación. Estas señales pueden ser proporcionadas a respectivos dispositivos periféricos 210-240 a través de un bus dedicado o mediante líneas de control individuales. Dependiendo de la funcionalidad, pueden proporcionarse una o más líneas de control por periférico. En el ejemplo mostrado en la Fig. 6, se proporciona una unidad 210 de captura y comparación que, tras recibir una señal de activación, puede almacenar uno o más valores de temporizador en una memoria FIFO asociada. Con este fin, puede suministrarse una secuencia de señales de activación a la unidad 210 de captura y comparación. Alternativamente o en combinación, podría conectarse una pluralidad de líneas de activación a la unidad de captura y comparación, generando la base de tiempos 250 programable señales secuenciales por diferentes líneas de control. Así, por ejemplo, podrían capturarse tres valores de temporizador diferentes usando tres señales de control separadas.

La Fig. 6 también muestra una unidad convertidora 220 analógico-digital (ADC), que puede ser activada por la señal del evento. Aquí, por ejemplo, puede usarse la señal original de activación para iniciar la conversión, pudiendo

usarse la señal de evento generada por la base de tiempos programable para leer el valor convertido para escritura en un FIFO o registro.

5 Como ejemplo adicional, la Fig. 6 muestra un controlador 230 de acceso directo a memoria (DMA) que podría ser activado para llevar a cabo cualquier tipo de transferencia de datos de la memoria a un dispositivo periférico o viceversa.

Otro ejemplo adicional mostrado en la Fig. 6 es una unidad 240 de modulación por ancho de impulso que podría ser activada por una o más señales de eventos generadas por la base de tiempos 250 programable.

Un módulo como el mostrado en la Fig. 6 puede ser diseñado con las siguientes metas en mente:

- 10 – Combinar funciones de base de tiempos, captura de entrada, comparación y PWM en un único periférico para simplificar el encaminamiento de señales en el ámbito del dispositivo.
- Capturar el diseño y la funcionalidad de los módulos de CCP y ECCP encontrados en los productos de 8 bits fabricados por el solicitante, pero crear un periférico apropiado al espacio de 16 bits y 32 bits del producto de MCU de uso general.
- 15 – Proporcionar una funcionalidad similar a la de los periféricos existentes de comparación de salidas y captura de entrada encontrados en los dispositivos microcontroladores existentes.
- Proporcionar una resolución de flanco de 20 ns o mejor en el modo PWM.
- Proporcionar la funcionalidad requerida en el modo PWM para soportar una gama seleccionada de aplicaciones de control de motores, de suministro de energía y de iluminación.
- Crear un módulo universal que pueda ser aplicado a todos los tipos de microcontroladores.

20 Según diversas realizaciones, pueden proporcionarse las siguientes funciones:

- Base de tiempos interna y registro de periodos
- Divisor de frecuencia del reloj de entrada para la base de tiempos
- Activación de la salida para conversiones ADC
- Divisor de la frecuencia de salida para los eventos o las activaciones de interrupciones de módulos
- 25 – Base de tiempos de 32 bits para modos operativos seleccionados
- Modo de base de tiempos
- Modos de captura:
 - Conjunto de características similar a las del módulo icap_v4
 - Captura de 16 bits de la base de tiempos por un evento externo
 - 30 – Memoria tampón de captura de profundidad 4
 - Multiplexor de entradas de fuente de captura
- Modos comparación de salidas:
 - Conjunto de características similar a las del módulo ocmp_v4
 - Modos de comparación de flanco único
 - 35 – Modos de comparación de flanco doble
 - Modo de comparación de alineamiento central
 - Modo de impulsos de frecuencia variable
 - Modo de entrada externa
- Funciones de control de salida para la comparación de salidas:
 - 40 – Modo de encaminamiento único de salida
 - Modos directo e inverso del motor de escobillas de CC
 - Semipuente con retardo de tiempo muerto
 - Modo de PWM de contrafase
 - Parada automática con fuente programable y estado de parada
 - 45 – Polaridad de salida programable

Pueden implementarse instancias múltiples del módulo de la base de tiempos en un dispositivo para proporcionar muchos canales de funcionalidad de captura, comparación o PWM según una realización. Según otra realización, puede soportarse una salida de PWM en múltiples patillas de salida de un dispositivo. Por ende, podrían realizarse las funciones siguientes:

- 50 – Lógica de control de tiempos muertos
- Modos operativos de semipuente, contrafase y motor de escobillas de CC
- Encaminamiento de salida de PWM

Puede implementarse el conjunto de características de PWM avanzada en un dispositivo con dos, cuatro o seis patillas de salida para simplificar los requisitos de multiplexado de las patillas de E/S.

Aunque opere como un activador, el temporizador puede operar en un modo monoestable. Se habilita el modo monoestable poniendo el bit CCPxCON1.ONESHOT. En el modo monoestable, el temporizador sigue en reinicialización hasta que se produce un evento de activación. Este evento establece el bit TRIG y el temporizador empieza a contar. Cuando el temporizador dé la vuelta en 0000h, el bit TRIG será puesto a cero por el soporte físico. Esto mantiene el temporizador en reinicialización hasta el siguiente evento de activación, creando un temporizador monoestable.

Los bits de control CCPxCON3.OSCNT[2:0] permiten que un evento de activación monoestable se extienda durante más de un ciclo de recuento de la base de tiempos. Esta característica resulta útil, por ejemplo, cuando el módulo precisa crear más de un impulso en un evento de activación.

La Figura 7 muestra una aplicación típica del temporizador del módulo en una aplicación activada. En la Figura 7, un evento de activación puede ser generado por otro módulo OC (de comparación de salidas), módulo temporizador, módulo IC (de captura de entrada), comparador analógico, o cualquier otra función conectada en el nivel superior.

Son posibles las siguientes configuraciones operativas para activar la base de tiempos:

1. Se recibe una señal de activación desde una fuente externa y la fuente de reloj de la base de tiempos, tmr_clk, está ACTIVA. Este es la configuración operativa normal del módulo.
2. Se recibe una señal de activación desde una fuente externa y la fuente de reloj de la base de tiempos, tmr_clk, está INACTIVA. El módulo debe solicitar la fuente de reloj de la base de tiempos antes de que pueda iniciarse la operación activada. La segunda configuración puede usarse cuando el dispositivo está en un estado de baja potencia. Cuando se recibe la activación desde la fuente externa, el módulo habilitará la fuente de reloj seleccionada para la base de tiempos. Cuando la fuente de reloj está disponible, el módulo iniciará la operación activada. Si el módulo está en el modo de activación monoestable, la fuente de reloj de la base de tiempos será inhabilitada cuando el bit de estado TRIG sea puesto a cero en el soporte físico. La base de tiempos permanecerá inhabilitado hasta que se reciba una nueva señal de activación. Esta operación permite que el módulo permanezca en un estado de baja potencia hasta que se requiera. La señal de activación es generada por una fuente externa o por una fuente interna que opere partiendo de un reloj de baja frecuencia/baja potencia. Si SLPEN = 1, el módulo seguirá solicitando la fuente de reloj de la base de tiempos cuando el dispositivo entre en el modo de reposo.

REIVINDICACIONES

1. Un microcontrolador que comprende una base de tiempos (100) programable, comprendiendo la base de tiempos (100) una indicación de activación para poner en marcha un temporizador o primer contador (110) de la base de tiempos (100) para generar una o más señales de eventos periódicos;
- 5 **caracterizado porque**
la base de tiempos (100) es programable para operar en uno de al menos tres modos, configurándose la base de tiempos (100) tras recibir una señal (125) de activación:
- 10 en el primer modo para generar una pluralidad de señales de eventos periódicos de temporizador/contador por medio de dicho temporizador o primer contador (110) hasta que se establece un bit de reinicialización en un registro de control,
en el segundo modo para generar una única señal de un evento de temporizador/contador por medio de dicho temporizador o primer contador (110), y
en el tercer modo para generar un número predefinido de señales de eventos de temporizador/contador por medio de dicho temporizador o primer contador (110), estando definido el número predefinido por una pluralidad de bits de un registro (CCPxCON3) y estando controlado por un segundo contador (180) asociado.
- 15 2. Un procedimiento para generar señales de eventos por medio de una base de tiempos (100) programable en un microcontrolador que puede operar en uno de al menos tres modos, que comprende:
- cuando opera en un primer modo:
- 20 – tras recibir una indicación (125) de activación, poner en marcha un temporizador o contador (110) de la base de tiempos (100) y generar una pluralidad de señales de eventos de temporizador/contador hasta que se establece un bit de reinicialización en un registro de control;
- cuando opera en un segundo modo:
- 25 – tras recibir una indicación (125) de activación, generar una única señal de un evento de temporizador/contador; y
- cuando opera en un tercer modo:
- tras recibir una indicación (125) de activación, generar un número predefinido de señales de eventos de temporizador/contador, estando definido el número predefinido por una pluralidad de bits de un registro (CCPxCON3) y estando controlado por un segundo contador (180) asociado.
- 30 3. El microcontrolador según la reivindicación 1 en el que la pluralidad de bits son bits del registro de control o en el que el registro de control es un primer registro de control (CCPxCON1; CCPxCON2) y la pluralidad de bits son bits de un segundo registro de control (CCPxCON3) asociado con la base de tiempos (100).
4. El microcontrolador según las reivindicaciones 1 o 3 o el procedimiento según la reivindicación 2 en el que se establece el primer modo poniendo un bit de primer modo, y el segundo modo se establece poniendo un bit de segundo modo y, opcionalmente, en el que los bits primero y segundo son bits de un tercer registro de control asociado con la base de tiempos.
- 35 5. El microcontrolador o el procedimiento según una de las reivindicaciones precedentes en el que se establece el tercer modo se poniendo dicho bit de segundo modo y poniendo la pluralidad de bits a un valor > 0.
6. El microcontrolador según la reivindicación 1 que, además, comprende una unidad de modulación por ancho de impulso de captura y comparación (CCP) o una unidad CCP de salida múltiple (MCCP).
- 40 7. El microcontrolador o el procedimiento según una de las reivindicaciones precedentes en el que la base de tiempos (100) comprende un comparador (140) acoplado con el primer contador (110) y un registro (150) de periodos.
8. El microcontrolador o el procedimiento según la reivindicación 7 en el que la base de tiempos (100) comprende, además, una unidad lógica monoestable (170) operable para controlar la base de tiempos (100) para generar una única señal de evento tras la recepción de una señal (125) de activación, estando retardada la señal del evento con respecto a la señal (125) de activación según un valor predefinido almacenado en el registro (150) de periodos.
- 45 9. El microcontrolador o el procedimiento según la reivindicación 7 en el que el segundo contador (180) es operable para controlar la base de tiempos (100) para generar un número predefinido de señales de eventos tras la recepción de una señal (125) de activación, estando definido cada periodo de tiempo entre eventos por
- 50

un valor almacenado en el registro (150) de periodos y estando definido el número de señales de eventos por dicho segundo contador (180).

10. El microcontrolador según la reivindicación 8 que, además, comprende lógica para generar una pluralidad de señales de control predefinidas para cada evento.
- 5 11. El procedimiento según la reivindicación 2 que, además, comprende, cuando opera en el tercer modo, controlar una unidad (210) de captura y comparación para almacenar una pluralidad de valores de captura.
12. El procedimiento según la reivindicación 2 que, además, comprende, cuando opera en el tercer modo, controlar una unidad capacitiva (195) de medición de tiempo para capturar una pluralidad de mediciones de tiempo.
- 10 13. El procedimiento según la reivindicación 2 que, además, comprende, cuando opera en el tercer modo, controlar un convertidor analógico-digital (195; 220) para almacenar una pluralidad de valores convertidos.
14. El procedimiento según la reivindicación 2 que, además, comprende, cuando opera en el tercer modo, controlar un controlador (230) de acceso directo a la memoria para llevar a cabo una pluralidad de transferencias de datos.
- 15 15. El procedimiento según la reivindicación 2 en el que la CPU (260) del microcontrolador está en un modo de reposo de baja potencia cuando la base de tiempos genera señales de eventos.

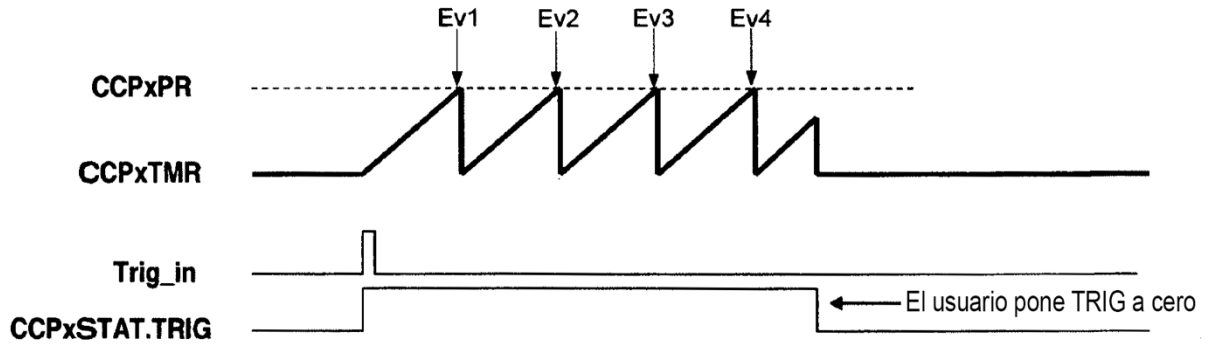


FIGURA 1

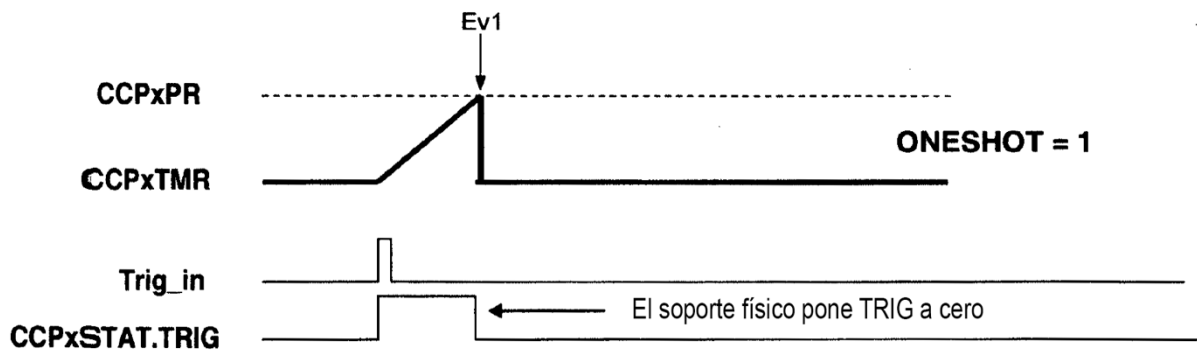


FIGURA 2

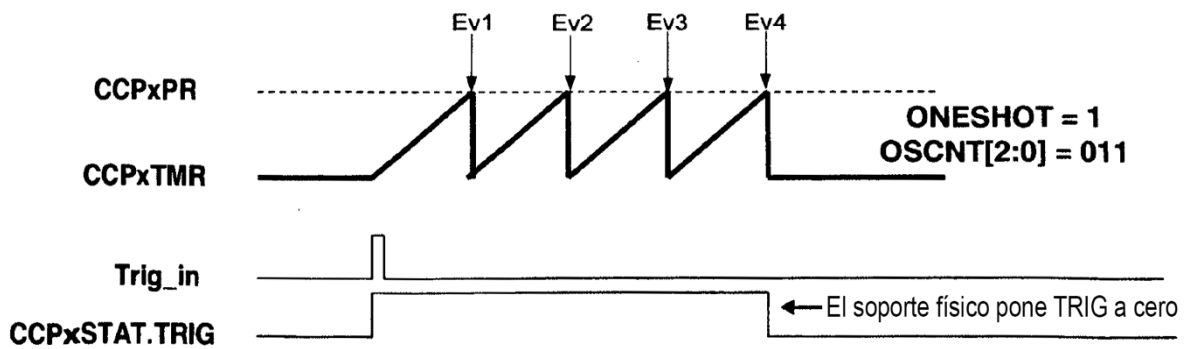


FIGURA 3

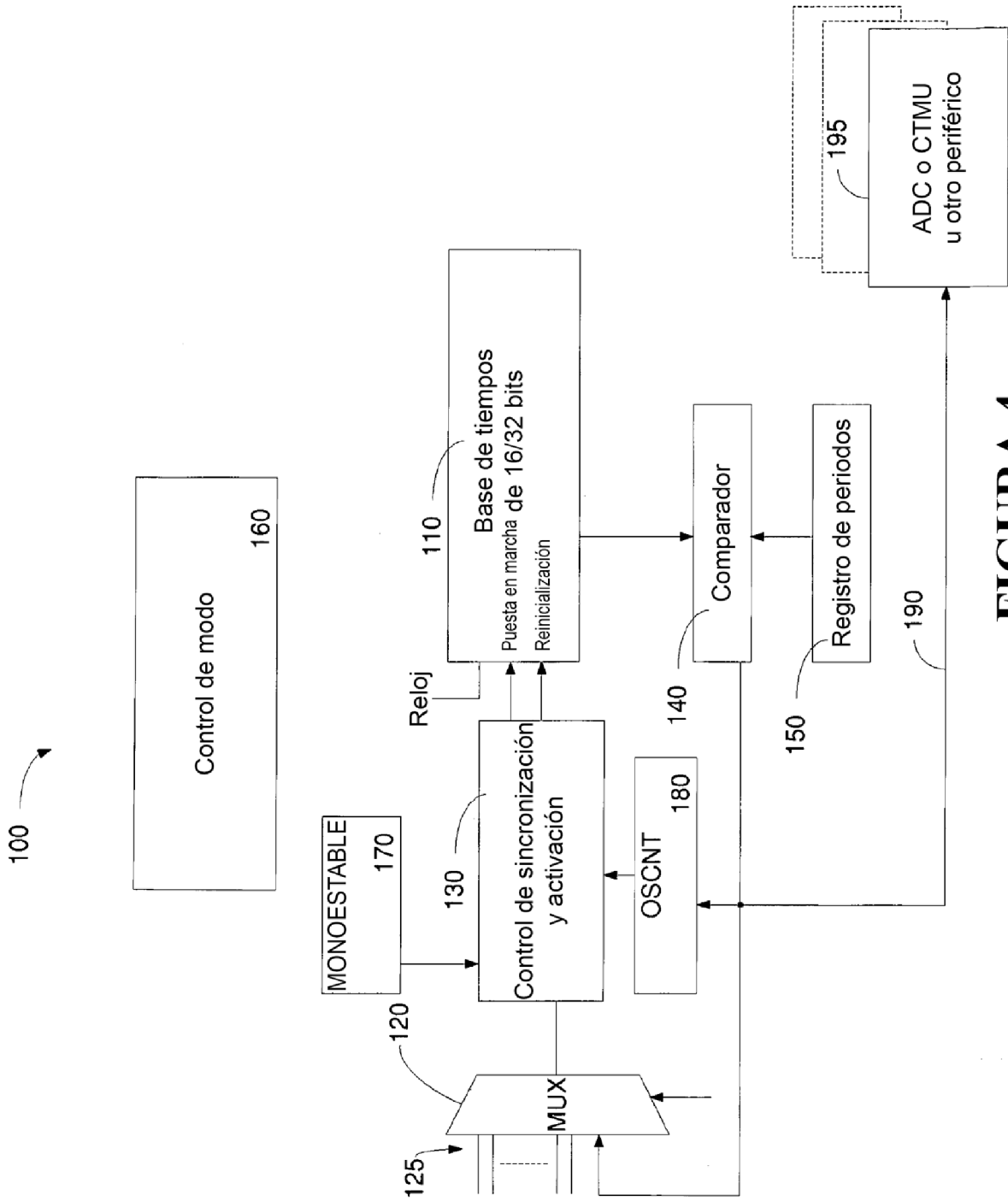


FIGURA 4

REGISTRO 1 DE CONTROL CCPx: CCPxCON1

R/W-0†	U-0	U-0	U-0	R/W-0†	R/W-0†	R/W-0†	R/W-0†
OPSSRC	—	—	—	OPS3	OPS2	OPS1	OPS0
31	30	29	28	27	26	25	24
R/W-0†	R/W-0†	R/W-0†	R/W-0†	R/W-0†	R/W-0†	R/W-0†	R/W-0†
TRIGEN	ONESHOT	SYNCOSEL	SYNCA	SYNCA	SYNCA	SYNCA	SYNCA
23	22	21	20	19	18	17	16
R/W-0†	R/W-0†	R/W-0†	R/W-0†	R/W-0†	R/W-0†	R/W-0†	R/W-0†
ON	FRZ	SIDL	SLPEN	TSYNC	CS2	CS1	CS0
15	14	13	12	11	10	9	8
R/W-0†	R/W-0†	R/W-0†	R/W-0†	R/W-0†	R/W-0†	R/W-0†	R/W-0†
TPS1	TPS0	T32	CCM	MOD3	MOD2	MOD1	MOD0
7	6	5	4	3	2	1	0

REGISTRO 2 DE CONTROL CCPx: CCPxCON2

R/W-0†	U-0	R/W-0†	R/W-0†	R/W-0†	R/W-0†	R/W-0†	R/W-1†
OENSYNC	—	OCFEN ⁽¹⁾	OCEEN ⁽¹⁾	OCDEN ⁽¹⁾	OCCEN ⁽¹⁾	OCCEN ⁽¹⁾	OCAEN
31	30	29	28	27	26	25	24
R/W-0†	R/W-0†	U-0	R/W-0†	R/W-0†	R/W-0†	R/W-0†	R/W-0†
ICGSM1	ICGSM0	—	AOUTSEL1	AOUTSEL0	ICS2	ICS1	ICS0
23	22	21	20	19	18	17	16
R/W-0†	R/W-0†	U-0	R/W-0†	U-0	U-0	U-0	U-0
RSEN	ASDGM	—	SSDG	—	—	—	—
15	14	13	12	11	10	9	8
R/W-0†	R/W-0†	R/W-0†	R/W-0†	R/W-0†	R/W-0†	R/W-0†	R/W-0†
ASDG7	ASDG6	ASDG5	ASDG4	ASDG3	ASDG2	ASDG1	ASDG0
7	6	5	4	3	2	1	0

REGISTRO 3 DE CONTROL CCPx: CCPxCON3

R/W-0†	R/W-0†	R/W-0†	R/W-0†	U-0	R/W-0†	R/W-0†	R/W-0†
OETRIG	OSCNT2	OSCNT1	OSCNT0	—	OUTM2 ⁽¹⁾	OUTM1 ⁽¹⁾	OUTM0 ⁽¹⁾
31	30	29	28	27	26	25	24
U-0	U-0	R/W-0†	R/W-0†	R/W-0†	R/W-0†	R/W-0†	R/W-0†
—	—	POLACE	POLBDF ⁽¹⁾	PSSACE1	PSSACE0	PSSBDF1 ⁽¹⁾	PSSBDF0 ⁽¹⁾
23	22	21	20	19	18	17	16
U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
—	—	—	—	—	—	—	—
15	14	13	12	11	10	9	8
U-0	U-0	R/W-0†	R/W-0†	R/W-0†	R/W-0†	R/W-0†	R/W-0†
—	—	DT5 ⁽¹⁾	DT4 ⁽¹⁾	DT3 ⁽¹⁾	DT2 ⁽¹⁾	DT1 ⁽¹⁾	DT0 ⁽¹⁾
7	6	5	4	3	2	1	0

FIGURA 5

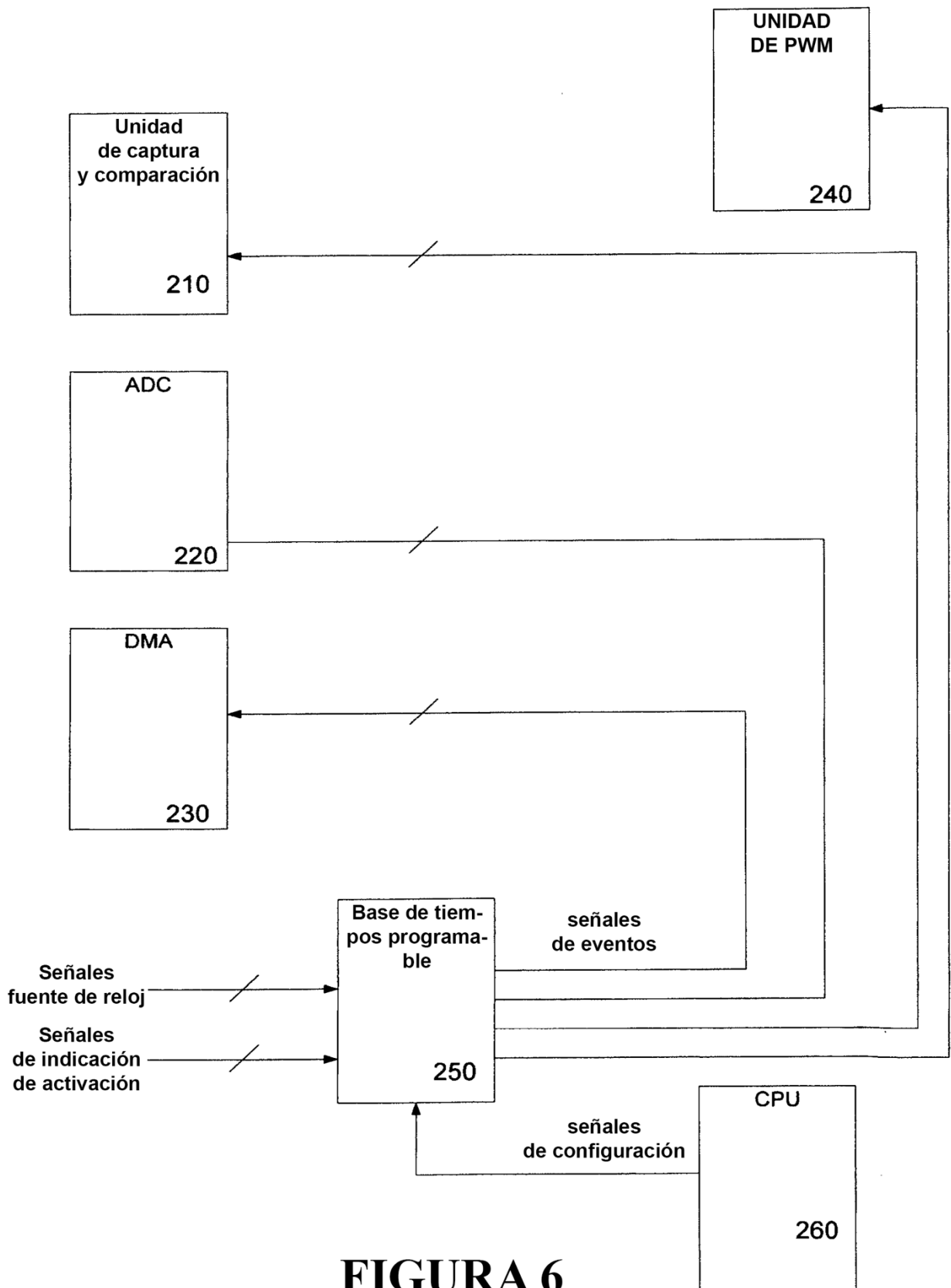


FIGURA 6

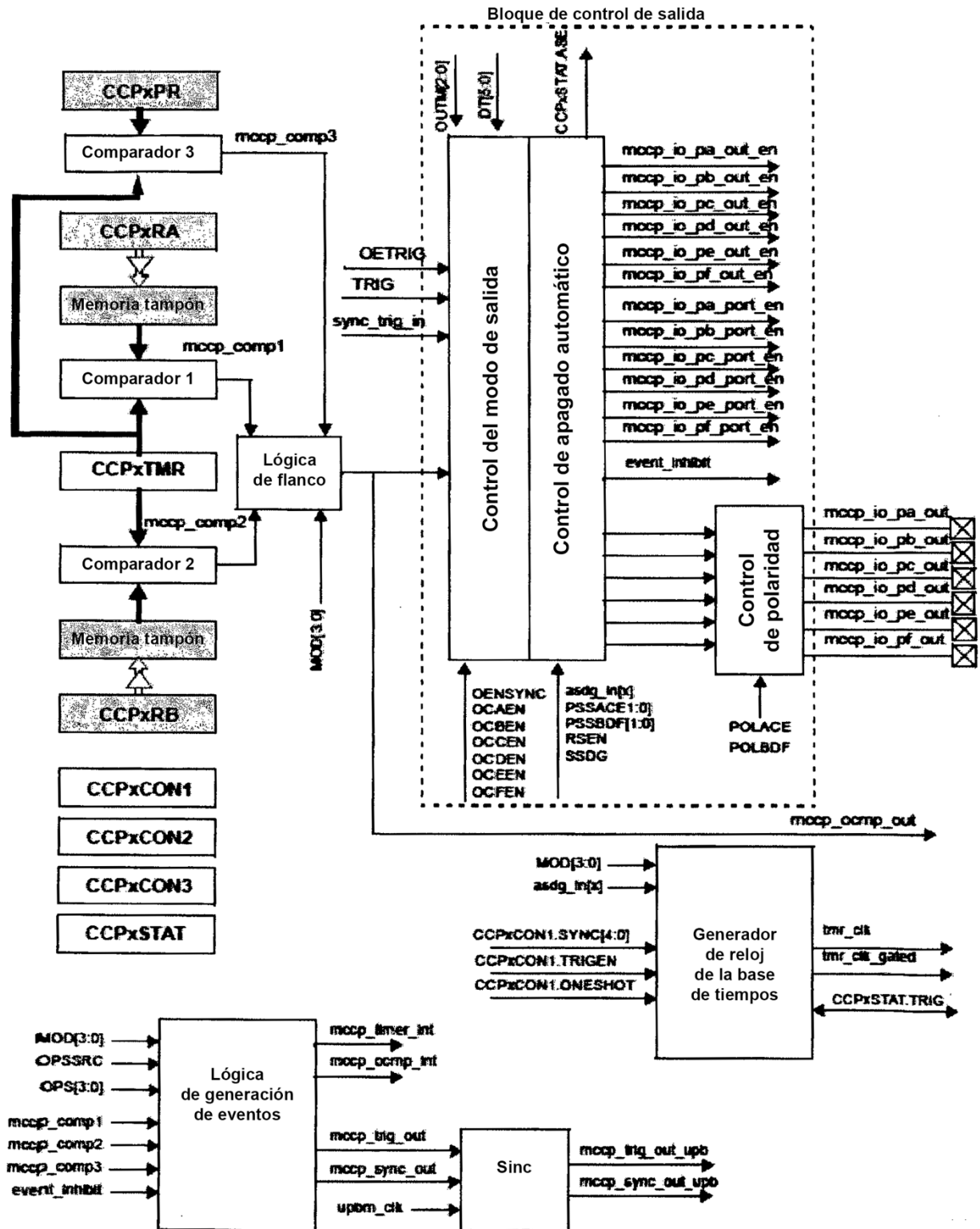


FIGURA 7