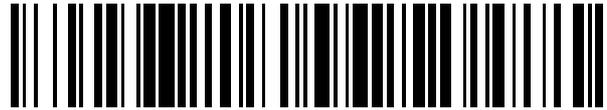


19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 574 844**

51 Int. Cl.:

G06F 13/42 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **09.11.2012 E 12795181 (2)**

97 Fecha y número de publicación de la concesión europea: **06.04.2016 EP 2776933**

54 Título: **Dispositivo de extremo frontal analógico con interfaz de dos cables**

30 Prioridad:

11.11.2011 US 201161558536 P
08.11.2012 US 201213671903

45 Fecha de publicación y mención en BOPI de la traducción de la patente:
22.06.2016

73 Titular/es:

MICROCHIP TECHNOLOGY INCORPORATED
(100.0%)
2355 West Chandler Boulevard
Chandler, Arizona 85224-6199, US

72 Inventor/es:

QUIQUEMPOIX, VINCENT

74 Agente/Representante:

CARPINTERO LÓPEZ, Mario

ES 2 574 844 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Dispositivo de extremo frontal analógico con interfaz de dos cables

La presente descripción se refiere a dispositivos de extremo frontal analógico.

La solicitud internacional WO 01/63770 divulga un conversor de analógico a digital que incluye un circuito de interfaz de dos cables. La patente US 5.796.361 divulga un circuito integrado de digitalización de señal CCD.

Existe una necesidad de dispositivos de extremo frontales de medición de derivación de alimentación/energía polifásicos para la medición inteligente respetando la necesidad de reducir el coste de los aisladores y los costes inducidos por el manejo de extremos frontales separados para dispositivos separados aislados y no aislados. Este y otros objetos se pueden lograr mediante un dispositivo de extremo frontal analógico, un procedimiento y un sistema como se define en las reivindicaciones independientes. Otras mejoras se caracterizan en las reivindicaciones dependientes.

De acuerdo con diversas realizaciones un dispositivo de extremo frontal analógico (AFE) comprende al menos un conversor (ADC) de analógico a digital y una interfaz de serie conmutable para operar en un modo de interfaz de serie bidireccional y en un modo de interfaz de serie de dos cables unidireccional, en el que el modo de interfaz de serie de dos cables unidireccional sólo utiliza una entrada de reloj y una línea de señal de salida de datos, en el que el ADC opera en el modo de interfaz de serie de dos cables unidireccional síncrono con un reloj suministrado a la entrada de reloj.

De acuerdo con una realización adicional, cuando la interfaz de serie está configurada en el modo de interfaz de serie de dos cables unidireccional, una salida de datos en la línea de señal de salida de datos puede ser una estructura semántica. De acuerdo con una realización adicional, el ADC puede comprender al menos uno de una referencia interna de voltaje, una generación de reloj interno, y un amplificador de ganancia interna. De acuerdo con una realización adicional, el dispositivo de AFE puede comprender además un PLL para generar una señal de reloj interna que es más rápida que una señal de reloj provista en dicha interfaz de serie de dos cables. De acuerdo con una realización adicional, el ADC programable puede ser un conversor sigma-delta impulsado por la señal de reloj proporcionada por la interfaz de serie de dos cables. De acuerdo con una realización adicional, el dispositivo de AFE puede ser diseñado para restablecerse automáticamente cuando una señal de reloj en dicha entrada de reloj se mantiene durante un cierto tiempo a un nivel lógico definido o flotante. De acuerdo con una realización adicional, el AFE puede estar dispuesto dentro de una carcasa que comprende clavijas externas y en el que algunas de las clavijas externas están configuradas para programar el modo operativo y el ADC mediante respectivas señales aplicadas a algunas de las clavijas externas. De acuerdo con una realización adicional, las señales se pueden seleccionar a partir de una fuente de alimentación y tierra o cualquier otro nivel de voltaje de CC fijo, o mediante un detector de nodo flotante. De acuerdo con una realización adicional, una tasa de sobremuestreo puede ser programada por al menos una de dichas clavijas externas. De acuerdo con una realización adicional, una clavija se puede proporcionar para la programación del modo operativo de dicha interfaz en serie. De acuerdo con una realización adicional, una ganancia puede ser programada por al menos una de dichas clavijas. De acuerdo con una realización adicional, dos clavijas se pueden proporcionar para la programación de la ganancia. De acuerdo con una realización adicional, una trama puede comprender un valor de registro de trama y datos de trama y en el que una trama se transmite a través de dicha interfaz en serie después de que una señal preparada de datos se genera por dicho ADC. De acuerdo con una realización adicional, la trama puede comprender ajustes de los parámetros de dicho dispositivo de AFE. De acuerdo con una realización adicional, la trama se puede repetir n veces entre las señales de listas de datos consecutivos. De acuerdo con una realización adicional, cada una de las tramas puede incorporar un recuento de tramas a ser reconocidos a partir de otro. De acuerdo con una realización adicional, la trama puede contener la suma de comprobación y/o la suma de comprobación CRC de manera que la integridad de la transmisión de datos puede ser verificada y garantizada. De acuerdo con una realización adicional, la suma de comprobación y/o la suma de comprobación CRC puede ser colocada en el extremo de la trama. De acuerdo con una realización adicional, el dispositivo de AFE puede comprender una pluralidad de múltiples clavijas de función y una clavija externa puede estar configurada para establecer un modo operativo del dispositivo, en el que en un primer modo, el dispositivo funciona con la interfaz de serie de dos cables y utiliza las clavijas externas para la programación de dicho dispositivo de AFE y en un segundo modo, el dispositivo funciona con una interfaz digital en serie de entrada/salida estándar para la programación de dicho dispositivo de AFE. De acuerdo con una realización adicional, en una fase de inicialización del dispositivo de AFE puede utilizar un protocolo de 1 hilo o una interfaz UART para programar la parte y luego la parte devuelve automáticamente en el modo de 2 hilos.

De acuerdo con otra realización, un procedimiento de operar un dispositivo de extremo frontal analógico (AFE) que comprende un conversor de analógico a digital y una interfaz conmutable en serie entre un primer y un segundo modo operativo, puede comprender las etapas de: seleccionar dicho primero o dicho segundo modo operativo por medio de una clavija externa, en el que en dicho primer modo operativo, la interfaz de serie opera en un modo de interfaz en serie bidireccional y en dicho segundo modo operativo en un modo de interfaz en serie de dos cables unidireccional, en el que el modo de interfaz de serie de dos cables unidireccional solo utiliza una entrada de reloj y una línea de señal de salida de datos; programar el conversor (ADC) de analógico a digital por medio de clavijas externas; y transmitir los valores digitales adquiridos por el ADC a través de la interfaz en serie, en el que cuando

dicho se selecciona el segundo modo operativo, el ADC funciona síncrono con un reloj suministrado a la entrada de reloj.

Según una realización adicional del procedimiento, el procedimiento puede comprender además, cuando se selecciona dicho segundo modo operativo, emitir datos de estructura semántica en la línea de señal de salida de datos. Según una realización adicional del procedimiento, una trama puede comprender un valor de registro de trama seguido por dichos valores digitales ADC. Según una realización adicional del procedimiento, el dispositivo de AFE puede comprender un amplificador de ganancia y el procedimiento comprende además la programación del amplificador de ganancia por medio de clavijas externas cuando se selecciona dicho segundo modo operativo. Según una realización adicional del procedimiento, la trama puede comprender ajustes de los parámetros de dicho dispositivo de AFE. De acuerdo con una realización adicional del procedimiento, un número de cuadros puede ser emitido durante las señales de preparadas de datos consecutivos de ADC.

De acuerdo con todavía otra realización, un procedimiento para operar un dispositivo de extremo frontal analógico en un primer y segundo modo operativo, en el que el dispositivo de extremo frontal analógico comprende un convertidor (ADC) de analógico a digital programable; un amplificador de ganancia programable, y una interfaz en serie dispuesta en una carcasa con una pluralidad de clavijas de múltiples funciones, comprendiendo el procedimiento: proporcionar una clavija externa para seleccionar el primer o el segundo modo operativo; en el que en el primer modo operativo, las clavijas de múltiples funciones se controlan para proporcionar una interfaz de serie bidireccional para dicho dispositivo de AFE, y en el que en el segundo modo operativo, las clavijas de múltiples funciones se controlan para proporcionar una interfaz en serie unidireccional de clavija reducida y programabilidad del dispositivo de AFE a través de al menos una de dicha clavija de múltiples funciones.

De acuerdo con una realización adicional del procedimiento anterior, cuando en dicho segundo modo, dicha interfaz de serie puede funcionar como interfaz en serie unidireccional que recibe una señal de reloj y da salida a una trama que comprende un valor de registro de trama seguido por valores digitales adquiridos por el ADC, y en donde la señal de reloj recibida se utiliza para hacer funcionar dicho ADC. De acuerdo con una realización adicional del procedimiento anterior, un número de tramas puede ser emitido durante las señales de listas de datos consecutivos del ADC. De acuerdo con una realización adicional del procedimiento anterior, la trama puede comprender ajustes de los parámetros de dicho dispositivo de AFE.

De acuerdo con todavía otra realización, un sistema puede comprender una pluralidad de dispositivos de AFE como se describe anteriormente y comprende además una unidad de microcontrolador, un dispositivo de aislamiento digital para cada AFE, en el que un dispositivo de aislamiento digital incluye un conjunto de unidades de aislamiento digitales bidireccionales para transmitir un dato señal del AFE y la recepción de una señal de reloj de la unidad de microcontrolador, en el que el microcontrolador comprende entradas en serie separadas para cada AFE.

De acuerdo con una realización adicional del sistema anterior, una sola salida de reloj del microcontrolador puede estar acoplada a través de dichos dispositivos de aislamiento digital con cada AFE. De acuerdo con una realización adicional del sistema anterior, el microcontrolador puede comprender salidas de reloj dedicadas para cada AFE. De acuerdo con una realización adicional del sistema anterior, cada dispositivo de aislamiento digital puede comprender una entrada de selección de chip en un lado conectado al microcontrolador del dispositivo de aislamiento digital, en el que las entradas de selección de chip se acoplan con las respectivas salidas de puerto del microcontrolador.

La figura 1 muestra un sistema convencional con sensores aislados;

la figura 2 muestra un sistema convencional con sensores no aislados;

las figuras 3A y 3B muestran diferentes realizaciones de dispositivo de extremo frontal analógico autónomo;

la figura 3C muestra una realización según las figuras 3A o 3B en combinación con un microcontrolador;

las figuras 4A y 4B muestra el tiempo de varias señales de señales externas e internas y la interfaz de dos cables de acuerdo con diversas realizaciones;

las figuras 5 y 6 muestran las disposiciones del sistema de acuerdo con diversas realizaciones;

la figura 7 muestra una realización de una carcasa para un dispositivo de extremo frontal analógico;

la figura 8 muestra una realización de una interfaz de tres hilos.

la figura 9 muestra una posible estructura de trama; y

las figuras 10 y 11 muestra diagramas de tiempo de salida de datos de acuerdo con varias realizaciones.

De acuerdo con diversas realizaciones, un dispositivo de interfaz analógica permite manejar aplicaciones aisladas con casi ninguna diferencia de costes para el extremo frontal analógico. Las diversas realizaciones pueden reducir el coste de los sistemas de poli-fase aislados digitales mediante la reducción del número de canales de comunicación para 2 canales unidireccionales (uno para el reloj uno para la salida de datos).

La medición de modo dual del extremo frontal analógico tanto para aplicaciones de medición aisladas y no aisladas de acuerdo con diversas realizaciones permite utilizar el mismo circuito para ser utilizado en aplicaciones de medición aisladas y no aisladas y ofrecen un modo dedicado y la comunicación de interfaz en serie para aplicaciones aisladas.

5 Los extremos frontales analógicos de medición de energía/potencia requieren aislamiento de la tensión de red (110V o 220V). Otras aplicaciones también pueden requerir este tipo de aislamiento en la medición de un voltaje o corriente que viene de un dominio de alimentación de tensión diferente. Este problema de aislamiento a menudo se resuelve mediante el uso de sensores aislados 120, 130 140 como transformadores de corriente o bobinas de Rogowski, junto con una placa de circuito impreso de medición principal 110 como se muestra en la figura 1. El símbolo de referencia 150 muestra la barrera de aislamiento en un sistema de este tipo 100. Por lo tanto, la figura 1 muestra sensores aislados 120, 130, 140 en combinación con un dispositivo de medición 110. Las fases se aislaron a través de los sensores. Esto se puede lograr con transformadores de corriente que son muy frecuentes, aunque caros y que tienen problemas de fase y manipulación, con bobinas de Rogowski que son menos costosas, muy lineales, pero que tienen problemas de armónicos altos o, por ejemplo, con sensores de efecto Hall, que necesitan un ASIC, y tienen muchos problemas mecánicos y EMI.

Estos sensores 120, 130, 140 aíslan el dispositivo de dosificación (extremo frontal analógico) 110 a partir de la tensión de línea y tienen una salida de tensión o corriente que puede ser detectada por dichos dispositivos. Sin embargo, como se mencionó anteriormente, estos sensores suelen ser caros o requieren una gran cantidad de procesamiento de extremo trasero para superar algunos problemas de no linealidad o de precisión. El sensor de corriente más popular para medición de energía es una simple resistencia de derivación (valores a menudo muy pequeños en el rango de 100 micro-ohmios) debido a su coste, linealidad, tamaño, disponibilidad. El problema con la resistencia de derivación es que no hay aislamiento en este dispositivo. Para la medición de potencia de 1 fase, la placa principal donde reside el extremo frontal analógico se puede hacer referencia a la tensión de la línea para evitar la necesidad de aislamiento. Sin embargo, esto no es cierto para la medición de fases múltiples, donde tienen que aislarse entre sí y donde todos los extremos frontales analógicos que residen en cada fase necesitan comunicar información de medición entre sí o a un procesador principal o unidad de microcontrolador (MCU). En este caso, un sistema 200 comprende un extremo frontal analógico de medición 215, 235, 255 acoplado con respectivos sensores 210, 230, 250 que residen en cada fase aislada. Este extremo frontal 215, 235, 255 se comunica con otras fases o el procesador principal o MCU 110 con líneas de comunicación digitales a través de un número de aisladores digitales 220, 225; 240, 245; y 260, 265, como se muestra en la figura 2.

La figura 2 muestra sensores no aislados 210, 230, 350 en combinación con un dispositivo de medición 110. Las fases están aisladas para cada sensor a través de aisladores digitales 220, 235; 240, 245, y 260, 265, y debe configurarse para permitir el soporte completo de la respectiva interfaz digital entre la AFE y el procesador principal 110. Por lo tanto, si se utiliza una interfaz SPI, son necesarios cuatro aisladores digitales separados. Los sensores pueden ser derivaciones que son de muy bajo coste, muy lineal, no tienen problemas de fase, y el único problema es el consumo de energía y el aislamiento. Sin embargo, como se muestra, cada sensor requiere un dispositivo asociado de extremo frontal analógico 215, 235, y 255, y un aislador digital compatible con la interfaz digital AFE respectiva.

Para las aplicaciones que no son aisladas (donde ya se aíslan sensores), los extremos frontales analógicos a menudo utilizan un protocolo estándar de comunicación de 2/3/4 cables para comunicarse con la MCU. Esta interfaz en serie puede implementarse de acuerdo con, por ejemplo, los protocolos I²C o SPI o UART. Esta interfaz estándar ofrece buena flexibilidad y velocidad de datos. Sin embargo, cuando se trata de aplicaciones aisladas como aplicaciones de medición de derivación en múltiples fases, hay una necesidad de que el extremo frontal analógico simplifique tanto como sea posible el protocolo de comunicación para disminuir al máximo el número de aisladores digitales que son necesarios para la comunicación. Se requiere un número mínimo de aisladores para soluciones de bajo coste y, por lo tanto, una interfaz específica necesita ser desarrollada para hacer frente a esta necesidad, pero aún garantizar una flexibilidad, seguridad, velocidad de datos suficientes para funcionar correctamente. De acuerdo con diversas realizaciones, el menor número de aisladores unidireccionales, si la sincronización entre las fases debe garantizarse, puede ser de dos por fase. Además, deben proporcionarse señales de reloj mediante protocolos de transmisión de datos robustos y seguros, tal como SPI y I²C o uART.

Según diversas realizaciones, se describen un protocolo y una interfaz que pueden trabajar como una interfaz estándar SPI o como una de 2 cables (2 cables unidireccionales) dedicada para aplicaciones de múltiples fases. La interfaz de 2 cables incluye una entrada de reloj y una salida de datos. El reloj y los datos están sincronizados. El reloj se utiliza para el reloj maestro del extremo frontal analógico y la interfaz de comunicación en serie para sincronizar las salidas de datos. Este reloj puede compartirse para aplicaciones de múltiples fases, asegurando la correcta sincronización entre todas las fases y garantizando así el ángulo adecuado entre todas las fases en todo momento. Según diversas realizaciones, la salida de datos puede estar en un formato de trama, en el que cada trama aparece en un determinado período igual a un cierto número de ciclos del reloj maestro. Los datos de la trama contienen una palabra de sincronización (esto puede ser más o menos de un byte, señal de 1 bit o trama en serie de múltiples bits), un byte que contiene la configuración del extremo frontal (de nuevo esto puede ser una trama en serie de 1 bit o de varios bits en lugar de sólo un byte) y bytes adicionales para los datos de salida generados por el extremo frontal analógico (por ejemplo, 3 bytes por ADC en un extremo frontal analógico de doble ADC). Los datos

de salida se actualizan a una velocidad de datos fija y la clavija de salida de datos en serie envía una trama que es sincrónico con los datos generados por el extremo frontal analógico, que también es sincrónico con el reloj maestro recibido por el extremo frontal analógico. El número de aisladores utilizados en esta solución es de dos (uno para la entrada de reloj y uno para la salida de datos), pero el número de canales de comunicación es uno (que es equivalente a un cable bidireccional). El número de clavijas requerido para esta interfaz es dos, porque en la mayor parte del tiempo los aisladores digitales tienen canales unidireccionales para las transmisiones de datos.

Según diversas realizaciones, la palabra de sincronización se puede colocar en el comienzo de la comunicación de datos para poder utilizarla como un disparador de interrupción y como un patrón de reconocimiento para la unidad de microcontrolador maestro (MCU). La MCU puede reconocer esta palabra (o secuencia de bits) y permitir la recuperación de los datos una vez reconocida. Esta palabra también puede servir como un control para la sincronización entre las múltiples fases en una aplicación. De acuerdo con una realización, si el número de relojes es constante entre dos transmisiones, este patrón de sincronización permite comprender, detectar y corregir cualquier problema de sincronización que puede haber llegado a causa de una pérdida de transmisión (que es más frecuente que las aplicaciones regulares debido a la naturaleza del aislamiento digital).

Una pérdida de la sincronización se puede recuperar mediante procesamiento de software posterior en la MCU o también se puede recuperar si el reloj maestro se genera de forma independiente en cada fase. En este caso, el reloj maestro se genera normalmente de forma síncrona para cada fase y, en el caso de una mala comunicación en una de las fases, el usuario podría volver a ajustar el reloj principal de esta fase mediante el envío de más o menos los relojes que en las otras fases. Esta técnica requiere clavijas adicionales y generadores de PWM en la MCU. El procesamiento posterior para la resincronización requiere sólo un interpolador y se puede hacer en el firmware sin ser necesarias clavijas adicionales. Otra técnica más simple para la gestión de la pérdida de sincronización es restablecer completamente el extremo frontal analógico a través de un temporizador de vigilancia cuando se detecta una pérdida o una mala alineación. Esta técnica implica un retraso mayor para el reajuste debido a que el extremo frontal analógico tiene que reinstalarse en todas las temporizaciones de potencia o tiempos de asentamiento asociados con el restablecimiento completo.

Según diversas realizaciones, la interfaz estándar y las interfaces unidireccionales dedicadas de 2 cables se pueden combinar en un chip único, de manera que las aplicaciones de múltiples fases y de una fase se pueden utilizar sin restricciones en la flexibilidad de las aplicaciones de una fase, garantizando una flexibilidad suficiente en las múltiples fases para satisfacer las necesidades de la mayoría de las aplicaciones y minimizar la necesidad de canales aislados digitales unidireccionales individuales a dos para cada fase.

La interfaz de 2 cables unidireccionales puede aprovecharse y compartirse con el reloj y las E/S de datos de la interfaz en serie ordinaria existente en el extremo frontal analógico. No requiere implementar clavijas adicionales. Sólo necesita una clavija o procedimiento de selección para poder cambiar entre los dos protocolos. De acuerdo con otras realizaciones, se describe a continuación un modo para realizar esta conmutación sin clavijas adicionales, reutilizando una clavija existente para realizar esta conmutación.

En el extremo frontal analógico de acuerdo con una realización, si el dispositivo tiene un oscilador de cristal, dos clavijas son necesarias para esta función. Un reloj externo puede seleccionarse por la interfaz digital regular (como SPI, uART o I²C), que no pasa por el oscilador de cristal (y lo pone en un modo apagado), y selecciona una de las clavijas del oscilador de cristal (OSC1) como la entrada de reloj maestro digital. La otra clavija (OSC2) no se utiliza en el modo de reloj externo. En este caso, este perno puede utilizarse para seleccionar el tipo de interfaz (estándar o de 2 cables unidireccional) con una conexión lógica por cable. Esta selección puede hacerse en el encendido si el modo por defecto del oscilador de cristal está en el modo de apagado. En el caso del modo unidireccional de 2 cables, el oscilador de cristal está siempre desactivado y el reloj maestro se proporciona para la entrada de reloj de la interfaz. Esto es necesario para garantizar la correcta sincronización y el ángulo de fase entre las fases sin ninguna clavija adicional requerida (si se utilizó un cristal por fase, no habría habido ninguna sincronización entre cada fase debido a la diferencia de frecuencia y de fase de cada reloj maestro generada por cada cristal).

Esta selección se puede hacer, de este modo, dependiendo de la aplicación y de otros procedimientos de selección que se pueden utilizar, tal como, por ejemplo, pero no limitado a:

- clavija de entrada lógica adicional,
- acoplar un estado de una clavija lógica en el encendido,
- leer un bit en una memoria,
- tener una fase de inicialización con una pequeña máquina de estado que está utilizando la interfaz estándar y se conmuta automáticamente a la interfaz de 2 cables al final de esta fase, etc.

Puesto que la única entrada es la entrada del reloj maestro que viene de la CPU maestra o MCU, de acuerdo con una realización, el dispositivo de extremo frontal analógico debe ser capaz de configurarse sin comunicarse con la MCU para el modo unidireccional 2 cables dedicado. En este caso, de acuerdo con diversas realizaciones, se prevén tres formas posibles: 1) leer una memoria interna o externa en el arranque del dispositivo (tal como, por

ejemplo, un arranque automático en una EEPROM externa); 2) volver a configurar las clavijas digitales existentes en el modo de 2 cables como clavijas de entrada lógica por cable para proporcionar diferentes configuraciones posibles y permitir la flexibilidad deseada; 3) utilizar un protocolo de 1 cable durante la fase de inicialización (por ejemplo usar la entrada de reloj maestro como la clavija TX de un interfaz UART) y luego volver al protocolo de 2 cables al final de la inicialización. De acuerdo con una realización, todas las clavijas digitales no utilizadas existentes en el modo de interfaz de 2 cables se reconfiguran para ser entradas lógicas por cable para seleccionar diferentes configuraciones en el extremo frontal analógico.

La solución EEPROM externa podría ofrecer mucha mayor flexibilidad y esto con un número de clavijas reducido, pero añade un coste significativo para el sistema, a menudo equivalente o superior al coste de un canal de aislamiento digital adicional que, por lo tanto, hace que su uso no sea práctico (en este punto sería más sencillo añadir una entrada de datos en serie con el protocolo y usar la memoria del tipo de MCU principal para almacenar la configuración). La solución actual de reutilización de las clavijas existentes es muy rentable y proporciona suficiente flexibilidad para gestionar la mayoría de las aplicaciones. La solución del protocolo de 1 cable (preferentemente UART) es cada vez más eficaz cuando se necesitan muchos bits de configuración para programar el extremo frontal analógico. Esta solución, sin embargo, necesita circuitos internos adicionales para poder hacer frente a tal protocolo.

Además, esta nueva interfaz de 2 cables se puede utilizar junto con aisladores que tienen una función de permitir ahorrar aún más clavijas en la MCU maestra. La trama y los datos en las salidas se pueden generar múltiples veces por la transmisión de un solo dato, posiblemente con un contador de tramas, de modo que los datos de salida de las múltiples fases pueden generarse en serie y se recuperan en serie mediante la MCU maestra. En este caso, la MCU maestra seleccionaría cada aislador por separado y en serie uno a uno y hallaría los datos correspondientes y luego cambiaría a otra fase después. Esto permite multiplexar la salida de datos de todos los aisladores. Puesto que el reloj maestro tiene que ser síncrono, sólo se puede utilizar una clavija para generar el reloj maestro para todas las fases. Así que, en general, sólo dos clavijas más una clavija de habilitación por fase son necesarias para procesar esta interfaz para cualquier número de fases si se utilizan aisladores de activación. En este caso, la pérdida de sincronización puede ser gestionada mediante un tratamiento posterior e interpolación en la MCU.

Una interfaz SPI estándar en un dispositivo como se muestra en la figura 2 requeriría, por ejemplo, 4 líneas aisladas digitales por canal, lo que puede ser demasiado caro. El número mínimo de aisladores por canal es de dos para una interfaz unidireccional y comprende un reloj de entrada y una salida de datos. El reloj en es necesario debido a un requisito de sincronización entre todas las fases. Para los fabricantes de dispositivos, que se requiere tener partes específicas para los sensores no aislados, puede ser un problema de costes (inventario, certificación,...). Por otra parte, los sensores de medida no aislados se vuelven más populares (siendo más alto el coste CT).

Según diversas realizaciones, puede diseñarse un dispositivo AFE que tiene una interfaz estándar SPI y una interfaz de dos cables unidireccional. De acuerdo con diversas realizaciones, a partir de la interfaz SPI y simplificándola, se pueden resolver ciertos problemas como se mencionó anteriormente: Por ejemplo, si el dispositivo permite la fijación de todos los ajustes internos, la clavija SDI se puede quitar, ya que no es necesaria la comunicación desde el dispositivo maestro. En un modo de operación de este tipo, el SDO simplemente da salida a los datos ADC periódicamente cada X número de relojes. Por lo tanto, para este modo, la clavija DR lista para los datos y las clavijas CS de selección de chips pueden eliminarse o utilizarse como comandos que no son necesarios, sólo una salida de trama periódica. Esto ofrece la posibilidad de tener clavijas externas ajustadas en VDD o GND para codificar la configuración para cambiar la configuración del dispositivo. Por lo tanto, clavijas E/S digitales existentes se pueden reconfigurar para ser entradas lógicas en este modo de interfaz. La selección de la interfaz se puede hacer con entrada lógica por cable.

Las clavijas E/S digitales también pueden ser reconfiguradas para ser entradas lógicas de múltiples niveles, cuyos niveles pueden ser detectados y reconocidos por un ADC que se puede habilitar únicamente en el encendido o en una fase de inicialización. Los múltiples niveles pueden implementarse con un divisor resistivo en cada clavija o con un detector de nodo flotante (que permite tener otro estado lógico 0 o 1 lógico). Esta realización permitiría tener más configuraciones por clavija.

La figura 3 muestra una realización del dispositivo autónomo analógico de extremo frontal 300 que puede funcionar en uno de dos modos y puede diseñarse para ser compatible clavija a clavija hasta cierto punto, por ejemplo, con ciertos dispositivos analógicos existentes de extremo frontal que tienen una interfaz estándar de 4 cables SPI. Dependiendo del modo de operación establecido mediante el MODO de la clavija, el dispositivo opera con una interfaz SPI estándar o una interfaz de dos cables unidireccional. La realización mostrada en la figura 3 tiene una disposición de las clavijas modificada con clavijas de múltiples funciones. Por lo tanto, estas clavijas pueden tener una funcionalidad diferente en función del modo operativo. Por ejemplo, la clavija de oscilador OSC1 también puede utilizarse como un reloj en clavija o una clavija de ajuste de ganancia GAIN0. La clavija de oscilador OSC2 también puede utilizarse como un MODO clavija. La clavija de datos listos DR puede utilizarse para el ajuste de la ganancia como clavija GAIN1. La clavija de reinicio puede utilizarse como una clavija de configuración para sobremuestreo OSR0. La clavija de interfaz SPI SDI puede utilizarse como otro número de identificación de configuración para sobremuestreo OSR1 y la clavija de selección de chip puede utilizarse como clavija EMPUJE para establecer el empuje. Las clavijas restantes pueden ser las mismas que para un dispositivo de extremo frontal analógico convencional. Por lo tanto, las clavijas de múltiples funciones se utilizan para definir la tasa de sobremuestreo, la

ganancia y la función de empuje del dispositivo cuando se opera en el modo de dos cables unidireccional.

La figura 3b muestra que otros diseños de clavijas son posibles para permitir los dos modos operativos diferentes. De acuerdo con la realización de un dispositivo de extremo frontal analógico 350 que se muestra en la figura 3B, un usuario puede elegir SPI estándar o dos cables por medio de la selección lógica de clavija OSC2, lo que permite que el dispositivo funcione en dos configuraciones de modo diferentes. Por ejemplo, cuando la clavija 14 (OSC2) está ajustada en "0" lógico entonces el dispositivo opera como un dispositivo de interfaz estándar con interfaz SPI. Si la clavija 14 se ajusta en un "1" lógico, entonces el dispositivo opera de manera similar al dispositivo mostrado en la figura 3A. La interfaz SPI (SDO/SCK/SDI/CSN) en el modo "0" proporciona una interfaz SPI completa de 4 cables que incluye una función de restablecimiento a través de la clavija 1. Este modo, se puede utilizar, por ejemplo, para sensores aislados. La interfaz de dos cables (SDO/SCK) en el modo "1" sólo necesita un aislador digital bidireccional que comprende, por ejemplo, dos trayectorias unidireccionales. Este modo está diseñado específicamente para aplicaciones de sensores no aislados, tal como medidores de derivación de múltiples fases.

Según la realización específica mostrada en la figura 3B, la clavija OSC2 se puede utilizar para detectar el modo de interfaz (2 o 4 cables) si se selecciona una entrada de reloj externa a través de solamente la clavija 15, que puede ser el modo predeterminado. Por lo tanto, las clavijas 1, 15, 16, 17, 20 tienen funcionalidad dual dependiendo de la interfaz elegida de acuerdo con esta realización.

La figura 3C muestra una realización de un dispositivo de extremo frontal analógico 300/350 como se muestra en la figura 3A o 3B, junto con un microcontrolador 360 mediante dos aisladores digitales. Como se puede ver, sólo se necesita una línea que utiliza una dirección de conducción. El SDO transmite desde el dispositivo de extremo frontal analógico 300/350 a la MCU 360 y la MCU 360 transmite la señal del reloj al dispositivo de extremo frontal analógico 300/350.

La figura 4A muestra ciertas señales de acuerdo con una realización, cuando el modo operativo de un dispositivo de extremo frontal analógico se conmuta desde el modo SPI al modo de 2 cables unidireccional. De acuerdo con todavía otra realización, el dispositivo de extremo frontal analógico puede restablecerse automáticamente cuando la señal de reloj se mantiene durante un cierto tiempo a un nivel lógico definido o flotante. Esto proporciona una funcionalidad de restablecimiento de la interfaz de 2 cables sin necesitar ninguna clavija adicional. De acuerdo con otra realización, cuando el dispositivo restablece el temporizador de vigilancia, por ejemplo, si una señal de reloj se mantiene el tiempo suficiente lógico alto en la entrada de reloj, la parte puede volver a la fase de inicialización en caso de que haya una fase de inicialización de potencia utilizando un protocolo de 1 cable para programar la parte. Básicamente, el restablecimiento del temporizador de vigilancia tiene la misma prioridad que el restablecimiento de encendido, por lo que puede ser necesario reprogramar la parte que significaría volver a una fase de inicialización en caso de que se produzca el restablecimiento. Si la parte opera al principio, en una fase de inicialización para configurarla correctamente con un protocolo de 1 cable (como usando el TX solamente de una interfaz UART), debería ser capaz de volver en esta primera fase, si se procesa un restablecimiento de temporizador de vigilancia.

La figura 4B muestra la temporización de varias señales de las señales internas y la interfaz de dos cables de acuerdo con diversas realizaciones. Una trama puede hacerse depender de la configuración de las entradas lógicas por cable (OSR/GANANCIA/EMPUJE) para mayor seguridad (trama de 16 bits) o fijo (trama de 8 bits). Los DATOS aquí en cada canal son de 24 bits de ancho. El reloj de todos los datos de toma 56 o 64 períodos MCLK para 2 canales dependiendo del tamaño de bit de trama. Los datos listos pueden venir cada 4xOSR (mínimo 256 períodos MCLK). Esto puede extenderse a un mayor número de canales y entradas lógicas por cable.

La figura 5 muestra un sistema 500 con 3 dispositivos de acuerdo con diversas realizaciones. Tres dispositivos frontales analógicos 510, 520, 530 están previstos, uno para cada fase. Sólo dos aisladores digitales 515, 517; 525, 527, y 535, 537 son necesarios, en el que las señales de reloj están conectadas a una única salida de reloj de la MCU 540 y tres clavijas de entrada de datos separadas se proporcionan mediante la MCU 540 para conectarse a las líneas de datos aislados. La figura 6 muestra un sistema 600, en el que las señales de reloj separadas para cada interfaz de 2 hilos en la MCU 610 asociada.

La figura 7 muestra de nuevo un sistema asociado 700 con un microcontrolador 710 usando su interfaz SPI para acoplarse a tres dispositivos, en el que una interfaz de dos cables se implementa en cada dispositivo de extremo frontal analógico 720, 730, 740. Aquí, se proporcionan aisladores digitales de dos vías 750, 760, y 770 en los que cada aislador comprende, además, una entrada de selección de chip que puede controlarse por la MCU 710. Otros dispositivos periféricos pueden implementarse en el sistema, 700 como se muestra en la figura 7. La figura 7 también muestra la disposición de las unidades de suministro de energía capacitivas para cada AFE 720, 730, 740 en cada fase.

La figura 8 muestra una realización de un circuito interno 800 capaz de decodificar el ajuste de modo, por ejemplo, para un dispositivo como se muestra en la figura 3A o 3B, o cualquier otro dispositivo que esté diseñado para operar en varios modos de funcionamiento, en el que una de las clavijas de entrada del oscilador se utiliza para la selección de modo. Para poder compartir la función completa de las dos clavijas de oscilador, el circuito 800 puede diseñarse para utilizar un selector de modo de interfaz que decodifica un estado de la clavija OSC2 en el encendido como una condición de estirado hacia arriba o hacia abajo o de cualquier otra señal apropiada.

En las diversas aplicaciones, el número mínimo de conexiones entre la MCU y un dispositivo AFE es necesario para disminuir el número de barrera de aislamiento requerido y en última instancia, el coste del sistema. Por esta razón, se proporciona una interfaz de 2 cables, con sólo el RELOJ y los DATOS en las clavijas SCK/MCLK y SDO, respectivamente. El reloj se proporciona externamente por la MCU en este modo para ser capaz de sincronizar con la MCU. El oscilador de cristal no está activado en el modo de 2 cables. La clavija de RELOJ (SCK/MCLK) sirve para dos propósitos: para proporcionar el MCLK continuamente para ambos o un solo ADCs dependiendo de la aplicación, y proporcionar el reloj en serie de los datos de salida. El reloj SCK/MCLK debe funcionar continuamente a una frecuencia fija para su correcto funcionamiento. En este modo, SCK y MCLK son iguales y síncronos, lo que también ayuda a reducir la distorsión. La interfaz en este modo no tiene entrada en serie. Sólo tiene una salida en serie que siempre está accionando la clavija SDO. La SDO nunca está en alta impedancia en este modo. En cada dato interno listo (lo que ocurre a una velocidad DRCLK), los datos se registraron en la SDO en una trama predefinida. La trama contiene 64 bits y se repitió 4 veces para cada dato listo. Entre el último bit de la última trama y el primer bit de la primera trama para los siguientes datos listos, la SDO se mantiene a nivel lógico bajo, ya que los aisladores digitales usualmente consumen menos corriente en un estado de baja entrada lógica. Cada trama contiene 2 bytes de identificación y de sincronización, seguido por los datos ADC del primer canal0 (24 bits) y el último canal1 (24 bits). La anchura ADC de 16 bits puede desactivarse en este modo. Las 4 tramas también se proporcionan en el primer período de reloj (en este caso las salidas ADCs están por defecto (estado 0x000000h), que actúa como una confirmación de la conversión de inicio y también ayuda a la sincronización. Además, para proporcionar más flexibilidad, cinco de las clavijas digitales (OSC1, REINICIO, CS, DR, SDI) se han reasignado para convertirse en las clavijas de entrada digitales y ahora pueden controlar algunas opciones de configuración de la parte con estados lógicos simples aplicados a estas clavijas (consulta la sección 10.2). Estas clavijas hacen los estados lógicos bien definidos para aplicaciones de baja potencia. Las clavijas MDAT0/1 pueden estar habilitadas todo el tiempo en este modo de interfaz de 2 cables, de modo que otras aplicaciones que requieren salidas de flujo de bits y barreras de aislamiento se pueden realizar fácilmente con el mismo chip. Si no se usan, estas clavijas tienen que dejarse flotantes. En una aplicación de derivación de 3 fases de medición de energía típica, la CHO está destinada a ser utilizada como el canal actual, ya que la ganancia sólo puede controlarse en el canal 0 (hasta 32x como es requerido por las aplicaciones de bajo valor de derivación) de acuerdo con una realización. Para mayor seguridad entre todos los canales, los aisladores se pueden utilizar con señales de selección de chip separadas CS para cada clavija. Esto permite enmascarar el reloj durante uno o más períodos, en caso de que una de las partes no esté sincronizada o no haya recibido correctamente todos los bordes del reloj proporcionados por la MCU.

La figura 9 muestra posibles estructuras de trama 900 y 950 en función de la tasa de sobremuestreo. Un conjunto de datos de trama puede repetirse 4 veces entre cada dato de listas. Esto permite utilizar una única clavija SDI en la MCU para recopilar datos de hasta 4 dispositivos de extremo frontal analógico, para contadores de 3 fases también requiriendo una medición neutra previendo que cada aislador tiene una selección de chip o clavija de habilitación de chip y que cada selección de chip se acciona correctamente mediante la MCU. Cada una de las tramas puede incorporar un recuento de tramas para ser reconocido entre sí de acuerdo con una realización. La trama también puede contener una suma de comprobación y/o de suma de comprobación CRC al final de la trama, de modo que la integridad de la transmisión de datos puede verificarse y garantizarse de acuerdo con todavía otra realización.

Los datos de trama consisten en un registro de trama de 16 bits 910, seguido de dos 24 bits de datos de canal, primer canal 0, seguido por canal 1. El registro de trama de acuerdo con esta realización es de 2 bytes de longitud, conteniendo el primer byte los ajustes de OSR, PGA, e IMPULSO. Este primer byte contiene más de 2 bits para dar la información sobre qué trama registra la entrada del usuario (fuera de las 4 tramas repetidas). Esto se puede utilizar para extraer la información acerca de qué chip se lee actualmente en un sistema con un SDI y aisladores de selección de chips. El segundo byte del registro de trama 1410 puede ser un código 0xA5 simple para dar más confianza a la hora de intentar sincronizar la comunicación con un microcontrolador.

La figura 10 muestra un diagrama de temporización de salida de datos 1000 en relación con el ajuste de sobremuestreo través de las clavijas OSR0 y OSR1. De acuerdo con esta realización, cuatro configuraciones diferentes se pueden hacer a través de clavijas OSR0 y OSR1, por ejemplo, OSR = 64, OSR = 128, OSR = 256 y OSR = 512. Aquí, la trama se repite cuatro veces por datos listos (un dato listo por OSR) para permitir las aplicaciones de datos multiplexados de 4 fases, utilizando 1 clavija de salida. FRM0/1/2/3 es el mismo para cada dato listo, solamente los dos bits de contador (cnt0/1) varían para informar el recuento de tramas. Como puede verse, el dispositivo de extremo frontal analógico emite una primera trama en la que los datos para los canales se establecen en cero, indicando una condición de reposición en la que se supone que se produce un restablecimiento en el momento. Entonces, para los próximos dos eventos de datos listos, se aplica un tiempo de establecimiento durante el cual no hay nuevos datos disponibles todavía y, por lo tanto, no se produce ninguna salida de trama. En el instante t3, el dispositivo se encuentra en pleno funcionamiento y pueden emitir tramas de forma continua, en la que en función de los intervalos de tiempo de sobremuestreo respectivos entre los que pueda producirse, como se muestra en la figura 10, debido al hecho de que los datos de salida se transmiten siempre con la misma velocidad independientemente de la tasa de sobremuestreo. La figura 11 muestra un diagrama de temporización de acuerdo con todavía otra realización. Aquí, se emite la trama no "cero" inicial. Más bien, la línea SDO pasa desde una alta impedancia a un "0" lógico que indica el inicio. La figura 11 muestra también una posible relación de reloj y la señal de selección de modo.

REIVINDICACIONES

1. Un dispositivo analógico de extremo frontal (AFE) que comprende:

al menos un conversor (ADC) programable de analógico a digital, preferentemente un conversor sigma-delta; una interfaz conmutable en serie para operar en un modo de interfaz en serie bidireccional estándar que soporta al menos tres clavijas (20, 19, 18) externas, acopladas con una línea de entrada de datos (SDI), una línea de salida de datos (SDO) y una línea de reloj (SCK) respectivamente, y en un modo de interfaz en serie de dos cables unidireccional, en el que el modo de interfaz en serie de dos cables unidireccional sólo utiliza una entrada de reloj (SCK) y una línea de señal de salida de datos (SDO), y en el que el ADC opera en el modo de interfaz en serie de dos cables unidireccional síncrona con un reloj suministrado a la entrada de reloj (SDK); y en el que el dispositivo AFE comprende una carcasa con una pluralidad de múltiples clavijas de función (1, 14, 15, 16, 17, 20), estando configurada una clavija (14) para establecer un modo operativo (MOD0) del dispositivo (350), en el que en un primer modo, el dispositivo (350) opera con la interfaz en serie de dos cables unidireccional (SDO, SCK) y utiliza clavijas (REINICIO, Ganancia 1/DR, Ganancia 0/cs), (1, 16, 17) de las múltiples clavijas de función (1, 14, 15, 16, 17, 20) para la programación de dicho dispositivo AFE (350) y en un segundo modo, el dispositivo (350) opera con la interfaz digital en serie bidireccional (SDI, SDO, SCK) para programar dicho dispositivo AFE (350), y en el que la línea de entrada de datos (SDI) se proporciona mediante una de la pluralidad de clavijas de múltiples funciones (20).

2. El dispositivo AFE según la reivindicación 1, en el que el modo de interfaz en serie bidireccional también soporta clavijas (16, 17) externas, preferentemente clavijas de múltiples funciones, acopladas con una línea de selección de chip (CS) y una línea lista de datos (DR).

3. El dispositivo AFE según la reivindicación 1 o 2, en el que cuando la interfaz en serie está configurada en el modo de interfaz en serie de dos cables unidireccional, una salida de datos en la línea de señal de salida de datos (SDO) está basada en una trama.

4. El dispositivo AFE según una de las reivindicaciones anteriores, en el que el ADC comprende al menos una de referencia de tensión interna, generación de reloj interno y amplificador de ganancia interna y/o que comprende un PLL para generar una señal de reloj interna que es más rápida que una señal de reloj proporcionada en dicha interfaz de dos cables en serie, en el que el conversor sigma-delta es accionado por la señal de reloj proporcionada por la interfaz en serie de dos cables.

5. El dispositivo AFE según una de las reivindicaciones anteriores, en el que el dispositivo AFE está diseñado para restablecerse automáticamente cuando una señal de reloj en dicha entrada de reloj se mantiene durante un cierto tiempo a un nivel lógico definido o flotante.

6. El dispositivo AFE según una de las reivindicaciones anteriores, en el que las señales se seleccionan entre una fuente de alimentación y tierra o cualquier otro nivel de tensión de CC fija o mediante un detector de nodo flotante.

7. El dispositivo AFE según una de las reivindicaciones anteriores, en el que clavijas de múltiples funciones se utilizan para la programación de al menos uno de una tasa de sobremuestreo y una ganancia.

8. El dispositivo AFE según una de las reivindicaciones anteriores, en el que la una clavija es una de las clavijas (14) de múltiples funciones para la programación del modo operativo de dicha interfaz en serie.

9. El dispositivo AFE según la reivindicación 3, en el que una trama comprende un valor de trama de registro y datos de trama y en el que una trama se transmite a través de dicha interfaz en serie después de que se genere una señal preparada de datos mediante dicho ADC.

10. El dispositivo AFE según la reivindicación 9, en el que la trama comprende ajustes de parámetros de dicho dispositivo AFE.

11. El dispositivo AFE según la reivindicación 9 o 10, en el que la trama se repite n veces entre las señales de listas de datos consecutivos y en el que preferentemente cada una de las tramas incorpora un recuento de tramas que se reconocen entre sí.

12. El dispositivo AFE según la reivindicación 3, en el que la trama contiene una suma de comprobación y/o una suma de comprobación CRC, de manera que la integridad de la transmisión de datos puede verificarse y garantizarse y en el que preferentemente la suma de comprobación y/o la suma de comprobación CRC se coloca al final de la trama.

13. Un procedimiento de operación de un dispositivo de extremo frontal analógico (AFE) (350) que comprende al menos un conversor (ADC) de analógico a digital programable, preferentemente un conversor sigma-delta, y una interfaz en serie conmutable para operar entre un primer y un segundo modo operativo, en el que en el segundo modo operativo del dispositivo AFE utiliza una línea de entrada de datos (SDI), una línea de salida de datos (SDO) y una línea de reloj (SCK) y en el primer modo operativo el dispositivo AFE sólo utiliza una entrada de reloj (SCK) y

una línea de señal de salida de datos (SDO), comprendiendo el procedimiento:

- 5 seleccionar dicho primero o dicho segundo modo operativo por medio de una clavija (14) externa (MODO), en el que en dicho segundo modo operativo, la interfaz en serie opera en un modo de interfaz en serie en bidireccional estándar con clavijas (20, 19, 18) externas, configuradas para soportar dicha línea de entrada de datos (SDI), dicha línea de salida de datos (ODS) y dicha línea de reloj (SCK), y en dicho primer modo operativo de la interfaz en serie opera en un modo de interfaz en serie de dos cables unidireccional, en el que el modo de interfaz en serie de dos cables unidireccional sólo utiliza dos clavijas (18, 19) externas, configuradas para soportar una entrada de reloj (SCK) y una línea de señal de salida de datos (SDO), respectivamente;
- 10 programar el conversor (ADC) de analógico a digital mediante clavijas de múltiples funciones (1, 16, 17) externas (REINICIO, Ganancia 1/DR, Ganancia 0/cs), cuando está en dicho primer modo operativo, preferentemente programar una ganancia y una tasa de muestreo; y transmitir valores digitales adquiridos por el ADC a través de la interfaz en serie, en el que cuando se selecciona dicho primer modo operativo, el ADC opera síncrono con un reloj suministrado a la entrada de reloj (SCK).
- 15 14. El procedimiento según la reivindicación 13, que comprende además, cuando se selecciona dicho primer modo operativo, emitir datos basados en tramas en la línea de señal de salida de datos (SDO) en el que preferentemente una trama comprende un valor de registro de trama seguido de dichos valores digitales ADC y/o en el que preferentemente la trama comprende ajustes de parámetros de dicho dispositivo AFE y/o en el que un número de tramas se emite durante las señales de listas de datos consecutivos de la ADC.
- 20 15. Un sistema que comprende una pluralidad de dispositivos AFE (215, 235, 255) según una de las reivindicaciones anteriores 1 a 12 y que comprende, además:
- 25 una unidad de microcontrolador (540; 610), un dispositivo (220, 225; 240, 245; 260, 265; 515, 517; 525, 527; 535, 537) digital de aislamiento para cada dispositivo AFE (215, 235, 255), en el que un dispositivo de aislamiento digital incluye un conjunto de unidades (220, 225; 240, 245; 260, 265; 515, 517; 525, 527; 535, 537) digitales de aislamiento bidireccionales para transmitir una señal de datos desde el AFE y recibir una señal de reloj de la unidad de microcontrolador, en el que el microcontrolador (540; 610) comprende entradas en serie separadas (SDI_A, SDI_B, SDI_C) para cada AFE y preferentemente en el que una única salida de reloj (SCK) del microcontrolador (540) está acoplada a través de dichos dispositivos (220, 225; 240, 245 ; 260, 265; 515, 517; 525, 527; 535, 537) de aislamiento digitales con cada dispositivo AFE (215, 235, 255) o en el que el microcontrolador (610) comprende salidas de reloj dedicadas (SCK_A, SCK_B, SCK_C) para cada dispositivo AFE (215, 235, 255).
- 30

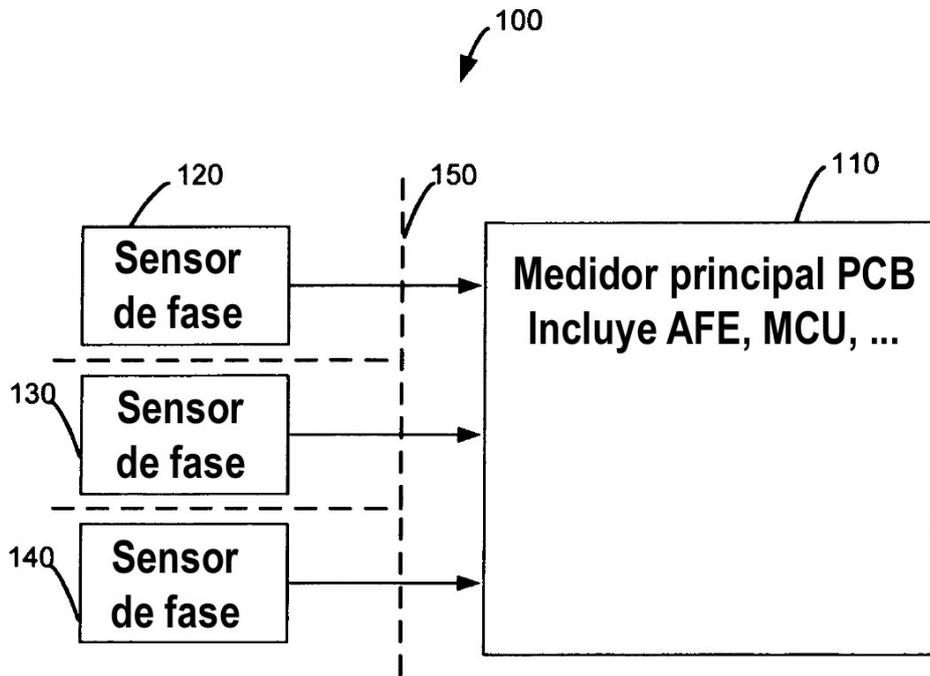


Figura 1 (Técnica Anterior)

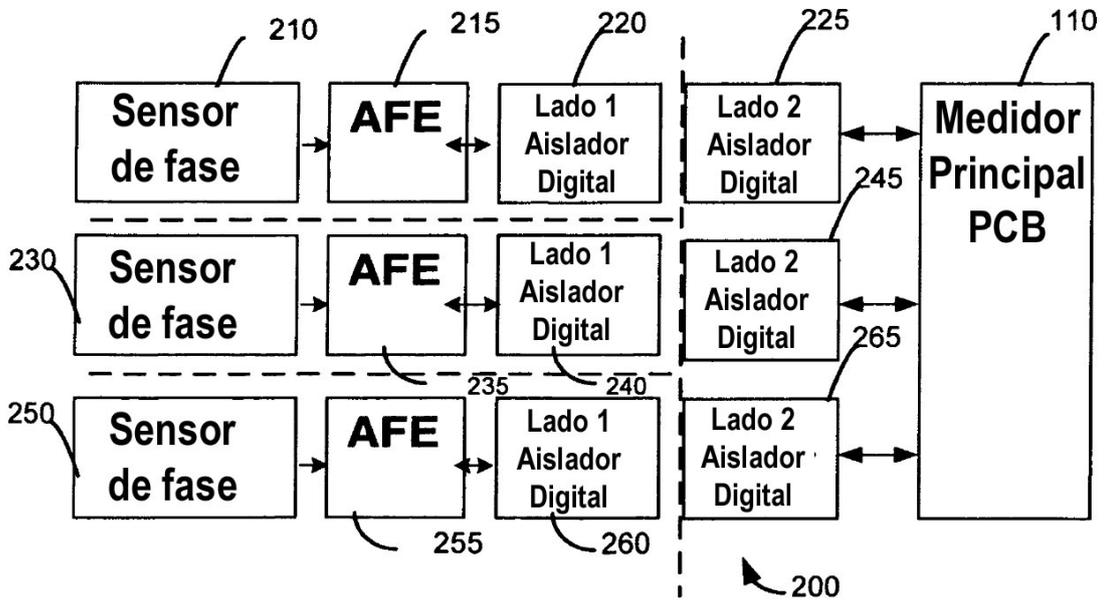


Figura 2

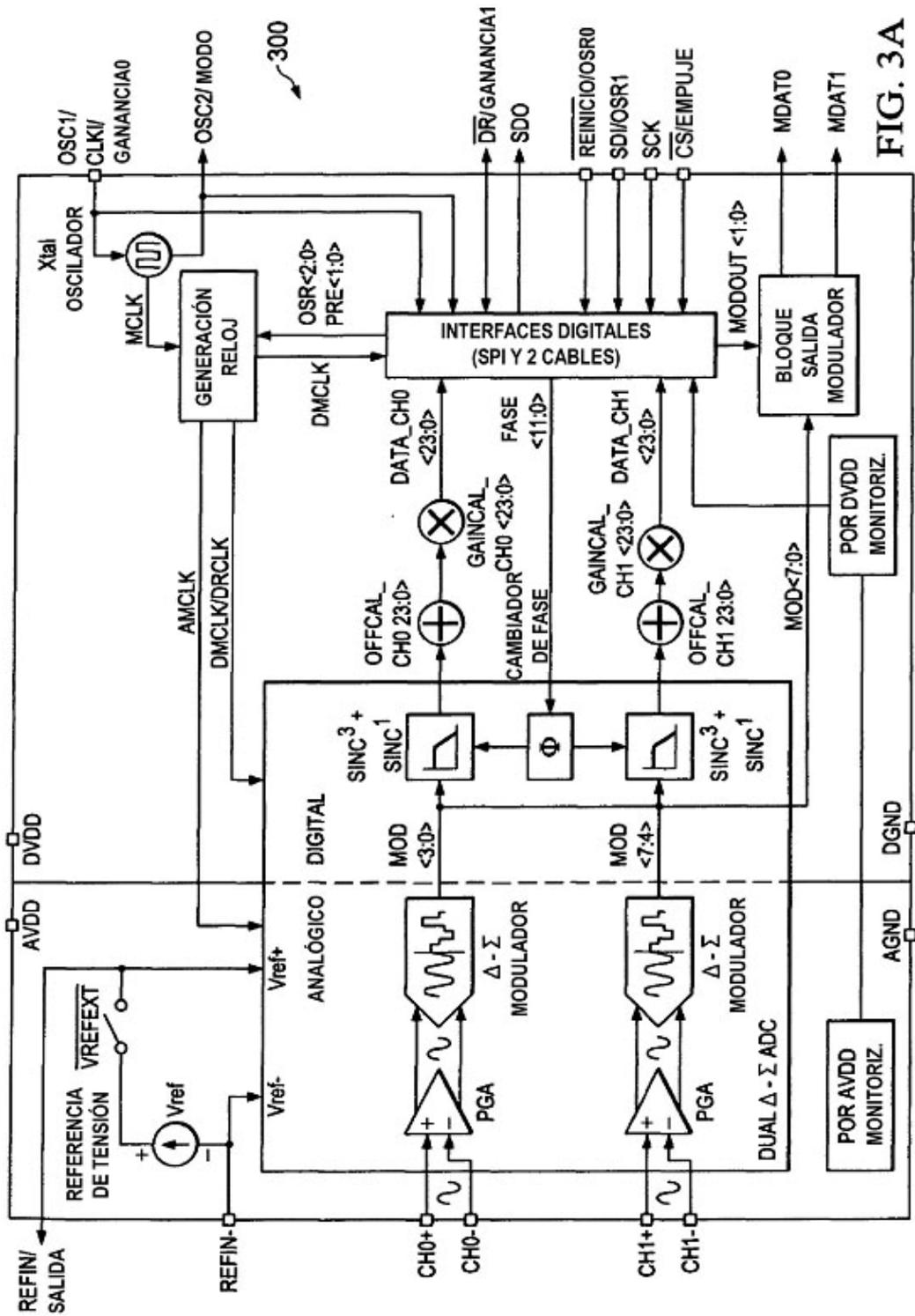


FIG. 3A

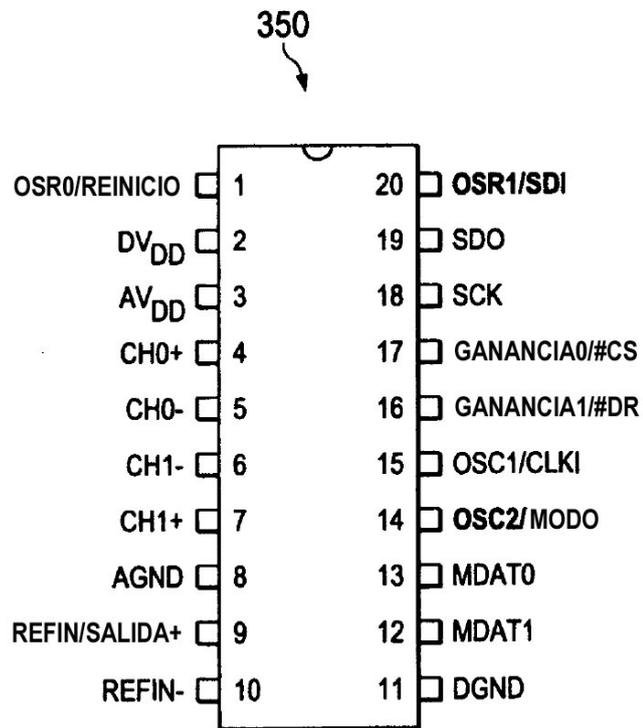


FIG. 3B

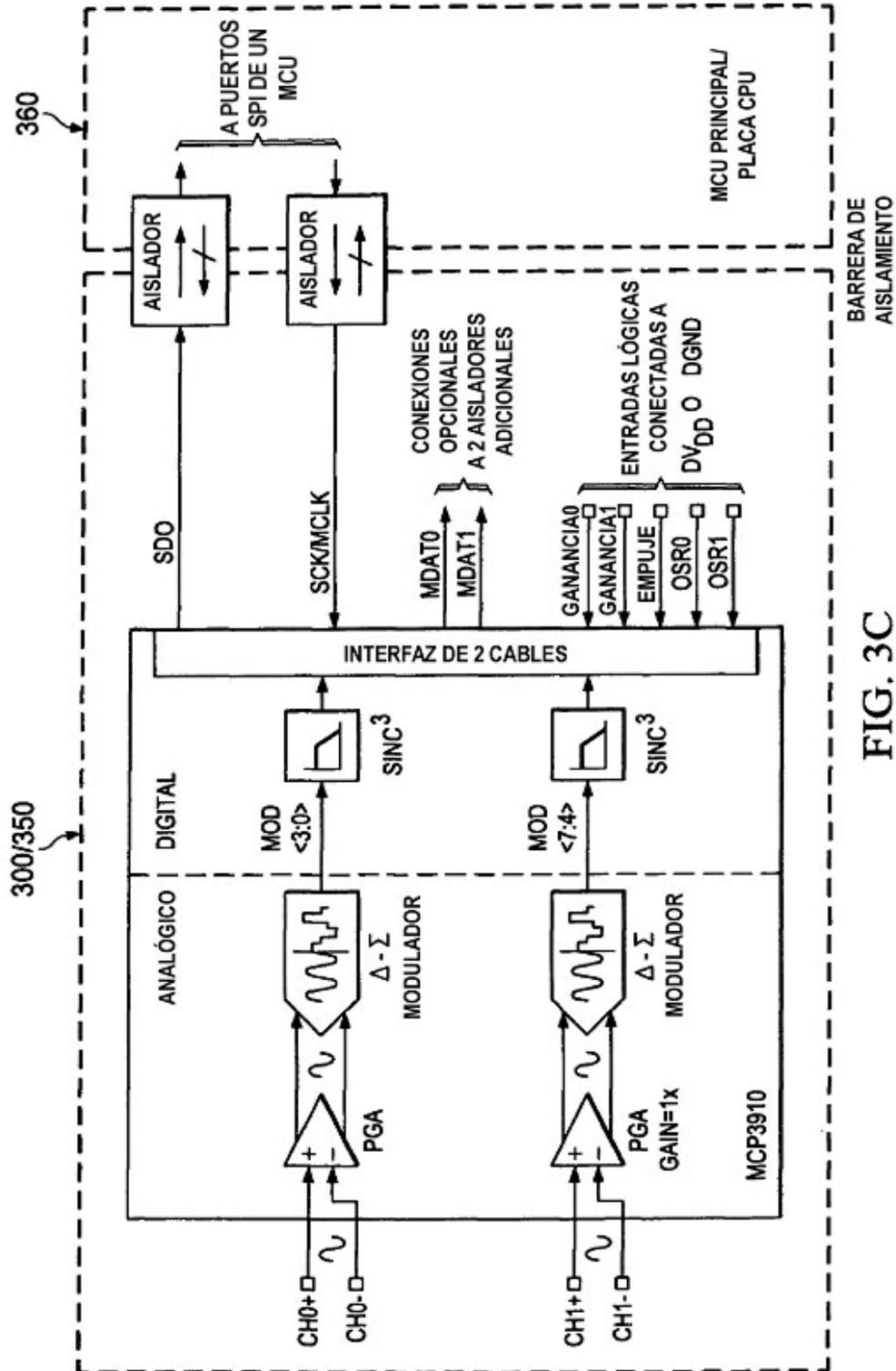


FIG. 3C

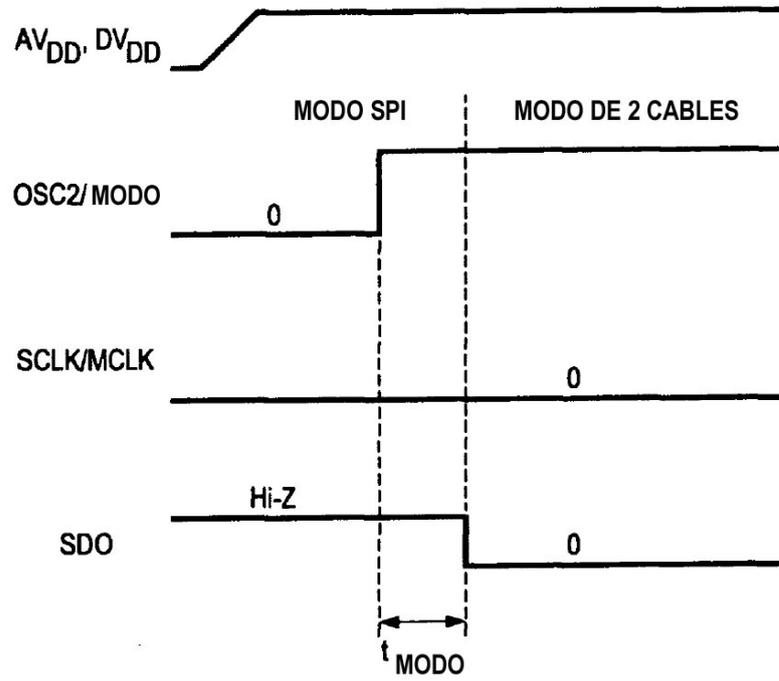


FIG. 4A

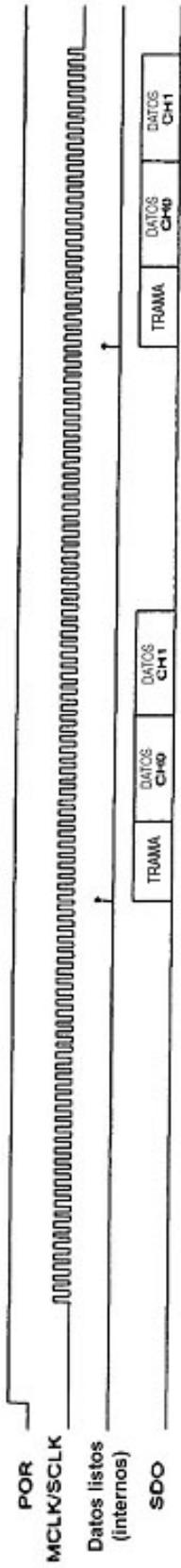


Figura 4B

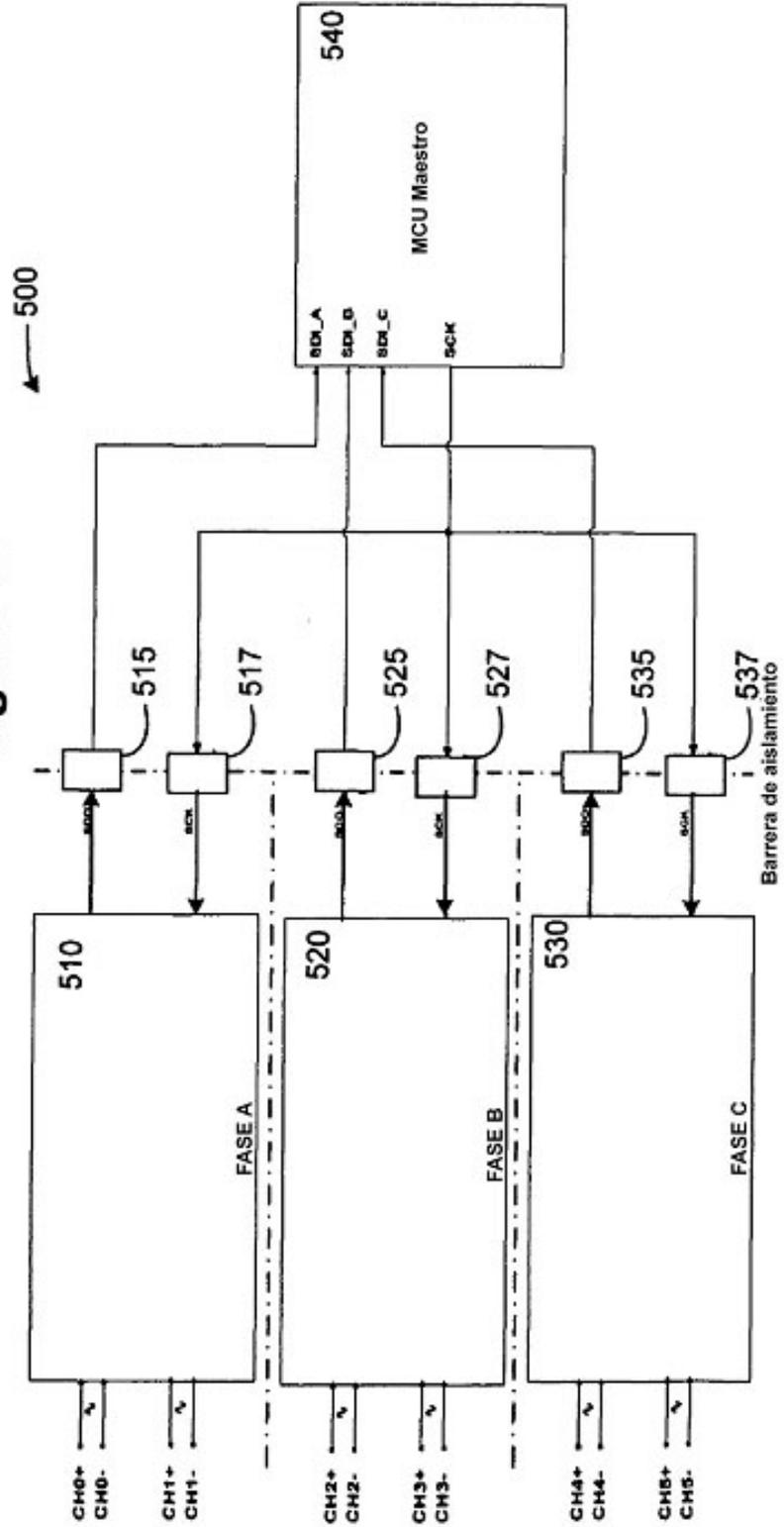


Figura 5

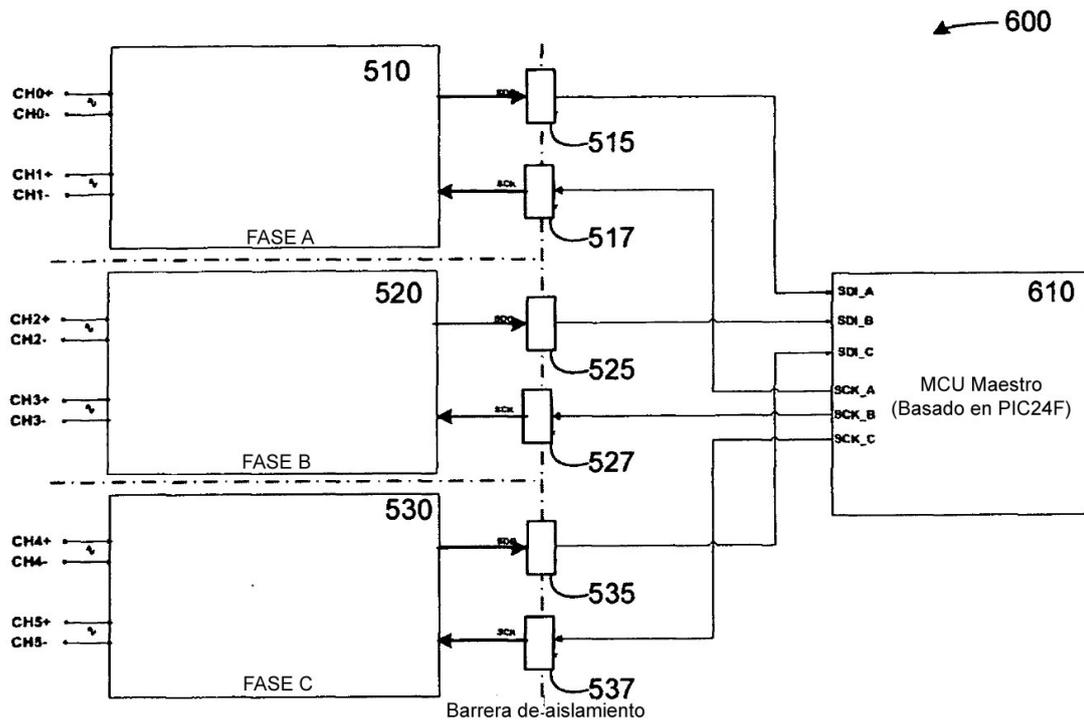


Figura 6

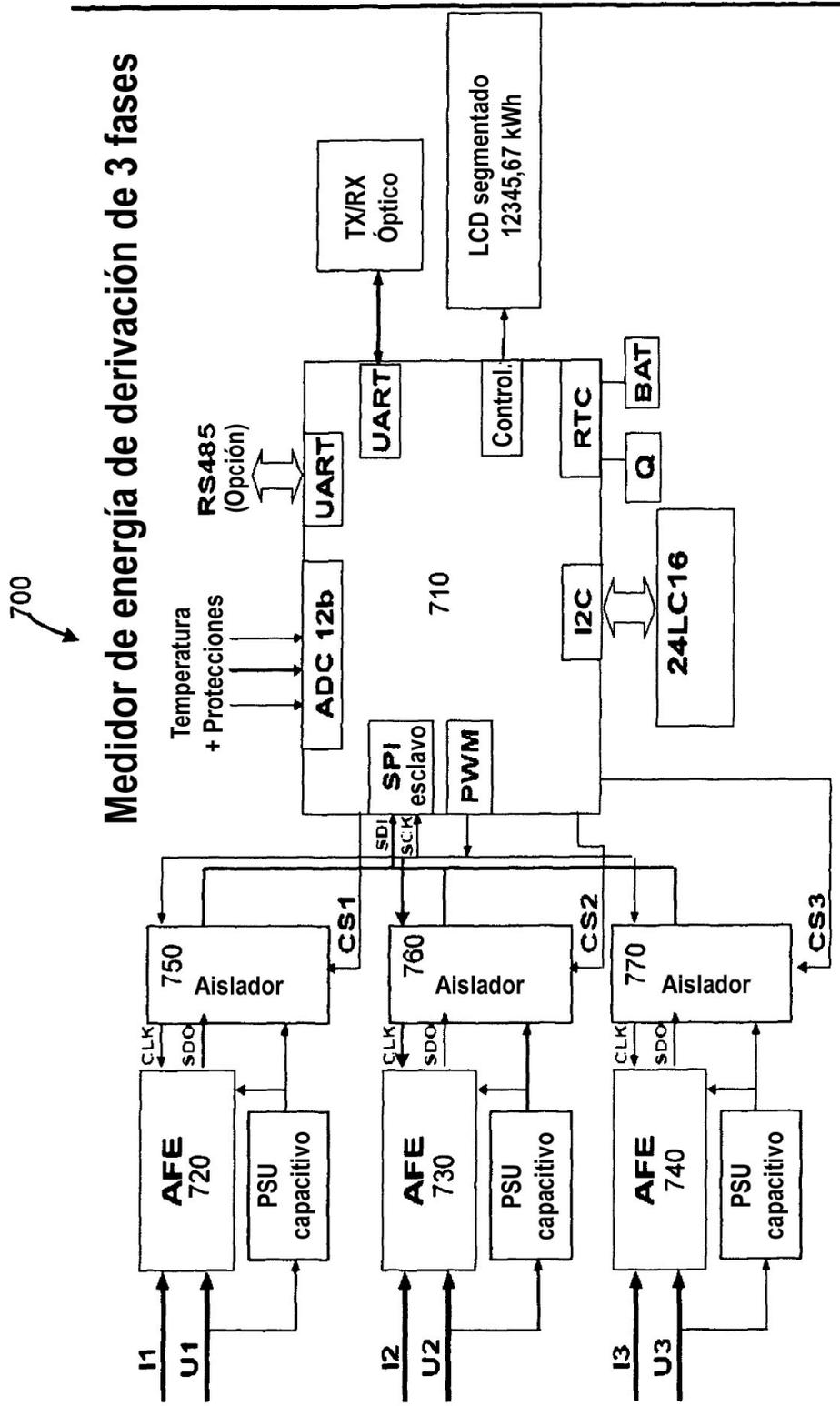


Figura 7

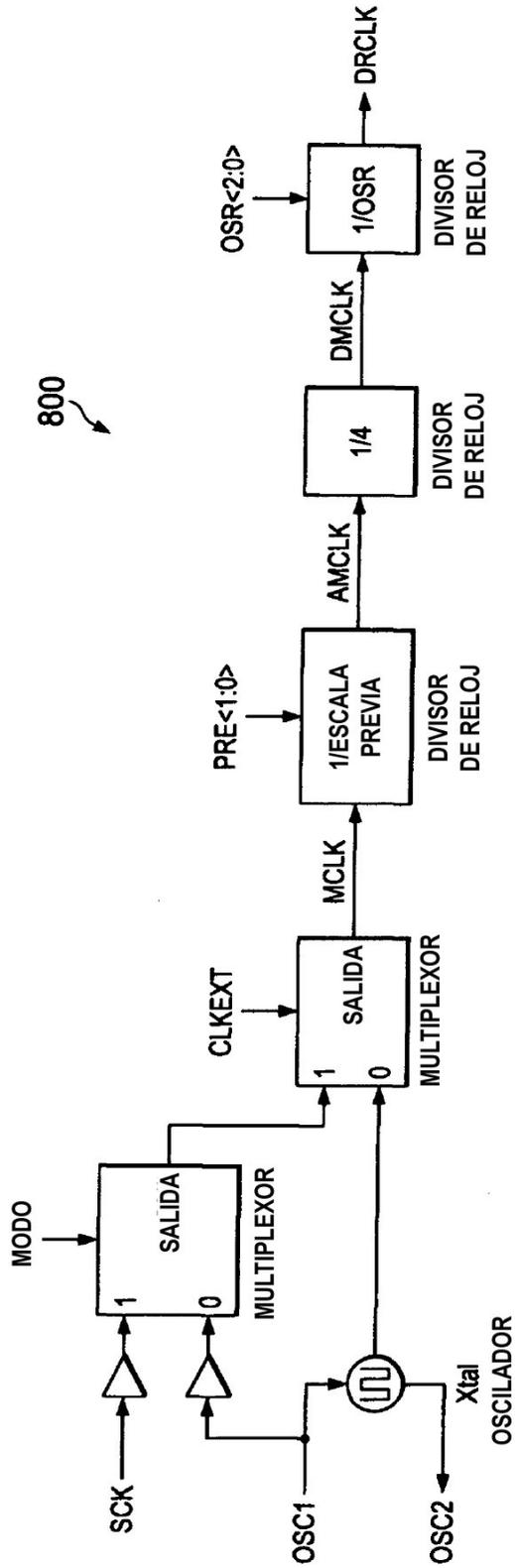


FIG. 8

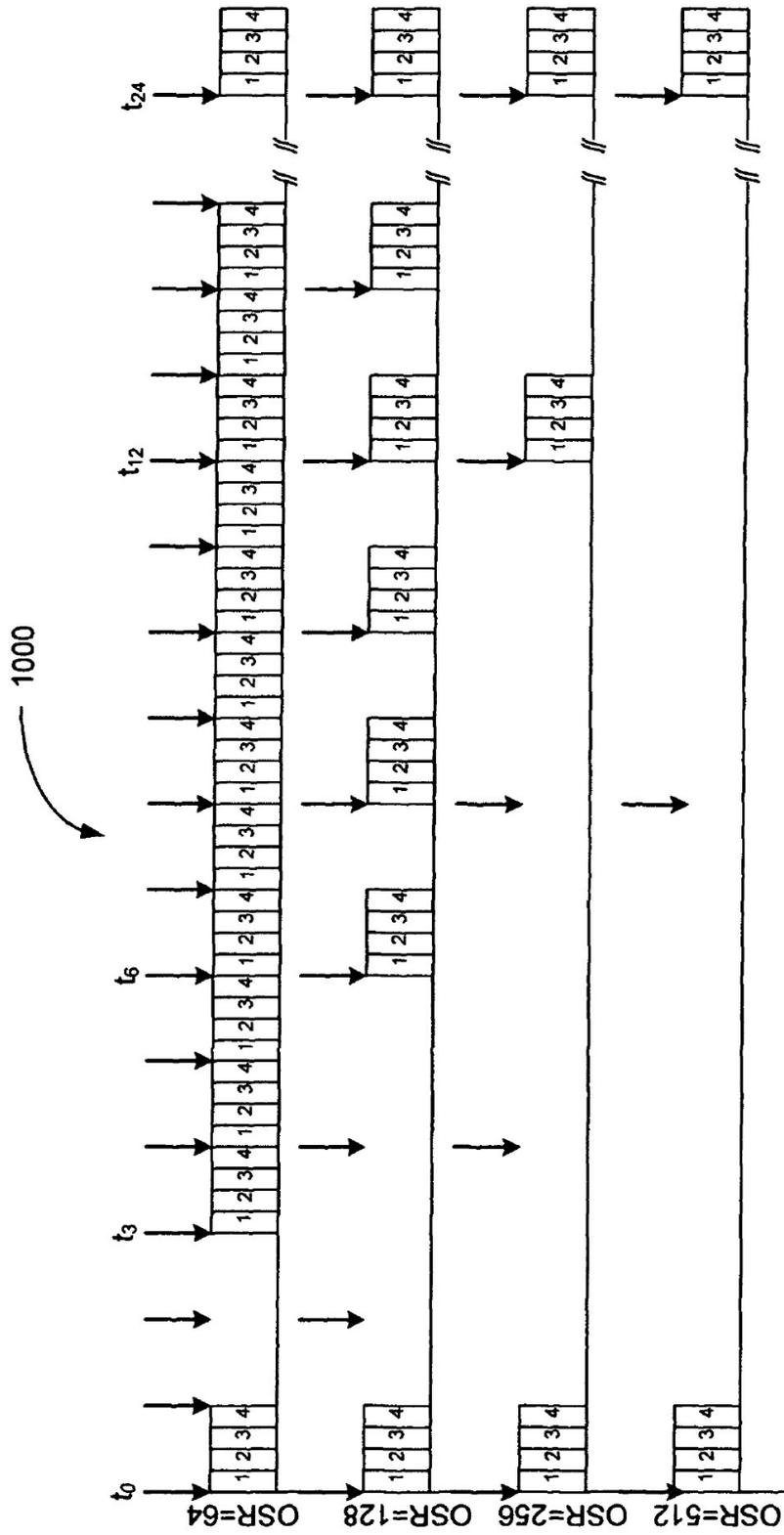


Figura 10

■ DATOS INTERNOS LISTOS (DATOS SON INDETERMINADOS). NO SE TRANSMITE NINGUNA TRAMA
 ■ DATOS LISTOS. NUEVOS DATOS DISPONIBLES

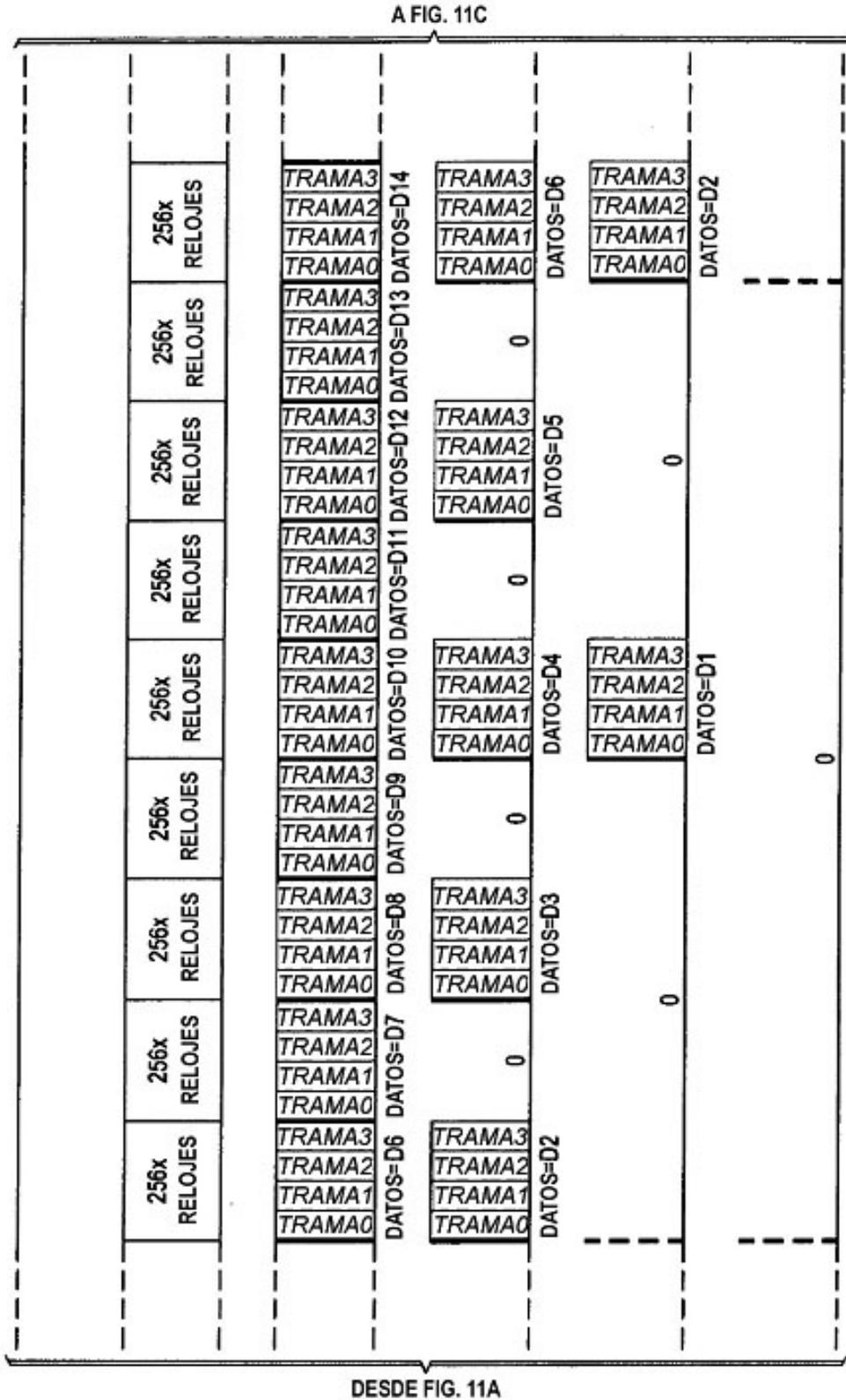
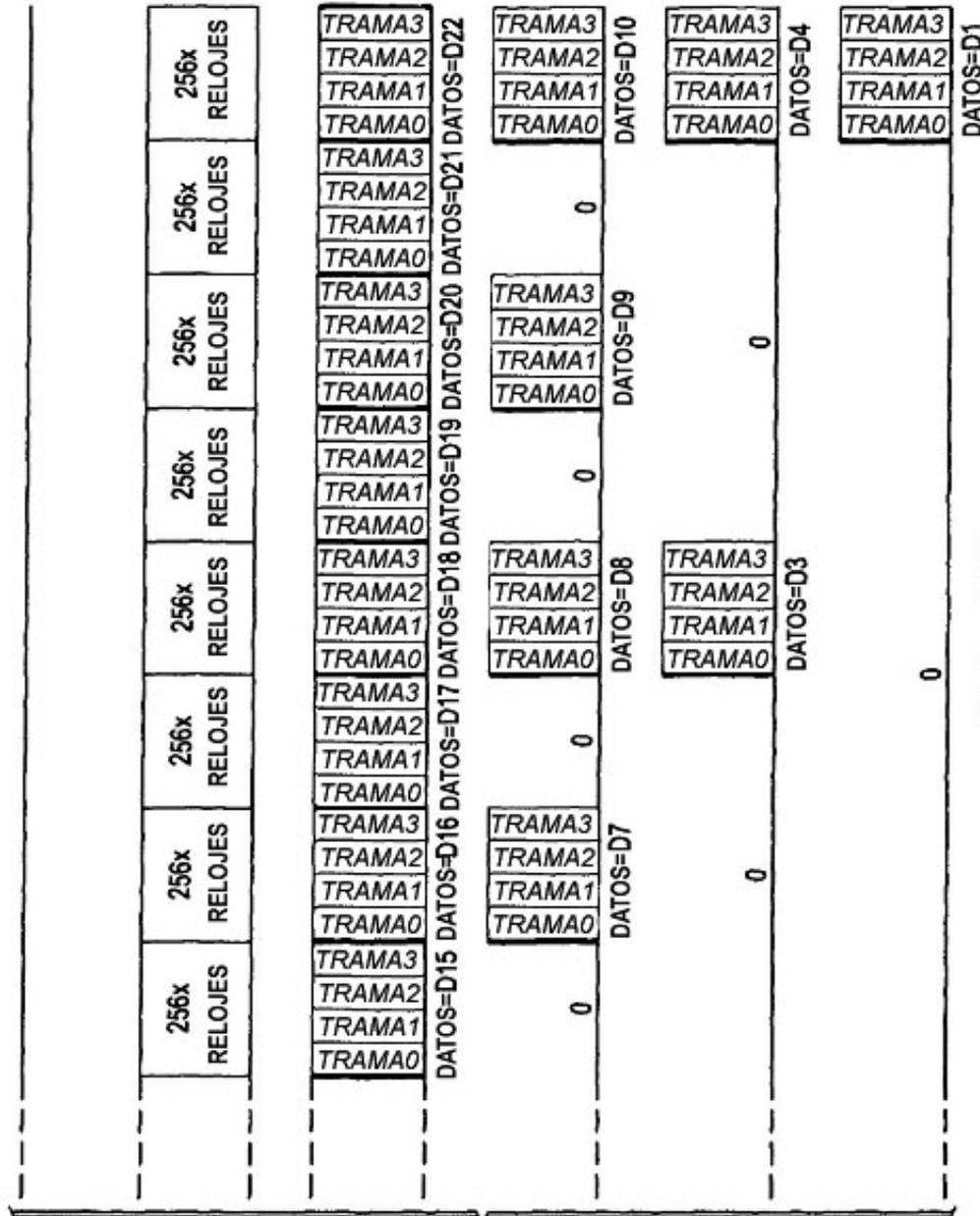


FIG. 11B

■ DATOS INTERNOS LISTOS (DATOS SON INDETERMINADOS). NO SE TRANSMITE NINGUNA TRAMA
 ■ DATOS LISTOS. NUEVOS DATOS DISPONIBLES



DESDE FIG. 11B

FIG. 11C