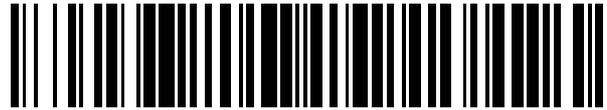


19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 577 153**

51 Int. Cl.:

**H04B 7/185** (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **17.04.2009 E 09753751 (8)**

97 Fecha y número de publicación de la concesión europea: **11.05.2016 EP 2266222**

54 Título: **Sistema de procesamiento digital modular para cargas útiles de un satélite de telecomunicaciones**

30 Prioridad:

**18.04.2008 EP 08275007**  
**18.04.2008 GB 0807052**

45 Fecha de publicación y mención en BOPI de la traducción de la patente:  
**13.07.2016**

73 Titular/es:

**ASTRIUM LIMITED (100.0%)**  
**Gunnels Wood Road**  
**Stevenage, Hertfordshire SG1 2AS, GB**

72 Inventor/es:

**LEONG, CHIOK KENG;**  
**CORNFIELD, PAUL SIMON y**  
**CRAIG, ANTHONY DUNCAN**

74 Agente/Representante:

**GONZÁLEZ PALMERO, Fe**

**ES 2 577 153 T3**

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

## DESCRIPCIÓN

Sistema de procesamiento digital modular para cargas útiles de un satélite de telecomunicaciones

5 **1. Introducción**

En las comunicaciones por satélite, los sistemas de haces puntuales múltiples se están haciendo más comunes proporcionando ventajas en términos de ganancia de antena, lo que reduce el consumo de potencia y facilita el funcionamiento con terminales de tierra pequeños, y en su capacidad para soportar el uso repetido de frecuencia espacial y por tanto, un rendimiento mayor dentro de un sistema de ancho de banda limitado. Asociado con los sistemas de haces puntuales múltiples, es necesario proporcionar flexibilidad en el enrutamiento de canal a haz con el fin de cumplir los cambios en la distribución de tráfico entre haces y proporcionar flexibilidad en la correlación de frecuencias entre enlace ascendente y enlace descendente con el fin de cumplir las restricciones de planificación de frecuencia. Dado que muchos sistemas comprenden ahora más de un centenar de haces, son necesarias técnicas de procesamiento digital complejas dentro de la trayectoria de datos principal de la carga útil con el fin de proporcionar la flexibilidad requerida. Los procesadores digitales usados dentro de tales sistemas de satélite de haces puntuales múltiples se denominan "transparentes", en tanto que las señales de trayectoria de datos de comunicaciones se muestrean y procesan de manera digital pero no se desmodulan dentro de la carga útil.

Los sistemas que usan actualmente el procesamiento digital transparente son normalmente relevantes para categorías de arquitectura de sistema de enlace directo, enlace de retorno o enlace de malla. En arquitecturas de enlace directo, el tráfico se lleva en forma de enlace ascendente, desde una única o pequeño número de pasarelas dentro de un único o pequeño número de haces, para enlazar de manera descendente a un gran número de terminales de usuario dentro de la cobertura de haces puntuales múltiples. Con tales sistemas, existe un requisito para proporcionar flexibilidad en el enrutamiento de un canal de enlace ascendente de pasarela dado hacia cualquiera de los haces de enlace descendente y flexibilidad en la correlación de un canal de enlace ascendente dado a cualquiera de los intervalos de frecuencia disponibles dentro de los haces de enlace descendente.

En arquitecturas de enlace de retorno, el tráfico se lleva en forma de enlace ascendente desde un gran número de terminales de usuario dentro de la cobertura de haces puntuales múltiples para enlazar de manera descendente a un único o pequeño número de terminales de pasarela ubicados dentro de un único o pequeño número de haces. En este caso, existe un requisito para proporcionar flexibilidad en canales de enrutamiento en cualquier intervalo de frecuencia en cualquiera de los haces de enlace ascendente de usuario en cualquier intervalo disponible dentro del/de los haz o haces de enlace descendente de pasarela. Una arquitectura de malla se caracteriza por un gran número de haces puntuales sobre tanto el enlace ascendente como el enlace descendente y existe un requisito para proporcionar flexibilidad en el enrutamiento de haz a haz y correlación de frecuencia entre enlace ascendente y enlace descendente para cualquier canal de enlace ascendente.

Las arquitecturas de procesamiento digital que se usan actualmente dentro de los sistemas de haces puntuales múltiples se encuentran entre una arquitectura o bien de conmutación espacial o bien de formación de haces digital. En una arquitectura de conmutación espacial, las señales de enlace ascendente, desde un único haz o múltiples haces, se muestrean de manera digital mediante convertidores A/D y se demultiplexa su frecuencia de manera digital para aislar canales individuales. Un sistema de conmutación, que funciona en los canales individuales, proporciona un enrutamiento flexible de cada canal de enlace ascendente al intervalo de frecuencia requerida dentro del haz de enlace descendente requerido. Se demultiplexa la frecuencia de los canales enrutados hacia un haz de enlace descendente dado y se convierten D/A para formar la señal de haz analógica requerida. Un enfoque de este tipo puede aplicarse a las arquitecturas directas, de retorno o de malla en las que las interfaces al sistema de antena toman la forma de puertos de haz, por ejemplo usando una antena de alimentación individual por haz (SFPB).

En arquitecturas de formación de haces digital, el procesamiento puede usarse dentro de arquitecturas de carga útil que usan múltiples alimentaciones o elementos dentro de la antena con el fin de sintetizar un haz puntual dado y es particularmente adecuado para los sistemas de antenas de tipo de sistema de elementos en fase y reflector con sistema de alimentadores (AFR). Se usan las funciones de ponderación complejas dentro de la red de formación de haces para cada canal para controlar las propiedades del haz para ese canal. Por ejemplo, los pesos de los canales pueden elegirse para definir la dirección de un haz puntual dado según la distribución de tráfico de terminal de tierra o puede usarse el control del tamaño y forma del haz para proporcionar flexibilidad adicional. La formación de haces digital puede aplicarse a los enlaces de haces puntuales múltiples en cualquiera de las arquitecturas de sistema directa, de retorno o de malla.

Asociadas con el procesador digital central, tal como se limita mediante los convertidores A/D y D/A, existen funciones de procesamiento previo y procesamiento posterior analógicas que acondicionan las señales como entrada a los convertidores A/D y como salida de los convertidores D/A. La combinación de la función de procesamiento digital central y las funciones de procesamiento previo y procesamiento posterior analógicas constituyen un procesador integrado global.

Actualmente, los sistemas de procesamiento usados dentro de sistemas de satélite se implementan de manera

personalizada según los requisitos de una misión específica. Esto implica normalmente una implementación altamente compleja en forma de una única unidad dimensionada según requisitos de misión y que requiere múltiples diseños de módulo de nivel inferior, grandes cantidades de conectores de alta densidad y planos posteriores complejos. Los tiempos de diseño y prueba asociados con estos sistemas son largos, conduciendo a una programación y coste global altos. Los requisitos de consumo de masa y de potencia altos y localizados pueden dificultar el alojamiento de la carga útil, requiriendo a menudo una gestión térmica sofisticada. El enfoque de una única unidad de este tipo tiene una utilidad limitada para otras misiones que difieren en tamaño o escala.

Un ejemplo de carga útil de un satélite se da a conocer en el documento EP854590.

Es objeto de la presente invención proporcionar un enfoque modular al diseño e implementación de un procesador integrado para sistemas de comunicación por satélite de tipo de haces puntuales múltiples mediante lo cual el procesador integrado global comprende varios módulos de procesamiento integrados idénticos. Un módulo de procesamiento integrado puede comprender varios componentes integrados físicamente o varios componentes individuales.

Es objeto adicional de la presente invención proporcionar un módulo de procesamiento digital genérico que puede usarse para soportar requisitos de sistema y de tráfico de un amplio abanico de misiones que difieren en tipo y escala. El módulo digital genérico proporciona la funcionalidad o bien de conmutación espacial o bien de formación de haces digital como opciones dentro del diseño de módulo común. Mientras el concepto de procesamiento digital central sea genérico se espera que los parámetros detallados de las funciones de procesamiento previo y procesamiento posterior sean específicos de cada misión, por ejemplo según frecuencias y anchos de banda de enlace.

## 2. Sumario de la invención

En un primer aspecto, la presente invención se refiere a un sistema de procesamiento de carga útil de un satélite de telecomunicaciones que comprende uno o más módulos de procesamiento integrados genéricos idénticos, en el que el número de módulos se selecciona según las características de antena y ancho de banda de un enlace ascendente y enlace descendente de misión especificada, en relación con las características del módulo de procesamiento integrado.

En la realización preferida, cada módulo de procesamiento integrado comprende una etapa de procesamiento previo, comprendiendo una etapa de procesamiento digital: una pluralidad de puertos de entrada adaptados para recibir señales correspondientes a un enlace ascendente, teniendo cada puerto de entrada un ancho de banda predeterminado; y una pluralidad de puertos de salida adaptados para emitir señales correspondientes a un enlace descendente, teniendo cada puerto de salida un ancho de banda predeterminado; y una etapa de procesamiento posterior; y en la que el número de módulos de procesamiento integrados individuales en el sistema de procesamiento de carga útil de un satélite de telecomunicaciones es función de los puertos de antena de enlace ascendente y enlace descendente y el ancho de banda de enlace ascendente y enlace descendente respectivo con respecto al número de puertos de entrada (N) y salida (M) y el ancho de banda de puerto de entrada y salida respectivo de la etapa de procesamiento digital. Uno o más de los puertos de entrada y/o puertos de salida pueden proporcionar redundancia.

Por tanto, la escala del procesador global se determina mediante el uso de múltiples módulos de procesamiento integrados idénticos según requisitos y parámetros de sistema de nivel más altos, en particular el ancho de banda de sistema, el número de puertos de haz en una arquitectura de conmutación espacial o el número de alimentaciones/puertos de elemento dentro de una arquitectura de formación de haces digital. En un caso extremo, puede usarse un único módulo de procesamiento integrado en una misión menor o secundaria, mientras que puede usarse un número relativamente grande de módulos (por ejemplo 6 o más) para soportar una misión a gran escala (por ejemplo, en la que se procesa la capacidad de comunicaciones completa). Este enfoque modular puede usarse con las arquitecturas o bien de conmutación espacial o bien de procesamiento de formación de haces digital e implementarse dentro de una arquitectura directa, de retorno o de malla. Las arquitecturas de formación de haces digital puede requerir hardware analógico adicional para unir múltiples módulos de procesamiento.

El enfoque modular proporciona una solución de bajo riesgo en tanto que una vez se ha desarrollado y probado un módulo de procesamiento integrado, pueden usarse múltiples copias del módulo probado para construir el procesador integrado global para una misión específica. Además, el módulo de procesamiento central puede usarse como un bloque de construcción de procesador genérico a lo largo de un abanico de tipos de misión, caracterizado por requisitos o bien de conmutación espacial o bien de formación de haces digital, reduciendo adicionalmente de ese modo el riesgo y los costes excepcionales.

En una realización preferida, cada etapa de procesamiento digital comprende además un convertidor A/D asociado con cada puerto de entrada y dispuesto para convertir la señal de enlace ascendente de un ancho de banda predeterminado en una forma de muestra digital; un convertidor A/D asociado con cada uno de los puertos de salida y dispuesto para convertir una señal digital procesada de un ancho de banda predeterminado en una señal de

5 enlace descendente analógica; medios de procesamiento digital que comprende una pluralidad de demultiplexores de frecuencia, cada uno conectado a uno o más de la pluralidad de convertidores A/D y dispuestos para separar el ancho de banda muestreado de una o más de las señales de enlace ascendente muestreadas en una pluralidad de canales; medios de procesamiento de nivel de canal asociados con cada uno de los canales y dispuestos para enrutar los canales procesados hacia cualquiera de la pluralidad de puertos de salida; una pluralidad de multiplexores de frecuencia, cada uno conectado a los medios de procesamiento de nivel de canal y a uno o más de la pluralidad de convertidores D/A y dispuestos para combinar una pluralidad de canales enrutados.

10 En una realización, la etapa de procesamiento de nivel de canal comprende un sistema de conmutación espacial que puede enrutar de manera flexible un canal de entrada dado hacia uno o más de los multiplexores de frecuencia asociados con los puertos de salida. En una realización alternativa, la etapa de procesamiento de nivel de canal comprende un sistema de red de formación de haces. La etapa de procesamiento de nivel de canal también comprende preferiblemente un conmutador de memoria dispuesto para proporcionar un enrutamiento flexible entre intervalos de frecuencia de enlace ascendente y enlace descendente.

15 La etapa de procesamiento previo de cada módulo de procesamiento integrado está asociada con la pluralidad de puertos de entrada de la etapa de procesamiento digital y está dispuesta para aislar una banda de frecuencia predeterminada del enlace ascendente, para convertir con disminución de frecuencia la banda aislada en una frecuencia intermedia y para aplicar la señal convertida con disminución de frecuencia a uno o más de la pluralidad de puertos de entrada. La etapa de procesamiento previo puede comprender una cadena de procesamiento previo asociada con cada uno de los puertos de entrada, o múltiples cadenas de procesamiento previo, pudiendo mutiplexarse la frecuencia de las salidas de las mismas para proporcionar señales de entrada predeterminadas a uno o más de los puertos de entrada.

25 Además, la etapa de procesamiento posterior de cada módulo de procesamiento integrado está asociada con la pluralidad de puertos de salida de la etapa de procesamiento digital y está dispuesta para filtrar y convertir con aumento de frecuencia las señales de enlace descendente en frecuencias apropiadas. La etapa de procesamiento posterior puede comprender una cadena de procesamiento posterior asociada con cada uno de los puertos de salida o múltiples cadenas de procesamiento posteriores caracterizadas por filtraciones y conversiones con aumento de frecuencia diferentes.

30 Ventajosamente, el módulo de procesamiento integrado puede implementarse en uno de: una arquitectura de sistema de enlace de malla, de enlace directo o de enlace de retomo o una combinación de estas arquitecturas.

35 En una realización que comprende un sistema de conmutación espacial, el módulo de procesamiento integrado está dispuesto para funcionar con alimentación individual por antenas de haz tanto en enlace ascendente como en enlace descendente. En este caso, las interfaces de módulo a las antenas toman la forma de puertos de haz. En realizaciones adicionales que comprenden un sistema de formación de haces, la antena de enlace de usuario es un sistema de elementos en fase que comprende una pluralidad de elementos de antena o un reflector con sistema de alimentadores (AFR) que comprende una pluralidad de alimentaciones desviadas del plano focal de un reflector.

40 En aún otra realización que comprende un sistema de red de formación de haces, en la que el módulo de procesamiento integrado está implementado en una arquitectura de sistema de enlace directo, se divide preferiblemente un canal de entrada dado para proporcionar señales a múltiples puertos de salida de la etapa de procesamiento digital, estando muestras de canal multiplicadas por coeficientes complejos con el fin de controlar las propiedades del haz de enlace descendente para ese canal. De manera similar, cuando el módulo de procesamiento integrado está implementado en una arquitectura de sistema de enlace de retorno, se forma un canal de entrada dado a partir de la suma de señales de múltiples puertos de entrada de la etapa de procesamiento digital, estando muestras de canal multiplicadas por coeficientes complejos con el fin de controlar las propiedades del haz de enlace ascendente para ese canal.

45 El enlace ascendente o enlace descendente se refiere preferiblemente a terminales de tierra que soportan un multiplexado de frecuencia de una pluralidad de canales. En un módulo que comprende un sistema de red de formación de haces, cada canal de enlace ascendente o enlace descendente puede estar asociado con una red de formación de haces digital independiente, estando un canal muestreado dividido según el número de elementos/alimentaciones en la antena de enlace descendente o enlace ascendente respectiva. En otra realización, el ancho de banda del enlace ascendente o enlace descendente está partido en varios segmentos de ancho de banda, estando cada segmento aplicado a o emitido de un único puerto de entrada o salida de la etapa de procesamiento digital.

60 En una realización, una señal correspondiente a cada haz de enlace ascendente o elemento/alimentación de antena se aplica a un único puerto de entrada de la etapa de procesamiento digital y/o una señal correspondiente a cada haz de enlace descendente o elemento/alimentación de antena se emite de un único puerto de salida de la etapa de procesamiento digital. Alternativamente, una señal correspondiente a una pluralidad de haces de enlace ascendente o elementos/alimentaciones de antena se aplica a un único puerto de entrada y/o una señal correspondiente a una pluralidad de haces de enlace descendente o elementos/alimentaciones de antena se emite de un único puerto de

5 salida. En este caso, la etapa de procesamiento previo puede estar dispuesta para convertir con disminución de frecuencia de manera selectiva las señales de la pluralidad de haces de enlace ascendente o elementos/alimentaciones de antena en frecuencias de centro diferentes y para sumar los haces convertidos con disminución de frecuencia o señales de elemento/alimentación anteriores a la aplicación de la señal a un puerto de entrada de la etapa de procesamiento digital. En cualquiera de estas realizaciones, la etapa de procesamiento posterior puede estar dispuesta para convertir con aumento de frecuencia de manera selectiva la señal de un puerto de salida de la etapa de procesamiento digital en una pluralidad de haces de enlace descendente o elementos/alimentaciones de antena.

10 En otras realizaciones, pueden usarse una pluralidad de módulos de procesamiento integrados. Pueden aplicarse señales correspondientes a un subconjunto de la pluralidad de haces de enlace ascendente o elementos o alimentaciones de antena a los puertos de entrada de la etapa de procesamiento digital de cada módulo y/o señales correspondientes a un subconjunto de la pluralidad de haces de enlace descendente o elementos o alimentaciones de antena pueden emitirse de los puertos de salida de la etapa de procesamiento digital de cada módulo.  
 15 Alternativamente, se aplican señales correspondientes a la totalidad de la pluralidad de haces de enlace ascendente o elementos o alimentaciones de antena en los puertos de entrada de la etapa de procesamiento digital de cada módulo y/o señales correspondientes a la totalidad de la pluralidad de haces de enlace descendente o elementos o alimentaciones de antena se emiten de los puertos de salida de la etapa de procesamiento digital de cada módulo, y en el que cada módulo está dispuesto para procesar un segmento diferente del ancho de banda global de haz o de elemento de antena o de alimentación.

**3. Descripción de los Dibujos**

25 A continuación, se describirán realizaciones de la invención únicamente a modo de ejemplo, con referencia a los dibujos adjuntos en los que:

la figura 1 es una representación esquemática simplificada de un módulo de procesamiento integrado genérico según la presente invención;

30 la figura 2 es una representación esquemática más detallada del módulo de procesamiento integrado de la figura 1, que incorpora una función de procesamiento de conmutación espacial/de memoria central aplicado a una arquitectura de sistema de malla que usa antenas SFPB para tanto el enlace ascendente como el enlace descendente;

35 la figura 3 muestra una representación más detallada de un ejemplo de una etapa de procesamiento digital que podría usarse como un bloque de construcción del módulo de procesamiento integrado de la figura 2;

40 la figura 4 es una representación simplificada de la etapa de procesamiento digital del módulo de procesamiento integrado de la figura 1, que incorpora una función de procesamiento de formación de haces digital central aplicada a una arquitectura de sistema directa que usa una antena de sistema de elementos en fase; y

45 la figura 5 es una representación esquemática de una arquitectura de módulos de procesamiento integrados múltiples de formación de haces digital, que proporciona funcionalidad tanto de enlace directo como de enlace de retorno, según una realización de la presente invención.

**4. Descripción detallada de realizaciones de la invención**

50 Antes de describir diversas realizaciones de la presente invención, tal como se implementan dentro de diversas arquitecturas de sistema que incorporan o bien una conmutación espacial/de memoria o bien una función de procesamiento de formación de haces digital, primero se describirá la estructura básica de un módulo de procesamiento genérico.

Haciendo referencia a Figura 1, un módulo 10 de procesamiento integrado genérico comprende una etapa 12 de procesamiento previo analógica para acondicionar las señales de entrada antes de la conversión A/D, una etapa 11 de procesamiento digital que comprende una pluralidad de puertos  $14_{1-N}$  de entrada, teniendo cada puerto de entrada un convertidor 16 A/D que convierte una banda de entrada de interés en una forma de muestra digital, y un demultiplexor 18 digital que separa la banda de entrada global en varios canales. La etapa 11 de procesamiento digital tiene una pluralidad de puertos  $22_{1-M}$  de salida, comprendiendo cada uno un multiplexor 24 digital que combina los canales de banda estrecha y un convertidor 26 D/A para convertir la señal combinada para proporcionar la señal de salida de puerto analógica. Una etapa 28 de procesamiento posterior analógica está asociada con los puertos de salida de la etapa 11 de procesamiento digital para convertir con aumento de frecuencia la señal de salida en la frecuencia deseada y filtrar imágenes no deseadas. Aunque la figura 1 muestra solo un único módulo de procesamiento integrado, debe entenderse que un sistema de procesamiento de carga útil de un satélite de telecomunicaciones puede comprender uno o más módulos de este tipo idénticos dependiendo de las características de antena y ancho de banda de un enlace ascendente y enlace descendente de misión especificada.

Haciendo referencia a la figura 1, entre los demultiplexores 18 de entrada y los multiplexores 24 de salida de la etapa 11 de procesamiento digital, una etapa 20 de procesamiento central de nivel de canal (normalmente un conmutador espacial/de memoria o sistema de formación de haces digital) proporciona el mecanismo para enrutar de manera flexible canales entre puertos de entrada y salida, para correlacionar de manera flexible canales entre frecuencias de puertos de entrada y salida y, en el caso de formación de haces digital, para proporcionar una ponderación compleja flexible de señales de canal con el fin de controlar las propiedades del haz. Debe entenderse que el término módulo de procesamiento integrado puede referirse a la integración física de los diversos componentes del módulo o a la implementación como componentes individuales.

#### 4.1 Arquitectura de conmutación espacial/de memoria

La figura 2 ilustra una arquitectura de sistema de malla que usa antenas de alimentación individual por haz (SFPB) que incorpora un módulo 10 de procesamiento integrado que implementa una arquitectura 30 de conmutación espacial y una arquitectura 32 de conmutación de memoria como funciones 20 de procesador de nivel de canal central de la etapa 11 de procesamiento digital. El enlace 34 ascendente implica una pluralidad de  $N_u$  haces 36 puntuales, cada uno de los cuales contiene varios canales multiplexados por división de frecuencia (FDM) ubicados en los intervalos de frecuencia disponibles dentro de la banda 34 de enlace ascendente global. Pueden usarse de manera repetida las frecuencias entre múltiples terminales de tierra que comparten el mismo intervalo de frecuencia a condición de que los haces estén suficientemente alejados entre sí para limitar la interferencia entre los mismos. El enlace 38 descendente implica  $N_d$  haces 40 puntuales, conteniendo cada haz 40 varios canales FDM ubicados en intervalos de frecuencia disponibles. En un caso extremo, puede requerirse la capacidad para enrutar de manera flexible cualquier canal de enlace ascendente hacia cualquier intervalo de frecuencia en cualquier haz de enlace descendente.

Como se describe con referencia a la figura 2, la etapa 11 de procesamiento digital del módulo 10 de procesamiento integrado comprende una pluralidad de  $N$  puertos  $14_{1-N}$  de entrada, y una pluralidad de  $M$  puertos  $22_{1-M}$  de salida, donde  $N$  puede ser igual o diferente de  $M$ . Cada uno de los haces 36 de enlace ascendente y haces 40 de enlace descendente se asocia normalmente con un único puerto  $14_{1-N}$  de entrada y puerto  $22_{1-M}$  de salida, respectivamente, de la etapa 11 de procesamiento digital. Cada haz 36 de enlace ascendente se somete primero a una función de procesamiento previo analógica en la etapa 12 de procesamiento previo analógica en la que la banda de frecuencia de interés se aísla para evitar distorsión en el muestreo  $A/D$  posterior (es decir cualquier señal fuera de banda se distorsionará en banda como resultado del procedimiento de muestreo) y se convierte con disminución de frecuencia en una frecuencia intermedia (IF) adecuada para muestreo posterior. La etapa 12 de procesamiento previo puede estar integrada físicamente con la etapa 11 de procesamiento digital o puede ser un componente independiente, externo a la etapa 11 de procesamiento digital.

Las señales 36 de haz de enlace ascendente de procesamiento previo se aplican en los puertos  $14_{1-N}$  de entrada y se muestrean en el convertidor 16  $A/D$  con el fin de representar la señal de haz global como una secuencia de palabras digitales. El convertidor 16  $A/D$  debe funcionar a una tasa de muestreo suficientemente rápida con el fin de representar la totalidad de la banda de frecuencia de interés (una tasa máxima de  $f_{\text{entrada}}$  muestras por segundo), que a su vez determina el máximo ancho de banda que puede muestrearse (mediante el teorema de Nyquist  $f_{\text{entrada}}/2$ , asumiendo muestreo real) y con una longitud de palabra suficiente con el fin de limitar el ruido de cuantificación asociado con la conversión.

Las señales de haz muestreadas se demultiplexan entonces de manera digital en el demultiplexor 18 en  $K$  canales individuales aplicando una arquitectura de demultiplexado digital apropiada. Esto implica normalmente un algoritmo basado en FFT eficaz y una reducción en la tasa de muestra apropiada para los canales individuales. Cada canal puede contener un único o múltiples portadores o, en el caso de un portador de banda ancha dado, puede ocuparse un número entero de canales. En el último caso, debe entenderse que el diseño del filtro 18 de demultiplexor es tal que una propiedad contigua permite que portadores de banda más ancha se reconstruyan en una función de multiplexado de frecuencia. En términos prácticos, las muestra de canal individuales se multiplexan por división de tiempo (TDM) en marcos donde un marco dado contiene una muestra para cada canal.

Una función 30 de conmutación espacial central funciona en los canales de entrada muestreados, permitiendo que señales de cualquier puerto  $14_{1-N}$  de entrada se enruten hacia cualquier puerto  $22_{1-M}$  de salida. Un canal de entrada dado puede enrutarse hacia múltiples puertos de salida (capacidad de difusión o multidifusión) y cualquier canal de entrada puede enrutarse hacia cualquier intervalo de frecuencia en el puerto  $22_{1-M}$  de salida seleccionado. Se consigue flexibilidad en la correlación de frecuencia controlando funciones de lectura-escritura dentro de la arquitectura 32 de conmutación de memoria asociada con la función 20 de procesamiento de nivel de canal central. Tal como se describió anteriormente, las salidas de los demultiplexores (18) toman forma de marcos de TDM en los que un marco dado contiene una única muestra para cada canal y la ordenación de las muestras dentro del marco se refiere a la frecuencia de canal. La correlación de frecuencia puede controlarse cambiando la ordenación de muestras dentro de estos marcos de TDM escribiendo marcos de entrada en la memoria y leyendo marcos de salida de la memoria con una ordenación de muestras diferente anterior a la entrada a los multiplexores.

Cada puerto  $22_{1-M}$  de salida tiene un multiplexador 24 de frecuencia que combina los canales enrutados hacia el

mismo, que como se describió anteriormente están ahora en forma de marcos de TDM con ubicaciones de muestras según la correlación de frecuencia requerida. Cada puerto  $22_{1-M}$  de salida tiene un convertidor 26 D/A que funciona a una tasa de  $f_{salida}$  muestras por segundo, que a su vez determina el máximo ancho de banda de la señal de salida (mediante el teorema de Nyquist,  $f_{salida}/2$  asumiendo muestreo real).  $f_{salida}$  puede normalmente ser igual a  $f_{entrada}$ , pero debe entenderse que esto no es necesariamente el caso. La señal de puerto de salida de haz convertida se convierte con aumento de frecuencia en una frecuencia requerida en la etapa 28 de procesamiento posterior asociada con los puertos  $22_{1-M}$  de salida de la etapa 11 de procesamiento digital y se aplica un filtrado anti imagen para rechazar imágenes del convertidor A/D no deseadas. La etapa 28 de procesamiento posterior puede estar integrada físicamente con la etapa 11 de procesamiento digital o puede implementarse de manera externa.

La figura 3 muestra un ejemplo de una etapa de procesamiento digital genérica del módulo de procesamiento integrado según una realización de la presente invención que puede usarse un bloque de construcción para un procesador a gran escala con una arquitectura de conmutación espacial. La etapa 11 de procesamiento digital comprende N puertos  $14_{1-N}$  de entrada, cada uno con un convertidor  $16_{1-N}$  A/D asociado, y M puertos  $22_{1-M}$  de salida, cada uno con un convertidor  $26_{1-M}$  D/A asociado. De los N puertos de entrada y M puertos de salida, varios de estos estarían normalmente activos proporcionando los otros redundancia al sistema. El procesamiento de señal digital puede considerarse que divide a lo ancho entre tres rangos 42, 44, 46 de funciones, con varios bloques de función idénticos en cada rango, entre los que existe conectividad completa. El primer rango 42 proporciona un demultiplexado de frecuencia de las entradas muestreadas. El tercer rango 46 proporciona de manera similar un multiplexado de frecuencia para formar las salidas muestreadas. El segundo rango 44 central proporciona el enrutamiento flexible entre puertos  $14_{1-N}$  de entrada y puertos  $22_{1-M}$  de salida; en este ejemplo (figura 2) una función 30 de conmutación dada recibe entradas de cada bloque 18 de demultiplexado y proporciona salidas para cada bloque 24 de multiplexado.

#### 4.1.1. Ejemplos de la aplicación de enfoque modular a la arquitectura de conmutación espacial

Considerando las arquitecturas de conmutación espaciales, los parámetros clave que caracterizan los requisitos del procesador global son el número de haces de enlace ascendente y haces de enlace descendente, el ancho de banda ocupado en los haces y el ancho de banda de canal necesario para cumplir los requisitos de flexibilidad. De manera similar, los parámetros clave que caracterizan un módulo de procesamiento integrado dado son el número de puertos de entrada y salida de su etapa de procesamiento digital y el ancho de banda procesado de manera digital de estos puertos. Se comentan ahora varias situaciones caracterizadas por requisitos de misión diferentes para ilustrar la flexibilidad del enfoque modular de la presente invención.

Si el número de haces 36 de enlace ascendente y haces 40 de enlace descendente es menor que el número de puertos  $14_{1-N}$  de entrada y puertos  $22_{1-M}$  de salida respectivamente de la etapa de procesamiento digital del módulo 10, y si el ancho de banda de los haces 36 de enlace ascendente y haces 40 de enlace descendente es menor que el de los puertos  $14_{1-N}$  de entrada y puertos  $22_{1-M}$  de salida respectivos, entonces un único módulo 10 será suficiente con una correlación directa de haces a puertos de módulo. En realidad, tal situación simplista es probable que corresponda con una misión menor o secundaria.

Si el número de haces 36 de enlace ascendente y/o haces 40 de enlace descendente supera el número de puertos  $14_{1-N}$  de entrada y/o puertos  $22_{1-M}$  de salida de la etapa 11 de procesamiento digital del módulo 10, pero los anchos de banda de los haces son significativamente menores que el ancho de banda de puertos de etapa de procesamiento digital respectivo, entonces un único módulo puede usarse de nuevo asociando cada puerto de la etapa 11 de procesamiento digital con múltiples haces. En tal caso, la etapa 12 de procesamiento previo asociada con los puertos  $14_{1-N}$  de entrada se estructura de manera que un grupo de señales 34 de haz se convierten con disminución de frecuencia en frecuencias de centro diferentes (seleccionadas para evitar superposición) y se suman antes del muestreo mediante el convertidor 16 A/D de puerto de entrada. De manera similar, cada puerto  $22_{1-M}$  de salida de la etapa 11 de procesamiento digital del módulo 10 contiene las señales correspondientes a múltiples haces 38 pero desviadas de nuevo de manera selectiva en frecuencia para evitar superposición. Tras la conversión D/A en el puerto de salida, las señales de salida se someten a diferentes conversiones con aumento de frecuencia en la etapa 28 de procesamiento posterior para situar las señales de haz en las frecuencias de centro requeridas y se filtran en banda para rechazar las señales de haz e imágenes de convertidor A/D no deseadas.

Por ejemplo, considerar un módulo 10 de procesamiento integrado que comprende una etapa 11 de procesamiento digital con diez puertos  $14_{1-10}$  de entrada y diez puertos  $22_{1-10}$  de salida, cada uno dispuesto para alojar un ancho de banda de 200 MHz. La misión de comunicaciones por satélite está caracterizada por veinte haces 36 de enlace ascendente y veinte haces 40 de enlace descendente, teniendo cada uno un ancho de banda de 100 MHz. En la etapa 12 de procesamiento previo, se combinan diez pares de señales 36 de haz de enlace ascendente, con sus frecuencias de centro desplazadas 100 MHz de modo que cada par de señales de haz ocupa la totalidad del ancho de banda de 200 MHz de un puerto  $14_{1-10}$  de entrada de la etapa de procesamiento digital. Esto se aplica a la inversa en la correlación de los puertos  $22_{1-10}$  de salida a los haces 40 de enlace descendente. Este concepto de apilado de subbandas es objeto de la solicitud de patente del Reino Unido No. GB 0708940.2 presentada el 10 de mayo de 2007.

Si el producto del número de haces 36 de enlace ascendente o haces 40 de enlace descendente y el ancho de banda de haz respectivo supera el producto de los números  $N$  de puertos  $14_{1-N}$  de entrada y  $M$  de puertos  $22_{1-M}$  de salida respectivos y el ancho de banda de puerto respectivo de la etapa 11 de procesamiento digital de un módulo de procesamiento integrado, entonces un único módulo es claramente insuficiente para soportar los requisitos de misión. Pueden implementarse diversas configuraciones en esta situación. En la configuración menos compleja, se proporciona una pluralidad de módulos. Los haces 36 de enlace ascendente y haces 40 de enlace descendente se parten en subconjuntos, donde cada subconjunto está soportado por uno de la pluralidad de módulos 10 de procesamiento integrados. De nuevo, puede multiplexarse múltiples señales de haz de enlace ascendente desde dentro de un subconjunto de haz sobre cada puerto  $14_{1-N}$  de entrada de la etapa 11 de procesamiento digital del módulo apropiado.

Por ejemplo, para una misión particular que comprende veinte haces  $36_{1-20}$  de enlace ascendente y veinte haces  $40_{1-20}$  de enlace descendente, teniendo cada uno un ancho de banda de 200 MHz, se proporcionan dos módulos  $10_A$  y  $10_B$  de procesamiento integrados. La etapa 11 de procesamiento digital de cada módulo  $10_A$  y  $10_B$  comprende diez puertos  $14_{1-10}$  de entrada y diez puertos  $22_{1-10}$  de salida y se dispone para soportar un subconjunto de diez haces  $36_{1-10}$ ,  $36_{11-20}$  de enlace ascendente y diez haces  $40_{1-10}$ ,  $40_{11-20}$  de enlace descendente, muestreándose el ancho de banda de haz completo en cada puerto  $14_{1-10}$  de entrada. Sin embargo, una configuración de este tipo no puede proporcionar una flexibilidad completa entre todos los haces de enlace ascendente y haces de enlace descendente, dado que los canales en un subconjunto de enlace ascendente dado de haces  $36_{1-10}$  ó  $36_{11-20}$  solo pueden enrutarse hacia haces dentro del subconjunto  $40_{1-10}$  o  $40_{11-20}$  de enlace descendente correspondiente respectivamente. En algunos casos, esto puede ser insuficiente para cumplir los requisitos de tráfico dentro de una misión particular.

En un enfoque alternativo que puede proporcionar una flexibilidad de enrutamiento de haz a haz completa para la situación en la que se requiere más de un módulo de procesamiento integrado, cada módulo 10 se dispone para soportar el número de haces 36 de enlace ascendente y haces 40 de enlace descendente completo apilando múltiples segmentos del ancho de banda de haz global en los puertos  $14_{1-N}$  de entrada de la etapa 11 de procesamiento digital del módulo. El número de módulos 10 requerido es entonces igual al número de segmentos de ancho de banda dentro del ancho de banda de haz global. Considérese de nuevo el ejemplo anterior, que comprende veinte haces  $36_{1-20}$  de enlace ascendente y veinte haces  $40_{1-20}$  de enlace descendente, teniendo cada uno un ancho de banda de 200 MHz. Pueden usarse dos módulos  $10_A$  y  $10_B$  de procesamiento, soportando cada uno los veinte haces  $36_{1-20}$  de enlace ascendente y los veinte haces  $40_{1-20}$  de enlace descendente en su totalidad, apilándose dos haces de enlace ascendente y dos haces de enlace descendente por puerto de entrada y salida respectivamente de la etapa 11 de procesamiento digital de cada módulo, y muestreándose un segmento de ancho de banda de 100 MHz desde/hasta un haz dado en cada puerto de entrada y salida. Una desventaja de este enfoque es que la flexibilidad de correlación de frecuencia entre haces de enlace ascendente y haces de enlace descendente está restringida al nivel de segmento de ancho de banda pero en la práctica, es improbable que presente una restricción severa.

En la situación en la que el número de puertos  $14_{1-N}$  de haz de entrada y puertos  $22_{1-M}$  de haz de salida de la etapa 11 de procesamiento digital del módulo 10 de procesamiento integrado supera el número de haces y el ancho de banda de haz supera el ancho de banda de puerto de la etapa de procesamiento digital, pueden usarse múltiples módulos, cada uno dividido según segmentos de ancho de banda. Por ejemplo, un requisito de misión que implica diez haces en cada uno del enlace 36 ascendente y enlace 40 descendente, con un ancho de banda de haz de 400 MHz, se requieren dos módulos, procesando cada uno 200 MHz para el número de puertos de haz completo.

Si el producto del número de haces de enlace descendente y el ancho de banda de haz de enlace descendente supera el producto del número  $M$  de puertos de salida y el ancho de banda de puerto de la etapa 11 de procesamiento digital del módulo 10 de procesamiento integrado, mientras que el producto del número de haces de enlace ascendente y el ancho de banda de haz de enlace ascendente es menor que el producto del número  $N$  de puertos de entrada y el ancho de banda de puerto, entonces se requiere de nuevo múltiples módulos. En este caso, cada una de las señales de haz de enlace ascendente se divide en múltiples trayectorias idénticas que se introducen en los puertos de entrada respectivos de la etapa 11 de procesamiento digital para cada uno de los módulos. Cada uno de los módulos soporta parte de la capacidad de salida, asociándose un subconjunto de haces de enlace descendente con un módulo dado. Tal enfoque proporciona una flexibilidad completa, pudiendo enrutarse cualquier canal de enlace ascendente hacia cualquier intervalo de frecuencia en cualquier haz de enlace descendente. Una situación análoga existe si la capacidad de enlace ascendente demanda múltiples módulos mientras el enlace descendente es compatible con la capacidad de puerto de salida de la etapa 11 de procesamiento digital de un único módulo; en este caso se suman las salidas de puerto respectivas de las etapas de procesamiento digital de los módulos.

#### 4.2. La arquitectura de formación de haces digital

La figura 4 ilustra una etapa 11 simplificada de procesamiento digital de un módulo 10 de procesamiento integrado según la presente invención, que incorpora una función de procesamiento de formación de haces digital aplicada a una arquitectura de sistema de enlace directo. Un único enlace 50 ascendente de haz de pasarela comprende un multiplexado de frecuencia de  $K$  canales de banda estrecha mientras el enlace 52 descendente comprende una

cobertura de haces puntuales múltiples proporcionada por una antena 54 de sistema de elementos en fase que tiene  $N_e$  elementos 56<sub>1...N<sub>e</sub></sub> de antena. Según los requisitos específicos de una misión particular, es necesaria la flexibilidad para enrutar un canal de enlace ascendente dado hacia cualquier intervalo de frecuencia dentro de una ubicación de haz de enlace descendente.

5 Inicialmente, se asume que un único convertidor 16 A/D está asociado con el enlace 50 ascendente de pasarela y un único convertidor 26 D/A está asociado con cada uno de los elementos 56<sub>1...N<sub>e</sub></sub> de sistema de elementos en fase de la antena 54 de enlace descendente de usuario.

10 En una etapa 12 de procesamiento previo analógica, la señal 50 de antena de enlace ascendente, que comprende K canales 50<sub>1...K</sub> de banda estrecha, se filtra para extraer la banda de interés y se convierte con disminución de frecuencia para situar la frecuencia de centro cercana a cero. La señal 50 de enlace ascendente se muestrea en un convertidor 16 A/D a una tasa suficiente para muestrear la banda de enlace ascendente completa de interés (es decir, al menos el doble del ancho de banda, asumiendo el uso de muestreo real). La señal 50 muestreada de enlace ascendente se demultiplexa de manera digital en el demultiplexor 18 para separar los K canales 50<sub>1...K</sub> individuales, reduciéndose las salidas de canal muestreadas según el ancho de banda de canal. La salida de demultiplexor 18 es normalmente en forma de marcos de TDM, conteniendo cada marco una muestra compleja para cada uno de los K canales 50<sub>1...K</sub> y la ordenación de las muestras dentro del marco refiriéndose a la frecuencia de canal. Igual que para las realizaciones de arquitectura de conmutación espacial descritas anteriormente, la salida demultiplexada se alimenta a un conmutador 58 de memoria que está dispuesto para proporcionar flexibilidad en la correlación de frecuencia entre enlace 50 ascendente y enlace 52 descendente. Las muestras dentro de cada marco de TDM se introducen en la memoria 58 mediante lectura y después se extraen mediante lectura en un orden secuencial para reflejar la correlación requerida.

25 Cada canal 50<sub>1...K</sub> tiene una red 60<sub>1...K</sub> de formación de haces digital (DBFN) funcional e independiente, dividiéndose una señal de canal muestreada en  $N_e$  maneras correspondientes al número de elementos 56 en el sistema 54 de elementos en fase. Las muestras en cada trayectoria de salida se multiplican por un peso complejo predeterminado que es equivalente a la amplitud y control de fase. La elección de funciones de ponderación complejas determina las propiedades del haz asociado con ese canal. Por ejemplo, si el conjunto de funciones de ponderación se selecciona para producir un gradiente de fase uniforme a lo largo de la apertura del sistema de elementos, entonces un haz puntual se formará en la dirección donde los elementos individuales se añaden de manera coherente. Esto da como resultado que el canal se enruta hacia una ubicación de haz requerida. Otros conjuntos de funciones de ponderación pueden usarse para controlar el tamaño y forma del haz.

35 Un único sistema 54 de elementos en fase forma todos los haces 52 de enlace descendente y por tanto las señales de canal deben combinarse para cada uno de los elementos 56<sub>1...N<sub>e</sub></sub> de sistema de elementos. En general, se usará de manera repetida la frecuencia espacial en el enlace 52 descendente y de esa manera existen múltiples redes 60 de formación de haces digital correspondientes a un intervalo de frecuencia dado y se suman señales de canal correspondientes para cada uno de los elementos 56<sub>1...N<sub>e</sub></sub> de sistema de elementos. En los puertos 22<sub>1...N<sub>e</sub></sub> de salida, una función 24 de multiplexado de frecuencia combina las señales de intervalo de frecuencia para cada uno de los elementos 56<sub>1...N<sub>e</sub></sub> y un convertidor 26 D/A convierte cada una de las señales de elemento muestreadas a forma analógica. En la etapa 28 de procesamiento posterior asociada con los puertos 22<sub>1...N<sub>e</sub></sub> de salida, cada elemento señal se convierte con aumento de frecuencia en la frecuencia requerida y el canal se filtra para rechazar imágenes de convertidor D/A. Cada señal se amplifica entonces antes de aplicarse al elemento 56<sub>1...N<sub>e</sub></sub> de antena apropiado del sistema 54 de elementos en fase.

50 Debe entenderse que el demultiplexor 18 digital y los diseños de filtro de multiplexor 24 en las realizaciones descritas anteriormente soportan la propiedad contigua mediante lo cual un portador que es más amplio que el canal se reconstruye con las mismas funciones de ponderación de formación de haces que se aplican a las diferentes partes constituyentes que siguen al demultiplexado.

Puede implementarse una arquitectura inversa para soportar un enlace de retomo con múltiples redes de formación de haces digital de recepción para los canales de enlace ascendente de usuario. De manera similar la formación de haces digital puede aplicarse a tanto haces de enlace ascendente como haces de enlace descendente dentro de una arquitectura de malla.

60 Debe entenderse también que la misma arquitectura básica puede aplicarse igualmente si la antena de enlace de usuario es un reflector con sistema de alimentadores (AFR), en el que un agrupamiento de alimentaciones se desvían deliberadamente del plano focal de un reflector y un haz dado se forma mediante la adición ponderada de un subconjunto de las alimentaciones. En el caso de enlace de retomo, los puertos 14<sub>1...N</sub> de entrada del procesador en el lado de enlace de usuario corresponden por tanto a las alimentaciones del AFR. En el caso de enlace directo, el AFR puede combinarse con una disposición de amplificador multipuerto (MPA) de modo que se comparte una amplificación de una señal de alimentación dada a lo largo de varios amplificadores mediante el uso de redes de entrada y salida analógicas en ambos lados de los amplificadores. Sin embargo, el requisito sigue siendo que el procesador digital proporcione las señales de alimentación. En una variante adicional de la arquitectura, la distribución de una señal de alimentación dada al conjunto de amplificadores (es decir, la función de red de entrada)

puede incorporarse a la función de formación de haces digital por tanto eliminando la necesidad de una red de entrada analógica.

5 En el caso de una arquitectura de sistema de enlace directo, los puertos de entrada de la etapa 11 de procesamiento digital del módulo 10 de procesamiento integrado corresponden al enlace ascendente de pasarela y el número de puertos  $14_{1-N}$  de entrada disponibles es probable que sea mayor que el número de haces de pasarela. Sin embargo, si el ancho de banda del enlace ascendente supera el ancho de banda de puerto de la etapa 11 de procesamiento digital, será necesario partir el ancho de banda de enlace ascendente global en varios segmentos de ancho de banda en la etapa de procesamiento previo asociada con cada puerto de entrada. Los puertos  $22_{1-M}$  de salida de la etapa 11 de procesamiento digital del módulo 10 de procesamiento integrado corresponden a los elementos de sistema de elementos en fase o las alimentaciones de AFR. De manera similar, para una arquitectura de sistema de enlace de retorno, los puertos de entrada se refieren a elementos/alimentaciones y los puertos de salida se refieren al enlace descendente de pasarela.

15 **4.2.1 Ejemplos de la aplicación de enfoque modular a arquitecturas de formación de haces digital**

De nuevo, la configuración en términos de geometría de módulo dependerá de los requisitos de la misión específica. A continuación, se describen brevemente varios escenarios de misión diferentes para ilustrar cómo puede aplicarse el enfoque modular en situaciones diferentes. En este caso, el rango central de funciones que comprende conmutadores dentro de la arquitectura de módulo descrita con referencia a la figura 3, se sustituyen por la función de ponderación de formación de haces digital.

25 Por ejemplo, si el número de elementos de sistema de elementos en fase o alimentaciones de AFR es menor que el número de puertos de la etapa 11 de procesamiento digital del módulo 10 de procesamiento integrado y el ancho de banda de los elementos o alimentaciones de antena es menor que el ancho de banda de puerto, entonces un único módulo es suficiente. Considérese una arquitectura de sistema de enlace directo, en la que el enlace ascendente de pasarela es de 400 MHz y el sistema de elementos en fase de enlace de usuario comprende diez elementos de antena, cada uno con un ancho de banda de 200 MHz. Considerando de nuevo el ejemplo de módulo descrito con referencia a la figura 3 en el que un único módulo comprende una etapa 11 de procesamiento digital con diez puertos  $14_{1-N}$  de entrada activos y diez puertos  $22_{1-M}$  de salida activos, cada uno con un ancho de banda de puerto de 200 MHz. El enlace 50 ascendente de pasarela se parte en dos segmentos de ancho de banda de 200 MHz en la etapa 12 de procesamiento previo. Cada segmento de ancho de banda se procesa mediante un puerto  $14_1$  y  $14_2$  de entrada independiente, no usándose los ocho puertos  $14_{3-10}$  de entrada restantes o proporcionando redundancia. Los diez puertos  $22_{1-10}$  de salida proporcionan señales para cada uno de los diez elementos del sistema de elementos en fase. Debido a que el ancho de banda del enlace descendente es la mitad del enlace ascendente es implícito que exista un factor de uso repetido de frecuencia de 2 en el enlace descendente. Por tanto, debe apreciarse que el número completo de puertos de entrada y salida puede o puede no usarse para todas las arquitecturas.

40 En la práctica, el número de elementos o alimentaciones de antena es probable que supere el número de puertos  $22_{1-M}$  de salida de la etapa 11 de procesamiento digital del módulo 10 de procesamiento integrado. Si el ancho de banda de elemento de antena es significativamente menor que el ancho de banda del puerto de salida de la etapa 11 de procesamiento digital del módulo 10 de procesamiento integrado, entonces pueden apilarse por frecuencia múltiples señales de elemento para un puerto  $22_{1-M}$  de salida dado de la etapa 11 de procesamiento digital. Por ejemplo, considérese una arquitectura de sistema de enlace directo con un sistema de elementos en fase que comprende veinte elementos de antena, cada uno con un ancho de banda de elemento de 100 MHz. Puede usarse un único módulo, comprendiendo cada puerto de salida de su etapa 11 de procesamiento digital un ancho de banda de 200 MHz y estando dispuesto para proporcionar dos señales de elemento de antena desplazadas en frecuencia 100 MHz. La etapa de procesamiento posterior incluirá diferentes conversiones con aumento de frecuencia para situar las señales de elemento en la misma frecuencia de centro para el enlace 52 descendente.

55 En muchos casos prácticos, el producto del número de elementos  $N_e$  y el ancho de banda de elemento superará el producto del número de puertos de salida  $N_{salida}$  y el ancho de banda de puerto de la etapa 11 de procesamiento digital del módulo 10 de procesamiento integrado. Por tanto, un único módulo no es suficiente para cumplir los requisitos del sistema. En este caso, los elementos de antena pueden partirse entre una pluralidad de módulos introduciéndose la señal 50 de enlace ascendente de pasarela en cada módulo (ejemplo de enlace directo). Por ejemplo, considérese una arquitectura de sistema de enlace directo, comprendiendo el sistema 54 de elementos en fase cuarenta elementos  $56_{1-40}$  de antena, cada uno con un ancho de banda de elemento de 100 MHz. Como en el ejemplo anterior, un puerto  $22_{1-10}$  de salida dado puede soportar dos señales de elemento pero se requieren dos módulos  $10_A$  y  $10_B$  de procesamiento para soportar el total de cuarenta elementos  $56_{1-40}$ . La misma señal 50 de enlace ascendente de pasarela se introduce en la etapa 12 de procesamiento previo de ambos módulos  $10_A$  y  $10_B$ , en los que la señal se canaliza en dos segmentos de 200 MHz. Estas dos señales de canal se aplican a dos de los puertos  $14_1$  y  $14_2$  de entrada de la etapa 11 de procesamiento digital de cada módulo  $10_A$  y  $10_B$  de procesamiento, proporcionando cada módulo la ponderación de formación de haces de nivel de canal para veinte elementos de antena apilándose por frecuencia las señales para dos elementos de antena independientes en cada puerto  $22_{1-10}$  de salida. Debe apreciarse que mientras el procesamiento frontal en términos de procesamiento 12 previo,

conversión 16 AD y demultiplexado 18 digital se duplica para cada módulo 10, el procesamiento global está dominado por el lado de salida, y por tanto tal duplicación representa una sobrecarga mínima. Debe apreciarse también que tales arquitecturas no tienen las limitaciones en flexibilidad en términos de enrutamiento de canal a haz o correlación de frecuencia asociada con las arquitecturas de conmutación espaciales de múltiples módulos descritas anteriormente.

De manera similar puede aplicarse una arquitectura inversa a un enlace de retomo. Para una situación en la que se requieren múltiples módulos, es necesaria una función de suma analógica para combinar las contribuciones de canal de los subconjuntos de elementos asociados con cada uno de los módulos. Por ejemplo, considérese una arquitectura de sistema de enlace de retorno con un sistema 54 de elementos en fase que comprende cuarenta elementos  $56_{1...40}$ , cada uno con un ancho de banda de elemento de 100MHz. Se requieren dos módulos  $10_A$  y  $10_B$ , procesando cada uno veinte de los elementos  $56_{1...20}$  y  $56_{21...40}$  de antena, apilándose dos elementos de antena en frecuencia en cada uno de los diez puertos  $14_{1-10}$  de entrada de la etapa 11 de procesamiento digital de cada módulo  $10_A$  y  $10_B$ . El ancho de banda de 400MHz de la señal 52 de enlace descendente de pasarela se divide entre dos puertos  $22_1$  y  $22_2$  de salida de la etapa 11 de procesamiento digital de cada uno de los dos módulos  $10_A$  y  $10_B$ . Cada puerto  $22_1$  y  $22_2$  de salida de la etapa 11 de procesamiento digital de cada módulo  $10_A$  y  $10_B$  proporciona una contribución al segmento de 200 MHz del enlace 52 descendente de pasarela correspondiente a los veinte elementos  $56_{1...20}$ ,  $56_{21...40}$  de antena de enlace ascendente asignado a ese módulo  $10_A$  y  $10_B$ . Por tanto, es necesario sumar las señales de puerto de salida correspondientes para los dos módulos  $10_A$  y  $10_B$  con el fin de generar los segmentos de ancho de banda de pasarela globales de la totalidad de los cuarenta elementos  $56_{1...40}$  de antena del sistema 54 de elementos en fase. Tras esta suma, se demultiplexa la frecuencia analógica de cada segmento respectivo para formar el enlace 52 descendente de pasarela de 400 MHz completo.

Debido al uso no simétrico de los puertos de entrada y salida en las arquitecturas de enlace directo y de retomo descritas anteriormente, se deduce que un único módulo de procesamiento puede soportar una combinación de tanto enlaces directos como de retorno. Los puertos  $22_{1-M}$  de salida de la etapa 11 de procesamiento digital del módulo 10 de procesamiento integrado se usan predominantemente para las señales de enlace descendente de elemento de usuario usándose algunos puertos para las señales de enlace descendente de pasarela mientras que la situación inversa es cierta para los puertos  $14_{1-N}$  de entrada. Por ejemplo, considérese una especificación de misión con tanto enlaces directos como de retorno, usando el enlace de pasarela un único haz con ancho de banda de 200 MHz y teniendo el enlace de usuario un sistema de elementos en fase con treinta y seis elementos  $56_{1...36}$ , cada uno con un ancho de banda de elemento de 50 MHz. Uno de los diez puertos  $14_1$  de entrada de la etapa 11 de procesamiento digital de un módulo 10 de procesamiento se usa para el enlace ascendente de pasarela, mientras que los otros nueve puertos  $14_{2...10}$  de entrada se usan para las señales de enlace ascendente de elemento, con cuatro señales de elemento de antena apiladas en frecuencia en cada uno de estos nueve puertos  $14_{2...10}$  de entrada. De manera similar, se usa un único puerto  $22_1$  de salida para el enlace descendente de pasarela, usándose los otros nueve puertos  $14_{2...10}$  de salida por las señales de enlace descendente de elemento asignándose cuatro señales de elementos de antena apiladas en frecuencia a cada uno de estos nueve puertos  $14_{2...10}$ .

En una variante adicional, el módulo 10 de procesamiento integrado puede usarse para soportar una arquitectura de sistema que usa un sistema de elementos en fase o AFR, con formación de haces digital en tanto el enlace ascendente como en el enlace descendente.

Este enfoque modular para la arquitectura de formación de haces se ilustra adicionalmente con referencia a la figura 5. Se requiere una arquitectura de sistema de enlace 64 directo y enlace 62 de retomo combinados usándose un AFR que comprende  $N_f$  alimentaciones individuales. Normalmente, se usan veinte alimentaciones para formar un haz puntual dado. El ancho de banda de alimentación de enlace de usuario es tal que un número pequeño de alimentaciones puede apilarse en frecuencia para cada uno de los puertos  $14_{1-N}$  de entrada de la etapa 11 de procesamiento digital de cada módulo. Existen  $N_p$  módulos  $10_1...10_P$  de procesamiento integrados para el enlace 62 de retorno y  $N_p$  módulos  $10_1...10_P$  de procesamiento integrados adicionales para el enlace 64 directo, en los que cada módulo 10 de procesamiento integrado comprende una etapa 12 de procesamiento previo, una etapa 11 de procesamiento digital central (DSP) y una etapa 28 de procesamiento posterior. El ancho de banda de lado de pasarela requiere el uso de  $N_g$  puertos de módulo de manera que, para el enlace 62 de retorno, se proporcionan  $N_g$  combinadores 66 de trayectoria  $N_p$  externos para combinar las señales de salida procesadas, mientras para el enlace 64 directo, se proporcionan  $N_g$  divisores 68 de trayectoria  $N_p$  para dividir las señales de entrada procesadas.

**REVINDICACIONES**

1. Sistema de procesamiento de carga útil de un satélite de telecomunicaciones que comprende uno o más módulos (10) de procesamiento integrados genéricos idénticos, comprendiendo cada módulo de procesamiento integrado una etapa (11) de procesamiento digital, en el que el número de módulos (10) de procesamiento integrados individuales en el sistema de procesamiento de carga útil de un satélite de telecomunicaciones es función de los puertos de antena de enlace (36, 50) ascendente y de enlace (40, 52) descendente y el ancho de banda de enlace ascendente y enlace descendente respectivo con respecto al número de puertos (14<sub>1-N</sub>, 22<sub>1-M</sub>) de entrada (N) y salida (M) y el ancho de banda de puerto de entrada y salida respectivo de la etapa (11) de procesamiento digital, en el que cada etapa (11) de procesamiento digital comprende:
  - una pluralidad de puertos (14<sub>1-N</sub>) de entrada adaptados para recibir señales correspondientes a un enlace (36, 50) ascendente, teniendo cada puerto (14<sub>1-N</sub>) de entrada un ancho de banda predeterminado;
  - una pluralidad de puertos (22<sub>1-M</sub>) de salida adaptados para emitir señales correspondientes a un enlace (40, 52) descendente, teniendo cada puerto (22<sub>1-M</sub>) de salida un ancho de banda predeterminado;
  - un convertidor (16) A/D asociado con cada puerto (14<sub>1-N</sub>) de entrada y dispuesto para convertir la señal de enlace ascendente de un ancho (36, 50) de banda predeterminado en una forma de muestra digital;
  - un convertidor (26) D/A asociado con cada uno de los puertos (22<sub>1-M</sub>) de salida y dispuesto para convertir una señal digital procesada de un ancho de banda predeterminado en una señal (40, 52) de enlace descendente análoga, estando caracterizada dicha etapa (11) de procesamiento digital porque comprende además
    - medios (42, 44, 46) de procesamiento digital que comprenden
      - una pluralidad de demultiplexores (18) de frecuencia, cada uno conectado a uno o más de la pluralidad de convertidores (16) A/D y dispuestos para separar el ancho de banda muestreado de una o más de las señales (36, 50) de enlace ascendente muestreadas en una pluralidad de canales,
      - medios (20) de procesamiento de nivel de canal asociados con cada uno de los canales y dispuestos para enrutar los canales procesados hacia cualquiera de la pluralidad de puertos (22<sub>1-M</sub>) de salida, y
      - una pluralidad de multiplexores (24) de frecuencia, cada uno conectado a los medios (20) de procesamiento de nivel de canal y a uno o más de la pluralidad de convertidores (26) D/A y dispuesto para combinar una pluralidad de canales enrutados.
2. Sistema de procesamiento de carga útil de un satélite de telecomunicaciones según la reivindicación 1, en el que cada módulo de procesamiento integrado comprende además una etapa (12) de procesamiento previo y/o una etapa (28) de procesamiento posterior.
3. Sistema de procesamiento de carga útil de un satélite de telecomunicaciones según la reivindicación 1, en el que la etapa (20) de procesamiento de nivel de canal de la etapa (11) de procesamiento digital comprende un sistema (30) de conmutador espacial que puede enrutar de manera flexible un canal de entrada dado hacia uno o más de los multiplexores (24) de frecuencia asociados con los puertos (22<sub>1-M</sub>) de salida.
4. Sistema de procesamiento de carga útil de un satélite de telecomunicaciones según la reivindicación 1, en el que la etapa (20) de procesamiento de nivel de canal de la etapa (11) de procesamiento digital comprende un sistema (60) de red de formación de haces.
5. Sistema de procesamiento de carga útil de un satélite de telecomunicaciones según cualquiera de las reivindicaciones anteriores, en el que la etapa (20) de procesamiento de nivel de canal de la etapa (11) de procesamiento digital comprende además un conmutador (32) de memoria dispuesto para proporcionar un enrutamiento flexible entre intervalos de frecuencia de enlace ascendente y enlace descendente.
6. Sistema de procesamiento de carga útil de un satélite de telecomunicaciones según una cualquiera de las reivindicaciones anteriores, en el que cada módulo (10) de procesamiento integrado comprende una etapa (12) de procesamiento previo y la etapa de procesamiento previo está asociada con la pluralidad de puertos (14<sub>1-N</sub>) de entrada del módulo (11) de procesamiento digital y está dispuesta para aislar una banda de frecuencia predeterminada del enlace (36, 50) ascendente, para convertir con disminución de frecuencia la banda aislada en una frecuencia intermedia y para aplicar la señal convertida con disminución de frecuencia a uno o más de la pluralidad de puertos (14<sub>1-N</sub>) de entrada.

- 5 7. Sistema de procesamiento de carga útil de un satélite de telecomunicaciones según cualquiera de las reivindicaciones anteriores, en el que cada módulo (10) de procesamiento integrado comprende una etapa (28) de procesamiento posterior y la etapa de procesamiento posterior está asociada con la pluralidad de puertos (22<sub>1-M</sub>) de salida del módulo (11) de procesamiento digital y está dispuesta para filtrar y convertir con aumento de frecuencia las señales (40, 52) de enlace descendente en frecuencias apropiadas.
- 10 8. Sistema de procesamiento de carga útil de un satélite de telecomunicaciones según la reivindicación 3, en el que el módulo (10) de procesamiento integrado está dispuesto para funcionar con antenas de alimentación individual por haz (SFPB) tanto en enlace (34) ascendente como en enlace (38) descendente y en el que las interfaces del módulo de procesamiento integrado a las antenas toman la forma de puertos de haz.
- 15 9. Sistema de procesamiento de carga útil de un satélite de telecomunicaciones según la reivindicación 4, en el que la antena (54) de enlace de usuario es un sistema de elementos en fase que comprende una pluralidad de elementos (56<sub>1-Ne</sub>) de antena.
- 20 10. Sistema de procesamiento de carga útil de un satélite de telecomunicaciones según la reivindicación 4, en el que la antena (54) de enlace de usuario es un reflector con sistema de alimentadores (AFR) que comprende una pluralidad de alimentaciones (58<sub>1-Nf</sub>) desviadas del plano focal de un reflector.
- 25 11. Sistema de procesamiento de carga útil de un satélite de telecomunicaciones según la reivindicación 3 ó 4 y cualquiera de las reivindicaciones 8 a 10, que comprende una pluralidad de módulos (10A, 10B) de procesamiento integrados, en el que se aplican señales correspondientes a un subconjunto de la pluralidad de haces (36<sub>1-10</sub>, 36<sub>10-20</sub>) de enlace ascendente o elementos o alimentaciones de antena en los puertos (14<sub>1-10</sub>) de entrada de la etapa (11) de procesamiento digital de cada módulo (10A, 10B) y/o se emiten señales correspondientes a un subconjunto de la pluralidad de haces (40<sub>1-40</sub>, 40<sub>10-20</sub>) de enlace descendente o elementos o alimentaciones de antena de los puertos (22<sub>1-10</sub>) de salida de la etapa (11) de procesamiento digital de cada módulo (10A, 10B).
- 30 12. Sistema de procesamiento de carga útil de un satélite de telecomunicaciones según la reivindicación 3 ó 4 y cualquiera de las reivindicaciones 8 a 10, que comprende una pluralidad de módulos (10A, 10B) de procesamiento integrados, en el que se aplican señales correspondientes a toda la pluralidad de haces (36<sub>1-20</sub>) de enlace ascendente o elementos o alimentaciones de antena en los puertos de entrada de la etapa (11) de procesamiento digital de cada módulo (10A, 10B) y/o se emiten señales correspondientes a toda la pluralidad de haces (40<sub>1-20</sub>) de enlace descendente o elementos o alimentaciones de antena de los puertos de salida de la etapa (11) de procesamiento digital de cada módulo (10A, 10B), y en el que cada módulo (10A, 10B) está dispuesto para procesar un segmento diferente del haz global o elemento de antena o ancho de banda de alimentación.
- 35 40 13. Sistema de procesamiento de carga útil de un satélite de telecomunicaciones según la reivindicación 3 ó 4 y cualquiera de las reivindicaciones 8 a 10, que comprende una pluralidad de módulos (10A, 10B) de procesamiento integrados, en el que se aplican señales correspondientes a segmentos de ancho de banda de frecuencia predeterminados de los haces (36<sub>1-20</sub>) de enlace ascendente o elementos o alimentaciones de antena en los puertos (14<sub>1-10</sub>) de entrada de la etapa (11) de procesamiento digital de cada módulo (10A, 10B) y/o se emiten señales correspondientes a toda la pluralidad de haces (40<sub>1-20</sub>) de enlace descendente o elementos o alimentaciones de antena de los puertos de salida de la etapa (11) de procesamiento digital de cada módulo (10A, 10B), y en el que cada módulo (10A, 10B) está dispuesto para procesar un segmento diferente del haz global o elemento de antena o ancho de banda de alimentación.
- 45 50 14. Sistema de procesamiento de carga útil de un satélite de telecomunicaciones según la reivindicación 3 ó 4 y cualquiera de las reivindicaciones 8 a 10, que comprende una pluralidad de módulos (10A, 10B) de procesamiento, en el que cada una de las señales de haz de enlace ascendente se divide en múltiples trayectorias idénticas que se introducen en los respectivos puertos (14<sub>1-10</sub>) de entrada de la etapa (11) de procesamiento digital de cada módulo y en el que un subconjunto de los haces de enlace descendente está asociado con cada módulo (10A, 10B).
- 55

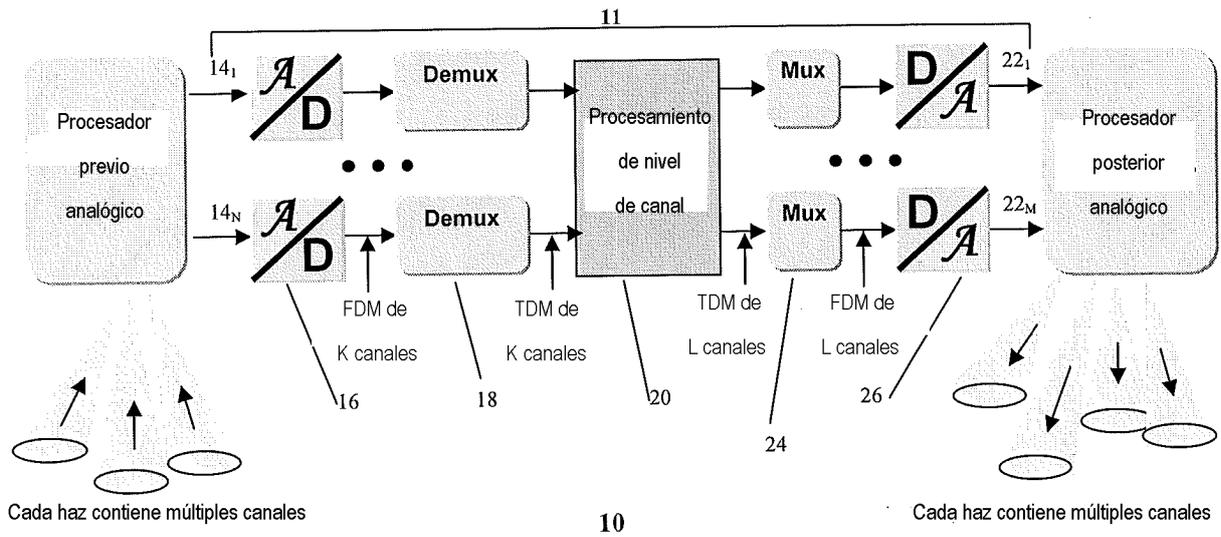
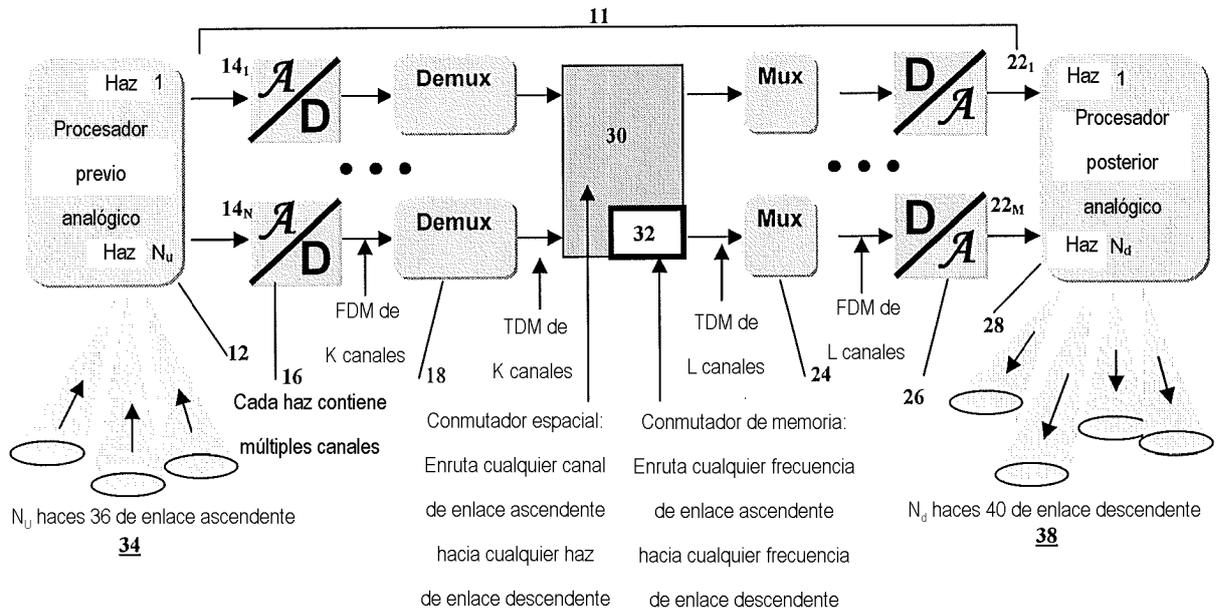


FIGURA 1



10

FIGURA 2

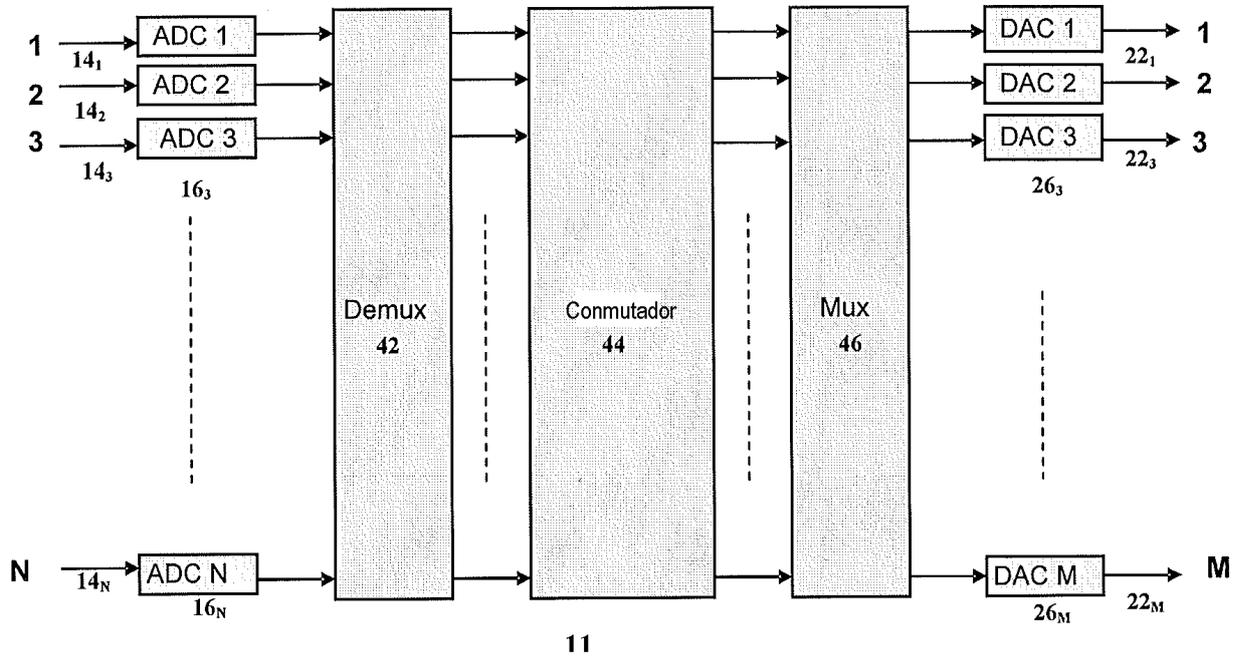


FIGURA 3

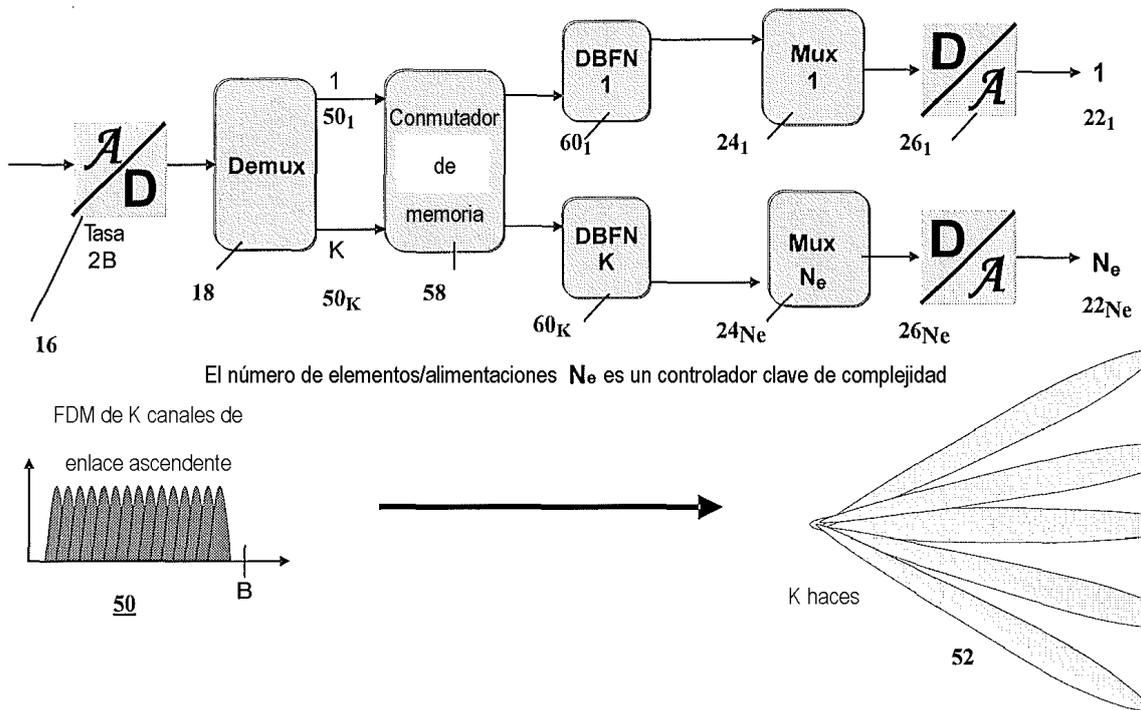


FIGURA 4

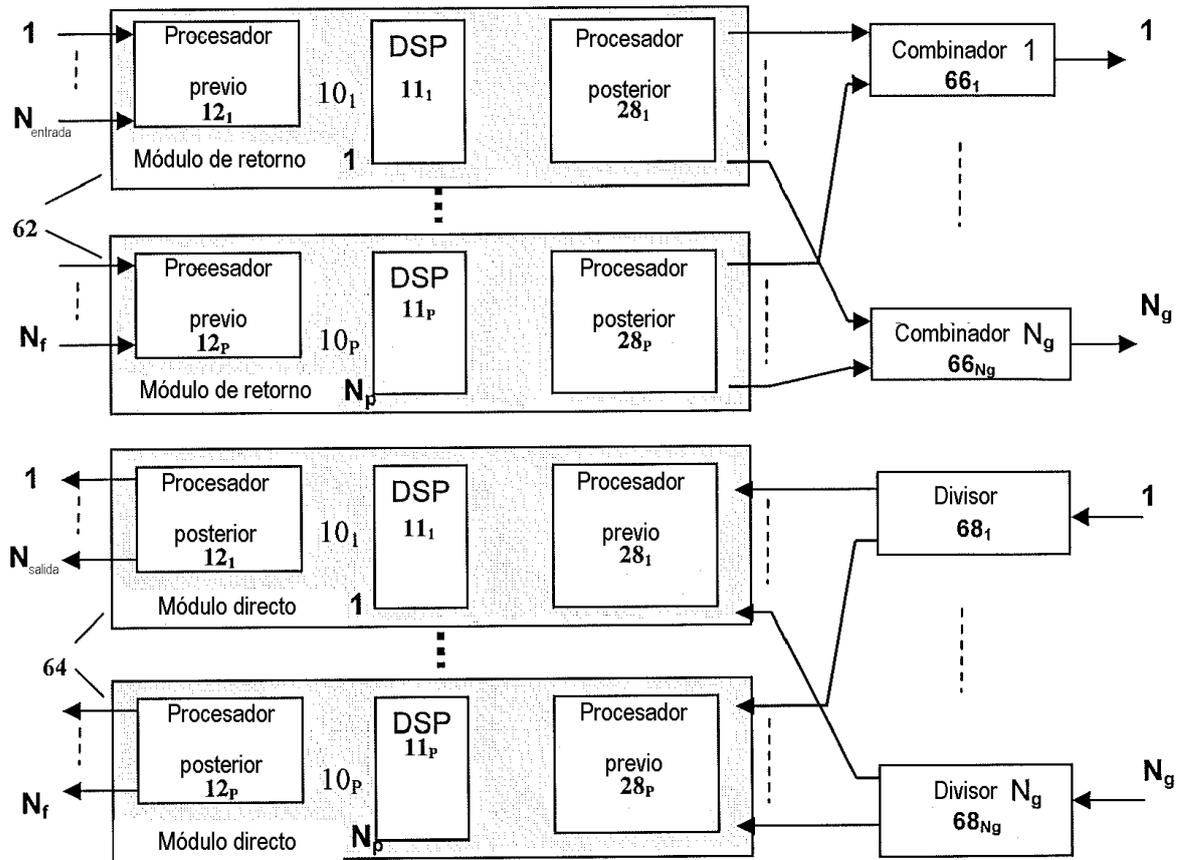


FIGURA 5