

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 578 678**

51 Int. Cl.:

H01L 29/78 (2006.01)

H01L 29/423 (2006.01)

H03K 17/04 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **21.01.2004 E 04737345 (1)**

97 Fecha y número de publicación de la concesión europea: **27.04.2016 EP 1586120**

54 Título: **Dispositivo semiconductor de puerta aislada de potencia de conmutación rápida**

30 Prioridad:

21.01.2003 ZA 200300552

45 Fecha de publicación y mención en BOPI de la traducción de la patente:
29.07.2016

73 Titular/es:

**AMBIXTRA (PTY) LTD (100.0%)
2nd Floor, Mazars Moors Rowland House 5 St
Davids Place
Parktown Johannesburg, 2193, ZA**

72 Inventor/es:

**VISSER, BAREND y
DE JAGER, OCKER, CORNELIS**

74 Agente/Representante:

CARPINTERO LÓPEZ, Mario

Observaciones :

Véase nota informativa (Remarks) en el folleto original publicado por la Oficina Europea de Patentes

ES 2 578 678 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Dispositivo semiconductor de puerta aislada de potencia de conmutación rápida

Campo de la invención

5 La presente invención se refiere a dispositivos semiconductores de puerta aislada, tales como transistores de efecto de campo de silicio de óxido metálico (MOSFET), más particularmente a tales dispositivos para uso en aplicaciones de conmutación de potencia y a un procedimiento para el accionamiento de dichos dispositivos.

Técnica anterior

10 En las estructuras MOSFET conocidas, actualmente se prefiere minimizar la tensión de puerta V_{GS} requerida para la conmutación del dispositivo y que a continuación, implica una relativamente grande capacitancia de la puerta de entrada.

15 La capacitancia inherente en las estructuras de puerta de los dispositivos de puerta aislada limita las velocidades de conmutación de estos dispositivos. También es bien conocido que el efecto Miller tiene una influencia en la capacidad de entrada en la puerta de los dispositivos del tipo mencionado anteriormente en que la capacitancia de entrada de un típico MOSFET disponible comercialmente varía durante la conmutación del dispositivo. La capacitancia de entrada tiene un primer valor de C_{iiss} cuando el dispositivo está apagado y un segundo valor de C_{fiss} cuando el dispositivo está encendido. La relación del segundo y el primer valor para un IRF 740 de potencia MOSFET conocido y disponible en el mercado es del orden de 2,5. Se ha encontrado que una relación tal afecta la velocidad de conmutación de estos dispositivos.

20 El tiempo total de conmutación T_s del MOSFET IRF 740 para encenderse está constituido por la suma de un tiempo de retardo de encendido T_{don} de aproximadamente 14 ns y un tiempo de caída de tensión de fuente de drenaje T_f de aproximadamente 24 ns y es igual a aproximadamente 38 ns. El tiempo correspondiente para desconectar se trata de 77 ns. Estos tiempos son demasiado largos para algunas aplicaciones.

25 El documento EP 1 096 573 A divulga que el uso de óxidos gruesos entre la puerta y el canal de un dispositivo MOSFET de potencia disminuye tanto la capacitancia de puerta-fuente y la capacitancia de la puerta-drenaje y se enfoca en la reducción de la capacitancia de la puerta-drenaje para evitar un comportamiento oscilatorio del dispositivo.

Objeto de la invención

30 En consecuencia, es un objeto de la presente invención proporcionar un dispositivo de puerta aislada y el procedimiento y el circuito de conducción de un dispositivo de este tipo con el que el solicitante cree que las desventajas antes mencionadas pueden al menos ser aliviadas.

Sumario de la invención

Según la invención, se proporciona un dispositivo de puerta aislada como se define en la reivindicación 1.

La relación mencionada es preferiblemente menor que 1,5, más preferiblemente menor que 1,4, incluso más preferiblemente menor que 1,3, aún más preferiblemente menor que 1,2.

35 El dispositivo puede comprender un dispositivo semiconductor, preferiblemente un transistor de efecto de campo (FET), más preferiblemente un transistor de efecto campo de silicio de óxido de metal de potencia (MOSFET), tal como un V-MOS, D-MOS y U-MOS.

40 El MOSFET puede tener una estructura vertical en que la puerta y la fuente del dispositivo se proporcionan sobre una cara de un cuerpo de chip del dispositivo y el drenaje del MOSFET está provisto en una cara opuesta del cuerpo.

Un condensador en serie puede estar integrado en el cuerpo de chip y en una realización se puede superponer en la puerta del dispositivo.

Alternativamente, el condensador en serie es un componente discreto conectado en serie entre la puerta y el terminal de puerta y empaquetado en el mismo paquete.

45 La puerta puede estar conectada directamente a un terminal adicional del dispositivo.

Resistencias de polarización conectadas entre el terminal de puerta y la puerta y entre la puerta y la fuente pueden incluirse en el mismo paquete.

50 En esta especificación, el parámetro de dispositivo invariante (β) se utiliza para denotar el grosor dieléctrico eficaz de un canal de conducción del dispositivo en el estado apagado, que se define como el producto de un área de capacitancia de la puerta efectiva (A) y la diferencia entre una inversa de un primer valor de capacitancia de puerta

del dispositivo de puerta aislada, que es cuando el dispositivo está apagado y una inversa de un segundo valor de la capacitancia de la puerta, que es cuando el dispositivo está encendido. Es decir:

$$\beta = A(1/C_{iiss} - 1/C_{fiss}) = \alpha_{max}.$$

Breve descripción de los diagramas adjuntos

- 5 Ahora además se describirá la invención, solo a modo de ejemplo, con referencia a los diagramas adjuntos en los que:
- La figura 1 es una representación esquemática de un dispositivo semiconductor de puerta aislada conocido en la forma de un MOSFET de potencia;
- 10 La figura 2(a) es una representación esquemática de una estructura de puerta de MOSFET mientras está apagado;
- La figura 2(b) es una representación esquemática de una estructura de puerta de MOSFET cuando está parcialmente encendido;
- La figura 2(c) es una representación esquemática de una estructura de puerta de MOSFET cuando se enciende completamente;
- 15 La figura 3 es una representación esquemática de una primera realización de un MOSFET de potencia de acuerdo con la invención;
- La figura 4 es un gráfico típico para el estado de equilibrio de la tensión de puerta a fuente contra carga de puerta total marcada A de un MOSFET convencional, así como diversos gráficos similares marcada B para de MOSFET de acuerdo con la invención;
- 20 La figura 5 es un gráfico de tiempo total de conmutación contra una proporción de carga inicial transferido a la puerta y la carga Miller de una variedad de MOSFET;
- La figura 6 es un gráfico de tiempo de subida de drenaje-fuente contra el tiempo de retardo de encendido de una variedad de MOSFET;
- 25 La figura 7 es un gráfico de las tensiones de fuente de puerta mínimas y máximas requeridas en un MOSFET de acuerdo con la invención contra el tiempo total de conmutación;
- La figura 8(a) son oscilógrafos de V_{GS} y V_{DS} contra el tiempo para un MOSFET con una relación $C_{fiss}/C_{iiss} \approx 2,16$;
- La figura 8(b) son gráficos similares para un MOSFET con una relación $C_{fiss}/C_{iiss} \approx 1,63$;
- La figura 8(c) son gráficos similares para un MOSFET con una relación $C_{fiss}/C_{iiss} \approx 1,34$;
- La figura 8(d) son gráficos similares para un MOSFET con la relación de $C_{fiss}/C_{iiss} \approx 1,17$;
- 30 La figura 9 es una representación esquemática de una segunda realización del MOSFET de acuerdo con la invención;
- La figura 10 es una representación esquemática de una tercera realización del MOSFET de acuerdo con la invención;
- La figura 11 es un diagrama de bloques de otra realización del dispositivo de acuerdo con la invención; y
- 35 La figura 12 es un diagrama básico de circuito de accionamiento para un dispositivo de acuerdo con la invención.

Descripción de las realizaciones preferidas de la invención

Un dispositivo de puerta aislada conocido en forma de un transistor de efecto de campo de silicio de metal óxido de potencia (MOSFET) conocido se designa generalmente mediante el número de referencia 10 en la figura 1.

40 El MOSFET 10 comprende una puerta 12, un drenaje 14 y una fuente 16. El dispositivo 10 tiene una capacitancia de puerta C_G entre la puerta y la fuente.

Es bien sabido que cuando una tensión V_{GS} se aplica a la puerta como se muestra en 80 en la figura 8(a), la carga se deposita en la puerta haciendo que el dispositivo se encienda y una tensión V_{DS} cambia de un valor máximo que se muestra en 82 a un valor mínimo que se muestra en 84. Del mismo modo, cuando la carga se elimina de la puerta, el dispositivo se desconecta y la tensión V_{DS} cambia al valor máximo.

45 El tiempo total de conmutación T_s (ilustrado en la figura 8(a)) está constituido por la suma de un tiempo de retardo de encendido T_{don} y un tiempo de subida T_r . El tiempo de retardo de encendido se define como el tiempo entre el aumento de la tensión puerta a fuente V_{GS} por encima de 10 % de su valor máximo y el inicio de la conducción drenaje-fuente, es decir cuando la tensión V_{DS} ha disminuido en un 10 %. El tiempo de subida se define como el intervalo de tiempo que corresponde a una disminución de V_{DS} de 90 % a 10 % de su valor máximo cuando el dispositivo está encendido.

55 Haciendo referencia a las figuras 2(a) a 2(c), en los dispositivos conocidos, la capacitancia de la puerta C_G puede ser modelada comprendiendo efectivamente dos condensadores C_g y C_c en serie. Como se muestra en las figuras 2(a) a 2(c) el primer condensador C_g es un condensador invariable y su valor se escala a $1/d$, siendo el espesor efectivo (d) de una capa de aislamiento 18 en la puerta del dispositivo. El segundo condensador C_c es un condensador variable que tiene un valor de ∞ cuando el dispositivo está encendido, como se muestra en la figura 2(c), un valor de A/α_{max} cuando el dispositivo está apagado como se muestra en la figura 2(a) y un valor de A/α (con $0 < \alpha < \alpha_{max}$), mientras que los cambios de capacitancia, es decir, el canal se apaga o se enciende. La capacitancia de la puerta

C_G por lo tanto, puede ser escrito como:

$$C_G = 1/[1/C_g(d) + 1/C_c(\infty)]$$

$$= A/(d + \infty)$$

donde A es un área efectiva, que incluye constantes de normalización adecuadas. Por lo tanto, α es de un máximo (α_{max}) cuando el dispositivo se desconecta como se muestra en la figura 2(a) y $\alpha = 0$ cuando el dispositivo está encendido, como se muestra en la figura 2(c).

Por lo tanto, el dispositivo tiene una capacitancia de puerta o la entrada con un primer valor C_{iiss} cuando el dispositivo está apagado y un segundo valor de C_{fiss} cuando el dispositivo está encendido. La capacitancia conserva el primer valor hasta que el efecto Miller entra en vigor.

Se define un espesor dieléctrico de canal de conducción máximo efectivo (β) = α_{max} , que es proporcional a una diferencia en la inversa de la capacitancia de la puerta cuando el dispositivo está apagado C_{iiss} y cuando el dispositivo está en C_{fiss} , es decir:

$$\beta \equiv A(1/C_{iiss} - 1/C_{fiss}) = \alpha_{max}$$

La relación C_{fiss}/C_{iiss} puede escribirse como $\frac{d + \alpha_{max}}{d}$.

Como se muestra en la figura 3, de acuerdo con la invención mediante el aumento del espesor efectivo d_{ins} de la capa de aislamiento 32 en la puerta 34 y por lo tanto por la disminución de la capacitancia de la puerta C_G , el tiempo total de conmutación T_s de un MOSFET 30 se puede disminuir. Un valor mínimo para el espesor efectivo d_{ins} es dado por:

$$d_{ins} \geq \beta / [(Q_{G(max)} / Q_{G(min)}) - 1]$$

en la que $Q_{G(min)}$ es la carga mínima requerida para la conmutación completa y en la que $Q_{G(max)}$ es la carga máxima admisible de la puerta en el dispositivo que incluye un margen de seguridad. La destrucción ocurrirá cuando

$$Q \geq Q_{G(max)}$$

La definición de $V_{GS(min)}$ como la tensión de puerta mínima para la conmutación completa y $V_{GS(max)}$ como la tensión de puerta máxima permisible en el dispositivo, antes de daños en el dispositivo, se sabe que $Q_{G(max)}Q_{G(min)} > V_{GS(max)}V_{GS(min)}$. Esta desigualdad implica un límite ligeramente mayor que el calculado a partir de las relaciones de carga $Q_{G(max)}Q_{G(min)}$:

$$d_{ins} \geq \beta / [(V_{GS(max)} / V_{GS(min)}) - 1]$$

Con este espesor mínimo efectivo para d_{ins} , el tiempo de conmutación del dispositivo está limitado principalmente por la inductancia y la capacitancia fuente puerta. Al incrementar d_{ins} más allá de este mínimo, permite reducir el tiempo de subida o caída mediante la compensación de la inductancia de la fuente L_s tensión ϵ_s durante la conmutación y que es:

$$\epsilon_s = L_s di/dt + iR_s$$

$$\epsilon_{s(max)} \approx L_s I_{DS(max)} / T_s + I_{DS(max)} R_s$$

En la Tabla 1 se proporcionan detalles relevantes de cuatro MOSFET modificados de manera diferente a medida que disminuye progresivamente capacidad de puerta, C_G .

Tabla 1

n.º	Capacitancia de puerta de entrada modificada C_{iiss}, C_{fiss} (NF)		$\frac{C_{fiss}}{C_{iiss}}$	Tensión de Puerta Aplicada V_{GS} (voltio)	Carga de Puerta transferida Inicial y Final $C_{iiss}V_{GS}$ y $C_{fiss}V_{GS}$ (nC)		El tiempo de activación de retardo predicho y observado $T_{d(on)}$ (ns)	Tiempo de Conmutación Medido T_s (ns)
i	1,2	2,6	2,16	15	18	40	6,3 6 (20 ns/div)	38
ii	0,86	1,4	1,63	32	28	45	5,3 5 (20 ns/div)	20
iii	0,58	0,78	1,34	120	70	94	4,4 <2 (10 ns/div)	<4
iv	0,35	0,41	1,17	200	70	82	3,4 <2 (10 ns/div)	<4

Para un IRF 740 MOSFET convencional:

$$\epsilon_{s(max)} \approx 7,4 \text{ nH} (40 \text{ A}/27 \text{ ns}) + 4 \text{ voltios} = 15 \text{ voltios}$$

5

$$V_{G(interno)} \approx V_{GS(max)} - \epsilon_{s(max)} = 20 \text{ voltios} - 15 \text{ voltios} = 5 \text{ voltios}$$

Para el dispositivo en la fila IV de la Tabla 1

$$\epsilon_{s(max)} \approx 7,4 \text{ nH} (40 \text{ A}/2,5 \text{ ns}) + 5 \text{ voltios} = 123 \text{ voltios}$$

$$V_{G(interno)} \approx V_{GS(max)} - \epsilon_{s(max)} = 200 \text{ voltios} - 123 \text{ voltios} = 77 \text{ voltios}$$

10

De este ejemplo es evidente que $V_{G(interna)}$ es aún mayor que la tensión de puerta de umbral modificado $V_{GSTM} = V_{GS(min)} = 73$ voltios, que se muestra en la figura 4, y el tiempo de subida lento debido al efecto de Miller por lo tanto es contrarrestado eficazmente. De ello se desprende que la minimización del producto $L_S C_{iiss}$ minimiza el tiempo de conmutación T_s del dispositivo, suponiendo que la resistencia de la puerta y de la fuente combinadas es insignificante.

15

Si una tensión de puerta, V_{GS} , sustancialmente mayor que la tensión de puerta de umbral, V_{GST} , se suministra en un tiempo mucho más corto que el tiempo de retardo de encendido, éste se puede aproximar como:

$$T_{don} \approx (2/3) (L_S C_{iiss})^{1/2}$$

Se puede demostrar que:

$$T_s \propto 1/d_{ins}^{1/2}$$

lo que indica que el tiempo de conmutación total se reduce al aumentar el espesor efectivo d_{ins} de la capa 32.

20

Otra característica importante de la invención es que al menos una carga requerida mínima $Q_{G(min)}$ o carga de Miller (véase la figura 4) debe ser transferida a la puerta mientras que la capacitancia de la puerta asume su valor inicial inferior de C_{iiss} más bien cuando la mayor entrada de capacitancia C_{fiss} determina el estado final de la conmutación de MOSFET. De ahí que la carga a ser transferida es

$$Q_G = V_{GS} C_{iiss} \geq Q_{G(min)}.$$

25

Por lo tanto, se debe aplicar la siguiente fuente mínima para tensión de la puerta.

$$V_{GS} \geq V_{GS(min)} = Q_{G(min)} / C_{iiss}.$$

También,

$$Q_G = V_{GS} C_{fiss} \leq Q_{G(max)}$$

y el límite de tensión correspondiente viene dado por

$$V_{GS} \leq V_{GS(max)} = Q_{G(max)} / C_{fiss}$$

Esto también podría ser escrito como:

$$C_{fiss} / C_{iiss} \leq Q_{G(max)} / Q_{G(min)}$$

o

$$C_{fiss} / C_{iiss} \leq V_{GS(max)} / V_{GS(min)}$$

Oscilogramas que ilustran V_{GS} y V_{DS} respecto al tiempo durante la conexión, para cada uno de los dispositivos referenciados i a iv en la Tabla 1 se muestran en las figuras 8(a) a 8(d), respectivamente. La disminución de la capacidad de puerta se desprende de la segunda columna de la tabla, y la entrada requerida más grande de V_{GS} y la disminución de los tiempos de conmutación son claras tanto a partir de la Tabla como de los oscilogramas.

Los dos últimos dispositivos ii y iv de la Tabla 1 con capacitancia de la puerta reducida al mínimo y en donde la relación $C_{fiss} / C_{iiss} \leq 1,34$, representan MOSFET cerca del óptimo, dado que la carga de puerta inicial ya es más que la carga de puerta mínima $Q_{G(min)}$ (que se muestra en la figura 4 y que, por un MOSFET típico es del orden de 30 nC) requerida para la conmutación completa. El aumento de la tensión de entrada puerta a fuente V_{GS} y la espectacular caída en los tiempos de conmutación totales T_s son notables.

En la figura 4, los gráficos comparativos para un MOSFET conocido se muestran en A y para MOSFET de acuerdo con la invención en B. La relación C_{fiss} / C_{iiss} para el IRF 740 MOSFET conocido está en el orden de 2,5 mientras que la misma relación para el último dispositivo de acuerdo con la invención en la Tabla 1 es 1,17. El dispositivo de acuerdo con la invención tiene un tiempo total de conmutación de <4 ns que es aproximadamente un orden más rápido que los 38 ns del IRF 740 MOSFET conocido y comparable.

En la figura 5 se muestra un gráfico de tiempo de conmutación total en función de la carga de puerta inicial en relación con la puerta de carga mínima $Q_{G(min)}$. El círculo representa en 40 la operación estándar de un IRF 740 MOSFET. Sin embargo, los círculos en el 42 y 44 ilustran el funcionamiento mejorado del MOSFET referenciado con iii y iv en la Tabla 1.

En la figura 6 se muestra un gráfico de tiempo de subida T_r contra el tiempo de retardo de encendido T_{don} para una pluralidad de diferentes dispositivos. La marca en 50 indica un funcionamiento estándar de un MOSFET IRF 740 y los círculos 52 y 54 indican la mejora en el tiempo total de conmutación T_s de los dispositivos referenciados con iii y iv en la Tabla 1 a un punto en el tiempo de subida se convierte en insignificante y el tiempo de conmutación total T_s se aproxima el tiempo de retardo de encendido T_{don} .

Además, puede también mostrarse que el producto de V_{GS} y el cuadrado del tiempo total de conmutación T_s es una limitación de banda de la siguiente manera:

$$(2\pi/3)^2 Q_{G(min)} L_S \leq V_{ES} T_S \leq (2\pi/3)^2 Q_{G(max)} L_S$$

lo que significa que la tensión de servicio V_{GS} del dispositivo de acuerdo con la invención (que es mucho mayor que la tensión correspondiente para los dispositivos de la técnica anterior) se limita a lo siguiente:

$$(2\pi/3)^2 Q_{G(min)} L_S / T_S^2 \leq V_{GS} \leq (2\pi/3)^2 Q_{G(max)} L_S / T_S^2$$

y como se ilustra en la figura 7. La resistencia de la fuente interna R_S tiene un efecto insignificante en estas expresiones y por lo tanto se omite para una mayor claridad.

Por lo tanto, reduciendo al mínimo el producto de carga de Miller o $Q_{G(min)}$ y L_S , tiempos de conmutación totales reducidos T_s y pueden lograrse las tensiones de funcionamiento requeridas V_{GS} .

En la figura 9 se muestra una forma de realización adicional del dispositivo de acuerdo con la invención y que se designa con 90. El dispositivo comprende una región conductora 92, conectada a un terminal de puerta 94. Se muestra la capa de aislamiento con un mayor espesor efectivo. Terminales de fuente y de drenaje convencionales se muestran en 98 y 99 respectivamente. Una llamada de puerta flotante 95 está conectada a un terminal adicional y de acceso al usuario 97.

En la figura 10, otra forma de realización del dispositivo de acuerdo con la invención se muestra en 100. En este

caso, la puerta 95 no está conectada a un terminal accesible al usuario, similar al terminal 97, pero las resistencias de polarización 102 y 104 se pueden proporcionar como componentes discretos o integrales con el cuerpo de chip 106.

5 En la figura 11, todavía una forma de realización adicional del dispositivo se muestra en 110. El dispositivo 110 comprende un MOSFET convencional 112 que tiene una puerta 114. Un condensador 116 está conectado en serie entre la puerta y un terminal de puerta 118 del dispositivo. El drenaje y la fuente del MOSFET están conectados a un terminal de drenaje 120 y el terminal de fuente 122, respectivamente. El dispositivo se envasa en un solo paquete 124 proporcionando los terminales anteriormente mencionados. Un terminal adicional opcional 126 conectado a la
10 puerta 114 también puede ser proporcionado. El condensador 116 puede estar integrado con el MOSFET en un solo chip. En otras formas de realización, el condensador puede ser un condensador discreto, pero empaquetado en el mismo paquete 124. En todavía otras formas de realización, el terminal adicional opcional se puede omitir y las resistencias de polarización entre el terminal de puerta y la puerta y entre la puerta y la fuente se pueden proporcionar en el mismo paquete.

15 En la figura 12 se muestra un diagrama de un circuito de accionamiento 130 para el dispositivo 30, 90, 100 y 110 según la invención. El circuito de accionamiento comprende una fuente de tensión 132 (típicamente 50 V - 600 V y que puede incluso superar V_{DD}) y un dispositivo de conmutación rápida 134 conectados en un circuito y en estrecha proximidad con el terminal de puerta del dispositivo de acuerdo con la invención para reducir la inductancia no deseada en el circuito de fuente de puerta.

20 En uso, el dispositivo de conmutación rápida 134 se controla para aplicar una tensión que es suficientemente mayor que la tensión de umbral del dispositivo a la puerta del dispositivo. Como es evidente de la Tabla 1, esta tensión es mayor que la tensión requerida en los dispositivos convencionales. Debido a los parámetros de LCR reducidos en el circuito de fuente de entrada, la transferencia de carga a la puerta del dispositivo será más rápida que con los dispositivos convencionales lo que resulta en tiempos de conmutación más rápidos en el circuito de fuente de drenaje como se muestra en la tabla 1.

25

REIVINDICACIONES

1. Un dispositivo de puerta aislada (30, 90, 110) que comprende una fuente conectada a un terminal de fuente (98, 122) de una puerta (34, 95, 114) conectado a un terminal de puerta (94, 118) y medios de capacitancia de entrada que proporcionan la capacidad de entrada (C_G) entre el terminal de puerta y el terminal de fuente, los medios de capacidad de entrada comprendiendo o bien un condensador en serie (116) entre la puerta (95, 114) y el terminal de puerta (94, 118) o una capa de aislamiento (32) que tiene un espesor suficiente (d_{ins}) entre la puerta (34) y un canal del dispositivo de tal manera que cuando el dispositivo es conmutado entre un estado apagado y un estado encendido, una relación de (C_{fiss}/C_{iiss}) entre un valor final de la capacitancia de entrada (C_{fiss}) cuando el dispositivo está encendido y un valor inicial de la capacitancia de entrada (C_{iiss}) cuando el dispositivo está apagado es de $1 < C_{fiss}/C_{iiss} < 2,0$.
2. Un dispositivo de acuerdo con la reivindicación 1, que comprende un transistor de efecto de campo de silicio - óxido metal de potencia (MOSFET).
3. Un dispositivo de acuerdo con la reivindicación 1 o la reivindicación 2 en el que dichos medios de capacitancia de entrada proporcionan la capacitancia de entrada tal que la relación (C_{fiss}/C_{iiss}) sea $1 < C_{fiss}/C_{iiss} < 1,5$.
4. Un dispositivo de acuerdo con una cualquiera de las reivindicaciones 1 a 3, en el que dichos medios de capacitancia de entrada proporcionan la capacitancia de entrada de tal manera que la relación sea de $1 < C_{fiss}/C_{iiss} < 1,2$.
5. Un dispositivo de acuerdo con una cualquiera de las reivindicaciones 2 a 4, en el que el MOSFET tiene una estructura vertical en la que la puerta y la fuente del MOSFET se proporcionan en una cara de un cuerpo de chip del MOSFET y el drenaje del MOSFET se proporciona en una cara opuesta del cuerpo.
6. Un dispositivo de acuerdo con la reivindicación 5, en el que el condensador en serie está integrado en el cuerpo de chip.
7. Un dispositivo de acuerdo con la reivindicación 5 o la reivindicación 6, en el que el condensador en serie se superpone a la puerta del MOSFET.
8. Un dispositivo de acuerdo con una cualquiera de las reivindicaciones 1 a 5, en el que el condensador en serie es un componente discreto y empaquetado en el mismo paquete.
9. Un dispositivo de acuerdo con una cualquiera de las reivindicaciones 1 a 8, en el que la puerta está conectada directamente a un terminal externo adicional (126) del dispositivo.
10. Un dispositivo de acuerdo con la reivindicación 8, en el que resistencias de polarización conectadas entre el terminal de puerta y la puerta y entre la puerta y la fuente están incluidas en el mismo paquete.

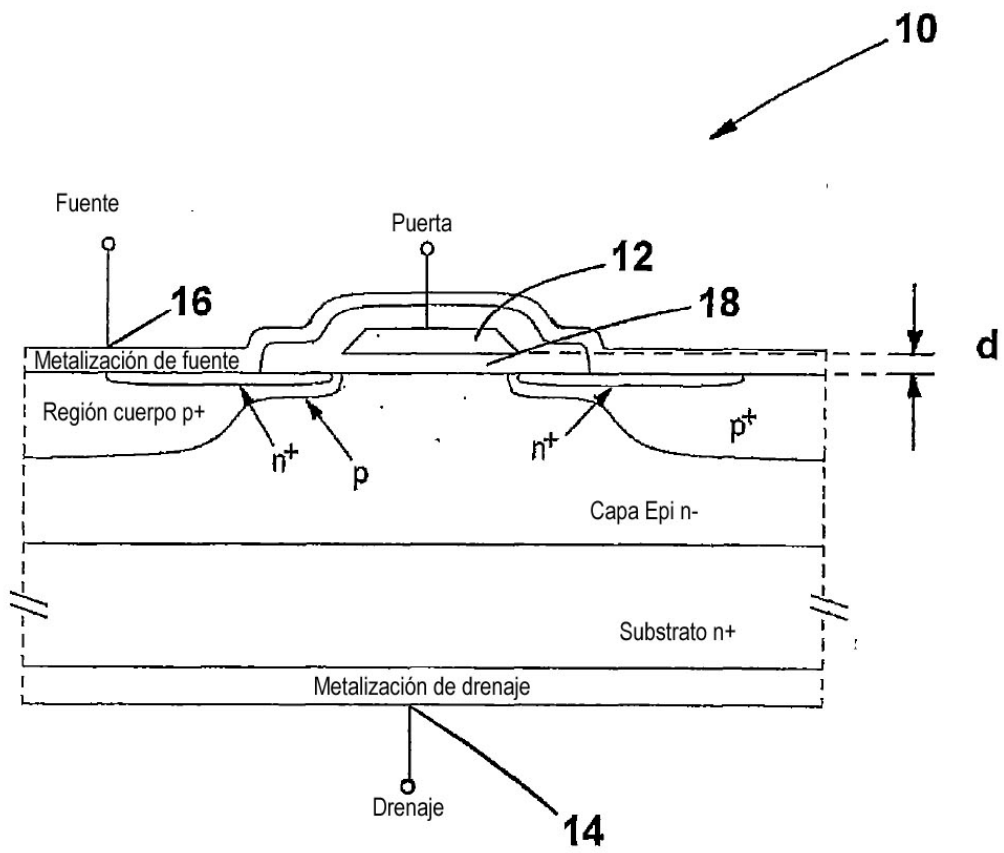


FIGURA 1 (TÉCNICA ANTERIOR)

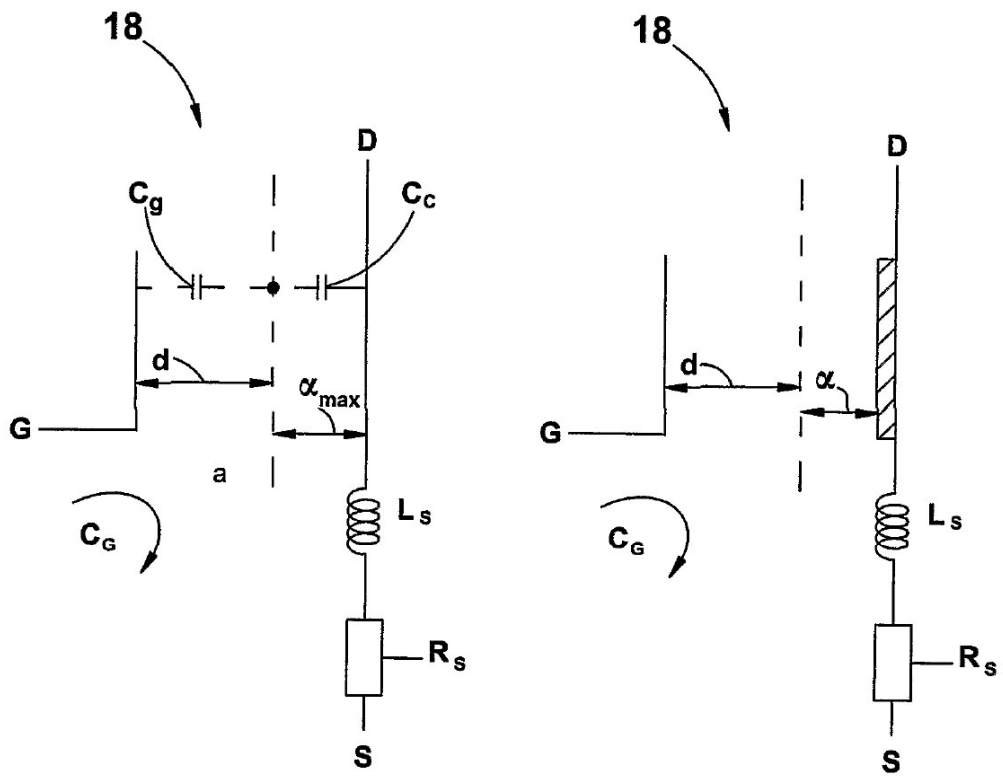


FIGURA 2(a)

FIGURA 2(b)

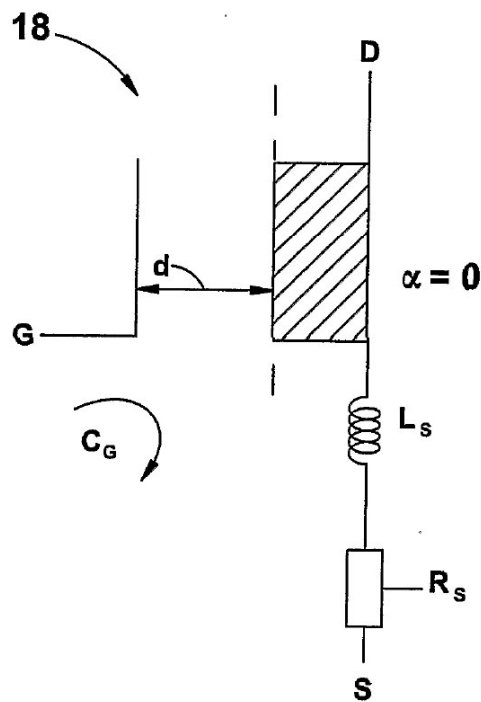


FIGURA 2(c)

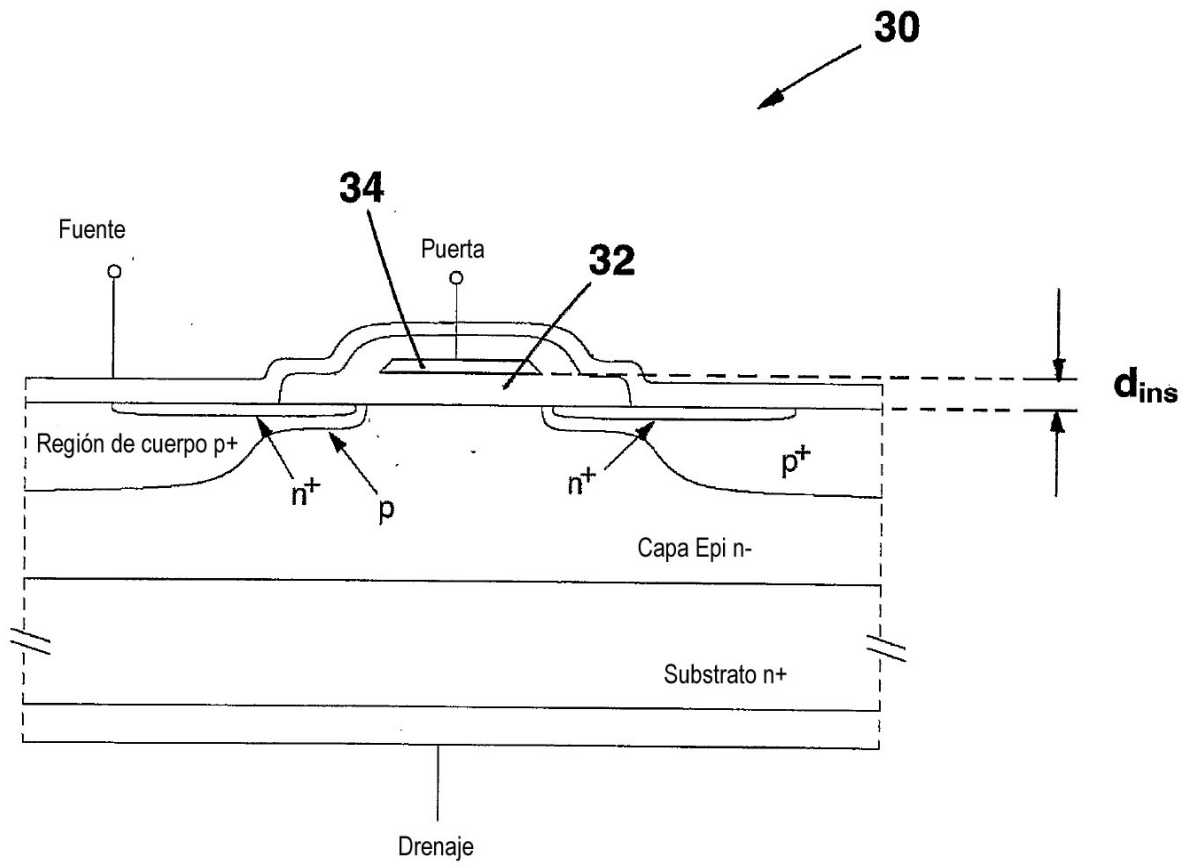


FIGURA 3

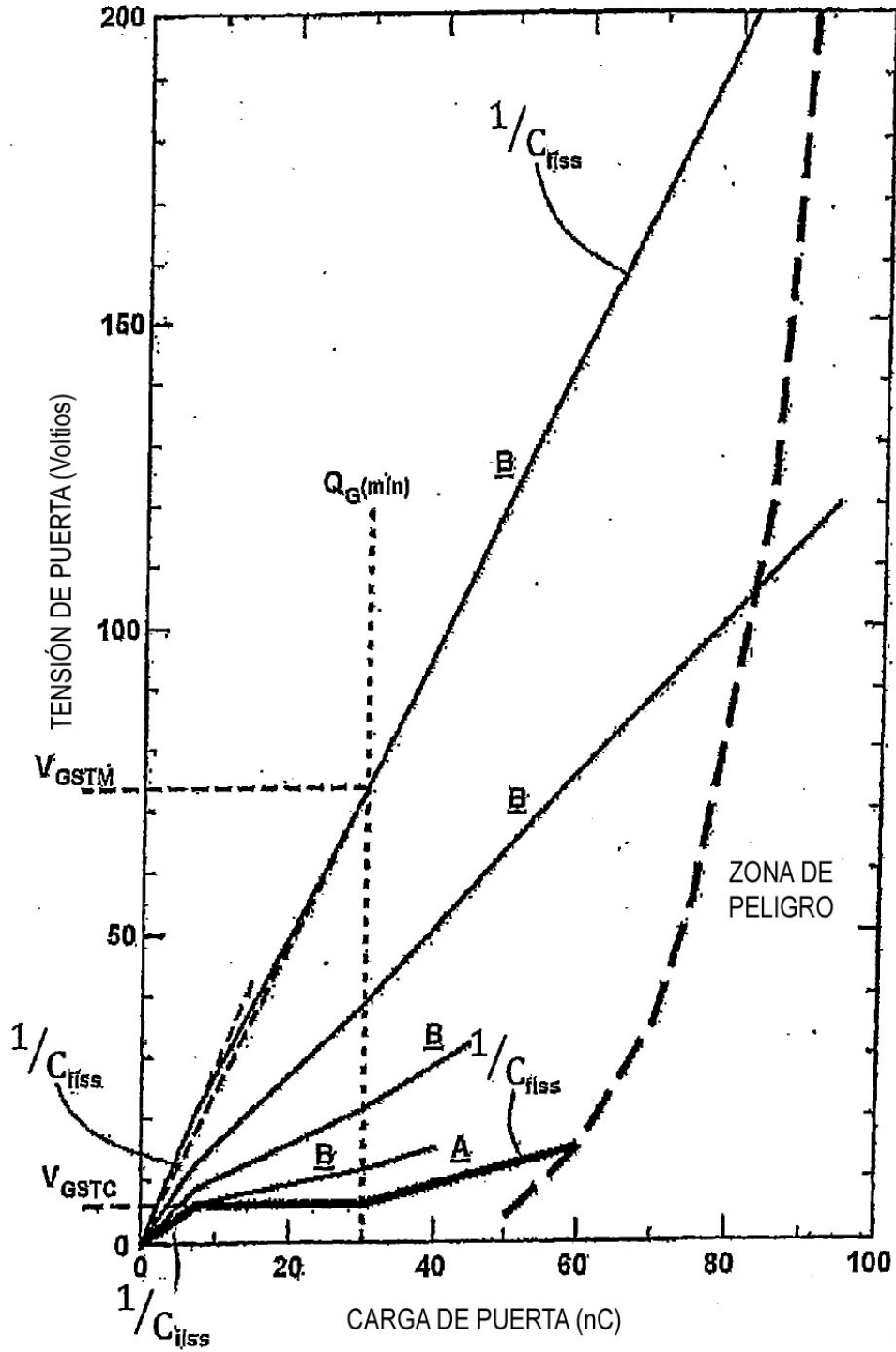


FIGURA 4

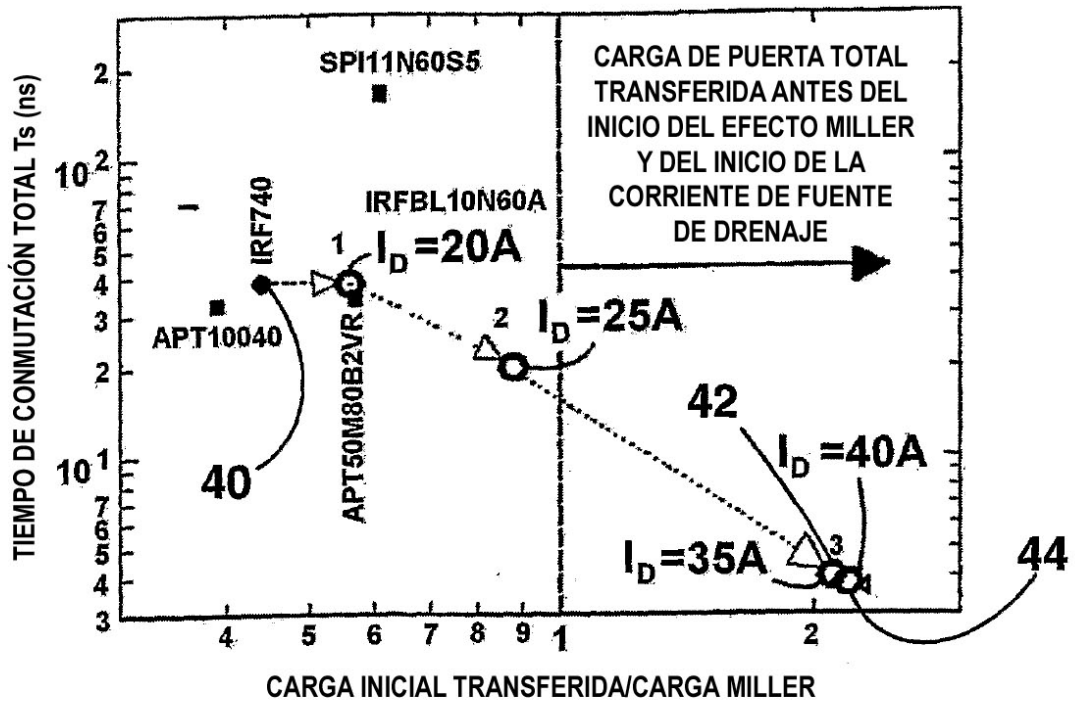


FIGURA 5

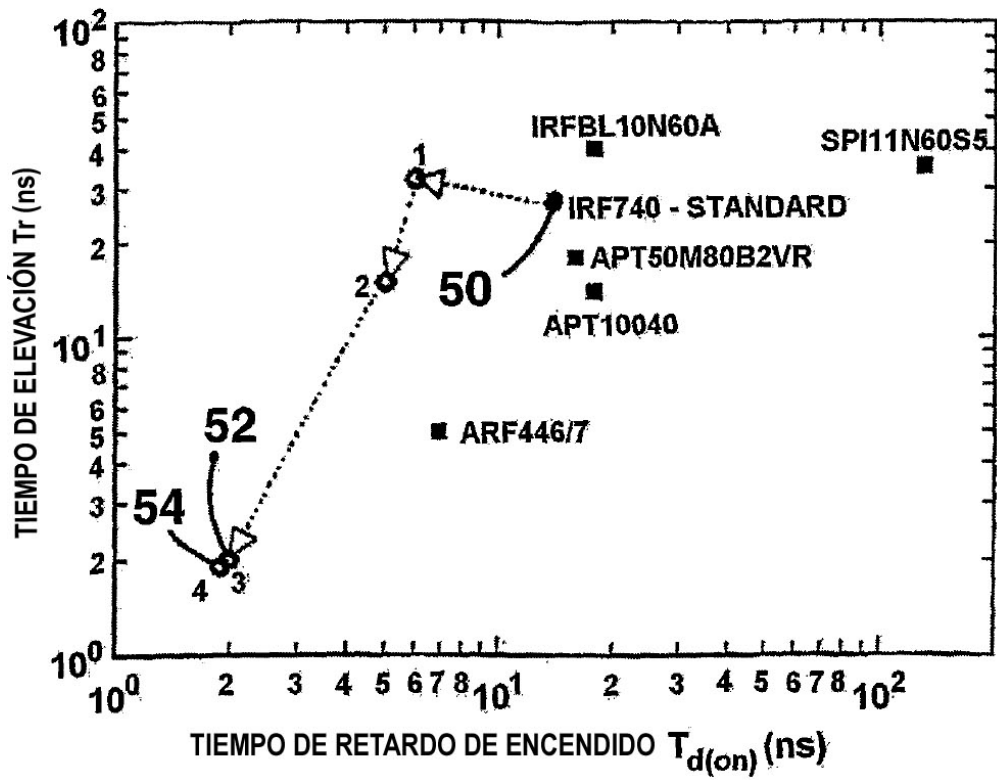


FIGURA 6

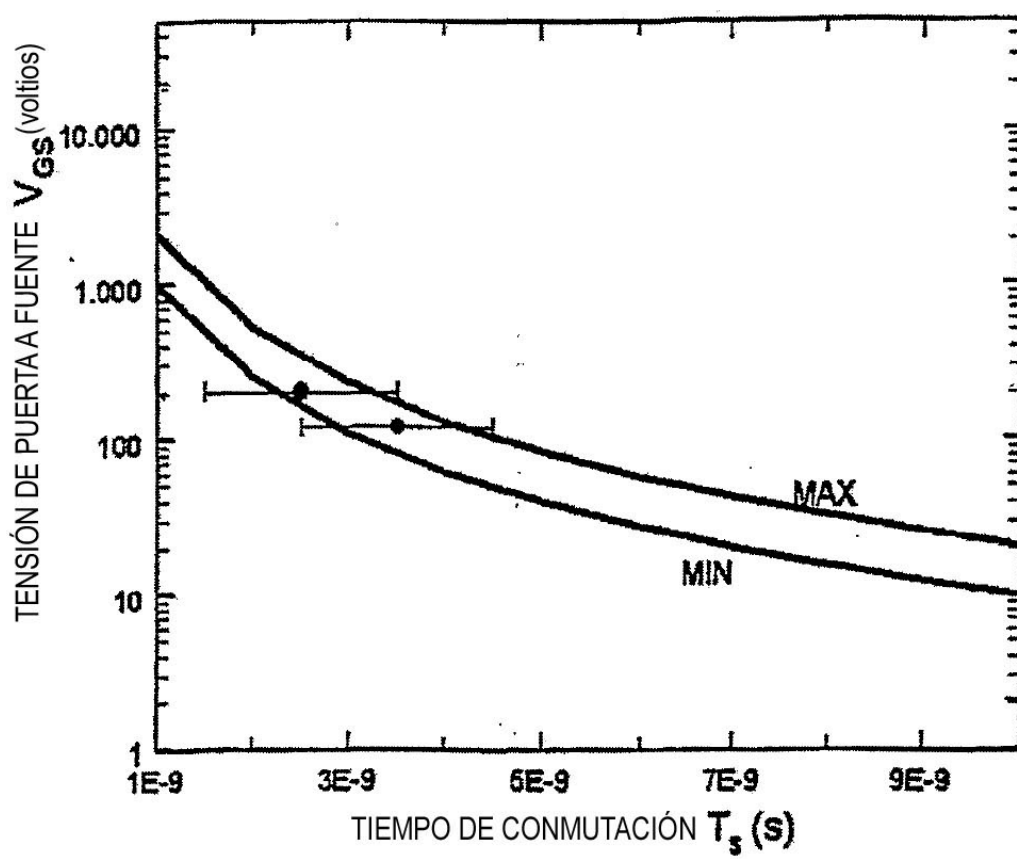


FIGURA 7

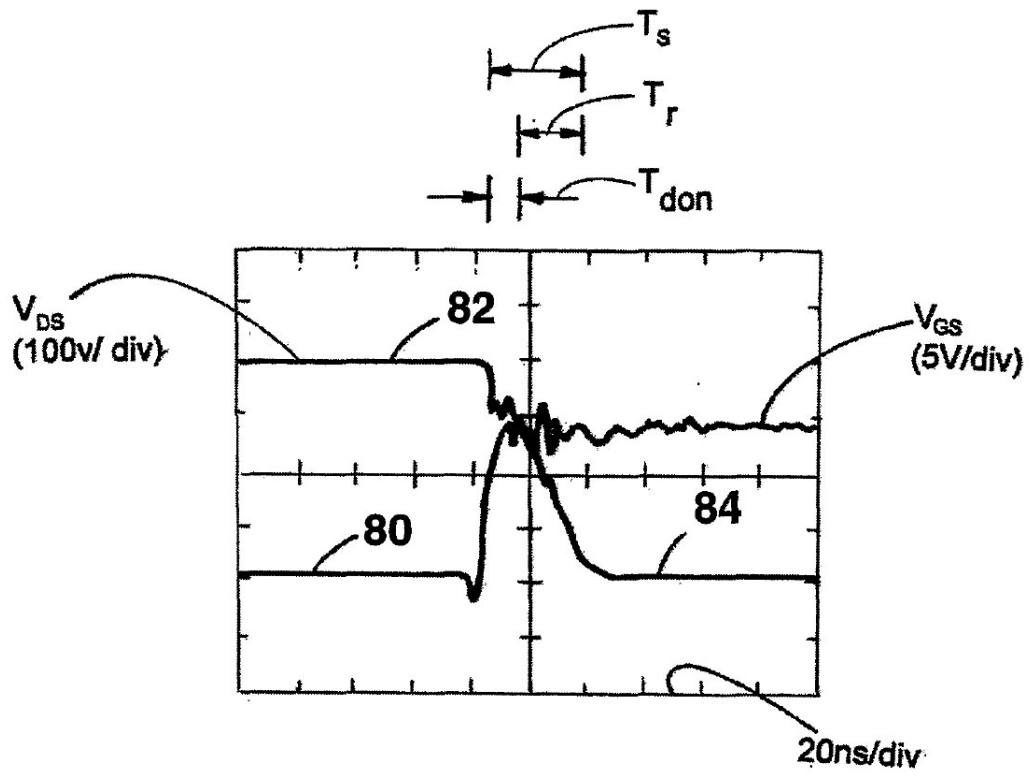


FIGURA 8(a)

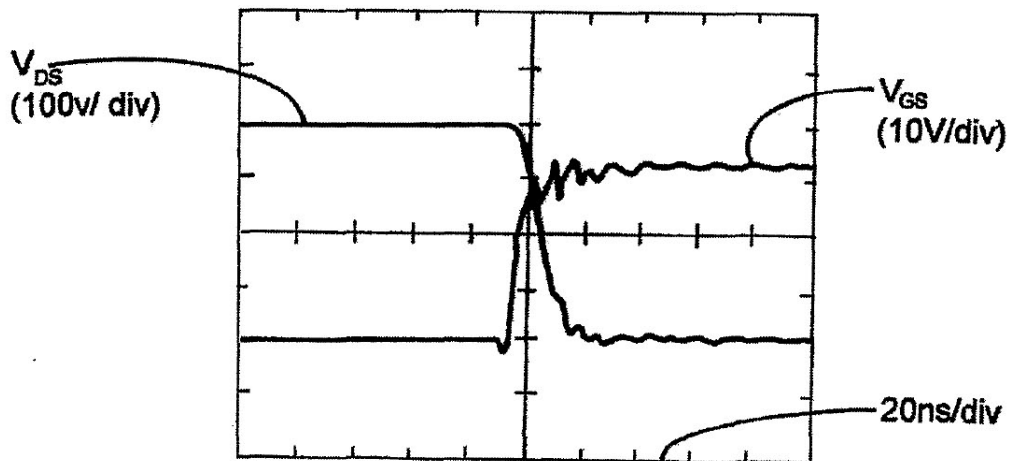


FIGURA 8(b)

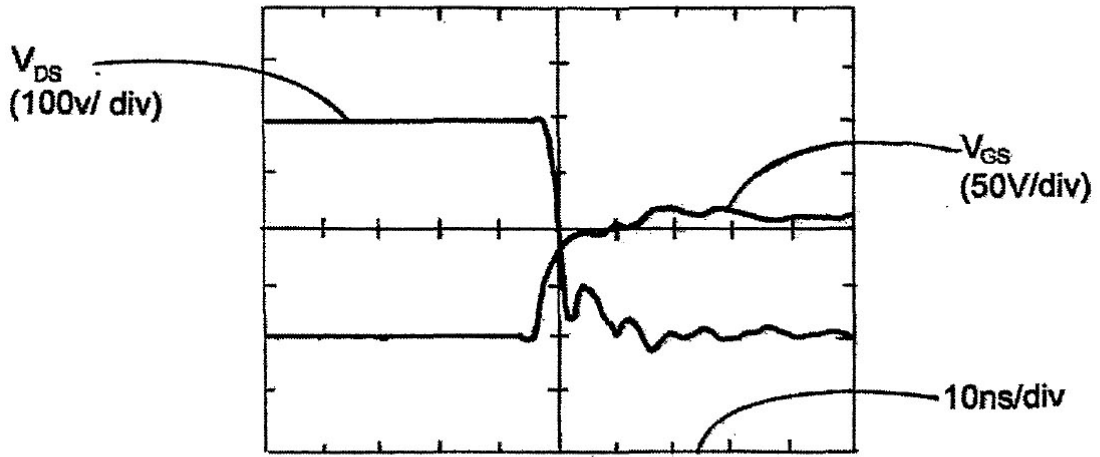


FIGURA 8(c)

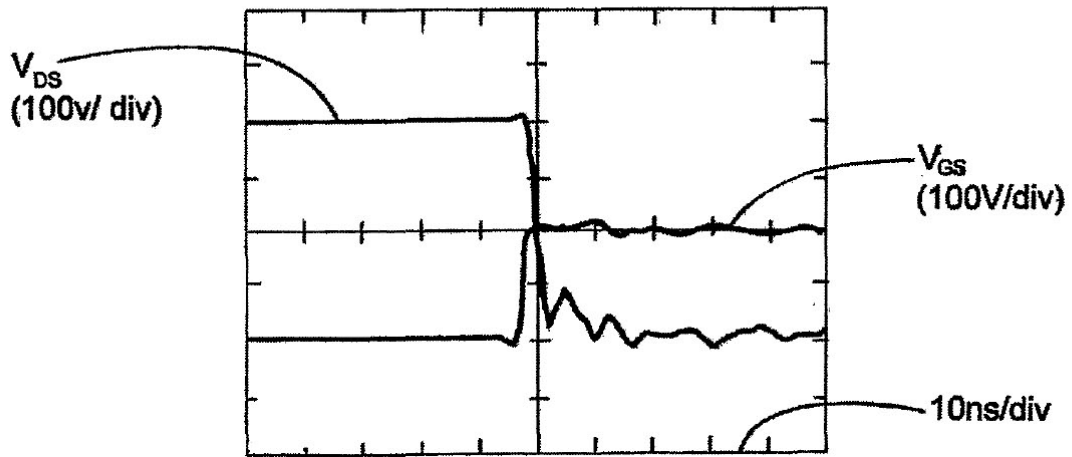


FIGURA 8(d)

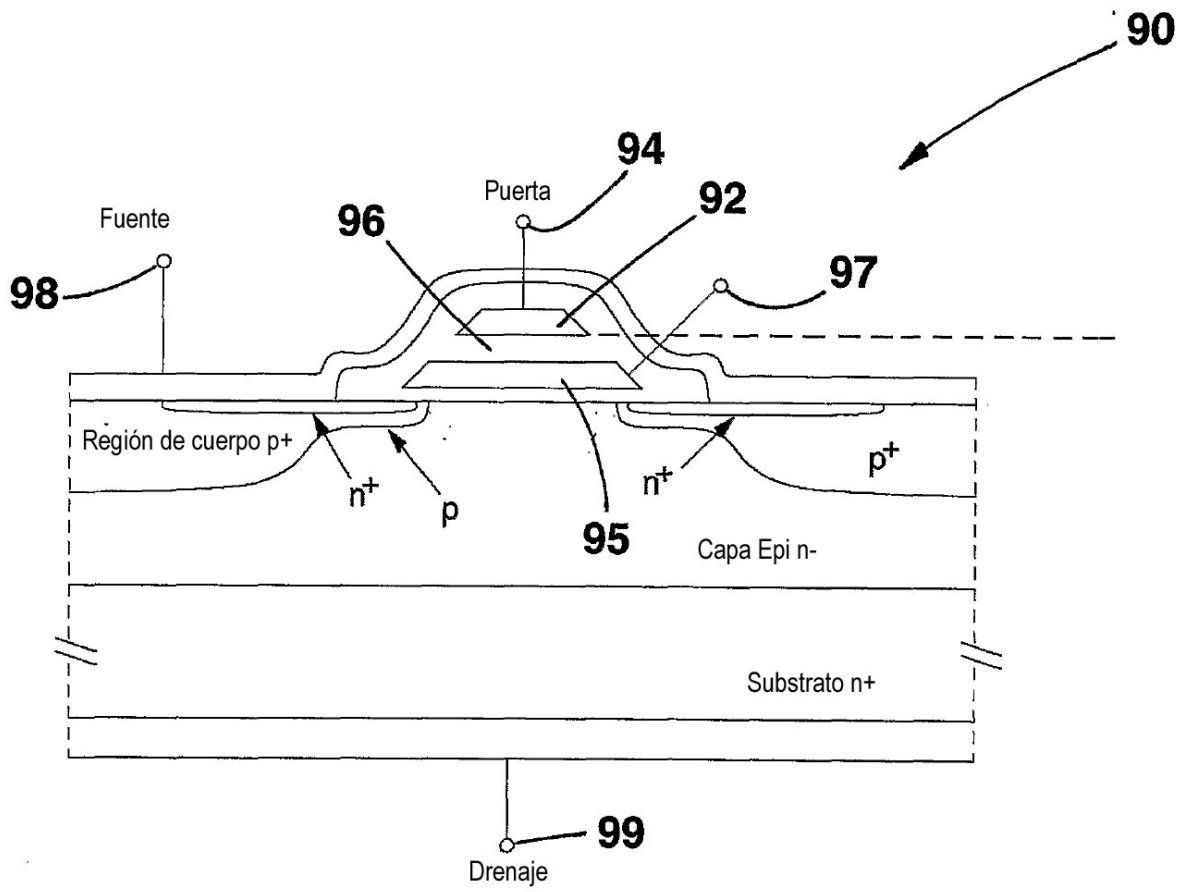


FIGURA 9

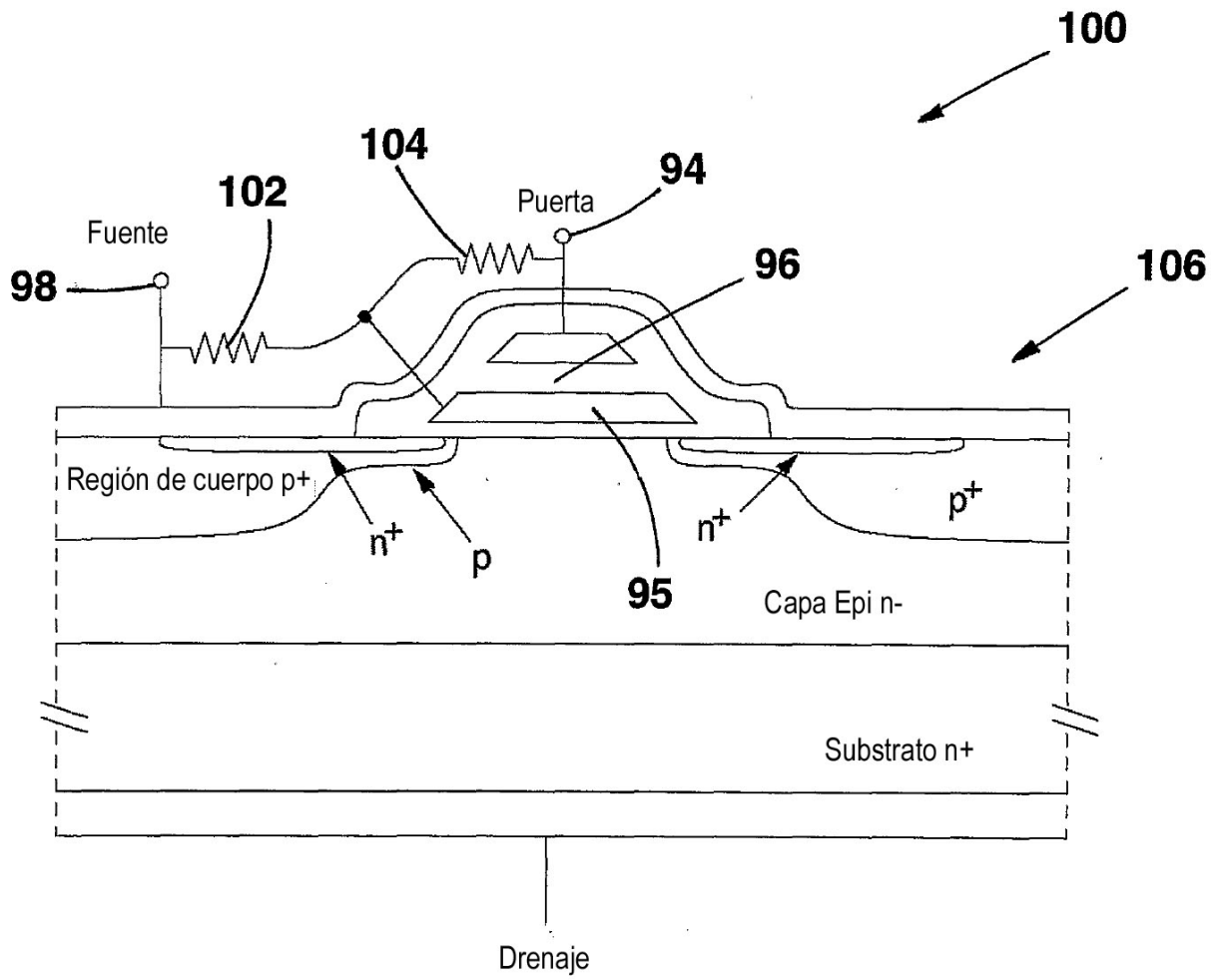


FIGURA 10

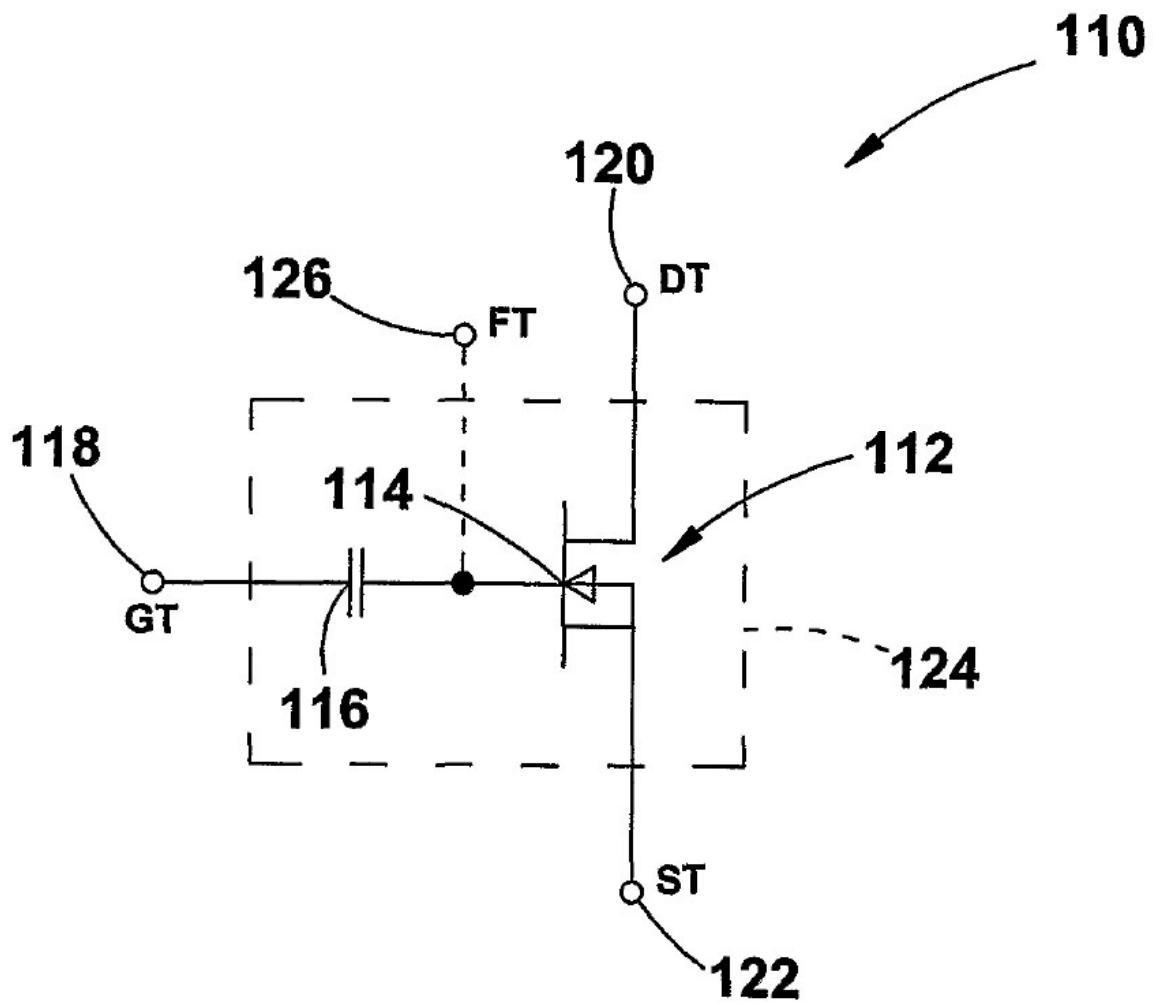


FIGURA 11

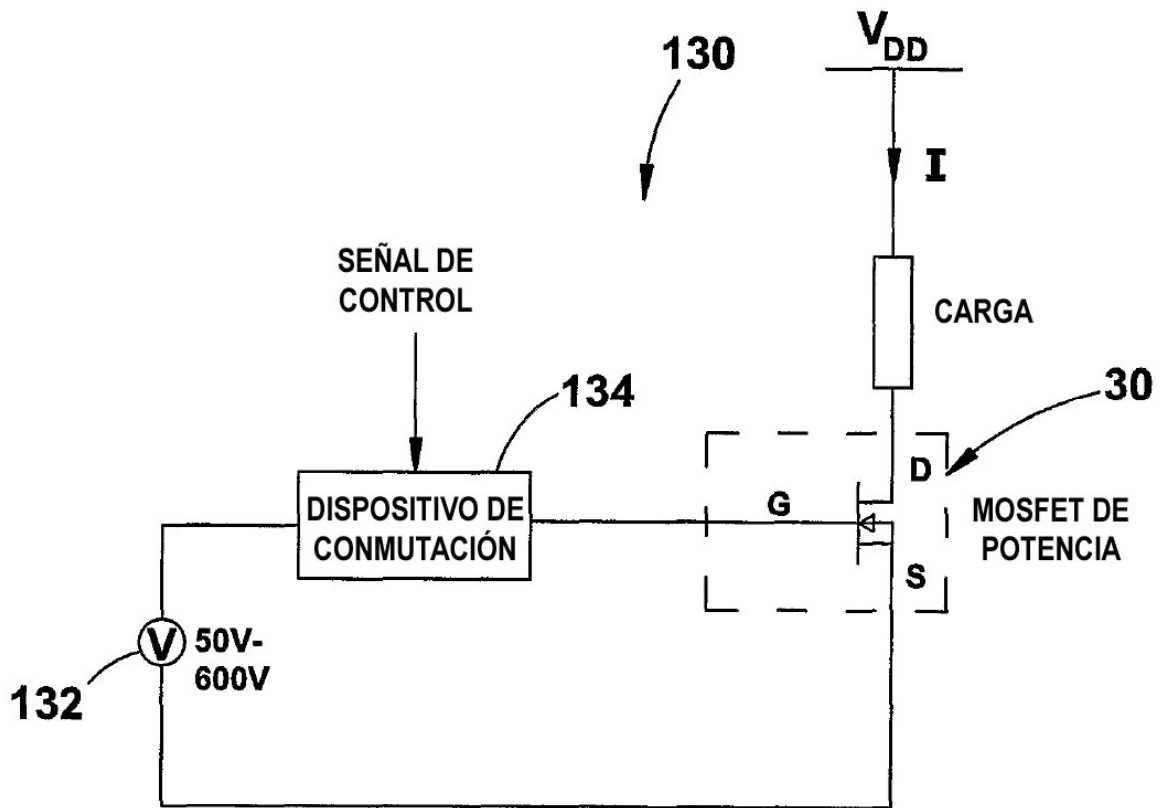


FIGURA 12