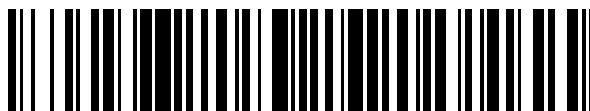


19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 579 002**

51 Int. Cl.:

H01L 21/329 (2006.01)

H01L 29/417 (2006.01)

H01L 29/868 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **28.06.2011** **E 11171779 (9)**

97 Fecha y número de publicación de la concesión europea: **06.04.2016** **EP 2400529**

54 Título: **Diodos PIN vertical y método para fabricarlos**

30 Prioridad:

28.06.2010 IT TO20100553

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

03.08.2016

73 Titular/es:

**FINMECCANICA-SOCIETÀ PER AZIONI (100.0%)
Piazza Monte Grappa 4
Roma, IT**

72 Inventor/es:

**PERONI, MARCO y
PANTELLINI, ALESSIO**

74 Agente/Representante:

CARVAJAL Y URQUIJO, Isabel

ES 2 579 002 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Diodos PIN vertical y método para fabricarlos

Campo técnico de la invención

5 En general, la presente invención se relaciona a diodos que comprenden una región de material semiconductor intrínseco, que está ligeramente dopado o no del todo dopado, que incluye una región de material semiconductor dopado de tipo P y una región de material semiconductor dopado de tipo N y la cual es comúnmente denominada como diodos Positivos Intrínsecos Negativos o solamente diodos PIN.

10 En particular, la presente invención se relaciona con un método de fabricación de diodos PIN verticales que encuentra una aplicación ventajosa, pero no exclusiva, en la fabricación de Circuitos Integrados de Microonda Monolítica (MMICs).

Estado de la técnica

Como se conoce, los Circuitos Integrados de Microonda Monolítica (MMICs) con base en los diodos PIN son ampliamente usados para fabricación de conmutadores, atenuadores, moduladores de frecuencia, moduladores de fase, limitadores de potencia, etc.

15 En general de acuerdo con la técnica conocida, un diodo PIN vertical se fabrica empezando de una oblea de silicio (Si) o arseniuro de galio (GaAs) o fosfuro de indio (InP) en la cual se depositan una capa de material semiconductor dopado de tipo N, una capa de material semiconductor intrínseco I y una capa de material semiconductor dopado de tipo P, con una técnica de crecimiento epitaxial, con la capa de material semiconductor intrínseco I interpuesta entre la capa del material semiconductor dopado de tipo N y la capa de material semiconductor dopado de tipo P.

20 En particular, las Figuras 1 -3 muestran esquemáticamente la sección transversal de un diodo PIN vertical fabricado de acuerdo con un proceso de fabricación conocido.

25 En detalle, en la Figura 1 el numeral de referencia 10 indica, como un todo, un diodo PIN vertical que comprende una oblea epitaxial fabricada mediante de una técnica de crecimiento epitaxial, depositando una secuencia de capas en una oblea de material semiconductor, de por ejemplo GaAs, comprendiendo estas capas a partir de la parte inferior a la parte superior:

- un sustrato 11 semiaislante;
- una capa 12 de tipo N⁺ formada en el sustrato 11 semiaislante;
- una capa I 13 intrínseca formada en la capa 12 de tipo N⁺; y
- una capa 14 de tipo P⁺ formada en la capa I 13 intrínseca.

30 Además, siempre con referencia en la Figura 1, con el fin de formar un contacto anódico del diodo 10 de PIN vertical, se forma una metalización 15 anódica en una porción de la capa 14 de tipo P⁺ que define una región 14a anódica.

Después de haber hecho el contacto anódico, se forma una primera zanja en la capa 14 de tipo P⁺ y en la capa I 13 de manera que se expone la superficie de las porciones de la capa 12 de tipo N⁺.

En particular, se forma la primera zanja por un primer grabado en seco autoalineado con la metalización 15 anódica.

35 En detalle, el primer grabado en seco, incluso si es un grabado anisótropo, por ejemplo un grabado que actúa principalmente en una dirección perpendicular a la superficie superior de la oblea epitaxial, en cualquier caso elimina las porciones de la región 14a anódica y de la capa I 13 intrínseca debajo de la región 14a anódica, a pesar de que estas han estado protegidas mediante la metalización 15 anódica, de manera que, al final de dicho grabado en seco, las porciones de la metalización 15 anódicas se extienden lateralmente a partir de la región 14a anódica residual y a partir de la capa I 13 intrínseca residual no eliminada por el primer grabado en seco para un grado llamado Menoscabado (UC).

40 Además, después de llevar a cabo el primer grabado en seco, con el fin de formar un contacto catódico del diodo 10 PIN vertical, se forma una metalización catódica en una primera porción expuesta de la capa 12 de tipo N⁺ que define una región catódica.

45 Por último, con el fin de aislar de manera eléctrica el diodo 10 PIN vertical de otros componentes creados en el mismo MMIC, tales como otros diodos PIN y/o componentes pasivos tales como capacitores, inductores y resistencias, se forma una segunda zanja en porciones expuestas de capas conductivas de manera que se expongan porciones de capas subyacentes hechas de material semiconductor no conductivo.

En particular, la segunda zanja se forma en una segunda porción expuesta de la capa 12 de tipo N⁺, diferente de la región catódica, de manera que se expone la superficie de las porciones subyacentes del sustrato 11 semiaislante.

En detalle, se forma la segunda zanja por un segundo grabado en seco.

Consecuentemente, con referencia en la Figura 2, después de haber hecho la segunda zanja, el diodo 10 PIN vertical comprende, a partir de la parte superior a la parte inferior:

- el sustrato 11 semiaislante;
- la capa 12 de tipo N⁺ que cubre parcialmente el sustrato 11 semiaislante dejando expuesta una porción de dicho sustrato 11 semiaislante que se extiende lateralmente a partir de la capa 12 de tipo N⁺;
- la capa I 13 intrínseca residual que no se eliminó por el primer grabado en seco que cubre parcialmente la capa 12 de tipo N⁺ dejando porciones expuestas de dicha capa 12 N⁺ que se extienden lateralmente a partir de la capa I 13 intrínseca residual;
- una metalización 16 catódica formada en una porción expuesta de la capa 12 de tipo N⁺ que define la región catódica;
- la región 14a anódica residual que no se eliminó por el primer grabado que cubre completamente la capa I 13 intrínseca residual; y
- la metalización 15 de ánodo que cubre completamente la región 14a anódica residual y que comprende porciones que se extienden lateralmente a partir de la región 14a anódica residual para un grado UC.

Además, con referencia en la Figura 3, con el fin de hacer una conexión de contacto anódica y una conexión de contacto catódica, se hace un primer puente 17 aéreo metálico de espesor elevado en correspondencia a la metalización 15 anódica y se hace un segundo puente 18 aéreo metálico de espesor elevado en correspondencia a la metalización 16 catódica.

El solicitante ha señalado, sin embargo, que los procesos de fabricación conocidos para los diodos PIN verticales han tenido varios inconvenientes técnicos.

En particular, el solicitante ha señalado que el primer grabado en seco, especialmente cuando este tiene características principalmente de anisotropía, por ejemplo, cuando este actúa principalmente en la dirección perpendicular a la superficie superior de la oblea epitaxial, induce al daño mecánico y/o un depósito residual, particularmente en las paredes ortogonales a la dirección del grabado, lo cual ocasiona daños en las superficies del semiconductor expuesto al plasma, en particular en aquellos de la capa I 13 intrínseca, y con frecuencia ocasionando fugas de corrientes elevadas cuando se interrumpe el diodo PIN vertical, o en lugar de esto cuando no se desplaza o se desplaza inversamente, ocasionando los siguientes problemas:

1) la conducción de la corriente cuando se interrumpe el diodo, induce en la pérdida del aislamiento, tanto como en las señales de frecuencia de radio (RF) bajas y altas, induciendo también una fuente de ruido en el circuito donde esta se aplica;

2) el flujo de corriente a través del diodo, especialmente cuando este se desplaza inversamente en un voltaje elevado, implica consumo de energía por el diodo, a costa de la eficiencia de energía del circuito en sí; y

3) las corrientes inducidas por estos efectos de superficie pueden, a su vez, conllevar a la creación de defectos adicionales, induciendo de este modo la degradación que puede afectar la confiabilidad del circuito.

Además, cuando el plasma reactivo que se usa durante el proceso de grabado está en condiciones químico-físicas para inducir un menor daño al cristal semiconductor con el que hace contacto, y el cual en general impone límites en su mínima presión y su máxima energía de aceleración, el grabado tiene una acción isotrópica mayor, por ejemplo, este también tiene una acción de grabado débil en el semiconductor incluso en direcciones no paralelas a la perpendicular a la superficie superior de la oblea epitaxial. Por esta razón, es decir en condiciones de grabado isotrópico o parcialmente isotrópico, el primer grabado en seco, en cualquier caso, también elimina porciones de la región 14a anódica debajo de la metalización 15 anódica, ocasionando de este modo una contracción lateral del área donde se forma el contacto anódico, y esto planea limitaciones prácticas en hacer los diodos con capacitancias y resistencias parásitas bajas, donde las dimensiones laterales mínimas limitadas asociadas con el espesor elevado de la capa I 13 intrínseca agilizan el manejo de procesos de grabado de daño bajo más críticos. Este problema se exalta adicionalmente en el caso donde la conexión de contacto anódica se hace mediante un puente aéreo metálico de espesor elevado, como en la situación que se muestra en la Figura 3, debido a las dificultades asociadas con la resolución litográfica mínima para hacer puentes con áreas de contacto mínimas.

En consecuencia, con base en lo que se ha descrito, el Solicitante ha llegado a la conclusión que los procesos de fabricación conocidos para diodos PIN verticales no permiten tener un control exacto sobre el ancho del contacto anódico.

- 5 Los procesos de fabricación conocidos para diodos PIN verticales que tienen los inconvenientes anteriormente escritos, se describen en Seymour D. J. et al., "MONOLITHIC MBE GaAs PIN DIODE LIMITER", IEEE 1987 Microwave and Millimeter-Wave Monolithic Circuits Symposium, Digest of papers (Cat. No. 87CH2478-6) IEEE New York, NY, USA, 1987, páginas 35-37 y en la patente de los Estados Unidos US 5,213,994.

Objeto y resumen de la invención

- 10 El objeto de la presente invención es por lo tanto el de proporcionar un método de fabricación de un diodo PIN vertical que permite superar los inconvenientes técnicos previamente descritos de los procesos de fabricación conocidos, en particular permite tener un control exacto sobre el ancho con el contacto anódico y que no ocasione daño a las superficies laterales de la capa intrínseca debajo de la región anódica.

- 15 El objeto anteriormente descrito se logra mediante la presente invención, la cual se relaciona con un método de fabricación de un diodo PIN vertical y con un diodo PIN vertical, de acuerdo con lo que se define mediante las reivindicaciones anexas.

En particular, el método de fabricación de un diodo PIN vertical de acuerdo con la presente invención comprende:

- proporcionar un sustrato epitaxial comprendiendo una capa de tipo N apilada verticalmente, una capa intrínseca y una capa de tipo P; y
- 20 • formar un contacto anódico del diodo PIN vertical formando una metalización anódica en una primera porción de la capa de tipo P que define una región anódica; y se caracteriza porque comprende adicionalmente:
 - formar una capa de aislamiento eléctrica alrededor de la región anódica de manera que una primera porción de la capa intrínseca se extienda verticalmente entre la capa de tipo N y la región anódica y las segundas porciones de la capa intrínseca se extiendan verticalmente entre la capa de tipo N y la capa de aislamiento eléctrico;
 - 25 • formar una zanja en la capa de aislamiento eléctrico y en las segundas porciones de la capa intrínseca de manera que se exponga una porción de la capa de tipo N que define una región catódica y para definir un anillo de guarda lateral sacrificial constituido por una porción de la capa de aislamiento eléctrico que se extiende lateralmente entre la zanja y la región anódica y lateralmente rodea dicha región anódica; y
 - 30 • formar un contacto catódico del diodo PIN vertical formando una metalización catódica en la región expuesta de la capa de tipo N que define la región catódica.

- 35 Preferiblemente, la capa de aislamiento eléctrica está formada mediante la realización de una implantación de un ion en una segunda porción de la capa de tipo P, la cual es diferente de la primera porción de la capa de tipo P que define la región anódica y la cual rodea lateralmente dicha región anódica.

- 40 En particular, la implantación del ión se realiza implantando selectivamente iones en la segunda porción de la capa de tipo P con el fin de hacerla aislante de manera eléctrica. De esta forma, la capa de aislamiento eléctrica está hecha en dicha segunda porción de la capa de tipo P en la cual los iones se han implantado selectivamente.

En detalle, los iones implantados selectivamente en la segunda porción de la capa de tipo P dañan un enrejado de cristal de la segunda porción de la capa de tipo P de manera que la hace aislante eléctrica.

Además, el diodo PIN vertical de acuerdo con la presente invención comprende:

- una capa de tipo N;
- 45 • un contacto catódico formado en una primera porción de la capa de tipo N que define una región catódica;
- una capa intrínseca formada en una segunda porción de la capa de tipo N;
- una porción de la capa de tipo P formada en una primera porción de la capa intrínseca y que define una región anódica;
- un contacto anódico formado en la porción de la capa de tipo P que define la región anódica;
- 50 • una estructura de protección formada en una segunda porción de la capa intrínseca;

y se caracteriza porque

- la primera porción de la capa de tipo N que define la región catódica se extiende lateralmente a partir de la segunda porción de la capa de tipo N;
- la primera porción de la capa intrínseca se extiende verticalmente entre la segunda porción de la capa de tipo N y la porción de la capa de tipo P que define la región anódica;
- 5 • la segunda porción de la capa intrínseca se extiende verticalmente entre la segunda porción de la capa de tipo N y la estructura de protección; y
- la estructura de protección está formada en la segunda porción de la capa intrínseca para proteger lateralmente la porción de la capa de tipo P que define la región anódica de un grabado con la intención de exponer la primera porción de la capa de tipo N que define la región catódica.

10 Breve descripción de los dibujos

Para un mejor entendimiento de la presente invención, algunas realizaciones preferidas, que se proporcionan solamente a manera de ejemplo no limitante, se ilustrarán con referencia en los dibujos acompañantes (no a escala), donde:

- 15 • las Figuras 1 -3 son vistas de sección transversal esquemáticas de un diodo PIN vertical fabricado de acuerdo con un proceso de fabricación conocido; y
- las Figuras 4 -12 son vistas de sección transversal esquemáticas de un diodo de PIN vertical fabricado de acuerdo con una realización preferida de la presente invención.

Descripción detallada de las realizaciones preferidas de la invención

20 La presente invención se describirá ahora en detalle con referencia en las figuras adyacentes para permitirle a un experto en el campo, implementarla y usarla. Diversas modificaciones a las realizaciones descritas serán inmediatamente obvias a los expertos y los principios genéricos descritos se pueden aplicar a otras realizaciones y solicitudes sin apartarse del alcance de protección de la presente invención, como se define en las reivindicaciones anexas. Por lo tanto, la presente invención no debería considerarse como limitada a las realizaciones descritas e
 25 ilustradas, pero concedida al alcance más amplio de protección de acuerdo con los principios y características descritas y reivindicadas aquí.

Las Figuras 4 a la 12 ilustran esquemáticamente las secciones transversales de un diodo PIN vertical fabricado de acuerdo con una realización preferida de la presente invención.

30 En particular, en la Figura 4 el numeral 30 de referencia indica, como un todo, un diodo PIN vertical comprendiendo una oblea epitaxial que, a partir de la parte superior a la parte inferior, comprende:

- un sustrato 31 semiaislante;
- una capa 32 de tipo N⁺ formada en el sustrato 31 semiaislante;
- una capa I 33 intrínseca formada en la capa 32 tipo N⁺; y
- una capa 34 de tipo P⁺ formada en la capa I 33 intrínseca.

35 Preferiblemente, la oblea epitaxial está hecha usando una oblea de arseniuro de galio (GaAs) en la cual se depositan la capa 32 de tipo N⁺, la capa I 33 y la capa 34 de tipo P⁺, a través de una técnica de crecimiento epitaxial.

En particular,

- 40 • la capa 32 de tipo N⁺ puede ser una capa de arseniuro de galio (GaAs) dopada con impurezas donantes (por ejemplo, Silicio (Si));
- la capa I 33 intrínseca puede ser una capa de arseniuro de galio (GaAs) no dopada intencionalmente o dopada con impurezas compensadas de forma que proporcione dicha capa I 33 intrínseca con una concentración de portadores de carga (electrones o agujeros) de menos de $1 \times 10^{16} \text{ cm}^{-3}$; y
- 45 • la capa 34 de tipo P⁺ puede ser una capa de arseniuro de galio (GaAs) dopada con impurezas aceptantes (por ejemplo, carbono (C) o berilio (Be)) o una capa con energía de banda prohibida superior que GaAs, tal como por ejemplo una capa de arseniuro de galio de aluminio (Al_xGa_{1-x}As), o fosfuro de galio de indio (In_xGa_{1-x}P) dopada con impurezas aceptantes (por ejemplo, carbono (C) o berilio (Be)).

50 En una realización alternativa, la oblea epitaxial puede estar hecha con una oblea de fosfuro de indio (InP) en la cual las capas 32 de tipo N⁺, I 33 intrínseca y 34 de tipo P⁺, pueden fabricarse depositando capas de material semiconductor tal como InP, o compuestos de enrejado adaptados en la oblea InP, tal como fosfuro de arseniuro de galio de indio (In_{1-x}Ga_xAs_yP_{1-y}) o fosfuro de aluminio de galio de indio (In_{1-x}Al_xAs_yP_{1-y}).

En ambas realizaciones, la oblea epitaxial puede ventajosamente también incluir capas adicionales “reguladoras” dopadas no intencionalmente depositadas en el sustrato 31 antes de las capas 32 de tipo N⁺, I 33 intrínseca y 34 de tipo P⁺ con el fin de mejorar las características del cristal depositado a través de crecimiento epitaxial. En este caso, por lo tanto, dichas capas buffer se interponen entre el sustrato 31 semiaislante y la capa 32 de tipo N⁺.

- 5 Ventajosamente, la capa 32 de tipo N⁺, la capa I 33 intrínseca y la capa 34 de tipo P⁺ de la oblea epitaxial del diodo 30 PIN pueden tener espesores verticales en μm , las composiciones y concentraciones de los materiales de dopaje en cm^{-3} y los tipos de dopaje que se indican en la siguiente tabla 1:

TABLA 1

Capa	Espesor vertical (μm)	Composición	Concentración del material de dopaje (cm^{-3})	Tipo de dopaje
32	0.75	GaAs	$1 \div 3e^{18}$	N ⁺
33	1.0 \div 2.0	GaAs	$\leq 1e^{15}$	N
34	0.2 \div 0.4	GaAs o $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$	$3 \div 4e^{19}$	P ⁺

- 10 Además, como se muestra en la Figura 5, con el fin de formar un contacto anódico del diodo 30 PIN vertical, se forma una metalización 35 anódica en una primera porción de la capa 34 de tipo P⁺ que define una región 34a anódica.

En particular, con el fin de formar el contacto anódico, se forma una primera máscara (que no se muestra en la Figura 5) en la capa 34 de tipo P⁺ de manera que se deje expuesta solo la región 34a anódica. La primera máscara puede estar formada ventajosamente por una capa foto resistente que se estampa fotolitográficamente de manera que forme una apertura en correspondencia con la región 34a anódica. La metalización 35 anódica puede entonces depositarse mediante la apertura de la primera máscara en la región 34 anódica.

Preferiblemente, la metalización 35 anódica comprende una capa de Platino (Pt).

- 20 Ventajosamente, la metalización 35 anódica puede también comprender capas de barrera de metal adicionales, por ejemplo Titanio (Ti) y Oro (Au), súper impuestas en la capa de Platino (Pt).

Preferiblemente, el diodo 30 PIN se somete entonces a un ciclo térmico para enlazar la metalización 35 anódica a la región 34a anódica subyacente, por ejemplo a 320°C por 60 segundos. Subsecuentemente, como se muestra en la Figura 6, se forma una capa 36 de aislamiento eléctrica que rodea lateralmente la región 34a anódica.

- 25 En particular, la capa 36 de aislamiento eléctrica se forma al realizar la implantación del ion en una segunda porción de la capa 34 de tipo P⁺, la cual es diferente de la primera porción que define la región 34a anódica y la cual rodea lateralmente la región 34a anódica para hacer dicha segunda porción de la capa 34 de tipo P⁺ de aislamiento eléctrica.

En detalle, la implantación del ion se realiza de una manera a fin de implantar iones selectivamente en la segunda porción de la capa 34 de tipo P⁺ para hacerla aislante eléctrica y posiblemente, dependiendo de la energía y el dopaje usados para realizar la implantación del ion, también en una porción de la capa I 33 intrínseca que se extiende debajo de la segunda porción de la capa 34 de tipo P⁺, sin embargo sin alcanzar la capa 32 N⁺ y consecuentemente haciéndola aislante eléctrica. Los iones implantados selectivamente en la segunda porción de la capa 34 de tipo P⁺ ocasionan daños al enrejado de cristal de la segunda porción de la capa 34 de tipo P⁺ para hacer dicha segunda porción de la capa 34 de tipo P⁺ de aislamiento eléctrica.

- 35 Preferiblemente, la implantación del ion se realiza autoalineada con el contacto anódico, o en lugar de ello la implantación del ion se hace usando la metalización 35 anódica como una máscara protectora para la región 34a anódica tal que los iones solo se implanten en la segunda porción de la capa 34 de tipo P⁺, por ejemplo, fuera de la región 34a anódica.

En alternativa para usar la metalización 35 anódica como una máscara protectora para la implantación del ion, dicha implantación del ion puede realizarse ventajosamente usando una segunda máscara (que no se muestra en la Figura 6) formada en el diodo 30 PIN vertical y tal que se proteja la región 34a anódica de la implantación del ion, o en lugar de ello exponer la segunda porción de la capa 34 de tipo P⁺ a la implantación del ion.

- 45 En detalle, la segunda máscara se puede formar ventajosamente por una capa foto resistente que se forma en el diodo 30 PIN vertical y estampada fotolitográficamente de forma que se exponga la segunda porción de la capa 34 de tipo P⁺ para la implantación del ion.

Ventajosamente, en el caso donde la capa 34 P⁺ tenga los espesores verticales, composiciones y concentraciones de material de dopaje que se indican en la Tabla 1, con el fin de aislar en eléctrico la capa 34 P⁺ de manera efectiva, la implantación del ion se puede realizar implantando donantes de iones de Flúor (F⁺) con una energía de 300 KeV y un dopaje igual a $1e^{13}cm^{-2}$.

5 Con referencia en la Figura 6 nuevamente, después de la formación de la capa 36 de aislamiento eléctrica, la capa I 33 intrínseca comprende:

- una primera porción que se extiende verticalmente entre la capa 32 de tipo N⁺ y la región 34a anódica; y
- segundas porciones que se extienden verticalmente entre la capa 32 de tipo N⁺ y la capa 36 de aislamiento eléctrica.

10 Subsecuentemente, se forma una primera zanja en la capa 36 aislante eléctrica y en la capa I 33 intrínseca de forma que se exponga una porción de la capa 32 de tipo N⁺ que define una región catódica y para definir un anillo de guarda lateral sacrificial constituido por una porción de la capa 36 aislante eléctrica que se extiende lateralmente entre la primera zanja y la región 34a anódica y rodea lateralmente dicha región 34a anódica.

15 En particular, como se muestra en la Figura 7, con el fin de hacer la primera zanja, se forma una tercera máscara 37 en el diodo 30 PIN vertical que cubre una primera porción 36a de la capa 36 de aislamiento eléctrica que define el anillo de guarda lateral sacrificial y que deja una segunda porción 36b de la capa 36 de aislamiento eléctrica expuesta que se extiende lateralmente a partir de la primera porción 36a y rodea lateralmente dicha primera porción 36a.

20 En detalle, la primera porción 36a de la capa 36 de aislamiento eléctrica se extiende lateralmente entre la segunda porción 36b de la capa 36 de aislamiento eléctrica y la región 34a anódica y rodea lateralmente dicha región 34a anódica.

Ventajosamente, la tercera máscara 37 puede estar formada por una capa foto resistente que se estampa fotolitográficamente a fin de formar una apertura 37a en correspondencia a la segunda porción 36b de la capa 36 aislante eléctrica.

25 Luego, como se muestra en la Figura 8, se forma una primera zanja 38 eliminando selectivamente, la segunda porción 36b de la capa 36 de aislamiento eléctrica que se dejó expuesta mediante la tercera máscara 37 y las segundas porciones de la capa I 33 intrínseca que se extienden debajo de dicha segunda porción 36b de la capa 36 de aislamiento eléctrica, a través de un primer grabado, preferiblemente en húmedo para reducir el daño a la superficie de la capa I 33 intrínseca, a fin de exponer una porción de la capa 32 de tipo N⁺ que define la región catódica.

30 En particular, la primera zanja 38 rodea lateralmente el anillo 36a de guarda lateral sacrificial y la capa I 33 intrínseca que no se ha eliminado por el primer grabado y que se extiende verticalmente entre la capa 32 de tipo N⁺ y la región 34a anódica y el anillo 36a de guarda lateral sacrificial; la región catódica se separa lateral y verticalmente de la región 34a anódica y de la capa I 33 intrínseca que no se ha eliminado por el primer grabado y que se extiende verticalmente entre la capa 32 de tipo N⁺ y la región 34a anódica y el anillo 36a de guarda lateral sacrificial.

35 Como se muestra en la Figura 8, el anillo 36a de guarda lateral sacrificial protege lateralmente la región 34a anódica del primer grabado de hacer el contacto catódico, como el área del contacto anódico se define mediante la región 34a anódica mediante el proceso de aislamiento eléctrico de la capa 36, y no por el área del contacto anódico mediante la cual se sustrae una corona de amplitud UC, igual al grabado bajo debido a la contribución isotrópica del grabado, como en el caso de la técnica conocida que se ilustra en la Figura 2.

40 En otras palabras, siempre como se muestra en la Figura 8, el primer grabado para la creación del contacto catódico hace uso de la tercera máscara 37, incluso mediante la eliminación de las porciones laterales del anillo 36a de guarda lateral sacrificial que se extiende debajo de la tercera máscara 37, es en cualquier caso imposible de consumir dentro de la región 34a anódica gracias precisamente a la protección que se garantiza por dicho anillo 36a de guarda lateral sacrificial y, consecuentemente, imposible de encoger lateralmente el área activa de contacto anódico. En particular, el anillo 36a de guarda lateral sacrificial se denomina sacrificial precisamente debido a que sus porciones laterales se sacrifican para proteger la región 34a anódica del primer grabado. En otras palabras, el anillo 36a de guarda lateral sacrificial es una estructura de protección que sirve para proteger lateralmente la región anódica del primer grabado.

45 Además, la mayor distancia del área eléctrica activa de las paredes de la primera zanja 38 tiene la ventaja técnica adicional que el camino eléctrico de la unión PN en su punto más débil (en correspondencia a la superficie de GaAs, donde los estados de "trampa" del electrón están usualmente presentes que actúan como una recombinación y/o generación de centro para pares de agujeros de electrón) puede ser significativamente mayor que la distancia entre

las capas dopadas, tal como en el caso que se obtiene con la técnica conocida, ya que en realidad es "alargado" por el ancho de la capa de GaAs de aislamiento presente entre los contactos anódicos y catódicos, por ejemplo, mediante la amplitud del anillo 36a de guarda lateral sacrificial que rodea la región 34a anódica. Esta característica asegura que los diodos PIN verticales se hacen de acuerdo con la presente invención teniendo, para el mismo voltaje de desplazamiento de diodo, un campo eléctrico más pequeño o promedio en correspondencia con las superficies. Esto resulta en tener una inyección más pequeña de portadores de minoría en la superficie y por lo tanto una tasa de recombinación de carga más baja mediante las trampas presentes en esta, con una fuga de corriente consecuentemente más baja a través de la superficie, ya sea cuando el diodo está en el estado desconectado y cuando este está encendido. Por la misma razón, la presencia del anillo 36a de guarda lateral sacrificial puede contribuir con el aumento del voltaje de ruptura, lo cual limita la capacidad de los diodos PIN de operar en el estado apagado bajo una señal de radiofrecuencia (RF) de potencia elevada.

De regreso ahora a la descripción detallada de la realización preferida de la presente invención, después de haber formado la primera zanja 38, se forma un contacto catódico del diodo 30 PIN vertical en la porción expuesta de la capa 32 de tipo N⁺ que define la región catódica.

En particular como se muestra en la Figura 9, con el fin de formar el contacto catódico del diodo 30 PIN vertical, se forma una metalización 39 en la porción expuesta de la capa 32 de tipo N⁺ que define la región catódica.

Ventajosamente, la metalización 39 catódica se puede depositar en la región catódica mediante la apertura 37a de la tercera máscara 37 y mediante la primera zanja 38.

Ventajosamente, la metalización 39 puede comprender capas de Oro (Au), Germanio (Ge) y Níquel (Ni).

Preferiblemente, el diodo 30 PIN vertical se somete entonces a un ciclo térmico para unir la metalización 39 catódica a la región catódica subyacente, por ejemplo 390°C por 60 segundos.

Subsecuentemente, como se muestra en la Figura 10, con el fin de aislar el diodo 30 PIN vertical, se forma una segunda zanja 40 vertical de forma que se exponga la superficie del sustrato 31 semiaislante y para rodear el diodo 30 PIN, aislarlo de manera eléctrica de otros componentes y/o dispositivos presentes en la superficie de un mismo MMIC. La segunda zanja 40 vertical está separada verticalmente de la primera zanja 38, de la región 34a anódica y de la capa I 33 intrínseca que no se han eliminado por el primer grabado y que se extienden verticalmente entre la capa 32 de tipo N⁺ y la región 34a anódica y el anillo 36a de guarda lateral sacrificial.

En particular, se forma la segunda zanja 40 mediante la eliminación selectiva, a través de un segundo grabado, llamado grabado de aislamiento, de porciones específicas de la capa 32 conductiva de tipo N⁺ que se extienden sobre el sustrato 31 semiaislante externamente a los contactos anódicos y catódicos del diodo 30 PIN vertical, con el fin de obtener el aislamiento eléctrico deseado entre el diodo 30 PIN vertical y los otros componentes del mismo MMIC.

Ventajosamente, con el fin de aislar el diodo 30 PIN vertical y, consecuentemente, para crear la segunda zanja 40, se puede usar una cuarta máscara (no se muestra en la Figura 10) que se puede usar después de haberse formado en el diodo 30 PIN vertical, formado por ejemplo por una capa foto resistente estampada de manera que deje las porciones de las capas 32 de tipo N⁺ y 33 de tipo I y la capa 36 de aislamiento eléctrica externa a los contactos anódicos y catódicos expuestos al grabado de aislamiento.

Alternativamente, el proceso de formar el contacto catódico y el subsecuente aislamiento de la capa 32 N⁺ puede tener lugar por:

- realizar el grabado que elimina la capa 36 de aislamiento eléctrico y la capa I 33 intrínseca en toda la superficie de la oblea epitaxial, excepto por las áreas de la capa 36 de aislamiento eléctrica alrededor del contacto anódico protegida por máscaras oportunas estampadas alrededor de esta, hasta que se exponga la superficie de la capa 32 de tipo N⁺;

- formar una máscara adicional para depositar la metalización 39 catódica y llevar a cabo el ciclo térmico de unión, como se describió anteriormente; y

- formar una máscara adicional para proteger los contactos anódicos y catódicos y eliminar las porciones específicas de la capa 32 de tipo N⁺ para crear el aislamiento eléctrico entre el diodo 30 PIN vertical y el otro componente del mismo MMIC.

Subsecuentemente, como se muestra en la Figura 11, una capa 41 de neutralización compuesta de una capa dieléctrica, por ejemplo Si₃N₄ y/o SiO₂, se puede depositar para proteger la superficie del semiconductor.

5 Subsecuentemente, como se realiza en general para la fabricación de los dispositivos MMIC, y se documenta ampliamente como una técnica conocida, prosigue la labor mediante la creación de caminos, interconexiones, contactos de golpe, puentes de metal y conexiones con la metalización posterior a través de agujeros hechos en el sustrato, los cuales pueden contribuir en la integración y creación monolítica de circuitos con base en diodos PIN y otros componentes, tales como inductores, condensadores, resistores y otros componentes pasivos.

Preferiblemente, con referencia en la Figura 12, las conexiones por puentes metálicos, similares a las que se indican en la Figura 12 con los numerales de referencia 42 y 43, los cuales conectan respectivamente el contacto anódico y el contacto catódico al resto de los componentes y caminos definidos en el mismo MMIC, se fabrican depositando Oro (Au) y el subsecuente crecimiento galvánico del oro depositado.

10 Con relación en la conexión de contacto anódica por los puentes de metal, la presente invención permite facilitar la fabricación incluso cuando se hacen contactos de dimensiones submicrométricas, como es posible al resto del puente de metal en la capa 41 de neutralización que se deposita en la parte superior del anillo 36a de guarda lateral, la cual puede tener dimensiones más grandes que la región 34a anódica similar a la que se muestra en la Figura 12, contribuyendo de esta manera en una reducción adicional de las capacitancias parásitas.

15 Además, la Figura 12 muestra también un símbolo 30' de circuito del diodo 30 que comprende una terminal 44 anódica y una terminal 45 catódica.

En particular, como se muestra en la Figura 12, la terminal 44 anódica del símbolo 30' de circuito corresponde a la metalización 35 anódica del diodo 30, a la vez que la terminal 45 catódica del símbolo 30' de circuito corresponde a la metalización 39 catódica del diodo 30.

20 Las ventajas de la presente invención se pueden entender inmediatamente mediante la anterior descripción.

En particular, se desea subrayar cómo el método de fabricación de los diodos PIN verticales de acuerdo con la presente invención es diferente de los procesos de fabricación conocidos, de acuerdo con cuales grabados en seco se hacen autoalineados con el contacto anódico para crear el contacto catódico, haciendo un compromiso entre la anisotropía del grabado y el daño mecánico a las superficies de las paredes laterales de la capa I 33 intrínseca presente entre el contacto anódico y el contacto catódico.

25 De hecho, de acuerdo con la presente invención, la primera zanja 38 vertical para formar el contacto anódico, está hecha por el grabado que actúa en las porciones de la capa 36 de aislamiento eléctrico lateralmente separadas de la región 34a anódica y que consecuentemente no ocasiona contracción lateral del contacto anódico, limitando de este modo los efectos negativos resultantes del daño mecánico a las superficies laterales de la región 34a anódica. Como se describió previamente, este daño mecánico a las superficies laterales de la región anódica y la capa intrínseca subyacente está, en lugar de ello, presente en los diodos PIN verticales fabricados usando los procesos de fabricación conocidos, tales como, por ejemplo, el método de fabricación que se describe en el artículo anteriormente citado "DIODO PIN GaAs MBE MONOLÍTICO LIMITADO". En particular, las Figuras 1-b a la 1-f de dicho artículo demuestran claramente como el grabado realizado para exponer la porción de la capa de tipo N⁺ que define la región catódica también elimina las porciones laterales de la capa de tipo P⁺ que define la región anódica y de la capa I intrínseca debajo de dicha región anódica, con daño mecánico subsecuente a las respectivas superficies laterales. A este respecto, es importante subrayar el hecho que incluso el método que se describe en la patente de los Estados Unidos US 5,213,994 se afecta por el inconveniente técnico anteriormente mencionado. De hecho, este inconveniente técnico, aunque ninguno que se describe o se muestra en la US 5,213,994, debe necesariamente estar presente de acuerdo con la US 5,213,994 el grabado que se destina para formar la primera zanja de las capas de tipo P⁺ y N⁻ se realiza sin proteger de alguna forma las superficies laterales de la porción de la capa de tipo P⁺ que define la región anódica y de la porción de la capa de tipo N⁻ debajo de dicha región anódica.

45 Además, la posibilidad que se proporciona mediante la presente invención de usar el grabado con más características isotrópicas, por ejemplo con base en la inmersión en una solución líquida (por ejemplo, compuesta de una parte de H₂SO₄, una parte de H₂O₂ y doce partes de H₂O), para formar el contacto catódico, sin afectar este el área de unión del diodo, proporciona mejores oportunidades de mitigación de la formación de estados de "trampa" del electrón en la superficie del semiconductor.

50 En relación con el primer aspecto, la ventaja de la presente invención se representa por el hecho de ser capaz de limitar el área del contacto anódico a dimensiones mucho más pequeñas gracias al hecho de usar la metalización 35 anódica como una máscara para la implantación del ion, para minimizar, en una manera reproducible, ya sea las capacitancias parásitas y las resistencias parásitas. En la presente invención, se garantiza esta reproducibilidad, impidiendo el riesgo de tolerancias del proceso del primer grabado que tienen repercusiones en una reducción sin control del contacto anódico.

La otra principal ventaja técnica de la presente invención está, por lo tanto, representada por el hecho que los diodos PIN verticales que están hechos de acuerdo con la presente invención, tienen muy pequeñas fugas de corriente cuando se desplazan de manera directa o inversa.

5 Por lo tanto, los diodos PIN verticales fabricados de acuerdo con la presente invención mitigan los problemas con respecto a la presencia de depósitos residuales y/o daño mecánico, lo cual puede anular ya sea el rendimiento y la confiabilidad de los dispositivos PIN.

Finalmente, se entiende que se pueden hacer diversas modificaciones a la presente invención sin apartarse del alcance de protección de la invención que se define en las reivindicaciones anexas.

REIVINDICACIONES

1. Método para fabricar un diodo (30) Positivo Intrínseco Negativo (PIN) vertical, que comprende:
- 5 • proporcionar una oblea epitaxial comprendiendo una capa (32) de tipo N verticalmente apilada, una capa (33) intrínseca y una capa (34) de tipo P;
 - formar un contacto anódico del diodo (30) Positivo Intrínseco Negativo (PIN) vertical, formando una metalización (35) anódica en una primera porción (34a) de la capa (34) de tipo P que define una región anódica;
 - 10 • formar una capa (36) de aislamiento eléctrica alrededor de la región (34a) anódica tal que una primera porción de la capa (33) intrínseca se extienda verticalmente entre la capa (32) de tipo N y la región (34a) anódica y unas segundas porciones de la capa (33) intrínseca se extiendan verticalmente entre la capa (32) de tipo N y la capa (36) de aislamiento eléctrica;
 - 15 • formar una zanja (38) en la capa (36) de aislamiento eléctrica y en las segundas porciones de la capa (33) intrínseca de manera que se exponga una porción de la capa (32) de tipo N que define una región catódica y para definir un anillo (36a) de guarda lateral sacrificial constituido por una porción de la capa (36) de aislamiento eléctrica que se extiende lateralmente entre la zanja (38) y la región (34a) anódica y lateralmente rodea dicha región (34a) anódica; y
 - 20 • formar un contacto anódico del diodo (30) Positivo Intrínseco Negativo (PIN) vertical formando una metalización (39) catódica en la porción expuesta de la capa (32) de tipo N que define la región catódica.
2. El método de la reivindicación 1, en donde formar una capa (36) de aislamiento eléctrica comprende:
- 25 • realizar una implantación del ion en una segunda porción de la capa (34) de tipo P, la cual es distinta de la primera porción (34a) de la capa (34) de tipo P que define la región (34a) anódica y la cual rodea lateralmente dicha región (34a) anódica.
3. El método de la reivindicación 2, en donde realizar una implantación del ion en una segunda porción de la capa (34) de tipo P comprende:
- 30 • selectivamente implantar iones en la segunda porción de la capa (34) de tipo P para hacerla aislante de manera eléctrica, dicha capa (36) aislante eléctrica que comprende dicha segunda porción de la capa (34) de tipo P en la cual han sido implantados selectivamente los iones.
 - 35
4. El método de la reivindicación 3, en donde los iones selectivamente implantados en la segunda porción de la capa (34) de tipo P dañan un enrejado de cristal de la segunda porción de la capa (34) de tipo P para hacer dicha segunda porción de la capa (34) de tipo P de aislamiento eléctrica.
- 40
5. El método de acuerdo con cualquiera de las reivindicaciones 2 - 4, en donde la implantación del ion se realiza autoalineada con la metalización (35) anódica.
- 45
6. El método de acuerdo con cualquiera de las reivindicaciones 2 -4, en donde la implantación del ion se realiza usando una primera máscara formada en el diodo (30) Positivo Intrínseco Negativo (PIN) vertical de manera que se exponga la segunda porción de la capa (34) de tipo P a la implantación del ion.
7. El método de acuerdo con las reivindicaciones precedentes, en donde formar una zanja (38) comprende:
- 50 • eliminar selectivamente una primera porción (36b) de la capa (36) de aislamiento eléctrica y las segundas porciones de la capa (33) intrínseca que se extienden debajo de dicha primera porción (36b) de la capa (36) de aislamiento eléctrica de manera que se exponga la porción de la capa (32) de tipo N que define la región catódica, dicha primera porción (36b) de la capa (36) de aislamiento eléctrica está separada lateralmente de la región (34a) anódica de manera que una segunda porción (36a) de la capa (36) de aislamiento eléctrica que define el anillo (36a) de guarda lateral sacrificial se extienda lateralmente entre la primera porción (36b) de la capa (36) de aislamiento eléctrica y la región (34a) anódica y rodea lateralmente dicha región (34a) anódica, dicha primera porción (36b) de la capa (36) de aislamiento eléctrica rodea lateralmente dicha segunda porción (36a) de la capa (36) de aislamiento eléctrica.
 - 55

8. El método de la reivindicación 7, en donde la eliminación selectiva de una primera porción (36b) de la capa (36) de aislamiento eléctrica y las segundas porciones de la capa (33) intrínseca que se extienden debajo de dicha primera porción (36b) de la capa (36) de aislamiento eléctrica comprende:

- 5
- realizar un daño bajo, principalmente un grabado isotrópico de manera que se elimine dicha primera porción (36b) de la capa (36) de aislamiento eléctrica y las segundas porciones de la capa (33) intrínseca que se extienden debajo de dicha primera porción (36b) de la capa (36) de aislamiento eléctrica.

10 9. El método de la reivindicación 8, en donde el daño bajo, principalmente el grabado isotrópico se realiza usando una segunda máscara formada en el diodo (30) Positivo Intrínseco Negativo (PIN) vertical de forma que se exponga dicha primera porción (36b) de la capa (36) de aislamiento eléctrica a dicho daño bajo, principalmente grabado isotrópico.

15 10. El diodo (30) Positivo Intrínseco Negativo (PIN) vertical que comprende:

- una capa (32) de tipo N;
- un contacto (39) catódico formado en una primera porción de la capa (32) de tipo N que define una región catódica;
- una capa (33) intrínseca formada en una segunda porción de la capa (32) de tipo N;
- una porción de la capa (34a) de tipo P formada en una primera porción de la capa (33) intrínseca y que define una región anódica;
- un contacto (35) anódico formado en la porción de la capa (34a) de tipo P que define la región anódica; y
- una estructura (36a) de protección formada en una segunda porción de la capa intrínseca; en donde
- la primera porción de la capa (32) de tipo N que define la región catódica se extiende lateralmente a partir de la segunda porción de la capa (32) de tipo N;
- la primera porción de la capa (33) intrínseca se extiende verticalmente entre la segunda porción de la capa (32) de tipo N y la porción de la capa (34a) de tipo P que define la región anódica;
- la segunda porción de la capa (33) intrínseca se extiende verticalmente entre la segunda porción de la capa (32) de tipo N y la estructura (36a) de protección; y
- la estructura (36a) de protección se forma en la segunda porción de la capa intrínseca para proteger lateralmente la porción de la capa (34a) de tipo P que define la región anódica de un grabado con la intención de exponer la primera porción de la capa (32) de tipo N que define la región catódica.

45 11. El diodo (30) Positivo Intrínseco Negativo (PIN) vertical de la reivindicación 10, en donde la estructura de protección tiene la forma de un anillo (36a) de guarda lateral sacrificial de aislamiento eléctrico formado en la segunda porción de la capa (33) intrínseca alrededor de la región (34a) anódica para impedir dicho grabado de grabar la porción de la capa (34a) de tipo P debajo del contacto (35) anódico.

50 12. El diodo (30) Positivo Intrínseco Negativo (PIN) vertical de la reivindicación 11, en donde el anillo (36a) de guarda lateral sacrificial de aislamiento eléctrico está hecho de una porción adicional de capa (34b) de tipo P que rodea lateralmente la porción de la capa (34a) de tipo P que define la región anódica y que tiene un enrejado de cristal dañado por iones implantados, los cuales dañan el enrejado de cristal haciendo dicha porción adicional de capa (34) de tipo P de aislamiento eléctrica.

55 13. El diodo (30) Positivo Intrínseco Negativo (PIN) vertical de acuerdo con la reivindicación 11 o 12, en donde el anillo (36a) de guarda lateral sacrificial de aislamiento eléctrico está formado también alrededor de una subporción de la primera porción de la capa (33) intrínseca que se extiende debajo de la región (34a) anódica.

60 14. El diodo (30) Positivo Intrínseco Negativo (PIN) vertical de acuerdo con cualquier reivindicación 10 -13, en donde la primera porción de la capa (32) de tipo N que define la región catódica, rodea lateralmente la segunda porción de la capa (32) de tipo N.

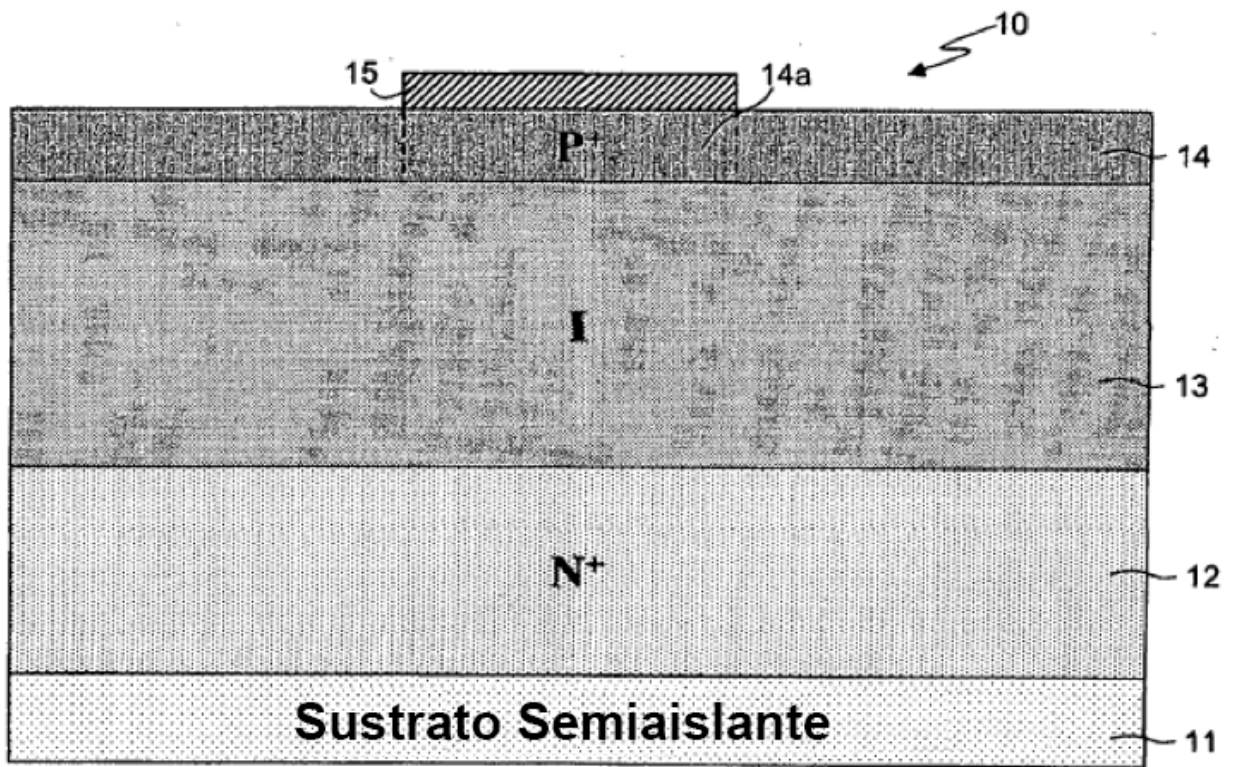


Fig. 1

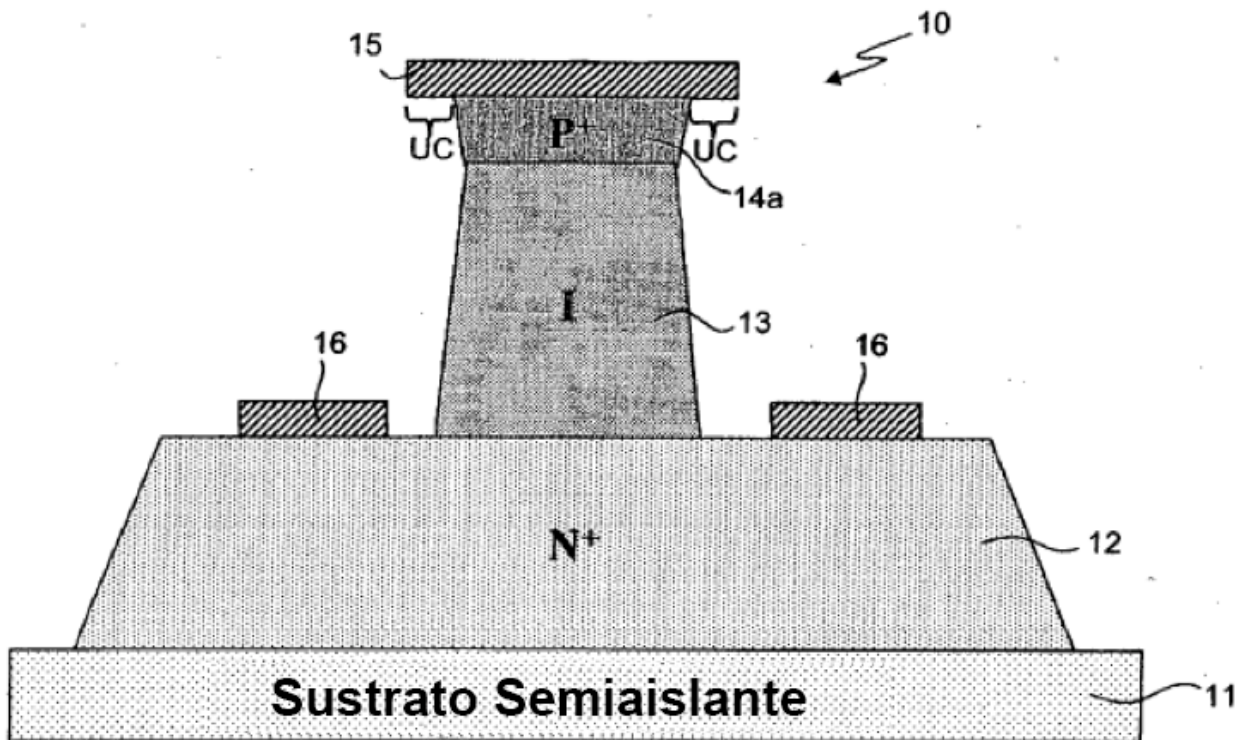


Fig. 2

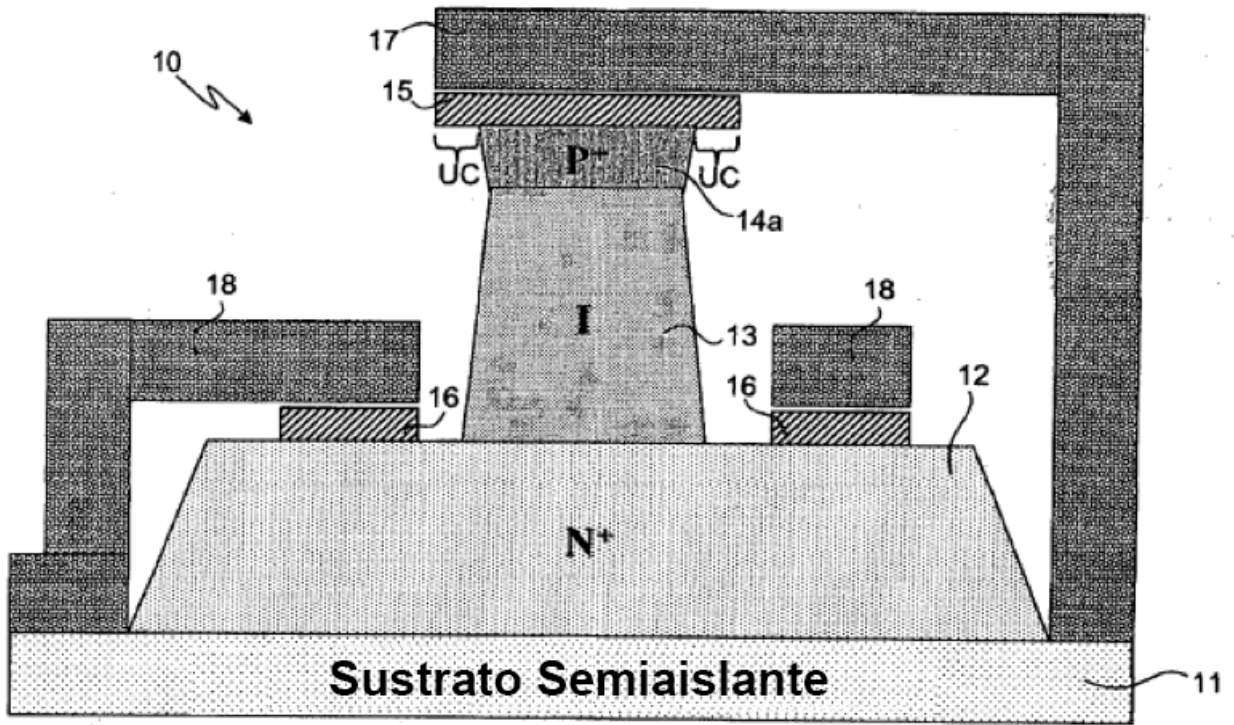


Fig. 3

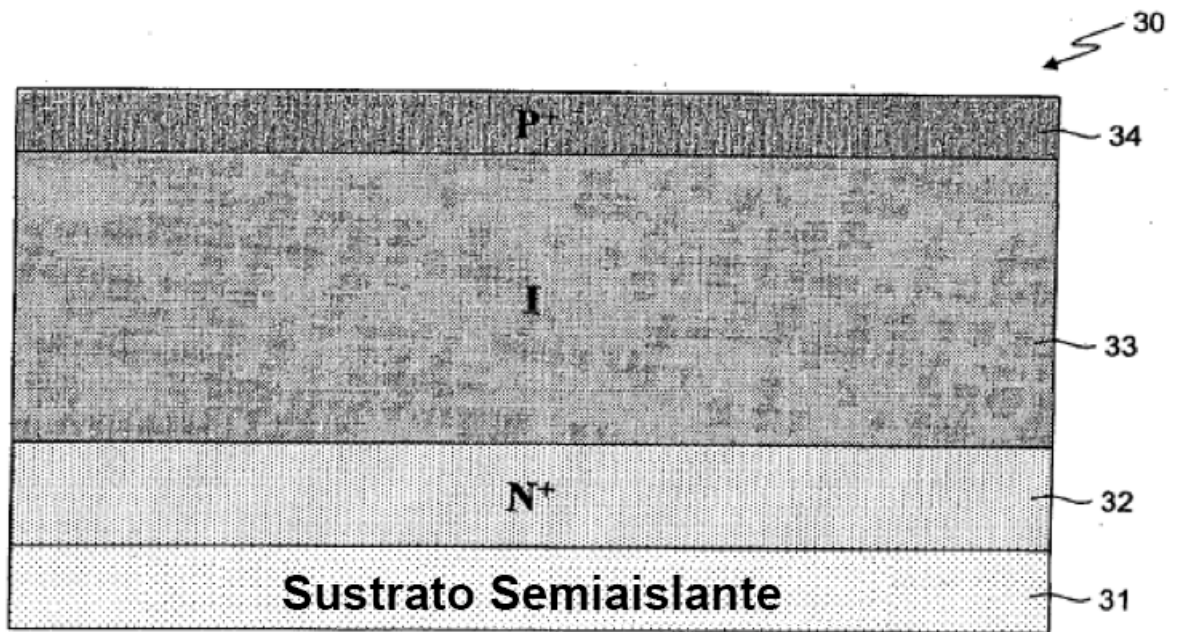


Fig. 4

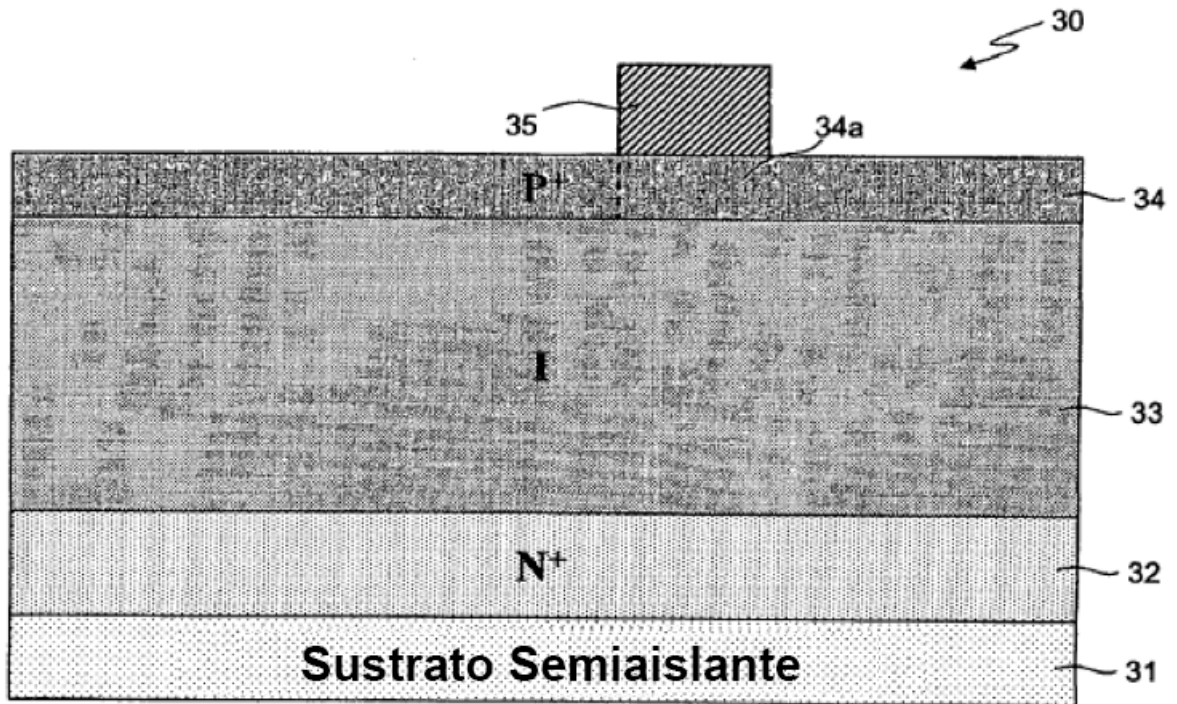


Fig. 5

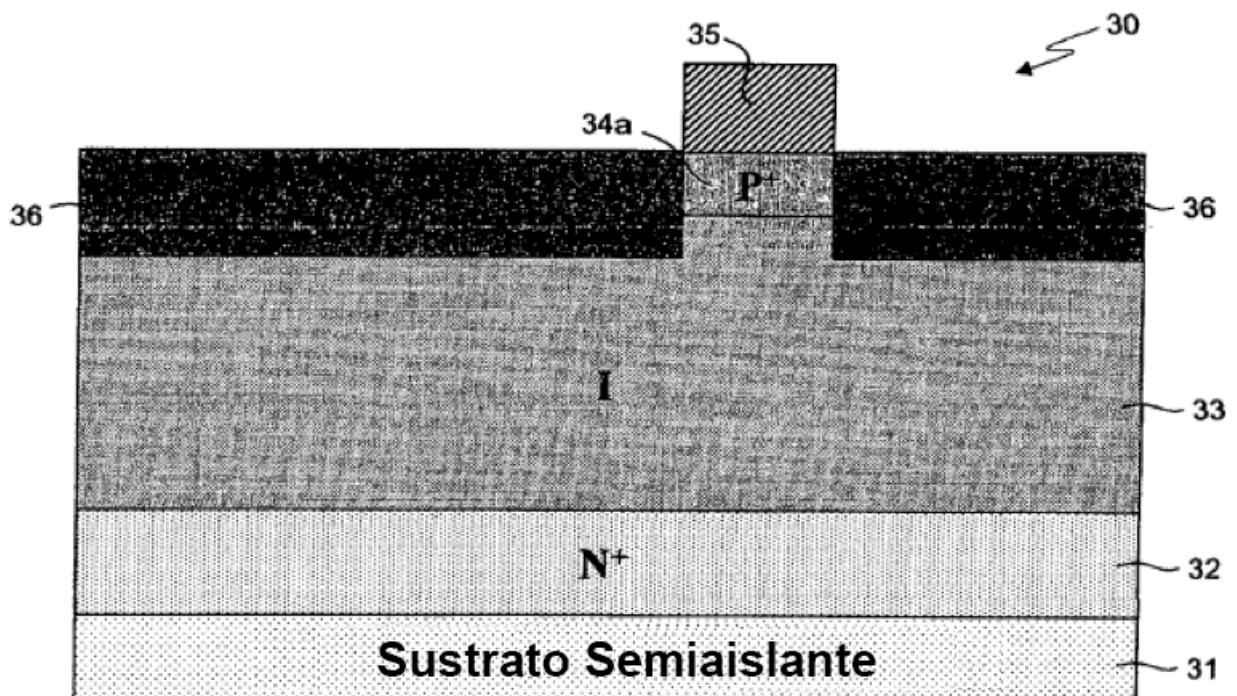


Fig. 6

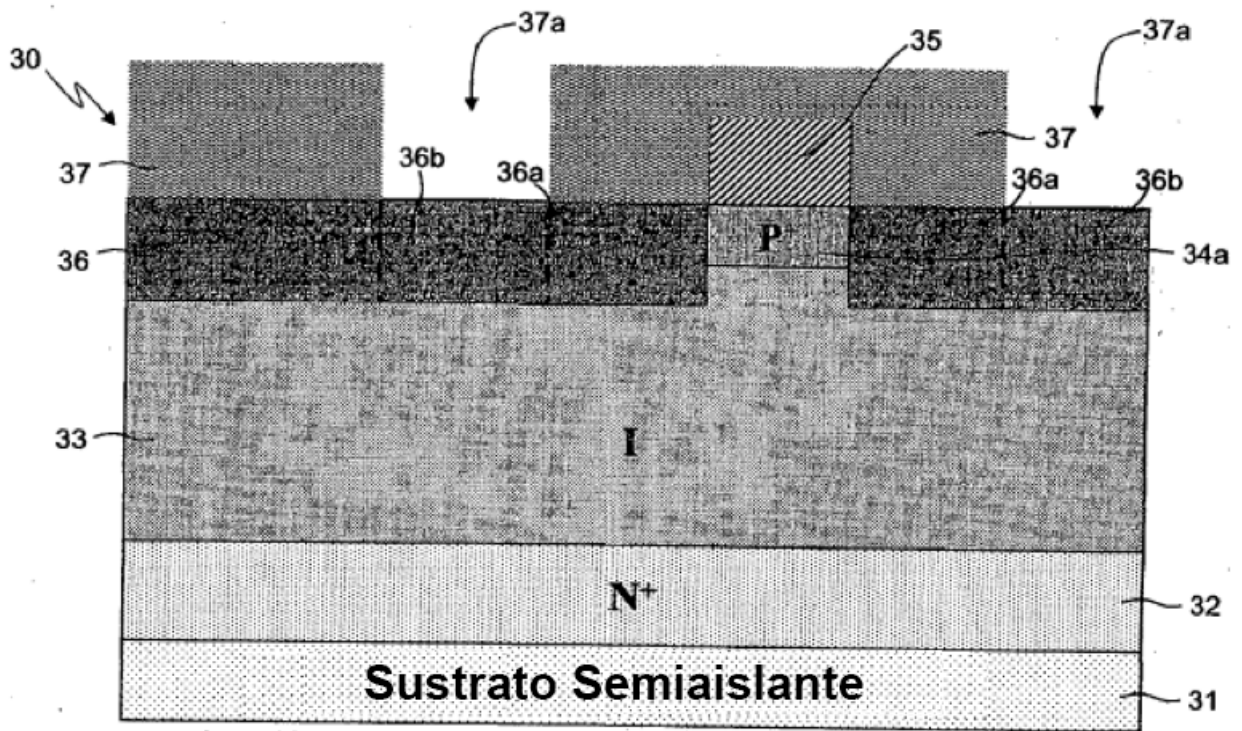


Fig. 7

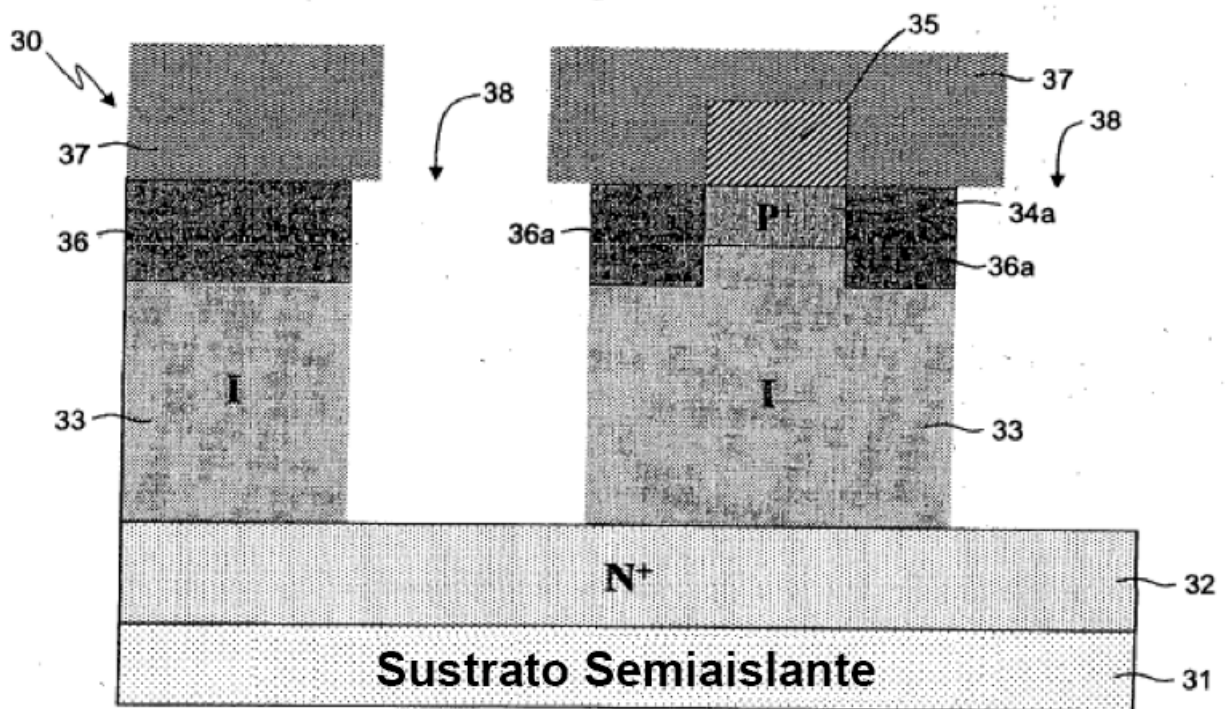


Fig. 8

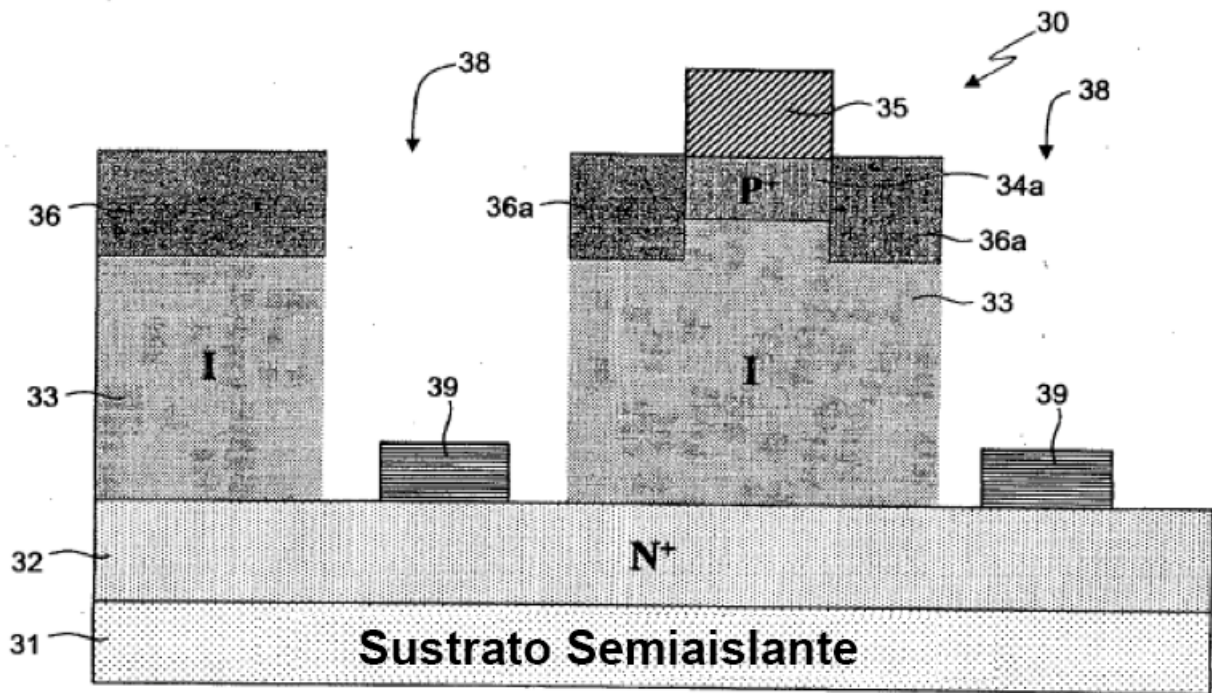


Fig. 9

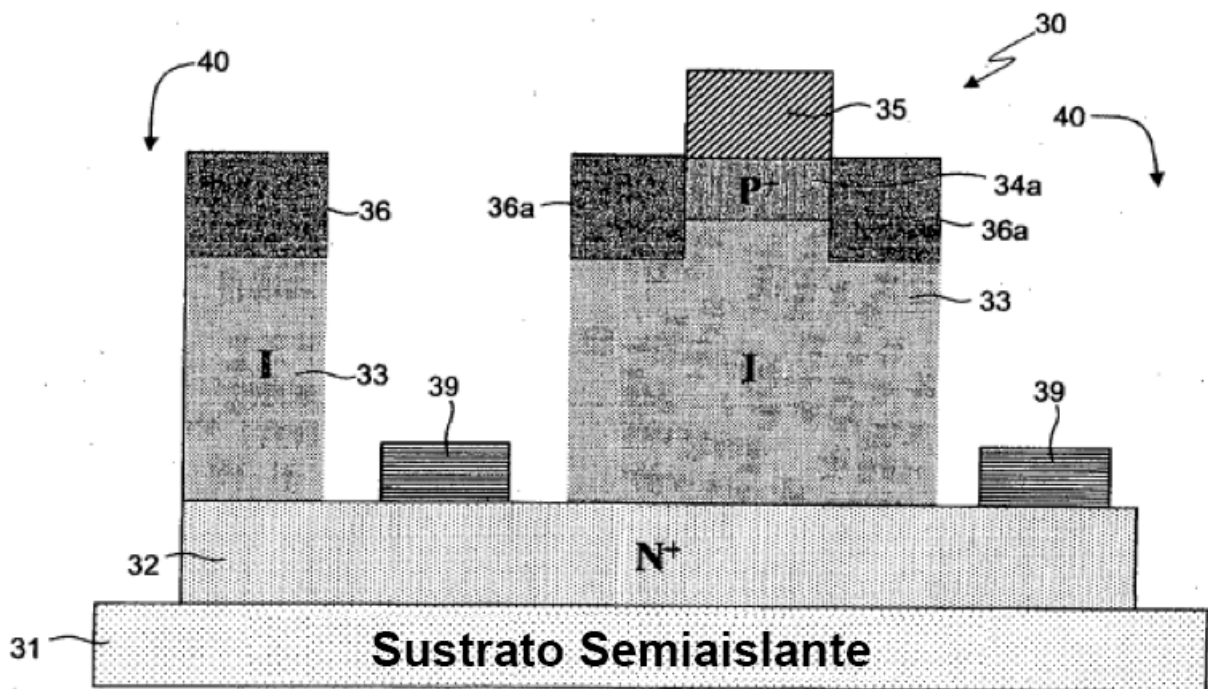


Fig. 10

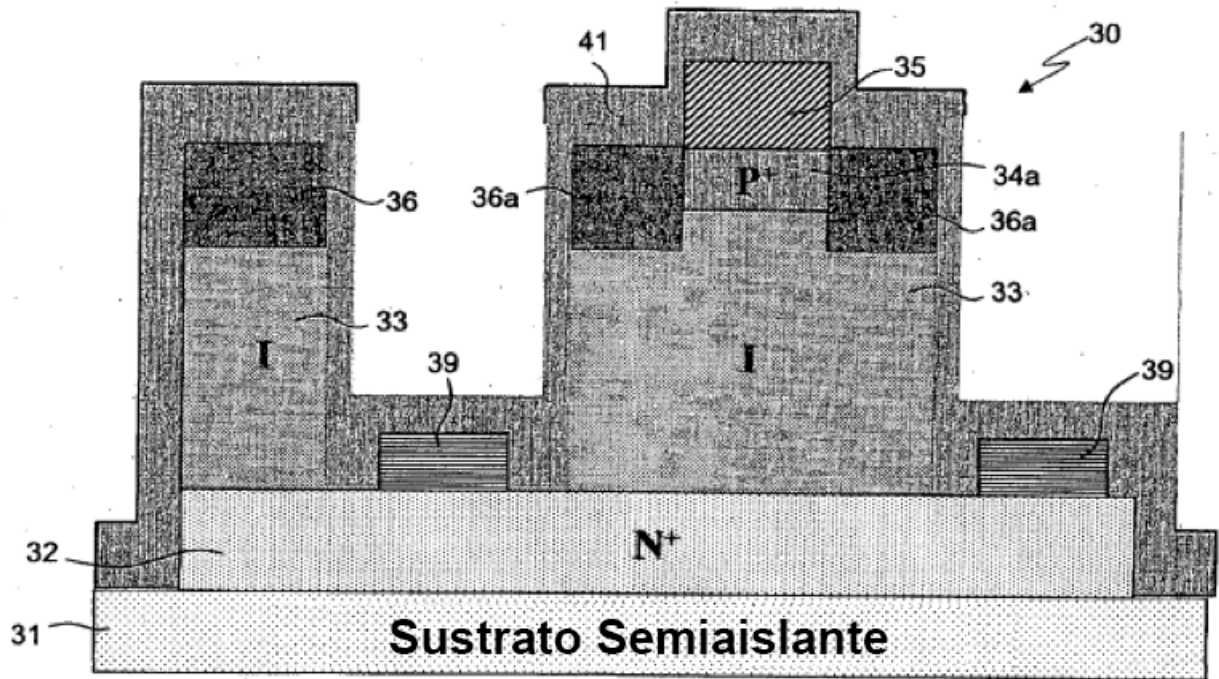


Fig. 11

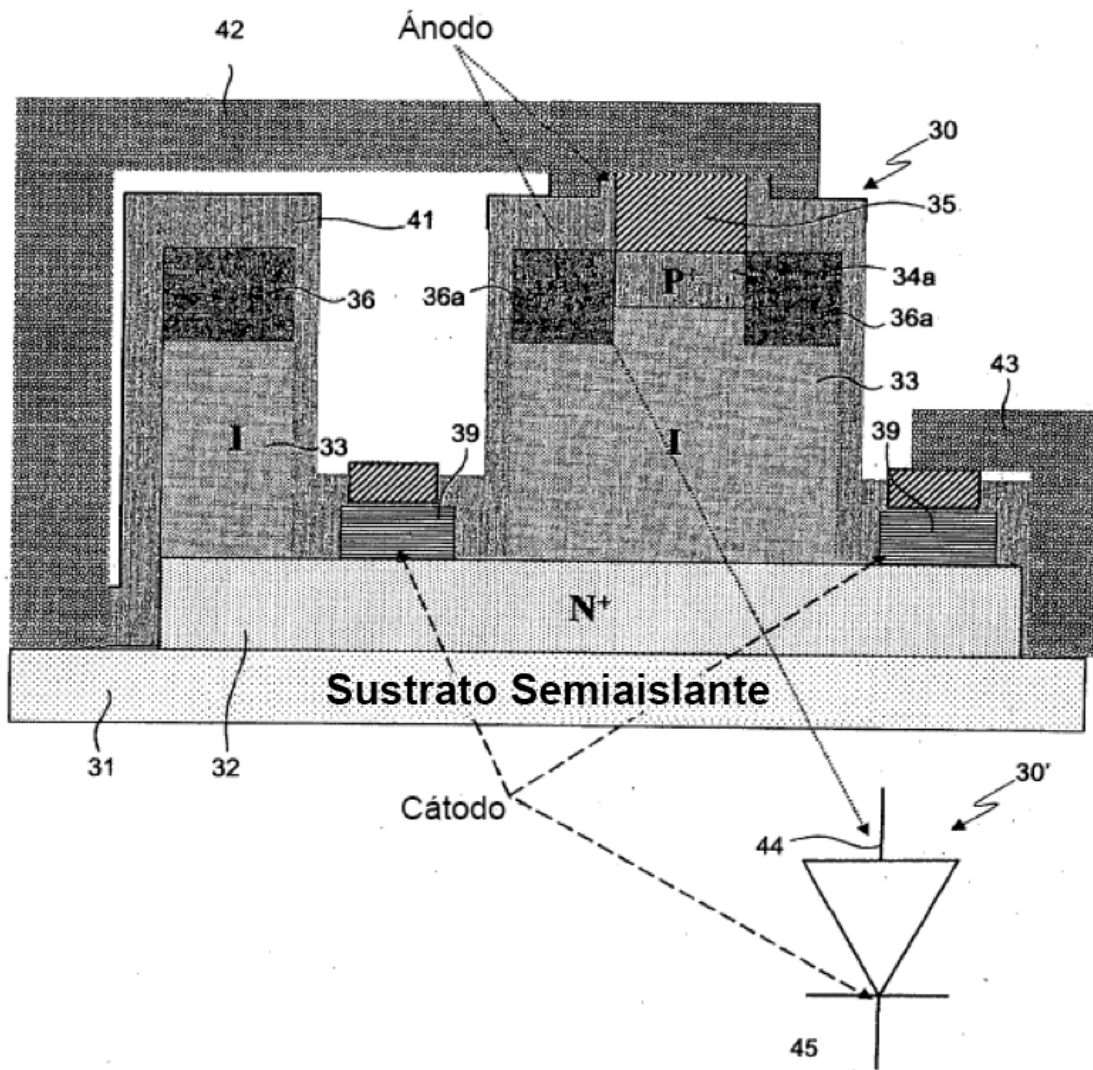


Fig. 12