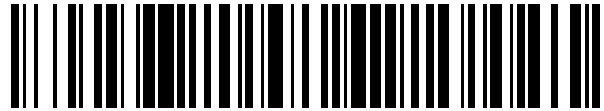


19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 583 328**

51 Int. Cl.:

**G11C 15/04** (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **24.08.2011 E 11749322 (1)**

97 Fecha y número de publicación de la concesión europea: **27.04.2016 EP 2609595**

54 Título: **Sistema y procedimiento para reducir el uso de energía de una memoria de contenido direccionable**

30 Prioridad:

**24.08.2010 US 862277**

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

**20.09.2016**

73 Titular/es:

**QUALCOMM INCORPORATED (100.0%)  
Attn: International IP Administration 5775  
Morehouse Drive  
San Diego, CA 92121, US**

72 Inventor/es:

**SHEN, JIAN;  
HOANG, DANG D. y  
BASSETT, PAUL D.**

74 Agente/Representante:

**FORTEA LAGUNA, Juan José**

**ES 2 583 328 T3**

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

## DESCRIPCIÓN

Sistema y procedimiento para reducir el uso de energía de una memoria de contenido direccionable.

### 5 **I. Campo**

La presente divulgación se refiere generalmente a un sistema y un procedimiento para reducir el uso de energía de una memoria de contenido direccionable.

### 10 **II. Descripción de la técnica relacionada**

15 La memoria de contenido direccionable (CAM) es un tipo de memoria informática usada para una búsqueda de alta velocidad. A diferencia de una memoria de acceso aleatorio (RAM) en la que el usuario suministra una dirección de memoria y la RAM devuelve los datos almacenados en esa dirección, una CAM está diseñada de tal forma que el usuario suministra una palabra de datos y la CAM busca en toda la memoria para ver si esa palabra de datos está almacenada en cualquier parte en ésta. Si se encuentra la palabra de datos, la CAM devuelve una lista de una o más direcciones de almacenamiento donde se encontró la palabra.

20 Dado que una CAM está diseñada para buscar en toda la memoria en una única operación, puede ser mucho más rápida que la RAM. Para realizar la búsqueda y detectar una correspondencia, una CAM puede tener sus propios circuitos de comparación asociados. Los circuitos de comparación pueden detectar una correspondencia entre un bit almacenado en una celda y un bit de entrada. Adicionalmente, los circuitos de comparación pueden combinar salidas de cada celda en una palabra de datos para detectar una correspondencia de palabra de datos. Los circuitos de comparación aumentan una cantidad de potencia usada por la CAM dado que cada circuito de comparación está  
25 activo en cada ciclo de reloj.

La cantidad de potencia usada por una CAM puede ser significativa, especialmente en dispositivos informáticos personales portátiles que se alimentan mediante una batería. Dado que una CAM requiere potencia para operar los circuitos de comparación cada ciclo de reloj, un dispositivo informático personal portátil puede consumir más potencia y reducir la cantidad de tiempo que la batería puede alimentar el dispositivo.  
30

Por consiguiente, será ventajoso proporcionar un sistema y un procedimiento mejorados para reducir el uso de energía de una memoria de contenido direccionable.

35 El documento US 2008/0031033 describe un sistema que reduce el consumo de energía en un circuito de memoria de contenido direccionable (CAM). Un procedimiento y un dispositivo como se expone en los preámbulos de las reivindicaciones 1 y 7 se conocen a partir del documento JP 2000-149573.

### 40 **III. Resumen**

La invención se define por las reivindicaciones 1 y 7.

45 En un modo de realización particular, se divulga un sistema que incluye una memoria de contenido direccionable y un registro de entrada acoplado a la memoria de contenido direccionable. El registro de entrada puede almacenar una palabra de datos y la memoria de contenido direccionable determina si la palabra de datos existe en la memoria de contenido direccionable. El sistema también incluye un circuito de control de potencia acoplado a la memoria de contenido direccionable para proporcionar selectivamente potencia al menos a una porción de la memoria de contenido direccionable. El sistema también incluye una lógica de control de potencia acoplada al circuito de control de potencia para reducir selectivamente la potencia en la al menos una porción de la memoria de contenido direccionable cuando no existen datos válidos en la al menos una porción de la memoria de contenido direccionable.  
50

En otro modo de realización particular, un procedimiento incluye recibir una instrucción para consultar una entrada en una memoria de contenido direccionable. El procedimiento también incluye determinar cuándo existen datos válidos en al menos una porción de la memoria de contenido direccionable e implementar una técnica de gestión de potencia cuando no existen datos válidos en la al menos una porción de la memoria de contenido direccionable.  
55

Aún en otro modo de realización particular, un dispositivo incluye una memoria de contenido direccionable y un circuito de control de potencia acoplado a la memoria de contenido direccionable. El dispositivo también incluye medios para determinar cuándo existen datos válidos en al menos una porción de la memoria de contenido direccionable y reducir selectivamente la potencia en la al menos una porción de la memoria de contenido direccionable cuando no existen datos válidos en la al menos una porción de la memoria de contenido direccionable.  
60

Aún en otro modo de realización particular, un dispositivo inalámbrico incluye un receptor y una memoria de contenido direccionable. El dispositivo inalámbrico también incluye un procesador que responde al receptor y acoplado a la memoria de contenido direccionable. El procesador incluye un primer registro y una lógica de control de potencia, y el procesador está adaptado para reducir selectivamente la potencia en al menos una porción de la  
65

memoria de contenido direccionable después de determinar que los datos válidos no existen en al menos una porción de la memoria de contenido direccionable.

5 Una ventaja particular proporcionada por los modos de realización de los sistemas y procedimientos descritos es que la energía puede ahorrarse al buscar una CAM. Otra ventaja particular de los sistemas y procedimientos descritos es que puede aumentarse una velocidad de búsqueda de una CAM.

10 Otros aspectos, ventajas y características de la presente divulgación se harán evidentes después de la revisión de toda la solicitud, incluyendo las siguientes secciones: Breve descripción de los dibujos, Descripción detallada y las Reivindicaciones.

#### **IV. Breve descripción de los dibujos**

15 La figura 1 es un diagrama de bloques de un modo de realización particular de un sistema para reducir el uso de energía de una memoria de contenido direccionable;

la figura 2 es un diagrama de bloques de otro modo de realización particular de un sistema para reducir el uso de energía de una memoria de contenido direccionable;

20 la figura 3 es un diagrama de flujo de un modo de realización particular de un procedimiento de reducción del uso de energía de una memoria de contenido direccionable; y

25 la figura 4 es un modo de realización ejemplar de un dispositivo de comunicación portátil que puede utilizar un dispositivo para reducir el uso de energía de una memoria de contenido direccionable e implementar un procedimiento para reducir el uso de energía de una memoria de contenido direccionable, tal como el descrito con respecto a las figuras 1-3.

#### **V. Descripción detallada**

30 La figura 1 ilustra un diagrama de bloques de un modo de realización particular de un sistema 100 para reducir el uso de energía de una memoria de contenido direccionable 102. El sistema 100 incluye la memoria de contenido direccionable (CAM) 102. La CAM 102 puede incluir múltiples celdas de datos, tales como las celdas de datos 104, 106, 108 y 110. Las celdas de datos 104, 106, 108 y 110 pueden contener cada una un único bit y cada fila de la CAM 102 puede constituir una palabra de datos. Cada fila en la CAM 102 también puede incluir un bit válido, tal como el bit válido 112. El bit válido puede indicar si los datos almacenados en una fila correspondiente son válidos o no. En una realización específica, cuando el bit válido es igual a uno, los datos en la fila correspondiente son válidos y cuando el bit válido es igual a cero, los datos en la fila correspondiente no son válidos.

40 El sistema 100 también incluye una primera compuerta OR 114 acoplada a las salidas de un primer banco de filas de la CAM 102. Un banco de filas incluye múltiples filas de la CAM 102 y puede haber una salida para cada fila en el banco. Como se representa, el primer banco de filas puede incluir cuatro filas. Adicionalmente, el sistema 100 también puede incluir una segunda compuerta OR 116, una tercera compuerta OR 117, y una cuarta compuerta OR 118 que pueden acoplarse cada una a una o más filas. Cada compuerta OR puede corresponder a un banco diferente de filas de la CAM 102. En un modo de realización particular, la CAM 102 incluye treinta y dos (32) filas y hay ocho (8) compuertas OR, cada compuerta OR acoplada a un banco correspondiente de cuatro filas.

50 La CAM 102 también puede incluir líneas de entrada paralelas 103 acopladas a un registro de entrada 124 que puede almacenar una palabra de datos. El registro de entrada 124 puede implementarse en un controlador 120. El controlador 120 puede incluir la lógica de control de potencia 122. La lógica de control de potencia 122 puede acoplarse a un circuito de control de potencia 130. El circuito de control de potencia 130 puede acoplarse a una fuente de energía 132. El circuito de control de potencia 130 puede incluir múltiples conmutadores para deshabilitar selectivamente la potencia en una o más de una primera conexión de alimentación 134, una segunda conexión de alimentación 136, una tercera conexión de alimentación 138, y una cuarta conexión de alimentación 140. Cada conexión de alimentación puede proporcionar potencia a un banco específico de filas de la CAM 102. El circuito de control de potencia 130 y la lógica de control de potencia 122 pueden reducir selectivamente la potencia en un primer banco de filas independientes de un segundo banco de filas.

60 Durante el funcionamiento, el controlador 120 puede recibir una instrucción para consultar una entrada en la CAM 102. El controlador 120 puede almacenar la entrada como una palabra de datos en el registro de entrada 124. El controlador 120 también puede determinar cuándo existen datos válidos en la CAM 102. Por ejemplo, una entrada de la primera compuerta OR 114 puede recibir el bit válido 112 para cada una de las filas en el banco correspondiente a la primera compuerta OR 114. La primera compuerta OR 114 puede proporcionar una salida 115 que se acopla al controlador 120. Si cualquier de los bits válidos 112 en las filas correspondientes a la primera compuerta OR 114 indican que existen datos válidos en la fila, después la salida 115 indicará que existen datos válidos en el banco de filas correspondientes a la primera compuerta OR 114. Si ninguno de los bits válidos 112 en las filas correspondientes a la primera compuerta OR 114 indican que existen datos válidos en la fila, después la

salida 115 indicará que no existen datos válidos en el banco de filas correspondientes a la primera compuerta OR 114. En otro modo de realización particular, el controlador 120 puede determinar cuándo existen datos válidos en un banco en la CAM 102 en base a una copia de los bits válidos almacenados en un registro de sombras. El registro de sombras puede estar interno al controlador 120 o puede ser una memoria separada accesible por el controlador 120.

5 Cuando no existen datos válidos en un banco de filas, el controlador 120 implementa una técnica de gestión de potencia para tal banco. La técnica de gestión de potencia puede incluir deshabilitar la alimentación en el banco de filas a través de la lógica de control de potencia 122. La lógica de control de potencia 122 puede reducir la potencia en el banco de filas cuando no existen datos válidos en el banco de filas. La lógica de control de potencia 122 puede  
10 dirigir adicionalmente el circuito de control de potencia 130 para reducir o deshabilitar la alimentación del banco de filas. El circuito de control de potencia 130 puede deshabilitar un conmutador de pedal o un conmutador de cabezal en el banco de filas. El banco de filas incluye múltiples filas.

15 El controlador 120 puede reducir deshabilitar la alimentación en cualquiera de los bancos de filas o cualquier combinación de los bancos de filas. Cuando no existen datos válidos en todas las filas de la CAM 102, el controlador 120 puede reducir el consumo de energía de la CAM 102 sin cambiar las líneas de entrada 103 de tal forma que las líneas de entrada 103 no reciben una palabra de datos del registro de entrada 124. El controlador 120 también puede deshabilitar una entrada de señal de reloj de la CAM 102.

20 Cuando existen datos válidos en la CAM 102, el controlador 120 puede cambiar las líneas de entrada paralelas 103 de manera que la palabra de datos almacenada en el registro de entrada 124 se pase a la CAM 102. La CAM 102 puede comparar la palabra de datos con cada fila alimentada de la CAM 102. Las filas que no están alimentadas pueden no compararse con la palabra de datos.

25 El controlador 120 desplaza selectivamente una fila de la CAM 102 que tiene datos válidos de un primer banco de datos de la CAM 102 a un segundo banco de la CAM 102. Después, el controlador 120 reduce la alimentación en el primer banco de la CAM 102 cuando no existen datos válidos en el primer banco, permitiendo al mismo tiempo la alimentación en el segundo banco de la CAM 102.

30 La figura 2 ilustra un diagrama de bloques de otro modo de realización particular de un sistema 200 para reducir el uso de energía de una memoria de contenido direccionable (CAM) 202. La CAM 202 puede acoplarse a un controlador 204 y a una memoria de acceso aleatorio 222. La CAM 202 también puede acoplarse a un circuito de control de reloj 216 y a un circuito de control de potencia 218. El circuito de control de reloj 216 también puede acoplarse a la lógica de control de reloj 208. La lógica de control de reloj 208 puede integrarse en el controlador 204  
35 o puede implementarse usando componentes lógicos separados. El circuito de control de potencia 218 puede acoplarse a una fuente de alimentación 220 y a la lógica de control de potencia 206. La lógica de control de potencia 206 puede integrarse en el controlador 204 o puede implementarse usando componentes lógicos separados. El controlador 204 puede incluir un registro de entrada 210.

40 Durante el funcionamiento, el controlador 204 puede almacenar una palabra de datos en el registro de entrada 210. El controlador 204 puede recibir una indicación de la CAM 202 a través de la entrada 214 si existen datos válidos en la CAM 202. La indicación puede incluir una o más señales que indican si se ha establecido un bit válido en un banco correspondiente. Un banco comprende múltiples filas. En un modo de realización particular, hay múltiples bancos, teniendo cada uno múltiples filas en la CAM 202. Cada banco de la CAM 202 puede tener un bit válido para  
45 cada fila en el banco correspondiente. El bit válido puede indicar si existen datos válidos en la fila correspondiente. Si cualquier bit válido en un banco indica que hay datos válidos en el banco, una señal correspondiente enviada a la entrada 214 indicará que existen datos válidos en ese banco.

50 Cuando no existen datos válidos en un banco, el controlador 204 puede implementar una técnica de gestión de potencia. La técnica de gestión de potencia puede incluir deshabilitar la alimentación en el banco a través de la lógica de control de potencia 206. La lógica de control de potencia 206 puede dirigir el circuito de control de potencia 218 para reducir o deshabilitar la alimentación en el banco que no tienen datos válidos. El circuito de control de potencia 218 puede deshabilitar un conmutador de pedal o un conmutador de cabezal en el banco.

55 El controlador 204 puede reducir o deshabilitar la alimentación en cualquiera de múltiples bancos o cualquier combinación de los múltiples bancos. Cuando no existen datos válidos en ninguno de los bancos de la CAM 202, el controlador 204 puede reducir el consumo de energía de la CAM 202 no permitiendo que la palabra de datos almacenada en el registro de entrada 210 se envíe a la CAM 202 para la búsqueda.

60 El controlador 204 puede reducir el consumo de energía de la CAM 202 deshabilitando una entrada de señal de reloj de la CAM 202. La lógica de control de reloj 208 puede deshabilitar la entrada de señal de reloj en un banco a través del circuito de control de reloj 216 cuando no existen datos válidos en el banco.

65 Cuando existen datos válidos en la CAM 202, el controlador 204 puede enviar la palabra de datos almacenada en el registro de entrada 210 a la CAM 202 a través de la salida 212. En la CAM 202 puede buscarse la palabra de datos. La CAM 202 puede comparar la palabra de datos con cada fila de cada banco de la CAM 202 que no ha reducido ni

deshabilitado su potencia. Las filas que han reducido la potencia o deshabilitado la alimentación pueden no compararse con la palabra de datos.

5 Cuando una fila en la CAM 202 corresponde con la palabra de datos del registro de entrada 210, la correspondencia puede indicar que existe una ubicación de dirección de la RAM 222 en la CAM 202. Después, el controlador 204 puede recuperar datos de la ubicación de dirección de la RAM 222. Cuando hay datos válidos en un banco de la CAM 202 y la CAM 202 no encuentra una correspondencia para la palabra de datos, la CAM 202 devuelve un mensaje de no encontrado al controlador 204.

10 La figura 3 ilustra un diagrama de flujo de un modo de realización particular de un procedimiento 300 de reducción del uso de energía de una memoria de contenido direccionable. El procedimiento 300 incluye recibir una instrucción para consultar una entrada en una memoria de contenido direccionable (CAM), en 302. La CAM puede incluir múltiples bancos, teniendo cada banco múltiples filas para almacenar palabras de datos.

15 El procedimiento 300 también incluye determinar cuándo existen datos válidos en al menos una porción de la memoria de contenido direccionable, en 304. La porción de la memoria de contenido direccionable puede incluir una única fila, múltiples filas, o toda la CAM. En un modo de realización particular, la determinación de cuándo existen datos válidos puede basarse en una evaluación de un bit de datos válidos. La CAM puede incluir un bit de datos válidos para cada fila de la CAM. En otro modo de realización particular, los datos válidos existen en una fila cuando el bit de datos válidos correspondiente equivale a uno y los datos válidos no existen en la fila cuando el bit de datos válidos correspondiente equivale a cero.

25 El procedimiento 300 incluye adicionalmente implementar una técnica de gestión de potencia cuando no existen datos válidos en la al menos una porción de la memoria de contenido direccionable, en 306. La técnica de gestión de potencia puede incluir deshabilitar la alimentación en la al menos una porción de la memoria de contenido direccionable. La técnica de gestión de potencia también puede incluir deshabilitar una señal de reloj en la al menos una porción de la memoria de contenido direccionable. La técnica de gestión de potencia puede comprender adicionalmente deshabilitar un conmutador de pedal en la al menos una porción de la memoria de contenido direccionable. La técnica de gestión de potencia también puede incluir no permitir una entrada de búsqueda en la CAM cuando no existen datos válidos en la CAM. El procedimiento puede incluir adicionalmente realizar una búsqueda de CAM en 308 cuando existen datos válidos en al menos una porción de la CAM.

35 La figura 4 ilustra un modo de realización no limitante ejemplar de un dispositivo de comunicación portátil que puede utilizar un sistema para reducir el uso de energía de una memoria de contenido direccionable (CAM) y un procedimiento para reducir el uso de energía de una CAM, tal como el descrito con respecto a las figuras 1-3, y se designa generalmente 400. El dispositivo de comunicaciones portátil 400 incluye un sistema en chip 422 que incluye un procesador, tal como un procesador de señal digital 410 que tiene un registro de entrada 418, una lógica de control de reloj 416 y una lógica de control de potencia 414. La figura 4 también muestra un controlador de pantalla 426 que puede acoplarse al procesador de señal digital 410 y a una pantalla 428. Además, un dispositivo de entrada 430, tal como un teclado o un dispositivo de selección, puede acoplarse al procesador de señal digital 410. Adicionalmente, una memoria de contenido direccionable (CAM) 412 y una memoria 432 se acoplan al procesador de señal digital 410. Un codificador/descodificador (CODEC) 434 también puede acoplarse al procesador de señal digital 410. Un altavoz 436 y un micrófono 438 pueden acoplarse al CODEC 434.

45 La figura 4 también indica que un controlador inalámbrico 440 puede acoplarse al procesador de señal digital 410 y a una antena inalámbrica 442. En un modo de realización particular, una fuente de alimentación 444 se acopla al sistema en chip 422. En un modo de realización particular, como se ilustra en la figura 4, la pantalla 428, el dispositivo de entrada 430, el altavoz 436, el micrófono 438, la antena inalámbrica 442, y la fuente de alimentación 444 son externos al sistema en chip 422. Sin embargo, cada uno está acoplado a un componente del sistema en chip 422.

55 En un modo de realización ilustrativa particular, el registro de entrada 418 puede recibir una palabra de datos para buscar en la CAM 412. El DSP 410 puede determinar cuándo existen datos válidos en al menos una porción de la CAM 412. La lógica de control de potencia 414 puede implementar una técnica de gestión de potencia cuando no existen datos válidos en la al menos una porción de la CAM 412. La lógica de control de potencia 414 puede reducir o desactivar la potencia de una o más porciones de la CAM 412. La lógica de control de reloj 416 puede desactivar una señal de reloj para la CAM 412 cuando no existen datos válidos en la CAM 412. Además, el DSP 418 puede no iniciar una búsqueda de la CAM 412 para la palabra de datos cuando no existe ningún dato válido en la CAM 412.

60 Los expertos en la técnica apreciarán además que los diversos bloques lógicos, configuraciones, módulos, circuitos y etapas de algoritmo ilustrativos descritos en relación con las realizaciones dadas a conocer en el presente documento pueden implementarse como hardware electrónico, software informático o combinaciones de ambos. Para ilustrar claramente esta intercambiabilidad de hardware y software, anteriormente se han descrito diversos componentes, bloques, configuraciones, módulos, circuitos y etapas ilustrativos en lo que respecta generalmente a su funcionalidad. Si tal funcionalidad se implementa como hardware o software, dependerá de la aplicación particular y de las limitaciones de diseño impuestas sobre todo el sistema. Los expertos en la técnica pueden implementar la

funcionalidad descrita de diferentes maneras para cada aplicación particular, pero no debe interpretarse que tales decisiones de implementación suponen un apartamiento del alcance de la presente divulgación.

- 5 Las etapas de un procedimiento o algoritmo descrito en relación con las realizaciones dadas a conocer en el presente documento pueden realizarse directamente en hardware, en un módulo de software ejecutado por un procesador o en una combinación de los dos. Un módulo de software puede residir en memoria RAM, memoria flash, memoria ROM, memoria EPROM, memoria EEPROM, registros, un disco duro, un disco extraíble, un CD-ROM o en cualquier otra forma de medio de almacenamiento conocida en la técnica. Un medio de almacenamiento a modo de ejemplo está acoplado al procesador de manera que el procesador pueda leer información de, y escribir información
- 10 en, el medio de almacenamiento. Como alternativa, el medio de almacenamiento puede ser una parte integrante del procesador. El procesador y el medio de almacenamiento pueden residir en un ASIC. El ASIC puede residir en un dispositivo informático o un terminal de usuario. Como alternativa, el procesador y el medio de almacenamiento pueden residir como componentes discretos en un dispositivo informático o un terminal de usuario.
- 15 La anterior descripción de las realizaciones divulgadas se proporciona para permitir que cualquier experto en la técnica realice o use los modos de realización divulgados. Diversas modificaciones de estas realizaciones resultarán fácilmente evidentes a los expertos en la técnica, y los principios genéricos definidos en el presente documento pueden aplicarse a otras realizaciones sin apartarse del espíritu o alcance de la divulgación. Por tanto, la presente divulgación no pretende limitarse a las realizaciones mostradas en el presente documento, sino que se le concede el
- 20 alcance más amplio posible compatible con los principios y características novedosas como se define por las siguientes reivindicaciones.

**REIVINDICACIONES**

- 5        1.        Un procedimiento, que comprende:
- recibir una instrucción para consultar una entrada en una memoria de contenido direccionable (102);
- 10            determinar, en un controlador (120), cuándo existen datos válidos en al menos un banco de la memoria de contenido direccionable (102) en base al menos a una entrada (115) que representa el al menos un banco, en el que cada banco de la memoria de contenido direccionable (102) comprende múltiples filas de datos almacenados en la memoria de contenido direccionable (102), y en el que la al menos una entrada se forma por un OR lógico de bits de datos válidos (112) asociados a cada una de las filas del banco, en el que los bits de datos válidos (112) indican si existen datos válidos en las filas correspondientes de las múltiples filas de un banco; e
- 15            implementar una técnica de gestión de potencia cuando no existen datos válidos en el al menos un banco, en el que la técnica de gestión de potencia comprende reducir el consumo de energía de al menos un banco que no tiene ningún dato válido, y
- 20            **caracterizado por** desplazar selectivamente una fila de datos de la memoria de contenido direccionable (202) que tiene datos válidos de un primer banco a un segundo banco; y
- reducir la potencia para el primer banco cuando no existen datos válidos en el primer banco.
- 25        2.        El procedimiento de la reivindicación 1, en el que la técnica de gestión de potencia comprende adicionalmente deshabilitar la alimentación para el al menos un banco que no tiene datos válidos, y en el que el al menos un banco comprende toda la memoria de contenido direccionable (102).
- 30        3.        El procedimiento de la reivindicación 1, en el que la técnica de gestión de potencia comprende adicionalmente deshabilitar una señal de reloj, un conmutador de pedal, o un conmutador de cabezal para el al menos un banco que no tiene datos válidos.
- 35        4.        El procedimiento de la reivindicación 1, en el que la memoria de contenido direccionable (102) incluye un bit de datos válidos (112) para cada fila de la memoria de contenido direccionable (102), y en el que los datos válidos existen en una fila cuando un bit de datos válidos correspondiente (112) equivale a uno y los datos válidos no existen en la fila cuando el bit de datos válidos correspondiente (112) equivale a cero.
- 40        5.        El procedimiento de la reivindicación 4, en el que los bits de datos válidos (112) se almacenan en un registro de sombras.
- 45        6.        El procedimiento de la reivindicación 1, que comprende adicionalmente la no autorización de una entrada de búsqueda en la memoria de contenido direccionable (102) cuando no existen datos válidos en la memoria de contenido direccionable (102).
- 50        7.        Un dispositivo que comprende:
- una memoria de contenido direccionable (102);
- un circuito de control de potencia (130) acoplado a la memoria de contenido direccionable (102); y
- 55            medios para determinar cuándo existen datos válidos en al menos un banco de la memoria de contenido direccionable (102) en base al menos a una entrada (115) que representa el al menos un banco, y en el que cada banco comprende múltiples filas de datos almacenados en la memoria de contenido direccionable (102), en el que la al menos una entrada se forma por un OR lógico de bits de datos válidos (112) asociados a cada una de las filas del banco, en el que los bits de datos válidos (112) indican si existen datos válidos en las filas correspondientes de las múltiples filas de un banco; y
- 60            medios para reducir selectivamente el consumo de energía de al menos un banco que no tiene datos válidos, y
- caracterizado por que** el circuito de control de potencia comprende adicionalmente:
- 65            medios para desplazar selectivamente una fila de datos de la memoria de contenido direccionable (202) que tiene datos válidos de un primer banco a un segundo banco; y

medios para reducir la potencia para el primer banco cuando no existen datos válidos en el primer banco.

- 5 8. Un sistema que comprende el dispositivo de acuerdo con la reivindicación 7, en el que el sistema comprende adicionalmente:
- 10 un registro de entrada (210) configurado para almacenar una palabra de datos, en el que la memoria de contenido direccionable (202) está configurada para determinar si la palabra de datos existe en la memoria de contenido direccionable (202);
- 15 los medios para la determinación que comprenden adicionalmente un controlador (204) acoplado a la memoria de contenido direccionable (202), en el que el controlador (204) está configurado para determinar cuándo existen los datos válidos en el al menos un banco de la memoria de contenido direccionable (202) en base al menos a una entrada (214) que representa el al menos un banco, y los medios para reducir selectivamente el consumo de energía que comprenden adicionalmente un circuito de control de potencia (218) acoplado a la memoria de contenido direccionable (202) configurada para proporcionar selectivamente potencia a el al menos un banco; y una lógica de control de potencia (206) acoplada al circuito de control de potencia (218), en el que el control de potencia (206) está configurado para reducir selectivamente el consumo de energía del al menos un banco que no tiene datos válidos a través del circuito de control de potencia (218), y
- 20 en el que el controlador (204) está operativo para:
- 25 desplazar selectivamente una fila de datos de la memoria de contenido direccionable (202) que tiene datos válidos de un primer banco a un segundo banco; y reducir la potencia para el primer banco cuando no existen datos válidos en el primer banco.
- 30 9. El sistema de la reivindicación 8, en el que la memoria de contenido direccionable (202) se divide en dos o más bancos, en el que cada banco comprende al menos dos filas, y en el que el circuito de control de potencia (218) está configurado para reducir selectivamente la potencia del primer banco independiente del segundo banco, y en el que cada banco comprende cuatro filas y en el que el circuito de control de potencia (218) comprende múltiples conmutadores configurados para desactivar selectivamente la potencia a cada banco.
- 35 10. El sistema de la reivindicación 8, en el que el controlador (204) se acopla a la memoria de contenido direccionable (202), el registro de entrada (210), y la lógica de control de potencia (206), en el que el controlador (204) está configurado para determinar cuándo no existen datos válidos en el primer banco, y el circuito de control de potencia (218) está operativo para reducir selectivamente la potencia para el primer banco cuando no existen datos válidos en el primer banco.
- 40 11. El sistema de la reivindicación 10, que comprende adicionalmente un circuito de control de reloj (216) acoplado al controlador (204) para controlar selectivamente una señal de reloj, en el que el controlador (204) está configurado para desactivar la señal de reloj para el al menos un banco que no tiene datos válidos.
- 45 12. El sistema de la reivindicación 10, en el que el controlador (204) está configurado para: deshabilitar una entrada de reloj para la memoria de contenido direccionable (202), no proporcionar una entrada de búsqueda a la memoria de contenido direccionable (202), o reducir la potencia para la memoria de contenido direccionable (202) cuando no existen datos válidos en la memoria de contenido direccionable (202).
- 50 13. El sistema de la reivindicación 8, que comprende adicionalmente una memoria de acceso aleatorio (222) acoplada a la memoria de contenido direccionable (202), teniendo la memoria de acceso aleatorio (222) localizaciones de almacenamiento de datos direccionables, en el que la memoria de contenido direccionable (202) está configurada para almacenar direcciones para las ubicaciones de almacenamiento de datos direccionables.
- 55 14. Un dispositivo inalámbrico, que comprende:
- 60 un receptor (440) y el dispositivo de acuerdo con la reivindicación 7.



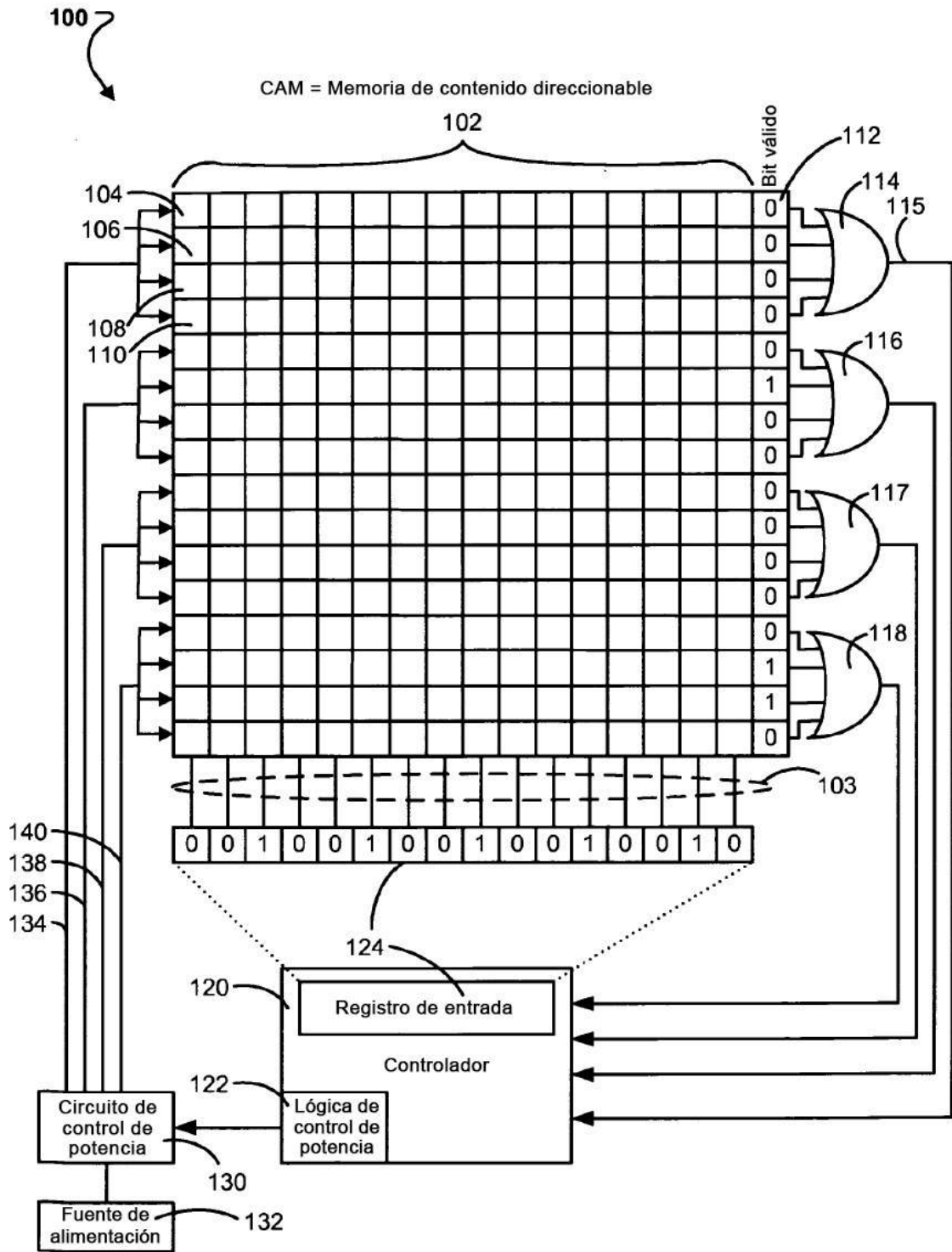
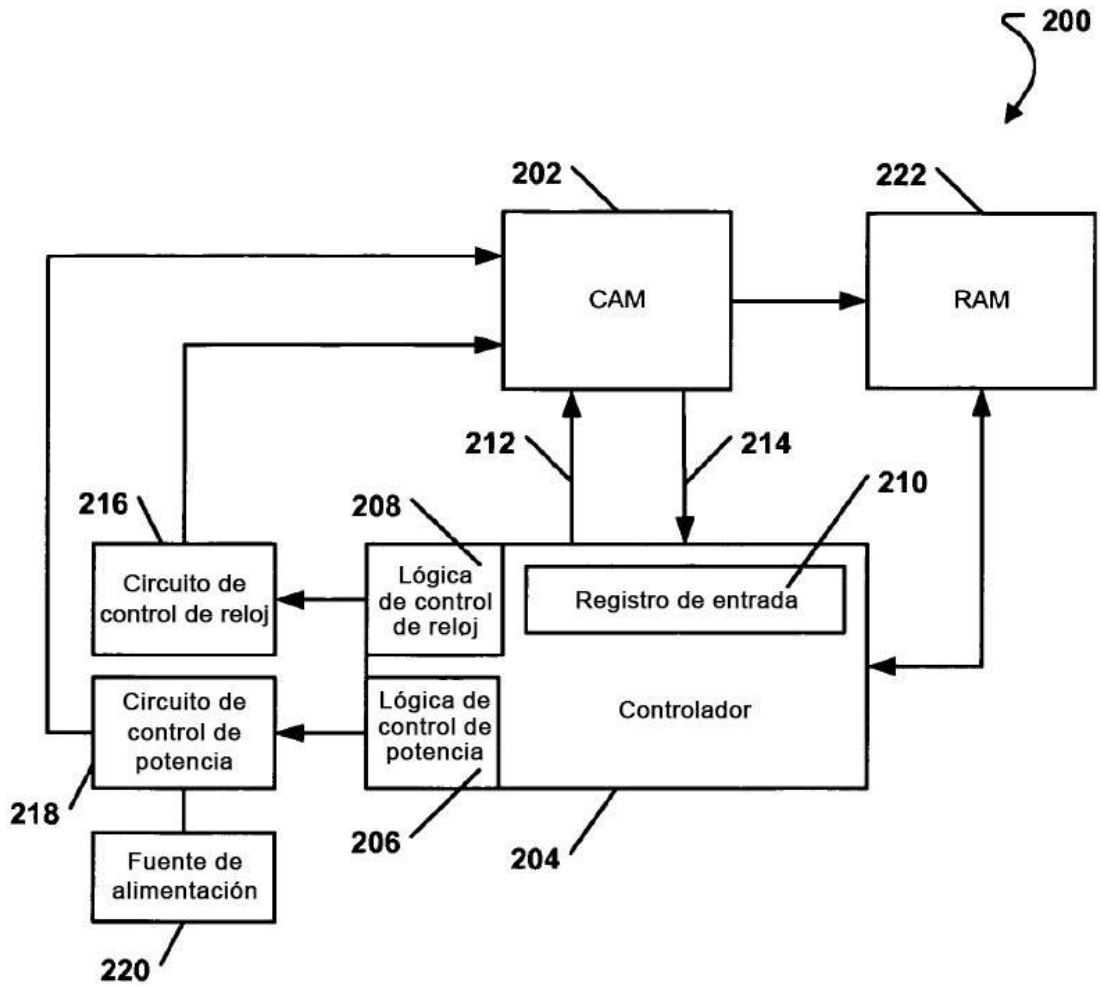
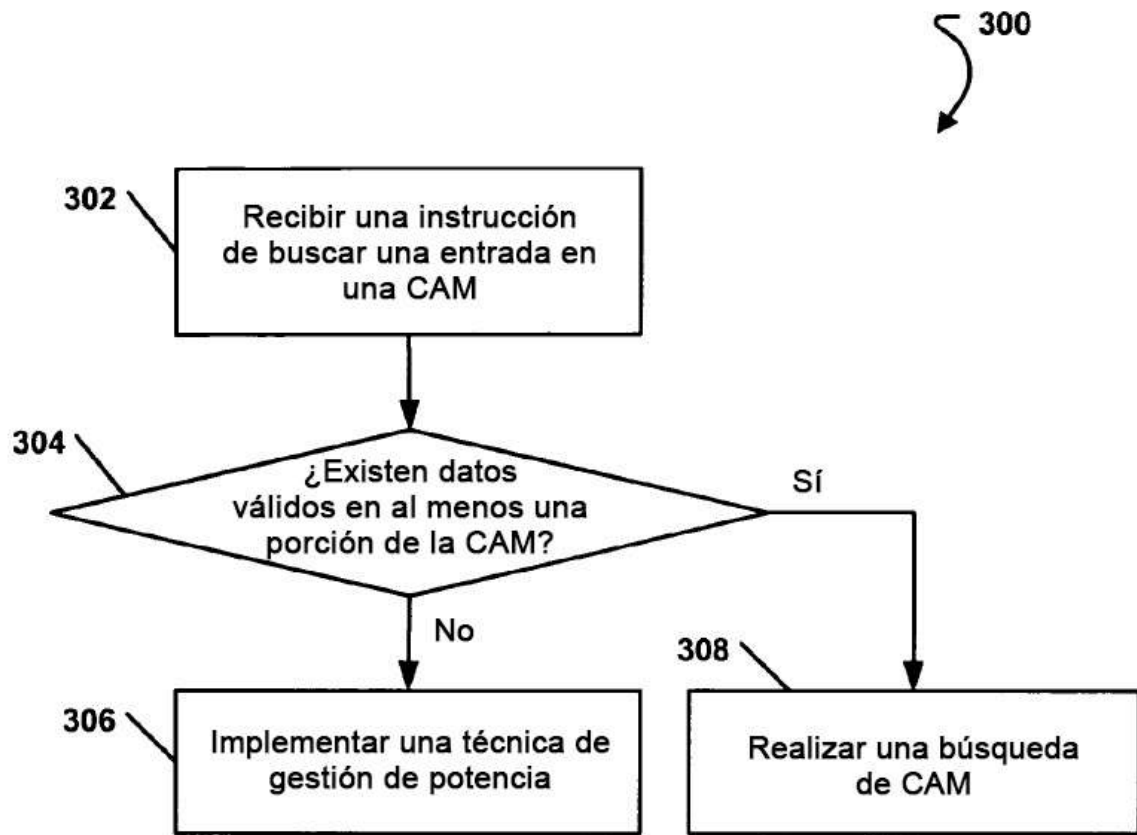


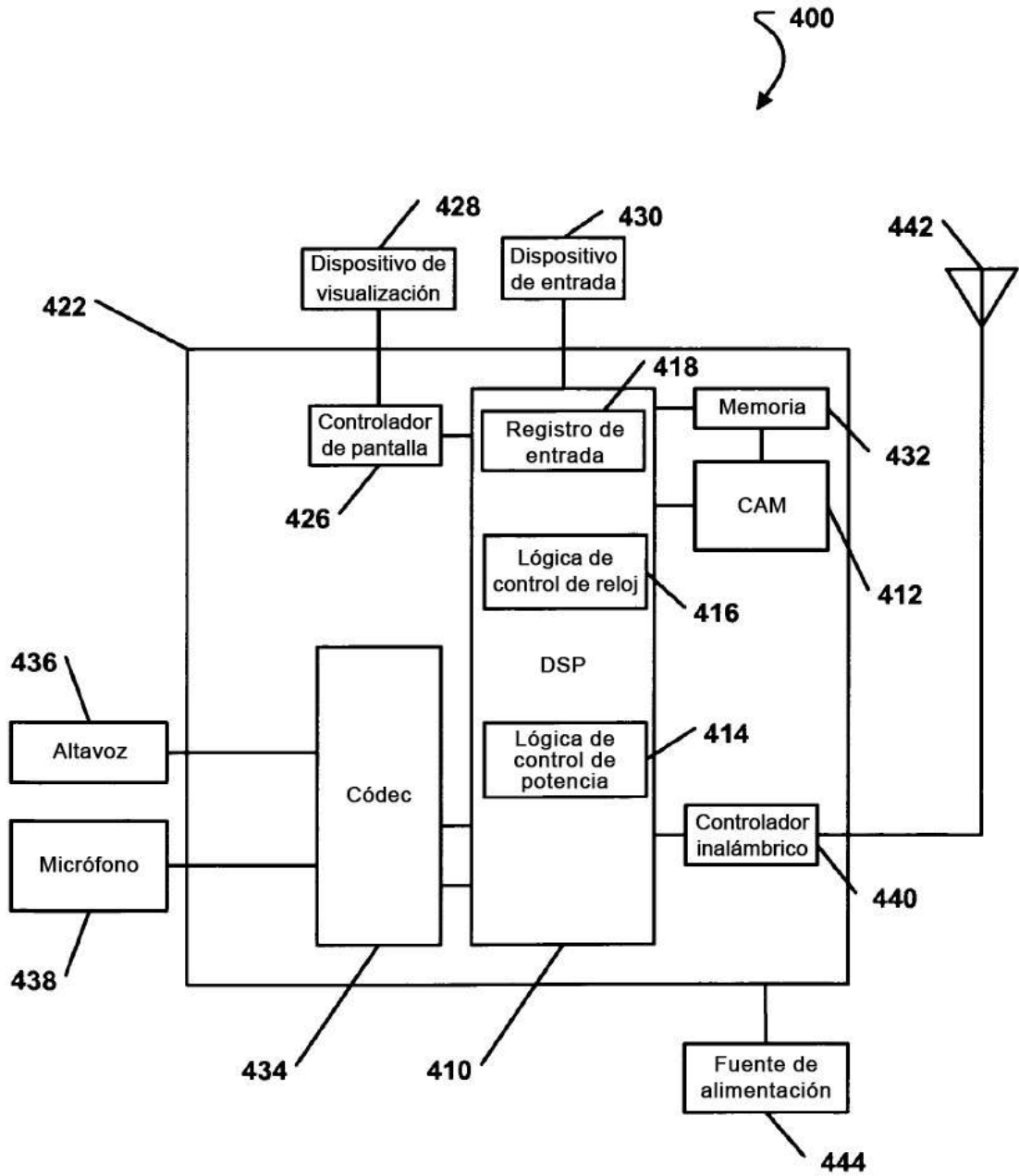
FIG. 1



**FIG. 2**



**FIG. 3**



**FIG. 4**