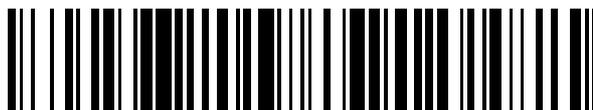


19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 586 331**

51 Int. Cl.:

**H01L 21/337** (2006.01)

**H01L 29/808** (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **05.09.2012** E 12775742 (5)

97 Fecha y número de publicación de la concesión europea: **18.05.2016** EP 2893566

54 Título: **Procedimiento de fabricación de un transistor de efecto de campo de unión JFET**

45 Fecha de publicación y mención en BOPI de la traducción de la patente:  
**13.10.2016**

73 Titular/es:

**INSTITUT NATIONAL DES SCIENCES  
APPLIQUÉES DE LYON (20.0%)  
20 Avenue Albert Einstein  
69100 Villeurbanne;  
UNIVERSITE CLAUDE BERNARD LYON 1  
(20.0%);  
CENTRE NATIONAL DE LA RECHERCHE  
SCIENTIFIQUE (CNRS) (20.0%);  
ECOLE CENTRALE DE LYON (20.0%) y  
CONSEJO SUPERIOR DE INVESTIGACIONES  
CIENTÍFICAS (CSIC) (20.0%)**

72 Inventor/es:

**TOURNIER, DOMINIQUE;  
CHEVALIER, FLORIAN;  
GODIGNON, PHILIPPE y  
MILLAN, JOSÉ**

74 Agente/Representante:

**DE ELZABURU MÁRQUEZ, Alberto**

ES 2 586 331 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

## DESCRIPCIÓN

Procedimiento de fabricación de un transistor de efecto de campo de unión JFET

### Ámbito técnico

5 La presente invención concierne al ámbito técnico de los transistores de efecto de campo vertical y/o casi vertical, y especialmente de los transistor de efecto de campo de unión (denominados en lo que sigue « JFET », acrónimo de la expresión anglosajona « Junction Field Effect Transistor »).

### Presentación de la técnica anterior

Un transistor JFET de potencia es un transistor de efecto de campo vertical o casi vertical utilizado como un interruptor controlado de potencia.

10 Un transistor de efecto de campo vertical se distingue de un transistor de efecto de campo clásico por el hecho de que el canal conductor del transistor se extiende perpendicularmente a la superficie del sustrato sobre el cual está fabricado el transistor.

15 Un transistor de efecto de campo casi vertical se distingue de un transistor de efecto de campo vertical por el hecho de que el canal conductor del transistor se extiende perpendicularmente a la superficie del sustrato sobre el cual está fabricado el transistor, y de que la capa que comprende el canal conductor está dispuesta sobre un sustrato semiaislante (por ejemplo SOI, GaN/Si).

20 En la figura 1 se han ilustrado esquemáticamente los elementos principales que constituyen un transistor de efecto de campo vertical o casi vertical. Este transistor comprende un sustrato 21 que presenta dos caras opuestas denominadas « cara delantera » 22 y « cara trasera » 23. El sustrato 21 comprende igualmente al menos una zanja 24 a nivel de la cara delantera 22.

La cara trasera 23 del transistor está recubierta de una capa metálica 25 y forma el drenaje D del transistor.

La cara delantera 22 del sustrato está recubierta de una capa metálica 26 y forma la fuente S del transistor.

25 En el caso de un transistor JFET, la puerta está formada por implantación iónica 27 en el fondo de la zanja grabada en el sustrato. Esta puerta G está aislada eléctricamente de la fuente S por intermedio de una capa 28 aislante eléctricamente.

Sin embargo, la implantación en zanjas, así como otras etapas de los procedimientos de fabricación de transistores JFET – tales como la epitaxia en las zanjas o también la epitaxia sobre zonas epitaxiadas – son complejas de poner en práctica.

30 Especialmente, la etapa de implantación del sustrato para formar la puerta es relativamente cara en tiempo y en dinero puesto que la misma requiere por ejemplo equipos específicos tales como sistemas de implantación que comprendan goniómetros que permitan implantaciones con ángulos controlados, y/o sistemas de implantación que permitan la puesta en rotación de los sustratos durante la implantación.

35 Por otra parte, la etapa de implantación tiene como resultado una elevada dispersión de las características eléctricas de los componentes obtenidos, de modo que la repetitividad de las características electrónicas de los transistores JFET resultantes de estos procedimientos de fabricación es muy difícil de obtener.

El documento US2012/104467 describe un procedimiento de fabricación de un transistor JFET.

40 Un objetivo de la presente invención es proponer un procedimiento de fabricación de transistor JFET más simple que permita mejorar el rendimiento de fabricación y que permita obtener una mejor tasa de integración (aumento de la densidad de corriente) que los procedimientos de fabricación existentes, a fin de reducir el tamaño de los componentes controlados y los valores de las capacidades internas de los componentes controlados.

Otro objetivo de la presente invención es facilitar un componente controlado que presente una baja resistencia en estado pasante y bajas pérdidas en conmutación.

### Resumen de la invención

45 A tal efecto, la invención propone un procedimiento de fabricación de un transistor de efecto de campo de tipo de puerta en zanja que comprende:

- La formación de al menos una zanja en una capa activa semiconductor de un primer tipo de conductividad de un sustrato que comprende dos caras opuestas denominadas cara delantera y cara trasera,

- La implantación primaria de iones que tienen un segundo tipo de conductividad de modo que se implante cada zanja del sustrato para formar una zona implantada,
- El depósito de una capa de silicio policristalino del segundo tipo de conductividad sobre la zona implantada,
- La oxidación parcial de la capa de silicio policristalino para obtener una película aislante eléctricamente de silicio policristalino oxidado sobre una subcapa de silicio policristalino no oxidado, formando la subcapa de silicio policristalino y la zona implantada una región activa de puerta, y
- La metalización del sustrato sobre su cara delantera para formar una región activa de fuente, y
- La metalización del sustrato sobre la otra cara para formar una región activa de drenaje.

5 En el marco de la presente invención se entiende por « sustrato » una (o varias) capas de material, tal como un apilamiento:

- de una capa activa de nitruro de galio GaN sobre una (o varias) capas de interfaces sobre una capa soporte (de silicio, de zafiro, etc.); esto permite obtener un transistor casi vertical tal como el ilustrado en la figura 4 cuando el drenaje del transistor es realizado sobre la cara delantera de la capa soporte,
- de una capa de carburo de silicio SiC sobre una capa soporte de carburo de silicio dopado N<sup>++</sup>, esto permite obtener un transistor vertical tal como el ilustrado en la figura 2.

15 El hecho de oxidar la capa de silicio policristalino permite formar una capa aislante sobre la capa de silicio policristalino. La sucesión de las etapas de depósito de una capa de silicio policristalino y su oxidación permite formar la región activa de puerta más eficazmente que con los procedimientos de la técnica anterior.

La etapa de formación comprende las subetapas de:

- Depósito de una máscara primaria sobre la cara delantera del sustrato semiconductor, incluyendo la máscara primaria una abertura principal y dos aberturas subsidiarias, siendo las dimensiones de la abertura principal superiores a las dimensiones de las aberturas subsidiarias,
- Grabado primario del sustrato a través de la abertura principal para formar una zanja principal, y a través de las aberturas subsidiarias para formar dos zanjas subsidiarias,

25 siendo realizada la etapa de implantación primaria a través de la máscara primaria; la utilización de una misma máscara para realizar las zanjas y la implantación permite una autoalineación del transistor;

- el citado procedimiento comprende además;

- una etapa de depósito de una máscara de grabado secundario sobre la cara delantera del sustrato posteriormente a la etapa de implantación primaria, incluyendo la citada máscara de grabado secundario una abertura de grabado secundario que se extiende a nivel de la zanja principal,
- una etapa de grabado secundario del sustrato a través de la abertura de grabado secundario para formar una zanja secundaria en la zanja principal;

Aspectos preferidos pero no limitativos del procedimiento de fabricación de acuerdo con la invención son los siguientes:

35 - el procedimiento comprende además una etapa de retirada de la máscara primaria previamente al depósito de la máscara de grabado secundario;

- una etapa de depósito de una máscara de implantación secundaria sobre la cara delantera del sustrato posteriormente a la etapa de grabado secundario, incluyendo la máscara de implantación secundaria una abertura de implantación secundaria que se extiende a nivel de la zanja secundaria,

40 • una etapa de implantación secundaria de iones del segundo tipo de conductividad a través de la abertura de implantación secundaria;

- el procedimiento comprende además la retirada de la máscara de grabado secundario previamente al depósito de la máscara de implantación secundaria;

- el procedimiento comprende además:

- una etapa de depósito de una máscara de grabado terciario sobre la cara delantera del sustrato, posteriormente a la etapa de oxidación de la capa de silicio policristalino, incluyendo la citada máscara de grabado terciario una abertura de grabado terciario que se extiende a nivel de la zanja secundaria,

- el grabado del sustrato a través de la abertura de grabado terciario para eliminar el silicio policristalino que se extiende sobre la superficie de la zanja secundaria;
- el sustrato es carburo de silicio;
- la etapa de implantación primaria comprende la implantación de iones a una profundidad comprendida entre 0  $\mu\text{m}$  y más de 1  $\mu\text{m}$ ; en el modo de realización en que la profundidad de implantación es nula, la etapa de implantación no es puesta en práctica;
- cada etapa de implantación comprende la implantación de iones en una dosis de implantación comprendida entre  $10^{12} \text{ cm}^{-2}$  y  $10^{16} \text{ cm}^{-2}$ ;
- la etapa de depósito de la capa de silicio policristalino es realizada por pulverización, o en fase vapor, de modo que se forme una heterounión.

#### Breve descripción de los dibujos

Otras ventajas y características del procedimiento de acuerdo con la invención y del producto asociado se pondrán de manifiesto mejor en la descripción que sigue de varias variantes de ejecución, dadas a título de ejemplos no limitativos, a partir de los dibujos anejos, en los cuales:

- La figura 1 ilustra un ejemplo de transistor de efecto de campo vertical de la técnica anterior,
- La figura 2 ilustra un ejemplo de transistor JFET vertical obtenido poniendo en práctica el procedimiento de fabricación ilustrado en la figura 3,
- La figura 3 ilustra un ejemplo de procedimiento de fabricación de un transistor JFET,
- La figura 4 ilustra un ejemplo de transistor JFET casi vertical.

#### Descripción detallada de la invención

Refiriéndose a la figura 2, se ha ilustrado un ejemplo de transistor JFET de tipo N obtenido poniendo en práctica el procedimiento de fabricación ilustrado en la figura 3.

El transistor comprende un sustrato 1 que incluye una zanja principal 11 y dos zanjas secundarias 12, 13. Estas zanjas 11, 12, 13 estarán separadas por pilares 14, 15, 16 de una altura de 3  $\mu\text{m}$  y de una anchura superior o igual a 2  $\mu\text{m}$ , correspondientes a una relación altura/anchura comprendida entre 1 y 5.

El sustrato comprende una zanja secundaria 111 en la zanja principal 11. Esta zanja secundaria comprende una zona 113 implantada de conducción de tipo P, denominada de extensión de terminación de la unión (o « JTE »), sigla de la expresión anglosajona « Junction Termination Extension »). La presencia de esta zona 113 implantada de tipo P permite asegurar un buen comportamiento en tensión del transistor JFET.

El material que constituye el sustrato 1 puede ser carburo de silicio, o cualquier otro tipo de semiconductor de banda ancha de energía prohibida conocido por el especialista en la materia. Por ejemplo, el material que constituye el sustrato puede ser diamante o nitruro de galio (o « GaN », acrónimo de la expresión anglosajona « gallium nitride »).

El sustrato 1 comprende una capa de base 17 dopada N, y una capa epitaxiada 18 dopada N sobre la capa de base 17. El sustrato comprende igualmente regiones implantadas 19 de la capa epitaxiada 18 que se extienden entre los pilares 14, 15, 16. Estas regiones implantadas de tipo P forman con las regiones 3 la puerta del transistor JFET.

La cara trasera del sustrato – correspondiente a la cara de la capa de base opuesta a la capa epitaxiada – comprende una capa metálica 2 que forma el drenaje del transistor JFET. La cara delantera del sustrato comprende igualmente una capa metálica 9 que forma la fuente del transistor JFET.

El transistor comprende igualmente capas de silicio policristalino dopadas 3 sobre las regiones implantadas 19 del sustrato. Ventajosamente, las capas de silicio policristalino pueden ser reemplazadas por capas de cualquier tipo de material de relleno que permita realizar una heterounión.

La estructura del transistor ilustrado en la figura 2 le permite presentar una resistencia específica de conducción inferior a los transistores JFET de la técnica anterior.

La topología de la estructura permite igualmente la integración:

- de un diodo interno de gran calibre de corriente,

- sensores de corriente y de temperatura.

La integración de los sensores de corriente en el transistor JFET ilustrado en la figura 2 permite facilitar la vigilancia del estado eléctrico del transistor JFET a fin de predecir una eventual degradación del mismo.

5 El transistor JFET ilustrado en la figura 2 está adaptado para un funcionamiento en alta frecuencia. El mismo es compatible con las aplicaciones de alta tensión y media temperatura (es decir 300 °C). El mismo puede ser utilizado para la concepción de sistemas de conversión de energía de tipo ondulator de tensión, ondulator de corriente o cualquier otro convertidor (DC/DC, DC/AC, multinivel, etc.).

La puesta en práctica del procedimiento anteriormente descrito permite fabricar un dispositivo semiconductor de efecto de campo en zanja que comprende un electrodo de mando de tipo mixto (heterounión/PN).

10 La figura 3 ilustra esquemáticamente un ejemplo de procedimiento de fabricación de un transistor JFET.

#### **Etapa 110 de formación de las zanjas**

El procedimiento comprende una etapa 110 de formación de una zanja principal 11 y de dos zanjas subsidiarias 12, 13 en un sustrato 1 de carburo de silicio de conductividad de tipo N.

Para hacer esto, se ponen en práctica las subetapas siguientes:

- 15
- el depósito de una máscara primaria 4, y
  - el grabado del sustrato a través de la máscara primaria.

El depósito de máscara primaria 4 puede ser realizado por cualquier técnica conocida por el especialista en la materia. Por ejemplo, en un modo de realización, la etapa de depósito de la máscara comprende:

- 20
- el depósito de una capa de dieléctrico, tal como nitruro de silicio, sobre toda la superficie del sustrato, y
  - el grabado de la capa de dieléctrico – especialmente por fotolitografía – de modo que se definan aberturas 41, 42, 43 en la capa de dieléctrico que expongan regiones micrométricas de la superficie del sustrato.

El especialista en la materia apreciará que para realizar la máscara primaria 4 pueden ser utilizados otros materiales dieléctricos – tales como el SiO<sub>2</sub> o el TiN, etc.

25 En el modo de realización ilustrado en la figura 3, la máscara primaria 4 comprende una abertura principal 41 y dos aberturas subsidiarias 42, 43. Las dimensiones de las aberturas subsidiarias 42, 43 son inferiores a las dimensiones de la abertura principal 41.

30 El grabado del sustrato 1 es realizado a través de las aberturas 41, 42, 43 de la máscara primaria 4. El grabado del sustrato 1 a través de la abertura principal 41 permite la realización de una zanja principal 11 de grandes dimensiones. El grabado del sustrato 1 a través de las aberturas subsidiarias 42, 43 permite la obtención de dos zanjas subsidiarias 12, 13.

La tensión de umbral y la resistencia específica del transistor JFET obtenida al final del procedimiento dependen especialmente de la anchura y de la profundidad de las zanjas.

Al final de la etapa de formación de las zanjas, la máscara primaria es mantenida en posición para realizar una etapa de implantación del sustrato a través de las aberturas de la máscara primaria.

#### **35 Etapa 120 de implantación iónica**

La etapa de implantación iónica 120 permite la formación de regiones de puerta del transistor JFET. Esta implantación no necesita una orientación particular del sustrato, contrariamente a los procedimientos de fabricación de transistores JFET de la técnica anterior.

40 En el modo de realización ilustrado en la figura 3, los iones implantados presentan una conductividad de tipo P+ (teniendo el sustrato una conductividad de tipo N). Esto permite una disminución de la corriente de fuga en el electrodo de puerta del transistor JFET.

La dosis de iones implantados puede estar comprendida entre 10<sup>12</sup> cm<sup>-2</sup> y 10<sup>16</sup> cm<sup>-2</sup>, y la profundidad de implantación puede variar entre 1 nm y 0,2 μm partiendo de la superficie libre de las zanjas 11, 12, 13.

45 La implantación de iones puede ser puesta en práctica durante una etapa única o durante etapas sucesivas. La temperatura puede estar comprendida entre 4 °K y 1000 °K durante la etapa de implantación, según el tipo de máscara utilizado.

En todos los casos, la etapa 120 de implantación permite la obtención de regiones implantadas 19 en el fondo de las zanjas principal y subsidiarias 11, 12, 13.

#### **Etapa de formación de una zanja secundaria**

5 El procedimiento comprende una etapa de formación 130, 140 de una zanja secundaria 111 en la zanja principal 11 al final de la etapa de implantación 120.

Para formar la zanja secundaria 111, pueden ponerse en práctica las subetapas siguientes:

- el depósito de una máscara de grabado secundario 5,
- el grabado del sustrato a través de la máscara de grabado secundario 5.

10 Como anteriormente refiriéndose a la máscara primaria 4, el depósito de la máscara de grabado secundario 5 puede ser realizado por cualquier técnica conocida por el especialista en la materia (es decir, crecimiento de una capa de dieléctrico sobre el sustrato y el grabado por fotolitografía de esta capa para definir una abertura).

En el modo de realización ilustrado en la figura 3, la máscara de grabado secundario 5 comprende una abertura de grabado secundario 51.

15 La abertura de grabado secundario 51 tiene dimensiones inferiores a las dimensiones de la abertura principal 41 de la máscara primaria 4.

Esta abertura de grabado secundario 51 está situada por encima de la zanja principal 11 para permitir la creación de la zanja secundaria 111 en la zanja principal 11. De modo más preciso, la abertura de grabado secundario 51 está situada sobre el sustrato 1 de modo que la proyección sobre la máscara de grabado secundario 5, de los bordes de la zanja principal 11:

- 20
- rodee a los bordes de la abertura de grabado secundario 51,
  - no esté en contacto con los bordes de la abertura de grabado secundario 51.

En el modo de realización ilustrado en la figura 3, la máscara primaria 4 es retirada por ejemplo por grabado – previamente al depósito de la máscara de grabado secundario 5. En variante, la máscara de grabado secundario 5 puede ser dispuesta directamente sobre la máscara primaria 4.

25 Una vez depositada la máscara de grabado secundario 5, se realiza un grabado del sustrato 1 a través de la abertura secundaria 51. Esto permite la realización de una zanja secundaria 111 en la zanja principal 11 a fin de definir una estructura meseta 112 que tiene la forma de una placa sobreelevada.

El grabado de una zanja secundaria 111 en la zanja principal 11 permite proteger un sector periférico del transistor JFET.

#### **30 Etapa 150 de implantación secundaria en la zanja secundaria**

El procedimiento puede comprender igualmente una etapa 150 opcional de implantación iónica secundaria en la zanja secundaria 111. Esto permite mejorar el comportamiento en tensión del transistor JFET.

Para realizar la implantación secundaria de la zanja secundaria 111, se ponen en práctica las etapas siguientes:

- 35
- depósito de una máscara de implantación secundaria 6 sobre el sustrato 1,
  - implantación iónica a través de la máscara de implantación secundaria 6.

En este caso también, el depósito de la máscara de implantación secundaria 6 puede estar basado en cualquier técnica conocida por el especialista en la materia.

40 En el modo de realización ilustrado en la figura 3, la máscara de implantación secundaria 6 comprende una abertura de implantación secundaria 61. Esta abertura de implantación secundaria 61 tiene dimensiones inferiores a las dimensiones de la abertura de grabado secundario 51 de la máscara de grabado secundario 5.

La abertura de implantación secundaria 61 se extiende a nivel de la zanja secundaria 111. En particular, la abertura de implantación secundaria 61 está situada de modo que la proyección, sobre la máscara de implantación secundaria 6, de los bordes de la zanja secundaria 111 rodee a los bordes de la abertura de implantación secundaria 61 sin estar en contacto con los mismos.

45 En el modo de realización ilustrado en la figura 3, la máscara de grabado secundario 5 es retirada previamente al depósito de la máscara de implantación secundaria 6. En variante, la máscara de implantación secundaria 6 puede ser depositada directamente sobre la máscara de grabado secundario 5.

A continuación se realiza una implantación iónica de iones de conductividad de tipo P a través de la abertura de implantación secundaria 61. La dosis de iones implantados puede ser del orden de  $10^{15} \text{ cm}^{-2}$ .

La etapa de implantación secundaria induce la formación de una zona 113 implantada de conductividad de tipo P en la zanja secundaria 111.

- 5 Al final de esta etapa de implantación secundaria, la máscara de implantación secundaria es retirada del sustrato.

**Etapa 160 de depósito y de oxidación de una capa de silicio policristalino**

Una capa de silicio policristalino 3 dopado P es depositada a continuación sobre toda la superficie del sustrato. Esta capa de silicio policristalino es conductora eléctricamente.

- 10 El depósito 160 de la capa de silicio policristalino 3 puede ser realizado por ejemplo por epitaxia. Esta etapa 160 de depósito conduce a la formación de una capa de silicio policristalino en las zanjas principal 11 y secundarias 12, 13 del sustrato.

- 15 Después, se pone en práctica una etapa de oxidación de la capa de silicio policristalino 3 sobre un cierto espesor del mismo. Después de la oxidación, se obtiene una película 3' de silicio policristalino oxidado aislante eléctricamente sobre una subcapa 3'' de silicio policristalino dopado P no oxidada. La subcapa de silicio policristalino 3'' y las regiones implantadas 19 forman la puerta del transistor. La película de silicio policristalino oxidado 3' permite aislar eléctricamente esta puerta de la fuente del transistor (realizada en una etapa posterior del procedimiento).

Durante la etapa de oxidación, el silicio policristalino se consume y tiende a desaparecer. Este consumo del silicio policristalino se produce principalmente a nivel de las superficies grandes de la capa de silicio policristalino, y por tanto de manera preponderante en la zanja secundaria 111 del sustrato 1.

- 20 Ventajosamente, el espesor de la capa de silicio policristalino depositada inicialmente (es decir, antes de la oxidación) es previsto de modo que el espesor restante de silicio policristalino oxidado (es decir, después de la etapa de oxidación) sea sensiblemente igual a  $1,5 \mu\text{m}$ , correspondiente aproximadamente a una relación 2/3 de la profundidad de las zanjas 12 y 13.

- 25 Además de las dimensiones de las zanjas, la tensión de umbral y la resistencia específica del transistor JFET obtenida al final del procedimiento dependen igualmente del espesor de la capa de silicio policristalino así como del valor de su dopaje.

Así, las características eléctricas del transistor JFET dependen de parámetros (es decir, anchura y profundidad de las zanjas, espesor y dopaje de la capa de silicio policristalino) fácilmente controlables del procedimiento de fabricación ilustrado en la figura 3.

- 30 **Etapa opcional de grabado del silicio policristalino oxidado superfluo**

En la hipótesis en que la capa de silicio policristalino no sea consumida completamente a nivel de la zanja secundaria 111, el procedimiento puede comprender una etapa 170 suplementaria de grabado.

La misma permite suprimir el silicio policristalino oxidado restante en la zanja secundaria 111.

- 35 Para hacer esto, se deposita una máscara de grabado terciario 7 sobre el sustrato 1. Esta máscara de grabado terciario 7 comprende una abertura de grabado terciario 71 que se extiende a nivel de la zanja secundaria 111. Las dimensiones de la abertura de grabado terciario 73 son iguales a las de la zanja secundaria 111.

A continuación se realiza un grabado a través de la abertura de grabado terciario 73 para consumir el silicio policristalino oxidado superfluo situado en la zanja secundaria 111.

**Etapa de metalización de la cara delantera y de la cara trasera del sustrato**

- 40 A continuación de la etapa de depósito y de oxidación de la capa de silicio policristalino, puede ser efectuada una metalización de la cara trasera del sustrato para formar el drenaje del transistor JFET.

- 45 Asimismo se realiza una etapa de depósito de una capa metálica sobre la cara delantera del sustrato para formar la fuente del transistor JFET. Esta metalización de la cara delantera es puesta en práctica a nivel de la estructura de meseta del sustrato utilizando una máscara que incluye una abertura situada por encima de las zanjas subsidiarias y de una superficie de la zanja principal que no comprenda la zanja secundaria 111.

Después de una etapa de recocido térmico rápido y dos etapas opcionales de pulido de las caras delantera y trasera del sustrato, se obtiene el transistor JFET semejante al transistor JFET ilustrado en la figura 2.

El procedimiento de fabricación anteriormente descrito presenta numerosas ventajas con respecto al estado de la técnica. El mismo permite especialmente:

- una reducción del número de etapas de fabricación,
  - una disminución significativa del coste de fabricación,
  - una simplificación de la geometría, de la puesta a escala y de la fabricación del transistor JFET,
  - un mejor control de la tensión de umbral del transistor JFET,
- 5 - una disminución del tiempo de conmutación del transistor JFET entre un estado pasante y un estado bloqueado.

Refiriéndose a la figura 4, se ha ilustrado otro ejemplo de transistor obtenido poniendo en práctica el procedimiento ilustrado en la figura 3. El transistor comprende un soporte 200 de material silicio o zafiro.

El mismo comprende una (o varias) capas intermedias 210. La o las capas intermedias comprenden por ejemplo una capa de nitruro de aluminio AlN, una capa de SiO<sub>2</sub>, una capa de nitruro de galio aluminio AlGaN.

- 10 El transistor comprende finalmente una capa activa de nitruro de galio GaN que incluye:
- zanjas principal y subsidiarias,
  - una región implantada en cada zanja,
  - una capa de silicio policristalino G en cada zanja secundaria – formando estas capas adyacentes la puerta del transistor,
- 15 - una capa aislante de silicio policristalino oxidado sobre las capas de silicio policristalino que forman puerta G de las zanjas secundarias,
- una capa metálica que se extiende sobre las capas aislantes de las zanjas secundarias para formar la fuente S.

20 En el modo de realización ilustrado en la figura 4, la capa activa no recubre toda la superficie de la interfaz. Un tetón metálico que forma drenaje está dispuesto sobre la región de la capa de interfaz no recubierta por la capa activa. Esto permite obtener un transistor casi vertical.

El especialista en la materia habrá comprendido que al procedimiento anteriormente descrito pueden aportarse numerosas modificaciones sin salirse materialmente de las nuevas enseñanzas presentadas aquí. Por ejemplo, aunque el procedimiento haya sido descrito refiriéndose a la fabricación de un transistor N, el mismo puede ser  
25 utilizado para la fabricación de un transistor JFET de tipo P.

Así pues, es bien evidente que los ejemplos que acaban de darse son solamente ilustraciones particulares en ningún caso limitativas.

**REIVINDICACIONES**

1. Procedimiento de fabricación de un transistor de efecto de campo de tipo de puerta en zanja que comprende:

- 5 - La formación (110) de al menos una zanja (11, 12, 13) en una capa activa semiconductor (1) de un primer tipo de conductividad de un sustrato que comprende dos caras opuestas denominadas cara delantera y cara trasera,
- La implantación primaria (120) de iones que tienen un segundo tipo de conductividad de modo que se implante cada zanja del sustrato para formar una región activa de puerta,
- El depósito (160) de una capa de silicio policristalino del segundo tipo de conductividad sobre la región activa de puerta implantada,
- 10 - La oxidación parcial (160) de la capa de silicio policristalino para obtener una película (3') aislante eléctricamente de silicio policristalino oxidado sobre una subcapa de silicio policristalino no oxidado, formando la subcapa de silicio policristalino y la zona implantada una región activa de puerta, y
- La metalización (180) del sustrato sobre su cara delantera para formar una región activa de fuente, y
- La metalización (180) del sustrato sobre la otra cara para formar una región activa de drenaje.

15 estando caracterizado el citado procedimiento por que la etapa de formación comprende las subetapas de:

- Depósito de una máscara primaria (4) sobre la cara delantera del sustrato semiconductor, incluyendo la máscara primaria una abertura principal (41) y dos aberturas subsidiarias (42, 43), siendo las dimensiones de la abertura principal superiores a las dimensiones de las aberturas subsidiarias,
- 20 - Grabado primario del sustrato a través de la abertura principal para formar una zanja principal (11), y a través de la aberturas subsidiarias para formar dos zanjas subsidiarias (12, 13),

siendo realizada la etapa de implantación primaria a través de la máscara primaria, y por que el procedimiento comprende además:

- 25 - una etapa (130) de depósito de una máscara de grabado secundario (5) sobre la cara delantera del sustrato posteriormente a la etapa de implantación primaria, incluyendo la citada máscara de grabado secundario una abertura de grabado secundario (51) a nivel de la zanja principal (11),
- una etapa (140) de grabado secundario del sustrato a través de la abertura de grabado secundario (51) para formar una zanja secundaria (111) en la zanja principal (11).

2. Procedimiento de fabricación de acuerdo con la reivindicación 1, el cual comprende además una etapa de retirada de la máscara primaria (4) previamente al depósito de la máscara de grabado secundario (5).

30 3. Procedimiento de fabricación de acuerdo con una cualquiera de las reivindicaciones 1 o 2, el cual comprende además:

- 35 - una etapa (150) de depósito de una máscara de implantación secundaria (6) sobre la cara delantera del sustrato posteriormente a la etapa de grabado secundario (140), incluyendo la máscara de implantación secundaria (6) una abertura de implantación secundaria (61) que se extiende a nivel de la zanja secundaria (111),
- una etapa (150) de implantación secundaria de iones del segundo tipo de conductividad a través de la abertura de implantación secundaria (61).

4. Procedimiento de fabricación de acuerdo con la reivindicación 3, el cual comprende además la retirada de la máscara de grabado secundario (5) previamente al depósito de la máscara de implantación secundaria (6)

40 5. Procedimiento de fabricación de acuerdo con una cualquiera de las reivindicaciones 1 a 4, el cual comprende además:

- 45 - una etapa (170) de depósito de una máscara de grabado terciario (7) sobre la cara delantera del sustrato, posteriormente a la etapa de oxidación (160) de la capa de silicio policristalino (3), incluyendo la citada máscara de grabado terciario (7) una abertura de grabado terciario (71) que se extiende a nivel de la zanja secundaria (111),
- el grabado (170) del sustrato a través de la abertura de grabado terciario (71) para eliminar el silicio policristalino que se extiende sobre la superficie de la zanja secundaria (111).

6. Procedimiento de fabricación de acuerdo con una cualquiera de las reivindicaciones 1 a 5, en el cual el sustrato (1) es carburo de silicio.
7. Procedimiento de fabricación de acuerdo con una cualquiera de las reivindicaciones 1 a 6, en el cual la etapa (120) de implantación primaria comprende la implantación de iones a una profundidad comprendida entre 1 nm y 1  $\mu\text{m}$ .
8. Procedimiento de fabricación de acuerdo con una cualquiera de las reivindicaciones 1 a 7, en el cual cada etapa (120, 150) de implantación comprende la implantación de iones con una dosis de implantación comprendida entre  $10^{12}\text{cm}^{-2}$  y  $10^{16}\text{cm}^{-2}$ .
9. Procedimiento de fabricación de acuerdo con una de las reivindicaciones precedentes, en el cual la etapa de depósito de la capa de silicio policristalino es realizada por pulverización, o en fase vapor, de modo que se forme una heterounión.

FIG. 1

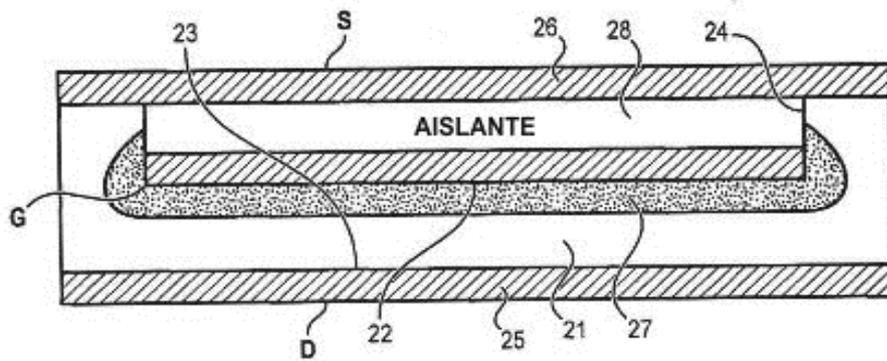


FIG. 2

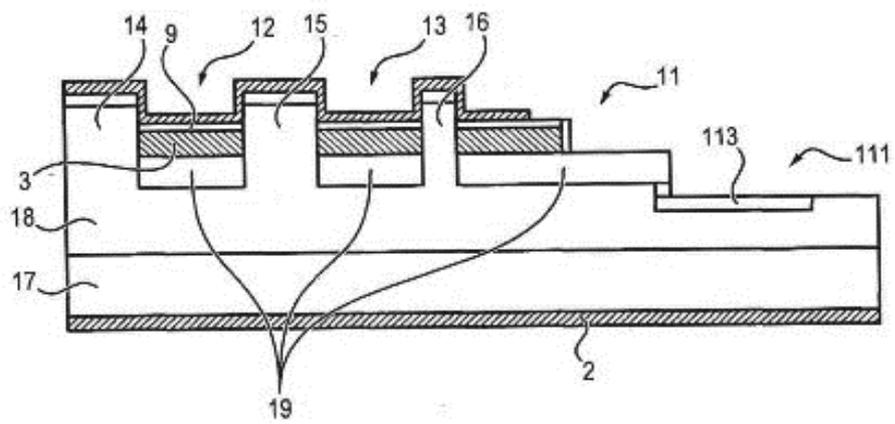


FIG. 3

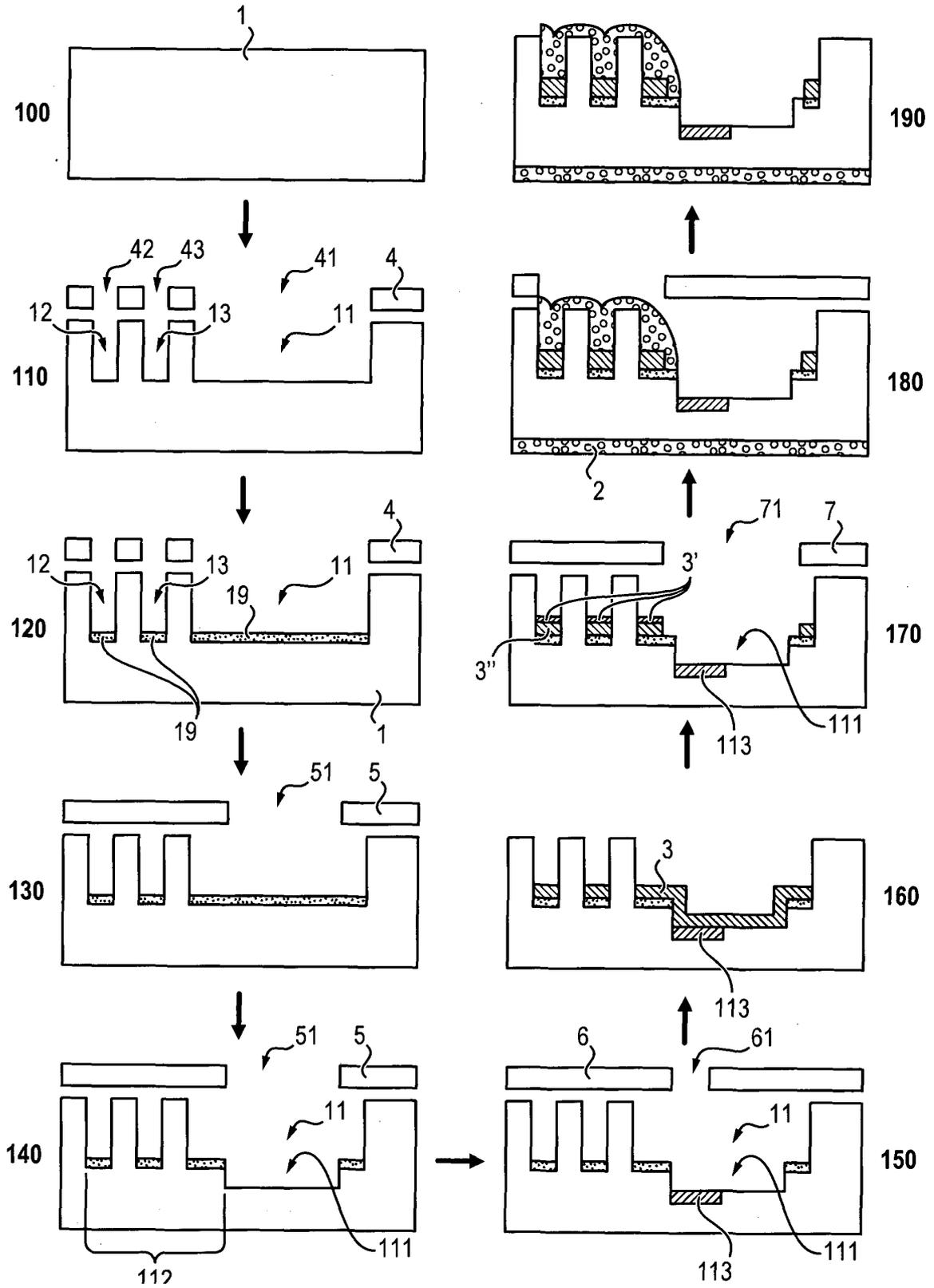


FIG. 4

