

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 587 359**

51 Int. Cl.:

H04J 13/00 (2011.01)

H03M 13/27 (2006.01)

H04L 1/00 (2006.01)

H04L 1/18 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **30.10.2007 E 10153140 (8)**

97 Fecha y número de publicación de la concesión europea: **25.05.2016 EP 2190140**

54 Título: **Método de multiplexación de código y sistema para canal compartido en enlace descendente de alta velocidad**

30 Prioridad:

31.10.2006 CN 200610143885

04.04.2007 CN 200710088882

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

24.10.2016

73 Titular/es:

HUAWEI TECHNOLOGIES CO., LTD. (100.0%)

**Huawei Administration Building, Bantian
Longgang District, Shenzhen, Guangdong
518129, CN**

72 Inventor/es:

YU, RONGDAO;

LIU, SHENG y

LI, QI

74 Agente/Representante:

LEHMANN NOVO, María Isabel

ES 2 587 359 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Método de multiplexación de código y sistema para canal compartido en enlace descendente de alta velocidad

5 Esta solicitud de patente reivindica las prioridades de la solicitud de patente China nº 200610143885.6 presentada con fecha 31 de octubre de 2006, titulada "Método y sistema para codificación y multiplexación en un canal compartido de enlace descendente de alta velocidad" y la solicitud de patente China nº 200710088882.1, presentada con fecha 4 de abril de 2007, titulada como: "Método y sistema para la codificación y multiplexación en canal compartido de enlace descendente de alta velocidad", cuyos contenidos se incorporan aquí por referencia en su integridad.

10 CAMPO DE LA INVENCION

La presente invención se refiere al campo de la comunicación inalámbrica y en particular, a la tecnología de codificación y multiplexación en un canal compartido de enlace descendente de alta velocidad.

15 ANTECEDENTES DE LA INVENCION

20 Como una tecnología de transmisión inalámbrica de enlace descendente mejorada, la tecnología de Acceso a Paquetes de Enlace Descendente de Alta Velocidad (HSDPA) tiene ventajas distintas de alta eficiencia espectral, alta velocidad de transmisión de enlace descendente y pequeño retardo de transmisión, siendo capaz de soportar efectivamente el tráfico de datos en paquetes, puesto que la tecnología utiliza algunos aspectos tecnológicos claves tales como una tecnología de adaptación de enlaces sobre la base de la modulación y codificación adaptativas, con la denominada Demanda de Repetición Automática Híbrida (HARQ) basada en la retransmisión de capa física y combinación programable, con una planificación de paquetes rápida multiusuario, con una trama corta de 2 ms.

25 El denominado Canal Dedicado Mejorado (E-DCH), también referido como Acceso a Paquetes de Enlace Ascendente de Alta Velocidad (HSUPA), tiene ventajas de alta eficiencia espectral, alta velocidad de transmisión de enlace ascendente y pequeño retardo de transmisión y por ello, soporta las aplicaciones de tráfico de datos en paquetes tales como los denominados juegos en tiempo real, carga de ficheros, multimedia de banda ancha, etc., debido a la utilización de algunas tecnologías claves, a modo de ejemplo, planificación de paquetes rápida de enlace ascendente basada en la Estación Base de Nodo (Nodo B), HARQ rápida y trama corta de 2 ms.

30 La tecnología de HSDPA/HSUPA basada en el Acceso Múltiple por División de Código (CDMA) ha sido cada vez más difícil que satisfaga las demandas de desarrollo cada vez mayores sobre un más amplio ancho de banda de transmisión (a modo de ejemplo, 20 MHz) y más alta velocidad de transmisión (a modo de ejemplo, 100-200 Mbps) de la comunicación móvil debido a la limitación de la interferencia de múltiples rutas inherente en el sistema de CDMA. Al mismo tiempo, la tecnología de Multiplexación por División de Frecuencia Ortogonal (OFDM) está llegando a ser gradualmente un importante método de acceso múltiple utilizado por el futuro sistema de comunicaciones inalámbricas en comparación con CDMA, teniendo mejor capacidad ante múltiples rutas y un receptor relativamente simple y resulta más fácil de combinar con la tecnología de antenas múltiples.

35 La Figura 1 ilustra el sistema de codificación y multiplexación HS-DSCH. El Intervalo de Temporización de Transmisión (TTI) de 2 ms del Canal Compartido de Enlace Descendente de Alta Velocidad (HS-DSCH) soporta, como máximo, un bloque de datos y cada bloque de datos HS-DSCH para la introducción de la cadena de codificación y multiplexación es objeto de mapeado de correspondencia en una sub-trama de HS-DSCH de 3 intervalos temporales después de ser objeto de codificación y multiplexación. El procedimiento de codificación y multiplexación HS-DSCH incluye principalmente las etapas siguientes: adición de información de Control de Redundancia Cíclica (CRC) en el bloque de transporte, cifrado de bits, segmentación del bloque de codificación, codificación de canal, HARQ, segmentación de canal físico, entrelazado, redistribución de constelación de Modulación de Amplitud en Cuadratura (QAM) 16 y mapeado de correspondencia de canal físico. Estas etapas se describirán, una a una, a continuación.

40 Adición de información de CRC:

45 El CRC realiza la comprobación de error para el bloque de transporte en la trama TTI en curso del canal de transmisión. El control de HS-DSCH tiene una longitud de 24 bits. Los cálculos de CRC se realizan por el bloque de transporte bit por bit, y los bits de control de CRC son generados en conformidad con el polinomio de generación cíclica $g_{CRC24}(D) = D^{24} + D^{23} + D^6 + D^5 + D + 1$.

50 Cifrado de bits:

Suponiendo que los bits de entrada que se aplican a la entrada del módulo de cifrado de bits son $b_{im,1}, b_{im,2}, b_{im,3}, \dots, b_{im,B}$, en donde B es el número de bits introducidos como entrada al módulo de cifrado de bits y los bits cifrados se representan como: $d_{im,1}, d_{im,2}, d_{im,3}, \dots, d_{im,B}$. Entonces, el cifrado de bits se define como la relación siguiente:

65
$$d_{im,k} = (b_{im,k} + y_k) \bmod 2, \quad k = 1, 2, \dots, B$$

en donde, y_k se calcula como sigue:

$$y'_\gamma = 0 \quad -15 < \gamma < 1$$

$$y'_\gamma = 1 \quad \gamma = 1$$

$$y'_\gamma = \left(\sum_{x=1}^{16} g_x \cdot y'_{\gamma-x} \right) \text{mod} 2 \quad 1 < \gamma \leq B,$$

en donde, $g = \{g_1, g_2, \dots, g_{16}\} = \{0, 0, 0, 0, 0, 0, 0, 0, 0, 0, 1, 0, 1, 1, 0, 1\}$,

$$y_k = y'_k k = 1, 2, \dots, B.$$

Segmentación de bloques de codificación:

El método de segmentación de bloques de codificación para HS-DSCH es el mismo que el de los otros canales de transmisión, pero tiene la limitación siguiente: el número máximo de los bloques de codificación $i = 1$, el módulo de entrada del módulo de segmentación de bloques de codificación $d_{im1}, d_{im2}, d_{im3}, \dots, d_{imB}$ es directamente puesto en correspondencia con $x_{i1}, x_{i2}, x_{i3}, \dots, x_{iXi}$, y $X1 = B$, en donde x solamente representa el módulo interno de la cadena de codificación y multiplexación.

Codificación de canal:

El método de codificación de canal para HS-DSCH es el mismo que el de los otros canales de transmisión pero tiene las limitaciones siguientes: el número máximo de los bloques de transporte $i = 1$ y se utiliza el código Turbo de tasa 1/3.

HARQ del HS-DSCH

El HARQ hace que el número de bits a la salida del módulo de codificación de canal sea igual al número total de bits distribuidos por el canal físico al HS-DSCH, cuya función es similar al módulo de adaptación de tasas en la cadena de codificación y multiplexación de los otros canales de transmisión. La Versión de Redundancia (VR) controla las operaciones de HARQ. El número de bits de salida del módulo de HARQ se determina por el número de bits de entrada, el número de bits de salida y los parámetros de VR.

Según se ilustra en la Figura 2, HARQ se constituye por dos niveles de adaptación de tasas de transmisión y una memoria intermedia. El primer submódulo de adaptación de tasa de transmisión adapta la entrada al número de bits de la memoria intermedia de IR virtual, y los parámetros de este submódulo de adaptación de tasa de transmisión se proporcionan por la capa superior. La primera adaptación de tasa de transmisión es transparente si el número de bits de entrada no supera la capacidad de la memoria intermedia de IR virtual. La segunda unidad de adaptación de tasa realiza la adaptación del número de bits TTI de HS-DSCH procedentes de la primera adaptación de tasa al número de bits de HS-PDSCH en una trama de canal físico.

El módulo de separación de bits de HARQ tiene la función de separar una secuencia de bits del sistema, una primera secuencia de bits de control y una segunda secuencia de bits de control desde la secuencia de bits de entrada.

La función del primer módulo de adaptación de tasas de transmisión de HARQ es como sigue: la capa superior configura el número máximo de bits programables N_{IR} de la memoria intermedia IR virtual para cada procesamiento de HARQ, y el número de bits de entrada del primer módulo de adaptación de tasas de transmisión es N^{TTI} . Si N_{IR} es mayor que, o igual a N^{TTI} , esto es, la totalidad de los bits de información de codificación de la trama TTI pueden memorizarse, el primer submódulo de adaptación de tasas de transmisión es transparente. Si N_{IR} es menor que N^{TTI} , se pone en práctica una perforación, $\Delta N_{IR}^{TTI} = N_{IR} - N^{TTI}$.

La función del segundo submódulo de adaptación de tasas de transmisión de HARQ es como sigue: parámetros RV de los parámetros de control s y r del segundo algoritmo de adaptación de tasas de transmisión. El valor del parámetro s es 0 o 1, que corresponde a un bit de prioridad ($s=1$) y un bit de no prioridad ($s=0$), respectivamente. El parámetro r (que varía desde 0 a r_{max}) controla el parámetro de error inicial e_{ini} cuando se pone en práctica la operación de perforación. En el caso de repetición de bits, ambos parámetros r y s pueden controlar el parámetro de error inicial e_{ini} . Los cálculos de los parámetros X , e_{plus} y e_{minus} se ilustran en la Tabla 2. El número de bits del sistema de la segunda adaptación de tasas de transmisión es N_{sys} . El primer bits de control es N_{p1} , el segundo bits de control es N_{p2} , el número de canales físicos que soportan CCTrCH es P y el número de bits de datos de CCTrCH en la trama del canal físico es N_{data} , y $N_{data} = P \times 3 \times N_{data1}$.

Tabla 2 El segundo parámetro s de adaptación de tasas de transmisión de HARQ.

	X_i	e_{plus}	e_{minus}
Secuencia del sistema RMS	N_{sys}	N_{sys}	$ N_{sys} - N_{t,sys} $
Primera secuencia de control RM P1_2	N_{p1}	$2 \cdot N_{p1}$	$2 \cdot N_{p1} - N_{t,p1} $
Segunda secuencia de control RM P2_2	N_{p2}	N_{p2}	$ N_{p2} - N_{t,p2} $

5 Si se tiene $N_{data} \leq N_{sys} + N_{p1} + N_{p2}$, el segundo submódulo de adaptación de tasas pone en práctica la operación de perforación. El número de bits del sistema de prioridad transmitidos es $N_{t,sys} = \min(N_{sys}, N_{data})$ y el número de bits del sistema de no prioridad transmitidos es $N_{t,sys} = \max\{N_{data} - (N_{p1} + N_{p2}), 0\}$.

10 Si se tiene $N_{data} > N_{sys} + N_{p1} + N_{p2}$, el segundo submódulo de adaptación de tasas pone en práctica la operación de repetición. El número de bits del sistema transmitidos después de la repetición de bits es

$$N_{t,sys} = \left\lceil N_{sys} \cdot \frac{N_{data}}{N_{sys} + 2N_{p1}} \right\rceil$$

y los números de bits transmitidos de las dos secuencias de bits de control son

$$N_{t,p1} = \left\lceil \frac{N_{data} - N_{t,sys}}{2} \right\rceil \quad y \quad N_{t,p2} = \left\lceil \frac{N_{data} - N_{t,sys}}{2} \right\rceil$$

respectivamente.

15 En el caso del modo de perforación, esto es, $N_{data} \leq N_{sys} + N_{p1} + N_{p2}$, el parámetro de adaptación de tasas de transmisión e_{ini} de cada secuencia de bits se determina por los parámetros RV de r y s.

$$e_{ini}(r) = \left\{ \left(X_i - \left\lfloor \frac{r \cdot e_{plus}}{r_{max}} \right\rfloor - 1 \right) \bmod e_{plus} \right\} + 1$$

20 En el caso del modo de repetición, esto es, $N_{data} > N_{sys} + N_{p1} + N_{p2}$, el parámetro de adaptación de tasas de transmisión e_{ini} de cada secuencia de bits es:

$$e_{ini}(r) = \left\{ \left(X_i - \left\lfloor \frac{(s + 2 \cdot r) \cdot e_{plus}}{2 \cdot r_{max}} \right\rfloor - 1 \right) \bmod e_{plus} \right\} + 1$$

25 En donde $\in \{0, 1, \dots, r_{max} - 1\}$, r_{max} es el número total de redundancia obtenida cambiando el parámetro r. Conviene señalar que el valor de r_{max} se determina por el método de modulación. 16QAM $r_{max} = 2$; QPSK $r_{max} = 4$.

Combinación de bits de HARQ: la combinación de bits de HARQ se realiza por un dispositivo entrelazado de $N_{row} \times N_{col}$. En el caso de modulación 16QAM, $N_{row} = 4$ y en el caso de modulación QPSK, $N_{row} = 2$. $N_{col} = N_{data} / N_{row}$. Los datos son objeto de escritura y de lectura por columna. $N_{t,sys}$ es el número de datos de bits del sistema transmitidos. Los parámetros intermedios de N_r y N_c respectivamente son:

$$N_r = \left\lceil \frac{N_{t,sys}}{N_{col}} \right\rceil \quad \text{and} \quad N_c = N_{t,sys} - N_r \cdot N_{col}$$

35 Si $N_c = 0$, los bits del sistema son objeto de escritura en las filas 1... N_r . De no ser así, los bits del sistema son objeto de escritura en las filas 1... N_{r+1} de las primeras N_c columnas; si $N_r > 0$, los bits del sistema son también objeto de escritura en las filas 1... N_r de las restantes $N_{col} - N_c$ columnas y los primeros bits de control y los segundos bits de control son objeto de escritura, de forma alternada, en filas del espacio restante por columna. El primer bit objeto de escritura en la columna es el bit con el subíndice mínimo entre los segundos bits de control de paridad.

40 En el caso del modo de modulación 16QAM, el orden de los bits objeto de lectura desde cada columna está dispuesto como sigue: la 1ª fila, la 2ª fila, la 3ª fila y la 4ª fila. En el caso del modo de modulación QPSK el orden de los bits objeto de lectura desde cada columna está dispuesto como sigue: la 1ª fila y la 2ª fila.

45 Segmentación de canal físico de HS-DSCH:

Si el número de canales HS-PDSCH utilizados es P ($P > 1$), el módulo de segmentación de canal físico distribuye bits para múltiples canales físicos. La entrada de bits a la unidad de distribución del canal físico se representa como $w_1, w_2, w_3, \dots, w_R$, y el subíndice R representa el número de bits a la entrada del módulo de segmentación de canal físico. La secuencia

procedente del módulo de segmentación de canal físico es $u_{p1}, u_{p2}, u_{p3}, \dots, u_{pU}$, en donde p es el número de secuencia del canal físico y u es el número de bits en la subtrama de HS-PDSCH, esto es, $u=R/p$. La relación entre w_k y u_{pk} es:

5 Cualquiera que sea el modo operativo, el número de bits que se rellenan en cada trama es requerido para alcanzar a u. Los bits del primer canal físico después de la distribución del canal físico son:

$$u_{1,k}=w_k \quad k=1,2,\dots,U$$

10 Los bits del segundo canal físico después de la distribución del canal físico son:

$$u_{2,k}=w_{k+U} \quad k=1,2,\dots,U$$

Los bits del P-ésimo canal físico después de la distribución del canal físico son:

15
$$u_{p,k}=w_{k+(p-1) \cdot U} \quad k=1,2,\dots,U$$

Entrelazado de HS-DSCH:

20 La Figura 3 ilustra el dispositivo de entrelazado de HS-DSCH con un proceso de entrelazado independiente en cada canal físico. La entrada de secuencia de bits en el dispositivo de entrelazado de bloque es $u_{p,1}, u_{p,2}, u_{p,3}, \dots, u_{p,U}$, para la modulación QPSK, $U=960$ y para la modulación 16QAM, $U=1920$. El dispositivo de entrelazado para la modulación QPSK es el mismo que el segundo dispositivo de entrelazado del otro canal físico, cuya magnitud es $R2 \times C2 = 32 \times 30$.

25 En el caso de modulación 16QAM, se utilizan dos dispositivos de entrelazado con la misma manipulación ($R2 \times C2 = 32 \times 30$), y la secuencia de bits procedente del módulo de segmentación de canal físico se divide en dos secuencias, en donde $u_{p,k}$ y $u_{p,k+1}$ se transmiten al dispositivo de entrelazado 1 y $u_{p,k+2}$ y $u_{p,k+3}$ se transmiten al dispositivo de entrelazado 2.

Redistribución de constelación de modulación 16QAM:

30 Para la modulación 16QAM, la secuencia de bits necesita procesarse con un módulo de redistribución de constelación de modulación 16QAM, mientras que en la modulación QPSK, la secuencia de bits no necesita el procesamiento de este módulo.

35 Algunas tecnologías inalámbricas, que soportan una alta eficiencia espectral tal como la tecnología MIMO (Múltiple entrada-Múltiple salida) y una modulación de alto orden (64QAM o superior) deben utilizarse para mejorar la eficiencia espectral y la tasa de transmisión máxima en el ancho de banda de 5 MHz.

40 Sin embargo, el efecto de la modulación 64QAM no se considera para la solución de codificación y multiplexación de HS-DSCH existente. La solución existente no puede satisfacer las demandas de la modulación 64QAM y 64QAM no puede utilizarse directamente sobre la base de la solución existente.

El documento EP1324527 A1 da a conocer un aparato de entrelazado y un método para el mapeado de correspondencia de símbolos en un sistema de comunicaciones móviles de HSDPA.

45 El documento EP1189380 da a conocer un sistema y un método para la protección selectiva de los bits de información codificados en transmisiones de modulación de amplitud en cuadratura (QAM) M-aria.

El documento XP002178306 da a conocer un método de HARQ mejorado con redistribución de constelación de señales.

50 **SUMARIO DE LA INVENCION**

Una forma de realización de la presente invención da a conocer un método y un sistema para la codificación y multiplexación en un canal compartido de enlace descendente de alta velocidad, en donde se puede utilizar la modulación 64QAM sobre la base de la tecnología de codificación y multiplexación en un canal compartido de enlace descendente de alta velocidad, con lo que se mejora el rendimiento de transmisión del canal compartido de enlace descendente de alta velocidad.

60 Una forma de realización de la presente invención da a conocer un método para realizar la codificación y multiplexación en un canal compartido de enlace descendente de alta velocidad, que comprende:

en un caso de modulación 64QAM, después de que se segmente un canal físico, la división de una secuencia de bits obtenida mediante la segmentación del canal físico en tres secuencias, en donde la secuencia de bits comprende: $u_{p,k}, u_{p,k+1}, u_{p,k+2}, u_{p,k+3}, u_{p,k+4}$ y $u_{p,k+5}$, y p es un número de secuencia del canal físico; y

65

el entrelazado de cada una de las tres secuencias por intermedio de un dispositivo de entrelazado de 32x30 respectivamente, en donde los $u_{p,k}$ y $u_{p,k+1}$ se entrelazan por un primer dispositivo de entrelazado, los $u_{p,k+2}$ y $u_{p,k+3}$ se entrelazan por un segundo dispositivo de entrelazado y los $u_{p,k+4}$ y $u_{p,k+5}$ se entrelazan por un tercer dispositivo de entrelazado.

5 Una forma de realización de la presente invención da a conocer, además, un método para la codificación y multiplexación en un canal compartido de enlace descendente de alta velocidad, en donde el primer dispositivo de entrelazado se aplica a $v_{p,k}$ y $v_{p,k-1}$, el segundo dispositivo de entrelazado entrelaza $v_{p,k+2}$ y $v_{p,k+3}$ y el tercer dispositivo de entrelazado se aplica a $v_{p,k+4}$ y $v_{p,k+5}$, y el método comprende, además: la puesta en práctica de la redistribución de constelación para los bits de entrada $v_{p,k}$, $v_{p,k+1}$, $v_{p,k+2}$, $v_{p,k+3}$, $v_{p,k+4}$, $v_{p,k+5}$ en una de las maneras siguientes, cuando se pone en práctica la redistribución de constelación:

Parámetro de versión de constelación b	Secuencia de bits de salida
0	$v_{p,k}v_{p,k+1}v_{p,k+2}v_{p,k+3}v_{p,k+4}v_{p,k+5}$
1	$v_{p,k+3}v_{p,k+4}v_{p,k+5}v_{p,k}v_{p,k+1}v_{p,k+2}$
2	$v_{p,k}v_{p,k+1}v_{p,k+2}v_{p,k+3}v_{p,k+4}v_{p,k+5}$
3	$v_{p,k+3}v_{p,k+4}v_{p,k+5}v_{p,k}v_{p,k+1}v_{p,k+2}$

o,

Parámetro de versión de constelación b	Secuencia de bits de salida
0	$v_{p,k}v_{p,k+1}v_{p,k+2}v_{p,k+3}v_{p,k+4}v_{p,k+5}$
1	$v_{p,k+4}v_{p,k+5}v_{p,k+2}v_{p,k+3}v_{p,k}v_{p,k+1}$
2	$v_{p,k}v_{p,k+1}v_{p,k+2}v_{p,k+3}v_{p,k+4}v_{p,k+5}$
3	$v_{p,k+4}v_{p,k+5}v_{p,k+2}v_{p,k+3}v_{p,k}v_{p,k+1}$

o,

Parámetro de versión de constelación b	Secuencia de bits de salida
0	$v_{p,k} v_{p,k+1} v_{p,k+2} v_{p,k+3} v_{p,k+4} v_{p,k+5}$
1	$v_{p,k+2} v_{p,k+3} v_{p,k+4} v_{p,k+5} v_{p,k} v_{p,k+1}$
2	$v_{p,k} v_{p,k+1} v_{p,k+2} v_{p,k+3} v_{p,k+4} v_{p,k+5}$
3	$v_{p,k+2} v_{p,k+3} v_{p,k+4} v_{p,k+5} v_{p,k} v_{p,k+1}$

o,

Parámetro de versión de constelación b	Secuencia de bits de salida
0	$v_{p,k} v_{p,k+1} v_{p,k+2} v_{p,k+3} v_{p,k+4} v_{p,k+5}$
1	$v_{p,k+2} v_{p,k+3} v_{p,k} v_{p,k+1} v_{p,k+4} v_{p,k+5}$
2	$v_{p,k} v_{p,k+1} v_{p,k+2} v_{p,k+3} v_{p,k+4} v_{p,k+5}$
3	$v_{p,k+2} v_{p,k+3} v_{p,k} v_{p,k+1} v_{p,k+4} v_{p,k+5}$

o,

Parámetro de versión de constelación b	Secuencia de bits de salida
0	$v_{p,k} v_{p,k+1} v_{p,k+2} v_{p,k+3} v_{p,k+4} v_{p,k+5}$
1	$v_{p,k}v_{p,k+1}v_{p,k+4}v_{p,k+5}v_{p,k+2}v_{p,k+3}$
2	$v_{p,k} v_{p,k+1} v_{p,k+2} v_{p,k+3} v_{p,k+4} v_{p,k+5}$
3	$v_{p,k} v_{p,k+1} v_{p,k+4} v_{p,k+5} v_{p,k+2} v_{p,k+3}$

25

o,

Parámetro de versión de constelación b	Secuencia de bits de salida
0	$V_{p,k}V_{p,k+1}V_{p,k+2}V_{p,k+3}V_{p,k+4}V_{p,k+5}$
1	$V_{p,k+4}V_{p,k+5}V_{p,k}V_{p,k+1}V_{p,k+2}V_{p,k+3}$
2	$\overline{V_{p,k}V_{p,k+1}V_{p,k+2}V_{p,k+3}V_{p,k+4}V_{p,k+5}}$
3	$\overline{V_{p,k+4}V_{p,k+5}V_{p,k}V_{p,k+1}V_{p,k+2}V_{p,k+3}}$

5 En donde $\overline{v_{p,i}}$ representa la inversión de $v_{p,i}$.

Una forma de realización de la presente invención da a conocer un método para realizar operaciones de codificación y multiplexación en un canal compartido de enlace descendente de alta velocidad, que comprende:

10 en un caso de modulación 64QAM, después de que se segmente el canal físico, la división de una secuencia de bits obtenida segmentando el canal físico en dos secuencias, en donde la secuencia de bits comprende: $u_{p,k}$, $u_{p,k+1}$, $u_{p,k+2}$, $u_{p,k+3}$, $u_{p,k+4}$ y $u_{p,k+5}$, y p es un número de secuencia del canal físico; y

15 el entrelazando de cada una de las dos secuencias por un intermedio de un dispositivo de entrelazado de tipo 48x30 respectivamente, en donde los $u_{p,k}$, $u_{p,k+1}$ y $u_{p,k+2}$ están entrelazados por un primer dispositivo de entrelazado, los $u_{p,k+3}$, $u_{p,k+4}$ y $u_{p,k+5}$ están entrelazados por un segundo dispositivo de entrelazado.

20 Una forma de realización de la presente invención da a conocer, además, un método para realizar las operaciones de codificación y multiplexación en un canal compartido de enlace descendente de alta velocidad, en donde el primer dispositivo de entrelazado se aplica a $v_{p,k}$, $v_{p,k+1}$ y $v_{p,k+2}$, el segundo dispositivo de entrelazado se aplica a $v_{p,k+3}$, $v_{p,k+4}$ y $v_{p,k+5}$, y el método comprende, además:

25 la puesta en práctica de una redistribución de constelación para los bits de entrada $v_{p,k}$, $v_{p,k+1}$, $v_{p,k+2}$, $v_{p,k+3}$, $v_{p,k+4}$, $v_{p,k+5}$ en una de las maneras siguientes, cuando se pone en práctica la redistribución de constelación:

Parámetro de versión de constelación b	Secuencia de bits de salida
0	$V_{p,k}V_{p,k+1}V_{p,k+2}V_{p,k+3}V_{p,k+4}V_{p,k+5}$
1	$V_{p,k+3}V_{p,k+4}V_{p,k+5}V_{p,k}V_{p,k+1}V_{p,k+2}$
2	$\overline{V_{p,k}V_{p,k+1}V_{p,k+2}V_{p,k+3}V_{p,k+4}V_{p,k+5}}$
3	$\overline{V_{p,k+3}V_{p,k+4}V_{p,k+5}V_{p,k}V_{p,k+1}V_{p,k+2}}$

o,

Parámetro de versión de constelación b	Secuencia de bits de salida
0	$V_{p,k}V_{p,k+1}V_{p,k+2}V_{p,k+3}V_{p,k+4}V_{p,k+5}$
1	$V_{p,k+4}V_{p,k+5}V_{p,k+2}V_{p,k+3}V_{p,k}V_{p,k+1}$
2	$\overline{V_{p,k}V_{p,k+1}V_{p,k+2}V_{p,k+3}V_{p,k+4}V_{p,k+5}}$
3	$\overline{V_{p,k+4}V_{p,k+5}V_{p,k+2}V_{p,k+3}V_{p,k}V_{p,k+1}}$

30 o,

Parámetro de versión de constelación b	Secuencia de bits de salida
0	$V_{p,k}V_{p,k+1}V_{p,k+2}V_{p,k+3}V_{p,k+4}V_{p,k+5}$
1	$V_{p,k+2}V_{p,k+3}V_{p,k+4}V_{p,k+5}V_{p,k}V_{p,k+1}$
2	$\overline{V_{p,k}V_{p,k+1}V_{p,k+2}V_{p,k+3}V_{p,k+4}V_{p,k+5}}$
3	$\overline{V_{p,k+2}V_{p,k+3}V_{p,k+4}V_{p,k+5}V_{p,k}V_{p,k+1}}$

o,

Parámetro de versión de constelación b	Secuencia de bits de salida
0	$V_{p,k} V_{p,k+1} V_{p,k+2} V_{p,k+3} V_{p,k+4} V_{p,k+5}$
1	$V_{p,k+2} V_{p,k+3} V_{p,k} V_{p,k+1} V_{p,k+4} V_{p,k+5}$
2	$\overline{V_{p,k} V_{p,k+1} V_{p,k+2} V_{p,k+3} V_{p,k+4} V_{p,k+5}}$
3	$\overline{V_{p,k+2} V_{p,k+3} V_{p,k} V_{p,k+1} V_{p,k+4} V_{p,k+5}}$

o,

5

Parámetro de versión de constelación b	Secuencia de bits de salida
0	$V_{p,k} V_{p,k+1} V_{p,k+2} V_{p,k+3} V_{p,k+4} V_{p,k+5}$
1	$V_{p,k} V_{p,k+1} V_{p,k+4} V_{p,k+5} V_{p,k+2} V_{p,k+3}$
2	$\overline{V_{p,k} V_{p,k+1} V_{p,k+2} V_{p,k+3} V_{p,k+4} V_{p,k+5}}$
3	$\overline{V_{p,k} V_{p,k+1} V_{p,k+4} V_{p,k+5} V_{p,k+2} V_{p,k+3}}$

o,

Parámetro de versión de constelación b	Secuencia de bits de salida
0	$V_{p,k} V_{p,k+1} V_{p,k+2} V_{p,k+3} V_{p,k+4} V_{p,k+5}$
1	$V_{p,k+4} V_{p,k+5} V_{p,k} V_{p,k+1} V_{p,k+2} V_{p,k+3}$
2	$\overline{V_{p,k} V_{p,k+1} V_{p,k+2} V_{p,k+3} V_{p,k+4} V_{p,k+5}}$
3	$\overline{V_{p,k+4} V_{p,k+5} V_{p,k} V_{p,k+1} V_{p,k+2} V_{p,k+3}}$

10 En donde $\overline{V_{p,i}}$ representa la inversión de $V_{p,i}$.

Una forma de realización de la presente invención da a conocer un sistema de codificación y multiplexación en un canal compartido de enlace descendente de alta velocidad, que comprende un módulo de segmentación de canal físico, en donde el sistema de codificación y multiplexación comprende, además:

15 un módulo de entrelazado, configurado para, en un caso de modulación 64QAM, dividir una secuencia de bits procedente del módulo de segmentación de canal físico en tres secuencias y entrelazar cada una de las tres secuencias por intermedio de un dispositivo de entrelazado de tipo 32x30, respectivamente;

20 en donde la secuencia de bits comprende: $u_{p,k}$, $u_{p,k+1}$, $u_{p,k+2}$, $u_{p,k+3}$, $u_{p,k+4}$ y $u_{p,k+5}$, y p es un número de secuencia del canal físico;

25 en donde los $u_{p,k}$ y $u_{p,k+1}$, están entrelazados por un primer dispositivo de entrelazado, los $u_{p,k+2}$ y $u_{p,k+3}$ están entrelazados por un segundo dispositivo de entrelazado y $u_{p,k+4}$ y $u_{p,k+5}$ están entrelazados por un tercer dispositivo de entrelazado.

30 Una forma de realización de la presente invención da a conocer, además, un sistema de codificación y multiplexación en un canal compartido de enlace descendente de alta velocidad, en donde el primer dispositivo de entrelazado se aplica en $V_{p,k}$ y $V_{p,k+1}$, el segundo dispositivo de entrelazado se aplica en $V_{p,k+2}$ y $V_{p,k+3}$ y el tercer dispositivo de entrelazado se aplica en $V_{p,k+4}$ y $V_{p,k+5}$ y el sistema comprende:

un módulo de redistribución de constelación, configurado para poner en práctica la redistribución de constelación para bits de entrada $V_{p,k}$, $V_{p,k+1}$, $V_{p,k+2}$, $V_{p,k+3}$, $V_{p,k+4}$, $V_{p,k+5}$ en una de las maneras siguientes:

Parámetro de versión de constelación b	Secuencia de bits de salida
0	$V_{p,k} V_{p,k+1} V_{p,k+2} V_{p,k+3} V_{p,k+4} V_{p,k+5}$
1	$V_{p,k+3} V_{p,k+4} V_{p,k+5} V_{p,k} V_{p,k+1} V_{p,k+2}$
2	$\overline{V_{p,k} V_{p,k+1} V_{p,k+2} V_{p,k+3} V_{p,k+4} V_{p,k+5}}$

Parámetro de versión de constelación b	Secuencia de bits de salida
3	$\overline{v_{p,k+3} v_{p,k+4} v_{p,k+5} v_{p,k} v_{p,k+1} v_{p,k+2}}$

o,

Parámetro de versión de constelación b	Secuencia de bits de salida
0	$v_{p,k} v_{p,k+1} v_{p,k+2} v_{p,k+3} v_{p,k+4} v_{p,k+5}$
1	$v_{p,k+4} v_{p,k+5} v_{p,k+2} v_{p,k+3} v_{p,k} v_{p,k+1}$
2	$\overline{v_{p,k} v_{p,k+1} v_{p,k+2} v_{p,k+3} v_{p,k+4} v_{p,k+5}}$
3	$\overline{v_{p,k+4} v_{p,k+5} v_{p,k+2} v_{p,k+3} v_{p,k} v_{p,k+1}}$

5 o,

Parámetro de versión de constelación b	Secuencia de bits de salida
0	$v_{p,k} v_{p,k+1} v_{p,k+2} v_{p,k+3} v_{p,k+4} v_{p,k+5}$
1	$v_{p,k+2} v_{p,k+3} v_{p,k+4} v_{p,k+5} v_{p,k} v_{p,k+1}$
2	$\overline{v_{p,k} v_{p,k+1} v_{p,k+2} v_{p,k+3} v_{p,k+4} v_{p,k+5}}$
3	$\overline{v_{p,k+2} v_{p,k+3} v_{p,k+4} v_{p,k+5} v_{p,k} v_{p,k+1}}$

o,

Parámetro de versión de constelación b	Secuencia de bits de salida
0	$v_{p,k} v_{p,k+1} v_{p,k+2} v_{p,k+3} v_{p,k+4} v_{p,k+5}$
1	$v_{p,k+2} v_{p,k+3} v_{p,k+4} v_{p,k+1} v_{p,k+5} v_{p,k}$
2	$\overline{v_{p,k} v_{p,k+1} v_{p,k+2} v_{p,k+3} v_{p,k+4} v_{p,k+5}}$
3	$\overline{v_{p,k+2} v_{p,k+3} v_{p,k+4} v_{p,k+1} v_{p,k+5} v_{p,k}}$

10

o,

Parámetro de versión de constelación b	Secuencia de bits de salida
0	$v_{p,k} v_{p,k+1} v_{p,k+2} v_{p,k+3} v_{p,k+4} v_{p,k+5}$
1	$v_{p,k} v_{p,k+1} v_{p,k+4} v_{p,k+5} v_{p,k+2} v_{p,k+3}$
2	$\overline{v_{p,k} v_{p,k+1} v_{p,k+2} v_{p,k+3} v_{p,k+4} v_{p,k+5}}$
3	$\overline{v_{p,k} v_{p,k+1} v_{p,k+4} v_{p,k+5} v_{p,k+2} v_{p,k+3}}$

o,

15

Parámetro de versión de constelación b	Secuencia de bits de salida
0	$v_{p,k} v_{p,k+1} v_{p,k+2} v_{p,k+3} v_{p,k+4} v_{p,k+5}$
1	$v_{p,k+4} v_{p,k+5} v_{p,k} v_{p,k+1} v_{p,k+2} v_{p,k+3}$
2	$\overline{v_{p,k} v_{p,k+1} v_{p,k+2} v_{p,k+3} v_{p,k+4} v_{p,k+5}}$
3	$\overline{v_{p,k+4} v_{p,k+5} v_{p,k} v_{p,k+1} v_{p,k+2} v_{p,k+3}}$

En donde $\overline{v_{p,i}}$ representa la inversión de $v_{p,i}$.

Una forma de realización de la presente invención da a conocer un sistema de codificación y multiplexación en un canal

compartido de codificación y multiplexación, que comprende un módulo de segmentación de canal físico, en donde el sistema de codificación y multiplexación comprende, además:

5 un módulo de entrelazado configurado para, en un caso de modulación 64QAM, dividir una secuencia de bits procedente del módulo de segmentación de canal físico en dos secuencias y entrelazar cada una de las dos secuencias por intermedio de un dispositivo de entrelazado 48x30, respectivamente;

en donde la secuencia de bit comprende: $u_{p,k}$, $u_{p,k+1}$, $u_{p,k+2}$, $u_{p,k+3}$, $u_{p,k+4}$ y $u_{p,k+5}$, y p es el número de secuencia del canal físico;

10 en donde los $u_{p,k}$, $u_{p,k+1}$ y $u_{p,k+2}$ están entrelazados por un primer dispositivo de entrelazado, los $u_{p,k+3}$, $u_{p,k+4}$ y $u_{p,k+5}$ están entrelazados por un segundo dispositivo de entrelazado.

15 Una forma de realización de la presente invención da a conocer, además, un sistema para la codificación y multiplexación en un canal compartido de enlace descendente de alta velocidad, en donde el primer dispositivo de entrelazado se aplica en $v_{p,k}$, $v_{p,k+1}$ y $v_{p,k+2}$, el segundo dispositivo de entrelazado se aplica en $v_{p,k+3}$, $v_{p,k+4}$ y $v_{p,k+5}$, y el sistema comprende, además:

20 un módulo de redistribución de constelación, configurado para poner en práctica una redistribución de constelación para los bits de entrada $v_{p,k}$, $v_{p,k+1}$, $v_{p,k+2}$, $v_{p,k+3}$, $v_{p,k+4}$, $v_{p,k+5}$ en una de las maneras siguientes:

Parámetro de versión de constelación b	Secuencia de bits de salida
0	$v_{p,k} v_{p,k+1} v_{p,k+2} v_{p,k+3} v_{p,k+4} v_{p,k+5}$
1	$v_{p,k+3} v_{p,k+4} v_{p,k+5} v_{p,k} v_{p,k+1} v_{p,k+2}$
2	$v_{p,k} v_{p,k+1} v_{p,k+2} v_{p,k+3} v_{p,k+4} v_{p,k+5}$
3	$v_{p,k+3} v_{p,k+4} v_{p,k+5} v_{p,k} v_{p,k+1} v_{p,k+2}$

o,

Parámetro de versión de constelación b	Secuencia de bits de salida
0	$v_{p,k} v_{p,k+1} v_{p,k+2} v_{p,k+3} v_{p,k+4} v_{p,k+5}$
1	$v_{p,k+4} v_{p,k+5} v_{p,k+2} v_{p,k+3} v_{p,k} v_{p,k+1}$
2	$v_{p,k} v_{p,k+1} v_{p,k+2} v_{p,k+3} v_{p,k+4} v_{p,k+5}$
3	$v_{p,k+4} v_{p,k+5} v_{p,k+2} v_{p,k+3} v_{p,k} v_{p,k+1}$

25

o,

Parámetro de versión de constelación b	Secuencia de bits de salida
0	$v_{p,k} v_{p,k+1} v_{p,k+2} v_{p,k+3} v_{p,k+4} v_{p,k+5}$
1	$v_{p,k+2} v_{p,k+3} v_{p,k+4} v_{p,k+5} v_{p,k} v_{p,k+1}$
2	$v_{p,k} v_{p,k+1} v_{p,k+2} v_{p,k+3} v_{p,k+4} v_{p,k+5}$
3	$v_{p,k+2} v_{p,k+3} v_{p,k+4} v_{p,k+5} v_{p,k} v_{p,k+1}$

30

o,

Parámetro de versión de constelación b	Secuencia de bits de salida
0	$v_{p,k} v_{p,k+1} v_{p,k+2} v_{p,k+3} v_{p,k+4} v_{p,k+5}$
1	$v_{p,k+2} v_{p,k+3} v_{p,k} v_{p,k+1} v_{p,k+4} v_{p,k+5}$
2	$v_{p,k} v_{p,k+1} v_{p,k+2} v_{p,k+3} v_{p,k+4} v_{p,k+5}$
3	$v_{p,k+2} v_{p,k+3} v_{p,k} v_{p,k+1} v_{p,k+4} v_{p,k+5}$

o,

Parámetro de versión de constelación b	Secuencia de bits de salida
0	$v_{p,k} v_{p,k+1} v_{p,k+2} v_{p,k+3} v_{p,k+4} v_{p,k+5}$
1	$v_{p,k} v_{p,k+1} v_{p,k+4} v_{p,k+5} v_{p,k+2} v_{p,k+3}$
2	$v_{p,k} v_{p,k+1} v_{p,k+2} v_{p,k+3} \overline{v_{p,k+4} v_{p,k+5}}$
3	$v_{p,k} v_{p,k+1} v_{p,k+4} v_{p,k+5} \overline{v_{p,k+2} v_{p,k+3}}$

Parámetro de versión de constelación b	Secuencia de bits de salida
0	$v_{p,k} v_{p,k+1} v_{p,k+2} v_{p,k+3} v_{p,k+4} v_{p,k+5}$
1	$v_{p,k+4} v_{p,k+5} v_{p,k} v_{p,k+1} v_{p,k+2} v_{p,k+3}$
2	$v_{p,k} v_{p,k+1} v_{p,k+2} v_{p,k+3} \overline{v_{p,k+4} v_{p,k+5}}$
3	$v_{p,k+4} v_{p,k+5} \overline{v_{p,k} v_{p,k+1} v_{p,k+2} v_{p,k+3}}$

En donde $\overline{v_{p,i}}$ representa la inversión de $v_{p,i}$.

5 La función de entrelazado en el caso de la modulación 64QAM puede ponerse en práctica dividiendo la secuencia de bits obtenida a partir de la segmentación de canal físico en dos o tres secuencias que luego se entrelazan por intermedios de dispositivos de entrelazado con la misma magnitud, respectivamente, en el caso de modulación 64QAM. Las formas de realización de la presente invención dan a conocer también varias soluciones de redistribución de constelación en las que la fiabilidad de cada bit está relativamente equilibrada y se mejora la calidad de la transmisión global utilizando secuencias de bits de salida, en una retransmisión de HARQ, que son diferentes de las secuencias de bits de salida en la transmisión o retransmisión anterior.

BREVE DESCRIPCIÓN DE LOS DIBUJOS

15 La Figura 1 es un diagrama de flujo que ilustra un método para la codificación y multiplexación en HS-DSCH en conformidad con la técnica anterior;

20 La Figura 2 es un diagrama esquemático que ilustra la estructura del módulo de HARQ del HS-DSCH en conformidad con la técnica anterior;

La Figura 3 es un diagrama esquemático que ilustra la estructura de un dispositivo de entrelazado del HS-DSCH en conformidad con la técnica anterior;

25 La Figura 4 es un diagrama que ilustra el resultado de simulación en conformidad con una forma de realización de la presente invención;

La Figura 5 es un diagrama esquemático que ilustra la estructura de una subtrama de HS-PDSCH;

30 La Figura 6 es un diagrama esquemático que ilustra el primer método de entrelazado de HS-DSCH en conformidad con una forma de realización de la presente invención; y

La Figura 7 es un diagrama esquemático que ilustra el segundo método de entrelazado de HS-DSCH en conformidad con una forma de realización de la presente invención.

35 DESCRIPCIÓN DETALLADA DE LAS FORMAS DE REALIZACIÓN

La presente invención se describirá en detalle haciendo referencia a los dibujos adjuntos con el fin de hacer más claro el objeto, la solución técnica y las ventajas de las formas de realización de la presente invención.

40 Las formas de realización de la presente invención se mejoran sobre la base de la solución de codificación y multiplexación de HS-DSCH de la técnica anterior. El Intervalo de Temporización de Transmisión (TTI) de 2 ms del Canal Compartido de Enlace Descendente de Alta Velocidad (HS-DSCH) soporta, como máximo, un bloque de datos, y cada bloque de datos de HS-DSCH para la introducción de la cadena de codificación y multiplexación es objeto de mapeado de correspondencia en una subtrama de HS-DSCH de 3 intervalos temporales después de ser objeto de codificación y multiplexación.

45 El método de codificación y multiplexación de HS-DSCH incluye las etapas siguientes: adición de información de Control de Redundancia Cíclica (CRC) en el bloque de transporte, cifrado de bits, segmentación de bloque de codificación,

codificación de canal, ARQ Híbrido, segmentación de canal físico, entrelazado, redistribución de constelación de Modulación en Amplitud por Cuadratura (QAM) 64 y mapeado de correspondencia de canales físicos.

5 El sistema de codificación y multiplexación de HS-DSCH incluye los módulos siguientes: un módulo de adición de CRC, un módulo de cifrado de bits, un módulo de segmentación de bloque de codificación, un módulo de codificación de canal, un módulo de función de HARQ, un módulo de segmentación de canal físico, un módulo de entrelazado, un módulo de redistribución de constelación un módulo de mapeado de correspondencia de canal físico.

10 En las formas de realización de la presente invención, las tres etapas de HARQ, entrelazado y redistribución de constelación en el método de codificación y multiplexación de HS-DSCH son objeto de mejora.

15 En las formas de realización de la presente invención, los tres módulos de módulo de función de HARQ, módulo de entrelazado y el módulo de redistribución de constelación en el sistema de codificación y multiplexación de HS-DSCH son objeto de mejora.

Los módulos mejorados y sus etapas se describirán a continuación.

20 Haciendo referencia a la Figura 2, HARQ incluye varios módulos de un módulo de separación de bits, un primer módulo de adaptación de tasas de transmisión, una memoria intermedia IR virtual, un segundo módulo de adaptación de tasa de transmisión y un módulo de recogida de bits. El segundo módulo de adaptación de tasa de transmisión se mejora en este modo de realización.

25 En el caso de modo de perforación, esto es, $N_{data} < N_{sys} + N_{p1} + N_{p2}$, el parámetro de adaptación de tasa de transmisión e_{ini} de cada secuencia de bits se determina por los parámetros r y s de RV.

$$e_{ini}(r) = \left\{ \left(X_i - \left\lfloor \frac{r \cdot e_{plus}}{r_{max}} \right\rfloor - 1 \right) \bmod e_{plus} \right\} + 1$$

30 En el caso del modo de repetición, esto es, $N_{data} > N_{sys} + N_{p1} + N_{p2}$, el parámetro de adaptación de tasa de transmisión e_{ini} de cada secuencia de bits es:

$$e_{ini}(r) = \left\{ \left(X_i - \left\lfloor \frac{(s + 2 \cdot r) \cdot e_{plus}}{(2 \cdot r_{max})} \right\rfloor - 1 \right) \bmod e_{plus} \right\} + 1$$

35 En donde $r \in \{0, 1, \dots, r_{max} - 1\}$, r_{max} es el número total de redundancia obtenida cambiando el parámetro r . Conviene señalar que el valor de r_{max} se determina por el método de modulación. 64QAM $r_{max} = 1$, 16QAM $r_{max} = 2$; QPSK $r_{max} = 4$.

En el caso del modo de modulación 64QAM, los parámetros de Versión de Redundancia (RV) s y r son designados como sigue:

64QAM $r_{max} = 1$

X_{rv} (valor)	s	r	b
0	1	0	0
1	0	0	0
2	1	1	1
3	0	1	1
4	1	0	1
5	1	0	2
6	1	0	3
7	1	1	0

64QAM $r_{max} = 2$

X_{rv} (valor)	s	r	b
0	1	0	0
1	0	0	0
2	1	1	1
3	0	1	1

X_{rv} (valor)	s	r	b
4	1	0	1
5	1	0	2
6	1	0	3
7	1	1	0

64QAM $r_{max} = 4$

X_{rv} (valor)	s	r	b
0	1	0	0
1	0	0	0
2	1	1	1
3	0	1	1
4	1	2	1
5	0	2	2
6	1	3	3
7	0	3	0

5 Mediante simulaciones, se demuestra que el mejor rendimiento del sistema se puede obtener mediante el uso de los parámetros anteriores. La Figura 4 ilustra el resultado de la simulación en el caso del canal PA cuando $R_{max} = 2$ en el modo de modulación 64QAM. Podría deducirse de la curva de modulación que el rendimiento máximo en esta solución es 21.6 Mbps y el rendimiento del sistema se mejora en gran medida.

10 Una primera forma de realización de la combinación de bits de HARQ:

15 La recogida de bits HARQ se realiza por intermedio de un dispositivo de entrelazado del tipo $N_{row} \times N_{col}$. En el caso del modo de modulación 64QAM, $N_{row}=6$, $N_{col} = N_{data} / N_{row}$. Los datos son objeto de escritura y lectura por columna. El método para la escritura es el mismo que el de la primera técnica anterior. en el caso del modo de modulación 64QAM, el orden de bits objeto de lectura desde cada columna se dispone como sigue: la 1ª fila, la 3ª fila, la 5ª fila, la 2ª fila, la 4ª fila y la 6ª fila; o como sigue: la 1ª fila, la 4ª fila, la 2ª fila, la 5ª fila, la 3ª fila y la 6ª fila; o bien: la 1ª fila, la 5ª fila, la 2ª fila, la 6ª fila, la 3ª fila y la 4ª fila; o bien: desde la 1ª fila a la 6ª fila.

20 En comparación con el método de lectura ordinal en la técnica anterior, el método de lectura de "saltos" es capaz de obtener un mejor efecto de entrelazado y mejorar el rendimiento de HARQ.

Una segunda forma de realización de la recogida de bits de HARQ:

25 La recogida de bits HARQ se realiza por un dispositivo de entrelazado de tipo $N_{row} \times N_{col}$. En el caso del modo de modulación 64QAM $N_{row}=6$, $N_{col} = N_{data} / N_{row}$. Los datos son objeto de escritura por columna y de lectura por fila, esto es, bits del sistema, primeros bits de control y segundos bits de control son objeto de escritura alternada, en columna por columna y luego, objeto de lectura por fila en turno.

30 En comparación con el método de escritura por columna y de lectura por columna en la técnica anterior, el método de escritura por columna y de lectura por fila es capaz de obtener un mejor efecto de entrelazado y mejorar el rendimiento de HARQ.

Una tercera forma de realización de la recogida de bits de HARQ:

35 La recogida de bits HARQ se realiza por un dispositivo de entrelazado de tipo $N_{row} \times N_{col}$. En el caso del modo de modulación 64QAM, $N_{row}=6$, $N_{col} = N_{data} / N_{row}$. Los datos son objeto de escritura por fila y de lectura por columna, esto es, bits del sistema, primeros bits de control y segundos bits de control son objeto de lectura alternada en filas por columna y luego, son objeto de lectura por columna por turno.

40 En comparación con el método de escritura por columna y de lectura por columna en la técnica anterior, el método de escritura por fila y de lectura por columna es capaz de obtener un mejor efecto de entrelazado y mejorar el rendimiento de HARQ.

45 Una primera forma de realización del entrelazado:

La estructura de subtramas del HS-PDSCH es según se ilustra en la Figura 5 y el factor de espectro de dispersión es 16. Por lo tanto, en el caso de modulación 64QAM, el número de bits soportados en cada intervalo temporal es 960 y el número de bits soportados en una subtrama es 2880. La secuencia de bits a la entrada del dispositivo de entrelazado es $u_{p,1}, u_{p,2}, u_{p,3}, \dots, u_{p,U}$. En el caso de modulación 64QAM, U es 2880. Por ello, cuando se utiliza el modo de modulación 64QAM, se proporciona la solución de entrelazado siguiente: tres dispositivos de entrelazado con la misma magnitud $R2 \times C2 = 32 \times 30$ se utilizan a este respecto y la secuencia de bits procedente del módulo de segmentación de canal físico se divide en tres secuencias, en donde $u_{p,k}$ y $u_{p,k+1}$ se transmiten al dispositivo de entrelazado 1, $u_{p,k+2}$ y $u_{p,k+3}$ se transmiten al dispositivo de entrelazado 2, $u_{p,k+4}$ y $u_{p,k+5}$ se transmiten al dispositivo de entrelazado 3 y las tres secuencias se entrelazan por el dispositivo de entrelazado $R2 \times C2 = 32 \times 30$, respectivamente. Según se ilustra en la Figura 6, las salidas del dispositivo de entrelazado 1 son $v_{p,k}$ y $v_{p,k+1}$, las salidas del dispositivo de entrelazado 2 son $v_{p,k+2}$ y $v_{p,k+3}$, y las salidas del dispositivo de entrelazado 3 son $v_{p,k+4}$ y $v_{p,k+5}$.

Puesto que la secuencia de bits procedente del módulo de segmentación de canal físico se divide en tres secuencias, puede satisfacerse el requisito de la modulación 64QAM; y puesto que el dispositivo de intercalado utilizado tiene la misma magnitud que el dispositivo de entrelazado utilizado en el modo de modulación 16QAM, puede obtenerse una mejor compatibilidad con el sistema ya existente.

Una segunda forma de realización de entrelazado:

Según se ilustra en la Figura 7, esta forma de realización es adecuada para el modo de modulación 64QAM. En el caso de modulación 64QAM, se utilizan dos dispositivos de entrelazado con una magnitud del sistema de $R2 \times C2 = 48 \times 30$ y la secuencia de bits procedente del módulo de segmentación de canal físico se divide en dos secuencias, en donde $u_{p,k}$, $u_{p,k+1}$ y $u_{p,k+2}$ se transmiten al dispositivo de entrelazado 1, $u_{p,k+3}$, $u_{p,k+4}$ y $u_{p,k+5}$ se transmiten al dispositivo de entrelazado 2 y las dos secuencias son entrelazadas por el dispositivo de entrelazado de tipo $R2 \times C2 = 48 \times 30$, respectivamente. Las salidas del dispositivo de entrelazado 1 son $v_{p,k}$, $v_{p,k+1}$ y $v_{p,k+2}$ y las salidas del dispositivo de entrelazado 2 son $v_{p,k+3}$, $v_{p,k+4}$ y $v_{p,k+5}$.

La redistribución de constelación se necesita en el caso de modulación 64QAM. Los bits de entrada se dividen en 6 grupos y $v_{p,k}$, $v_{p,k+1}$, $v_{p,k+2}$, $v_{p,k+3}$, $v_{p,k+4}$, $v_{p,k+5}$ son objeto de mapeado de correspondencia con $r_{p,k}$, $r_{p,k+1}$, $r_{p,k+2}$, $r_{p,k+3}$, $r_{p,k+4}$, $r_{p,k+5}$, en donde $k \bmod 6 = 1$.

Una primera forma de realización de la redistribución de constelación:

$v_{p,k}$, $v_{p,k+1}$, $v_{p,k+2}$, $v_{p,k+3}$, $v_{p,k+4}$, $v_{p,k+5}$ se dividen en dos grupos: los tres primeros bits más significativos y los tres últimos bits menos significativos. Los primeros tres bits más significativos tienen una más alta fiabilidad y los tres últimos bits menos significativos tienen una más baja fiabilidad. Ni el orden ni la fiabilidad de estos bits se cambia durante la primera transmisión, mientras que la fiabilidad de estos bits se cambia o los bits se invierten durante la retransmisión. Según se ilustra en la tabla siguiente, en donde $\overline{v_{p,i}}$ representa la inversión de $v_{p,i}$.

Parámetro de versión de constelación b	Secuencia de bits de salida
0	$v_{p,k} v_{p,k+1} v_{p,k+2} v_{p,k+3} v_{p,k+4} v_{p,k+5}$
1	$v_{p,k+3} v_{p,k+4} v_{p,k+5} v_{p,k} v_{p,k+1} v_{p,k+2}$
2	$\overline{v_{p,k} v_{p,k+1} v_{p,k+2} v_{p,k+3} v_{p,k+4} v_{p,k+5}}$
3	$\overline{v_{p,k+3} v_{p,k+4} v_{p,k+5} v_{p,k} v_{p,k+1} v_{p,k+2}}$

Una segunda forma de realización de la redistribución de constelación:

$v_{p,k}$, $v_{p,k+1}$, $v_{p,k+2}$, $v_{p,k+3}$, $v_{p,k+4}$, $v_{p,k+5}$ se dividen en tres grupos: los primeros dos bits más significativos, los dos intermedios bits más significativos y los dos últimos bits menos significativos. Los primeros dos bits más significativos tienen la más alta fiabilidad, los dos intermedios bits más significativos tienen más alta fiabilidad y los dos últimos bits menos significativos tienen la más baja fiabilidad. Ni el orden ni la fiabilidad de estos bits se cambia durante la primera transmisión, mientras que la fiabilidad de estos bits se cambia o los bits se invierten durante la retransmisión, según se ilustra en la tabla siguiente

Parámetro de versión de constelación b	Secuencia de bits de salida
0	$v_{p,k} v_{p,k+1} v_{p,k+2} v_{p,k+3} v_{p,k+4} v_{p,k+5}$
1	$v_{p,k+4} v_{p,k+5} v_{p,k+2} v_{p,k+3} v_{p,k} v_{p,k+1}$
2	$\overline{v_{p,k} v_{p,k+1} v_{p,k+2} v_{p,k+3} v_{p,k+4} v_{p,k+5}}$

Parámetro de versión de constelación b	Secuencia de bits de salida
3	$v_{p,k+4} v_{p,k+5} v_{p,k+2} v_{k+3} v_{p,k} v_{p,k+1}$

Una tercera forma de realización de la redistribución de constelación realiza un ajuste en la secuencia de bits de salida en la segunda forma de realización como sigue:

5

Parámetro de versión de constelación b	Secuencia de bits de salida
0	$v_{p,k} v_{p,k+1} v_{p,k+2} v_{p,k+3} v_{p,k+4} v_{p,k+5}$
1	$v_{p,k+2} v_{p,k+3} v_{p,k+4} v_{p,k+5} v_{p,k} v_{p,k+1}$
2	$v_{p,k} v_{p,k+1} v_{p,k+2} v_{p,k+3} v_{p,k+4} v_{p,k+5}$
3	$v_{p,k+2} v_{k+3} v_{p,k+4} v_{p,k+5} v_{p,k} v_{p,k+1}$

Una cuarta forma de realización de la redistribución de constelación realiza un ajuste en la secuencia de bits de salida en la segunda forma de realización como sigue:

Parámetro de versión de constelación b	Secuencia de bits de salida
0	$v_{p,k} v_{p,k+1} v_{p,k+2} v_{p,k+3} v_{p,k+4} v_{p,k+5}$
1	$v_{p,k+2} v_{p,k+3} v_{p,k} v_{p,k+1} v_{p,k+4} v_{p,k+5}$
2	$v_{p,k} v_{p,k+1} v_{p,k+2} v_{p,k+3} v_{p,k+4} v_{p,k+5}$
3	$v_{p,k+2} v_{k+3} v_{p,k} v_{p,k+1} v_{p,k+4} v_{p,k+5}$

10 Una quinta forma de realización de la redistribución de constelación realiza un ajuste en la secuencia de bits de salida en la segunda forma de realización como sigue:

Parámetro de versión de constelación b	Secuencia de bits de salida
0	$v_{p,k} v_{p,k+1} v_{p,k+2} v_{p,k+3} v_{p,k+4} v_{p,k+5}$
1	$v_{p,k} v_{p,k+1} v_{p,k+4} v_{p,k+5} v_{p,k+2} v_{p,k+3}$
2	$v_{p,k} v_{p,k+1} v_{p,k+2} v_{p,k+3} v_{p,k+4} v_{p,k+5}$
3	$v_{p,k} v_{p,k+1} v_{p,k+4} v_{p,k+5} v_{p,k+2} v_{k+3}$

15 Una sexta forma de realización de la redistribución de constelación realiza un ajuste en la secuencia de bits de salida en la segunda forma de realización como sigue:

Parámetro de versión de constelación b	Secuencia de bits de salida
0	$v_{p,k} v_{p,k+1} v_{p,k+2} v_{p,k+3} v_{p,k+4} v_{p,k+5}$
1	$v_{p,k+4} v_{p,k+5} v_{p,k} v_{p,k+1} v_{p,k+2} v_{p,k+3}$
2	$v_{p,k} v_{p,k+1} v_{p,k+2} v_{p,k+3} v_{p,k+4} v_{p,k+5}$
3	$v_{p,k+4} v_{p,k+5} v_{p,k} v_{p,k+1} v_{p,k+2} v_{k+3}$

20 Podría deducirse de las diversas formas de realización de la redistribución de constelación que en el caso de la modulación 64QAM, puesto que las fiabilidades de los seis bits son diferentes, la fiabilidad de cada bit está relativamente equilibrada y se mejora la calidad de transmisión global utilizando secuencias de bits de salida, en la retransmisión de HARQ, que sean diferentes de las secuencias de bits de salida en la transmisión o retransmisión anterior.

25 Conviene señalar que las mejoras en HARQ, entrelazado y redistribución de constelación pueden utilizarse por separado o combinadas juntas para obtener un mejor efecto.

REIVINDICACIONES

1. Un método para realizar una codificación y una multiplexación en un canal compartido de enlace descendente de alta velocidad, caracterizado por cuanto que comprende:

5 en un caso de una modulación 64QAM, después de que un canal físico haya sido segmentado, dividir una secuencia de bits en tres secuencias, en donde la secuencia de bits se obtiene segmentando el canal físico, en donde la secuencia de bits comprende: $u_{p,k}$, $u_{p,k+1}$, $u_{p,k+2}$, $u_{p,k+3}$, $u_{p,k+4}$ y $u_{p,k+5}$, y p es un número de secuencia del canal físico; y

10 entrelazar cada una de las tres secuencias por intermedio de un dispositivo de entrelazado de 32 filas x 30 columnas respectivamente, en donde los $u_{p,k}$ y $u_{p,k+1}$ están entrelazados por un primer dispositivo de entrelazado, los $u_{p,k+2}$ y $u_{p,k+3}$ están entrelazados por un segundo dispositivo de entrelazado y los $u_{p,k+4}$ y $u_{p,k+5}$ están entrelazados por un tercer dispositivo de entrelazado.

15 2. El método según la reivindicación 1, en donde el primer dispositivo de entrelazado proporciona, a la salida, $v_{p,k}$ y $v_{p,k+1}$, el segundo dispositivo de entrelazado proporciona, a la salida, $v_{p,k+2}$ y $v_{p,k+3}$ y el tercer dispositivo de entrelazado proporciona, a la salida, $v_{p,k+4}$ y $v_{p,k+5}$, y el método comprende, además:

20 poner en práctica una redistribución de constelación para los bits de entrada $v_{p,k}$, $v_{p,k+1}$, $v_{p,k+2}$, $v_{p,k+3}$, $v_{p,k+4}$, $v_{p,k+5}$ en una de las maneras siguientes, cuando se realiza la redistribución de constelación:

Parámetro de versión de constelación b	Secuencia de bits de salida
0	$v_{p,k}v_{p,k+1}v_{p,k+2}v_{p,k+3}v_{p,k+4}v_{p,k+5}$
1	$v_{p,k+3}v_{p,k+4}v_{p,k+5}v_{p,k}v_{p,k+1}v_{p,k+2}$
2	$v_{p,k}v_{p,k+1}v_{p,k+2}v_{p,k+3}v_{p,k+4}v_{p,k+5}$
3	$v_{p,k+3}v_{p,k+4}v_{p,k+5}v_{p,k}v_{p,k+1}v_{p,k+2}$

o,

Parámetro de versión de constelación b	Secuencia de bits de salida
0	$v_{p,k}v_{p,k+1}v_{p,k+2}v_{p,k+3}v_{p,k+4}v_{p,k+5}$
1	$v_{p,k+4}v_{p,k+5}v_{p,k+2}v_{p,k+3}v_{p,k}v_{p,k+1}$
2	$v_{p,k}v_{p,k+1}v_{p,k+2}v_{p,k+3}v_{p,k+4}v_{p,k+5}$
3	$v_{p,k+4}v_{p,k+5}v_{p,k+2}v_{p,k+3}v_{p,k}v_{p,k+1}$

25

o,

Parámetro de versión de constelación b	Secuencia de bits de salida
0	$v_{p,k}v_{p,k+1}v_{p,k+2}v_{p,k+3}v_{p,k+4}v_{p,k+5}$
1	$v_{p,k+2}v_{p,k+3}v_{p,k+4}v_{p,k+5}v_{p,k}v_{p,k+1}$
2	$v_{p,k}v_{p,k+1}v_{p,k+2}v_{p,k+3}v_{p,k+4}v_{p,k+5}$
3	$v_{p,k+2}v_{p,k+3}v_{p,k+4}v_{p,k+5}v_{p,k}v_{p,k+1}$

30

o,

Parámetro de versión de constelación b	Secuencia de bits de salida
0	$v_{p,k}v_{p,k+1}v_{p,k+2}v_{p,k+3}v_{p,k+4}v_{p,k+5}$
1	$v_{p,k+2}v_{p,k+3}v_{p,k}v_{p,k+1}v_{p,k+4}v_{p,k+5}$
2	$v_{p,k}v_{p,k+1}v_{p,k+2}v_{p,k+3}v_{p,k+4}v_{p,k+5}$
3	$v_{p,k+2}v_{p,k+3}v_{p,k}v_{p,k+1}v_{p,k+4}v_{p,k+5}$

o,

Parámetro de versión de constelación b	Secuencia de bits de salida
0	$V_{p,k}V_{p,k+1}V_{p,k+2}V_{p,k+3}V_{p,k+4}V_{p,k+5}$
1	$V_{p,k}V_{p,k+1}V_{p,k+4}V_{p,k+5}V_{p,k+2}V_{p,k+3}$
2	$V_{p,k}V_{p,k+1}V_{p,k+2}V_{p,k+3}V_{p,k+4}V_{p,k+5}$
3	$V_{p,k}V_{p,k+1}V_{p,k+4}V_{p,k+5}V_{p,k+2}V_{p,k+3}$

o,

5

Parámetro de versión de constelación b	Secuencia de bits de salida
0	$V_{p,k}V_{p,k+1}V_{p,k+2}V_{p,k+3}V_{p,k+4}V_{p,k+5}$
1	$V_{p,k+4}V_{p,k+5}V_{p,k}V_{p,k+1}V_{p,k+2}V_{p,k+3}$
2	$V_{p,k}V_{p,k+1}V_{p,k+2}V_{p,k+3}V_{p,k+4}V_{p,k+5}$
3	$V_{p,k+4}V_{p,k+5}V_{p,k}V_{p,k+1}V_{p,k+2}V_{p,k+3}$

en donde $\overline{v_{p,i}}$ representa la inversión de $v_{p,i}$.

3. Un método para realizar una codificación y una multiplexación en un canal compartido de enlace descendente de alta velocidad, caracterizado por cuanto que comprende:

10

en un caso de una modulación 64QAM, después de que un canal físico haya sido segmentado, dividir una secuencia de bits en dos secuencias, en donde la secuencia de bits se obtiene segmentado el canal físico, en donde la secuencia de bits comprende: $u_{p,k}$, $u_{p,k+1}$, $u_{p,k+2}$, $u_{p,k+3}$, $u_{p,k+4}$ y $u_{p,k+5}$, y p es un número de secuencia del canal físico; y

15

entrelazar cada una de las dos secuencias por intermedio de un dispositivo de entrelazado de 48 filas x 30 columnas respectivamente, en donde $u_{p,k}$, $u_{p,k+1}$ y $u_{p,k+2}$ están entrelazados por un primer dispositivo de entrelazado, estando $u_{p,k+3}$, $u_{p,k+4}$ y $u_{p,k+5}$ entrelazados por un segundo dispositivo de entrelazado.

4. El método según la reivindicación 3, en donde el primer dispositivo de entrelazado proporciona, a la salida, $v_{p,k}$, $v_{p,k+1}$ y $v_{p,k+2}$, el segundo dispositivo de entrelazado proporciona, a la salida, $v_{p,k+3}$, $v_{p,k+4}$ y $v_{p,k+5}$, y el método comprende, además:

20

poner en práctica la redistribución de constelación para los bits de entrada $v_{p,k}$, $v_{p,k+1}$, $v_{p,k+2}$, $v_{p,k+3}$, $v_{p,k+4}$, $v_{p,k+5}$ en una de las maneras siguientes, cuando se realiza la redistribución de constelación:

25

Parámetro de versión de constelación b	Secuencia de bits de salida
0	$V_{p,k}V_{p,k+1}V_{p,k+2}V_{p,k+3}V_{p,k+4}V_{p,k+5}$
1	$V_{p,k+3}V_{p,k+4}V_{p,k+5}V_{p,k}V_{p,k+1}V_{p,k+2}$
2	$V_{p,k}V_{p,k+1}V_{p,k+2}V_{p,k+3}V_{p,k+4}V_{p,k+5}$
3	$V_{p,k+3}V_{p,k+4}V_{p,k+5}V_{p,k}V_{p,k+1}V_{p,k+2}$

o,

Parámetro de versión de constelación b	Secuencia de bits de salida
0	$V_{p,k}V_{p,k+1}V_{p,k+2}V_{p,k+3}V_{p,k+4}V_{p,k+5}$
1	$V_{p,k+4}V_{p,k+5}V_{p,k+2}V_{p,k+3}V_{p,k}V_{p,k+1}$
2	$V_{p,k}V_{p,k+1}V_{p,k+2}V_{p,k+3}V_{p,k+4}V_{p,k+5}$
3	$V_{p,k+4}V_{p,k+5}V_{p,k+2}V_{p,k+3}V_{p,k}V_{p,k+1}$

30

o,

Parámetro de versión de constelación b	Secuencia de bits de salida
0	$V_{p,k}V_{p,k+1}V_{p,k+2}V_{p,k+3}V_{p,k+4}V_{p,k+5}$
1	$V_{p,k+2}V_{p,k+3}V_{p,k+4}V_{p,k+5}V_{p,k}V_{p,k+1}$
2	$\overline{V_{p,k}V_{p,k+1}V_{p,k+2}V_{p,k+3}V_{p,k+4}V_{p,k+5}}$
3	$\overline{V_{p,k+2}V_{p,k+3}V_{p,k+4}V_{p,k+5}V_{p,k}V_{p,k+1}}$

o,

Parámetro de versión de constelación b	Secuencia de bits de salida
0	$V_{p,k}V_{p,k+1}V_{p,k+2}V_{p,k+3}V_{p,k+4}V_{p,k+5}$
1	$V_{p,k+2}V_{p,k+3}V_{p,k}V_{p,k+1}V_{p,k+4}V_{p,k+5}$
2	$\overline{V_{p,k}V_{p,k+1}V_{p,k+2}V_{p,k+3}V_{p,k+4}V_{p,k+5}}$
3	$\overline{V_{p,k+2}V_{p,k+3}V_{p,k}V_{p,k+1}V_{p,k+4}V_{p,k+5}}$

5

o,

Parámetro de versión de constelación b	Secuencia de bits de salida
0	$V_{p,k}V_{p,k+1}V_{p,k+2}V_{p,k+3}V_{p,k+4}V_{p,k+5}$
1	$V_{p,k}V_{p,k+1}V_{p,k+4}V_{p,k+5}V_{p,k+2}V_{p,k+3}$
2	$\overline{V_{p,k}V_{p,k+1}V_{p,k+2}V_{p,k+3}V_{p,k+4}V_{p,k+5}}$
3	$\overline{V_{p,k}V_{p,k+1}V_{p,k+4}V_{p,k+5}V_{p,k+2}V_{p,k+3}}$

10

o,

Parámetro de versión de constelación b	Secuencia de bits de salida
0	$V_{p,k}V_{p,k+1}V_{p,k+2}V_{p,k+3}V_{p,k+4}V_{p,k+5}$
1	$V_{p,k+4}V_{p,k+5}V_{p,k}V_{p,k+1}V_{p,k+2}V_{p,k+3}$
2	$\overline{V_{p,k}V_{p,k+1}V_{p,k+2}V_{p,k+3}V_{p,k+4}V_{p,k+5}}$
3	$\overline{V_{p,k+4}V_{p,k+5}V_{p,k}V_{p,k+1}V_{p,k+2}V_{p,k+3}}$

en donde $\overline{V_{p,i}}$ representa la inversión de $V_{p,i}$.

15 5. Un sistema de codificación y multiplexación en un canal compartido de enlace descendente de alta velocidad, que comprende un módulo de segmentación de canal físico, caracterizado por cuanto que el sistema de codificación y multiplexación comprende, además:

20 un módulo de entrelazado, configurado para, en un caso de modulación 64QAM, dividir una secuencia de bits procedente del módulo de segmentación de canal físico en tres secuencias y entrelazar cada una de las tres secuencias de aprendizaje por intermedio de un dispositivo de entrelazado de 32 filas × 30 columnas, respectivamente;

y por cuanto que el sistema está configurado de modo que la secuencia de bits comprende: $u_{p,k}$, $u_{p,k+1}$, $u_{p,k+2}$, $u_{p,k+3}$, $u_{p,k+4}$ y $u_{p,k+5}$, y p es un número de secuencia del canal físico;

25 estando $u_{p,k}$ y $u_{p,k+1}$ entrelazados por un primer dispositivo de entrelazado, los $u_{p,k+2}$ y $u_{p,k+3}$ están entrelazados por un segundo dispositivo de entrelazado y los $u_{p,k+4}$ y $u_{p,k+5}$ están entrelazados por un tercer dispositivo de entrelazado.

30 6. El sistema según la reivindicación 5, caracterizado por cuanto que el sistema está configurado, además, de modo que el primer dispositivo de entrelazado proporciona, a la salida, $V_{p,k}$ y $V_{p,k+1}$, el segundo dispositivo de entrelazado proporciona, a la salida, $V_{p,k+2}$ y $V_{p,k+3}$ y el tercer dispositivo de entrelazado proporciona, a la salida, $V_{p,k+4}$ y $V_{p,k+5}$, y el sistema comprende:

un módulo de redistribución de constelación, configurado para poner en práctica una redistribución de constelación para los bits de entrada $V_{p,k}$, $V_{p,k+1}$, $V_{p,k+2}$, $V_{p,k+3}$, $V_{p,k+4}$, $V_{p,k+5}$ en una de las maneras siguientes:

5

Parámetro de versión de constelación b	Secuencia de bits de salida
0	$V_{p,k}V_{p,k+1}V_{p,k+2}V_{p,k+3}V_{p,k+4}V_{p,k+5}$
1	$V_{p,k+3}V_{p,k+4}V_{p,k+5}V_{p,k}V_{p,k+1}V_{p,k+2}$
2	$V_{p,k}V_{p,k+1}V_{p,k+2}V_{p,k+3}V_{p,k+4}V_{p,k+5}$
3	$V_{p,k+3}V_{p,k+4}V_{p,k+5}V_{p,k}V_{p,k+1}V_{p,k+2}$

o,

10

Parámetro de versión de constelación b	Secuencia de bits de salida
0	$V_{p,k}V_{p,k+1}V_{p,k+2}V_{p,k+3}V_{p,k+4}V_{p,k+5}$
1	$V_{p,k+4}V_{p,k+5}V_{p,k+2}V_{p,k+3}V_{p,k}V_{p,k+1}$
2	$V_{p,k}V_{p,k+1}V_{p,k+2}V_{p,k+3}V_{p,k+4}V_{p,k+5}$
3	$V_{p,k+4}V_{p,k+5}V_{p,k+2}V_{p,k+3}V_{p,k}V_{p,k+1}$

o,

Parámetro de versión de constelación b	Secuencia de bits de salida
0	$V_{p,k}V_{p,k+1}V_{p,k+2}V_{p,k+3}V_{p,k+4}V_{p,k+5}$
1	$V_{p,k+2}V_{p,k+3}V_{p,k+4}V_{p,k+5}V_{p,k}V_{p,k+1}$
2	$V_{p,k}V_{p,k+1}V_{p,k+2}V_{p,k+3}V_{p,k+4}V_{p,k+5}$
3	$V_{p,k+2}V_{p,k+3}V_{p,k+4}V_{p,k+5}V_{p,k}V_{p,k+1}$

o,

15

Parámetro de versión de constelación b	Secuencia de bits de salida
0	$V_{p,k}V_{p,k+1}V_{p,k+2}V_{p,k+3}V_{p,k+4}V_{p,k+5}$
1	$V_{p,k+2}V_{p,k+3}V_{p,k}V_{p,k+1}V_{p,k+4}V_{p,k+5}$
2	$V_{p,k}V_{p,k+1}V_{p,k+2}V_{p,k+3}V_{p,k+4}V_{p,k+5}$
3	$V_{p,k+2}V_{p,k+3}V_{p,k}V_{p,k+1}V_{p,k+4}V_{p,k+5}$

o,

Parámetro de versión de constelación b	Secuencia de bits de salida
0	$V_{p,k}V_{p,k+1}V_{p,k+2}V_{p,k+3}V_{p,k+4}V_{p,k+5}$
1	$V_{p,k}V_{p,k+1}V_{p,k+4}V_{p,k+5}V_{p,k+2}V_{p,k+3}$
2	$V_{p,k}V_{p,k+1}V_{p,k+2}V_{p,k+3}V_{p,k+4}V_{p,k+5}$
3	$V_{p,k}V_{p,k+1}V_{p,k+4}V_{p,k+5}V_{p,k+2}V_{p,k+3}$

o,

Parámetro de versión de constelación b	Secuencia de bits de salida
0	$V_{p,k}V_{p,k+1}V_{p,k+2}V_{p,k+3}V_{p,k+4}V_{p,k+5}$
1	$V_{p,k+4}V_{p,k+5}V_{p,k}V_{p,k+1}V_{p,k+2}V_{p,k+3}$

Parámetro de versión de constelación b	Secuencia de bits de salida
2	$v_{p,k} v_{p,k+1} v_{p,k+2} v_{p,k+3} v_{p,k+4} v_{p,k+5}$
3	$v_{p,k+4} v_{p,k+5} v_{p,k} v_{p,k+1} v_{p,k+2} v_{p,k+3}$

en donde $\overline{v_{p,i}}$ representa la inversión de $v_{p,i}$.

7. Un sistema de codificación y multiplexación en un canal compartido de enlace descendente de alta velocidad, que comprende un módulo de segmentación de canal físico, caracterizado por cuanto que el sistema de codificación y multiplexación comprende, además:

un módulo de entrelazado, configurado para, en un caso de modulación 64QAM, dividir una secuencia de bits procedente del módulo de segmentación de canal físico en dos secuencias y entrelazar cada una de las dos secuencias por intermedio de un dispositivo de entrelazado de 48 filas x 30 columnas, respectivamente;

y por cuanto que el sistema está configurado de tal manera que la secuencia de bits comprende: $u_{p,k}, u_{p,k+1}, u_{p,k+2}, u_{p,k+3}, u_{p,k+4}$ y $u_{p,k+5}$, y p es un número de secuencia del canal físico;

y por cuanto que los $u_{p,k}, u_{p,k+1}$ y $u_{p,k+2}$ están entrelazados por un primer dispositivo de entrelazado, los $u_{p,k+3}, u_{p,k+4}$ y $u_{p,k+5}$ están entrelazados por un segundo dispositivo de entrelazado.

8. El sistema según la reivindicación 7, configurado, además, de tal manera que el primer dispositivo de entrelazado proporciona, a la salida, $v_{p,k}, v_{p,k+1}$ y $v_{p,k+2}$, el segundo dispositivo de entrelazado proporciona, a la salida, $v_{p,k+3}, v_{p,k+4}$ y $v_{p,k+5}$, y el sistema comprende, además:

un módulo de redistribución de constelación, configurado para poner en práctica la redistribución de constelación para los bits de entrada $v_{p,k}, v_{p,k+1}, v_{p,k+2}, v_{p,k+3}, v_{p,k+4}, v_{p,k+5}$ en una de las maneras siguientes:

Parámetro de versión de constelación b	Secuencia de bits de salida
0	$v_{p,k} v_{p,k+1} v_{p,k+2} v_{p,k+3} v_{p,k+4} v_{p,k+5}$
1	$v_{p,k+3} v_{p,k+4} v_{p,k+5} v_{p,k} v_{p,k+1} v_{p,k+2}$
2	$v_{p,k} v_{p,k+1} v_{p,k+2} v_{p,k+3} v_{p,k+4} v_{p,k+5}$
3	$v_{p,k+3} v_{p,k+4} v_{p,k+5} v_{p,k} v_{p,k+1} v_{p,k+2}$

o,

Parámetro de versión de constelación b	Secuencia de bits de salida
0	$v_{p,k} v_{p,k+1} v_{p,k+2} v_{p,k+3} v_{p,k+4} v_{p,k+5}$
1	$v_{p,k+4} v_{p,k+5} v_{p,k+2} v_{p,k+3} v_{p,k} v_{p,k+1}$
2	$v_{p,k} v_{p,k+1} v_{p,k+2} v_{p,k+3} v_{p,k+4} v_{p,k+5}$
3	$v_{p,k+4} v_{p,k+5} v_{p,k+2} v_{p,k+3} v_{p,k} v_{p,k+1}$

o,

Parámetro de versión de constelación b	Secuencia de bits de salida
0	$v_{p,k} v_{p,k+1} v_{p,k+2} v_{p,k+3} v_{p,k+4} v_{p,k+5}$
1	$v_{p,k+2} v_{p,k+3} v_{p,k+4} v_{p,k+5} v_{p,k} v_{p,k+1}$
2	$v_{p,k} v_{p,k+1} v_{p,k+2} v_{p,k+3} v_{p,k+4} v_{p,k+5}$
3	$v_{p,k+2} v_{p,k+3} v_{p,k+4} v_{p,k+5} v_{p,k} v_{p,k+1}$

o,

Parámetro de versión de constelación b	Secuencia de bits de salida
0	$V_{p,k}V_{p,k+1}V_{p,k+2}V_{p,k+3}V_{p,k+4}V_{p,k+5}$
1	$V_{p,k+2}V_{p,k+3}V_{p,k}V_{p,k+1}V_{p,k+4}V_{p,k+5}$
2	$\overline{V_{p,k}V_{p,k+1}V_{p,k+2}V_{p,k+3}V_{p,k+4}V_{p,k+5}}$
3	$\overline{V_{p,k+2}V_{p,k+3}V_{p,k}V_{p,k+1}V_{p,k+4}V_{p,k+5}}$

o,

Parámetro de versión de constelación b	Secuencia de bits de salida
0	$V_{p,k}V_{p,k+1}V_{p,k+2}V_{p,k+3}V_{p,k+4}V_{p,k+5}$
1	$V_{p,k}V_{p,k+1}V_{p,k+4}V_{p,k+5}V_{p,k+2}V_{p,k+3}$
2	$\overline{V_{p,k}V_{p,k+1}V_{p,k+2}V_{p,k+3}V_{p,k+4}V_{p,k+5}}$
3	$\overline{V_{p,k}V_{p,k+1}V_{p,k+4}V_{p,k+5}V_{p,k+2}V_{p,k+3}}$

5 o,

Parámetro de versión de constelación b	Secuencia de bits de salida
0	$V_{p,k}V_{p,k+1}V_{p,k+2}V_{p,k+3}V_{p,k+4}V_{p,k+5}$
1	$V_{p,k+4}V_{p,k+5}V_{p,k}V_{p,k+1}V_{p,k+2}V_{p,k+3}$
2	$\overline{V_{p,k}V_{p,k+1}V_{p,k+2}V_{p,k+3}V_{p,k+4}V_{p,k+5}}$
3	$\overline{V_{p,k+4}V_{p,k+5}V_{p,k}V_{p,k+1}V_{p,k+2}V_{p,k+3}}$

en donde $\overline{V_{p,i}}$ representa la inversión de $V_{p,i}$.

10

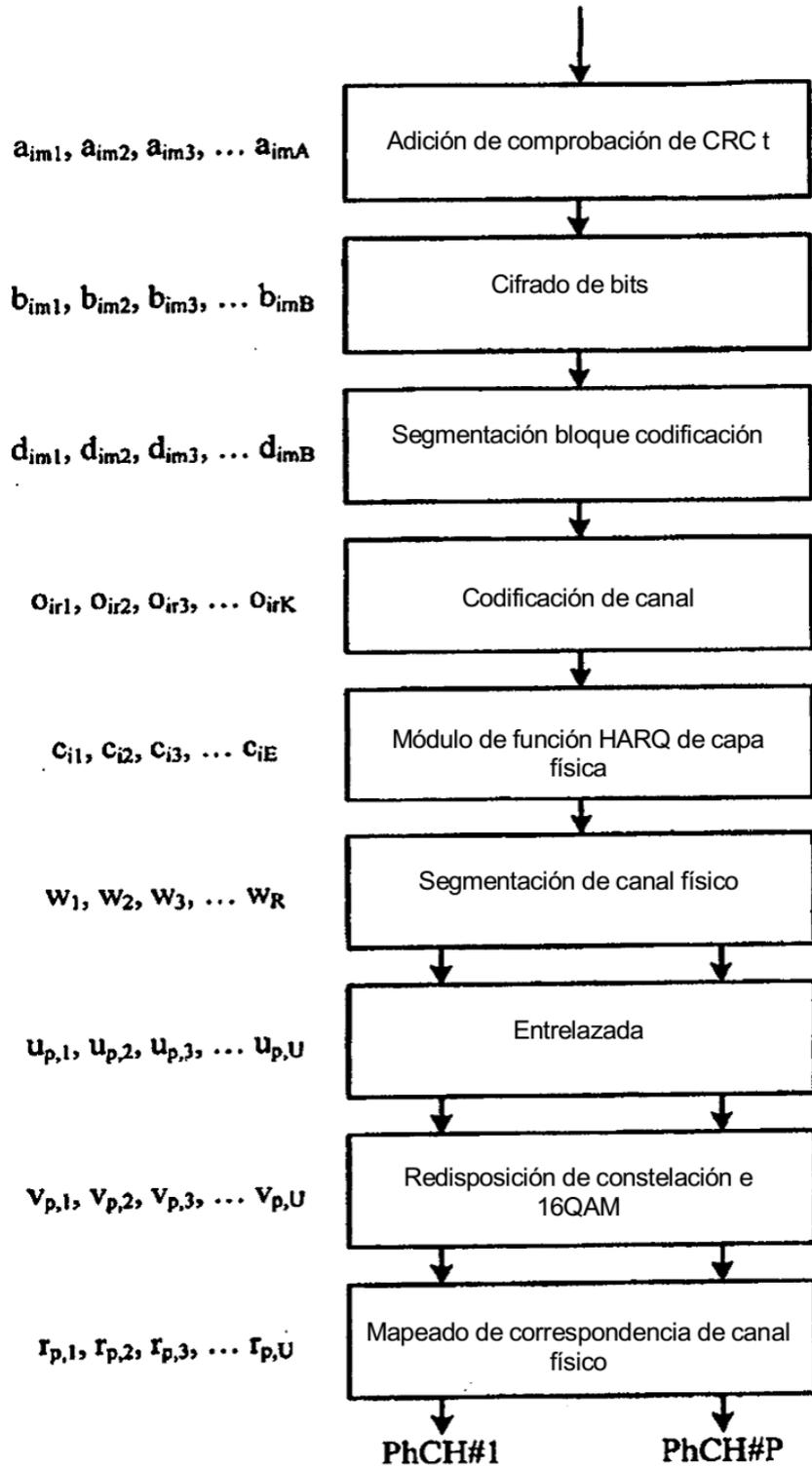


Fig.1

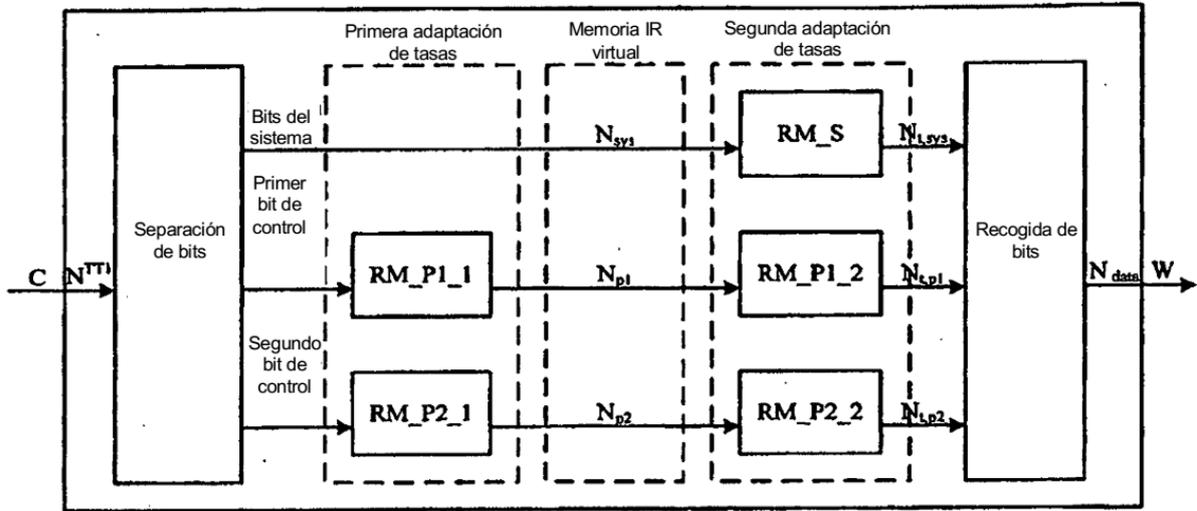


Fig.2

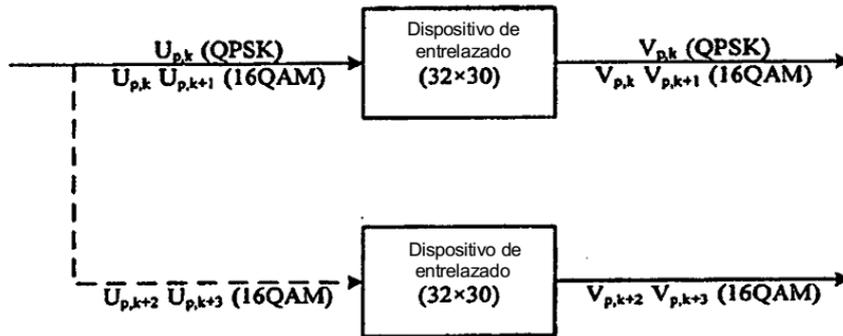


Fig.3

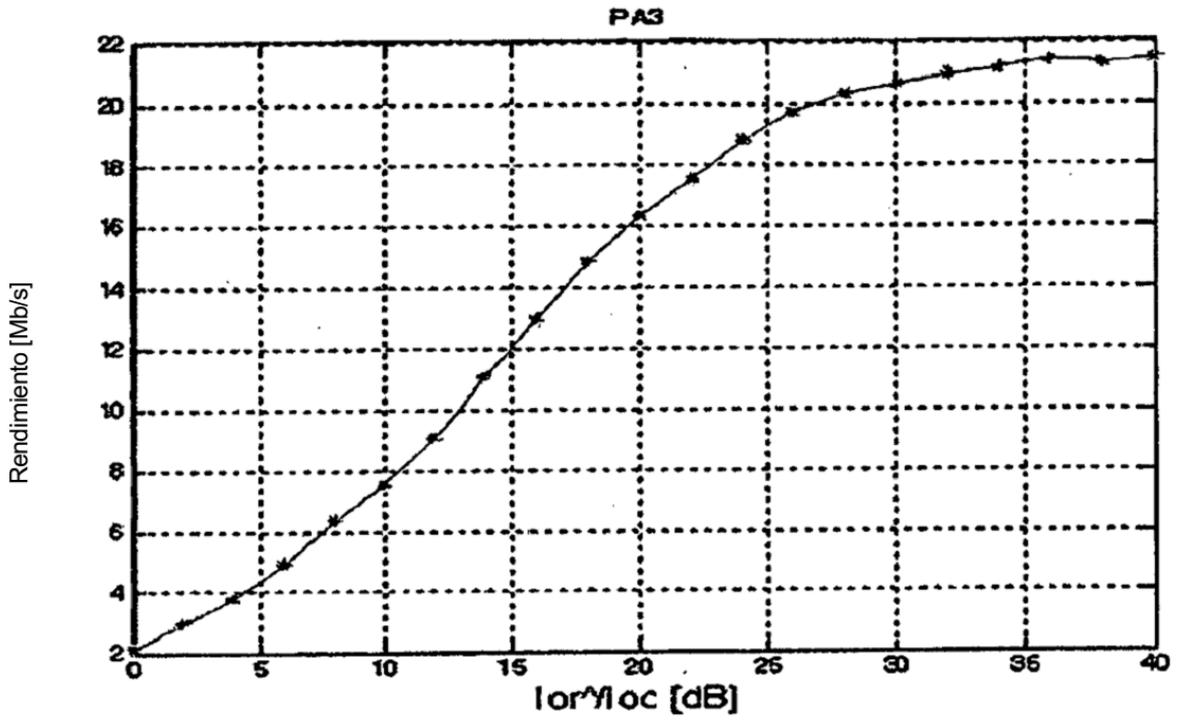


Fig.4

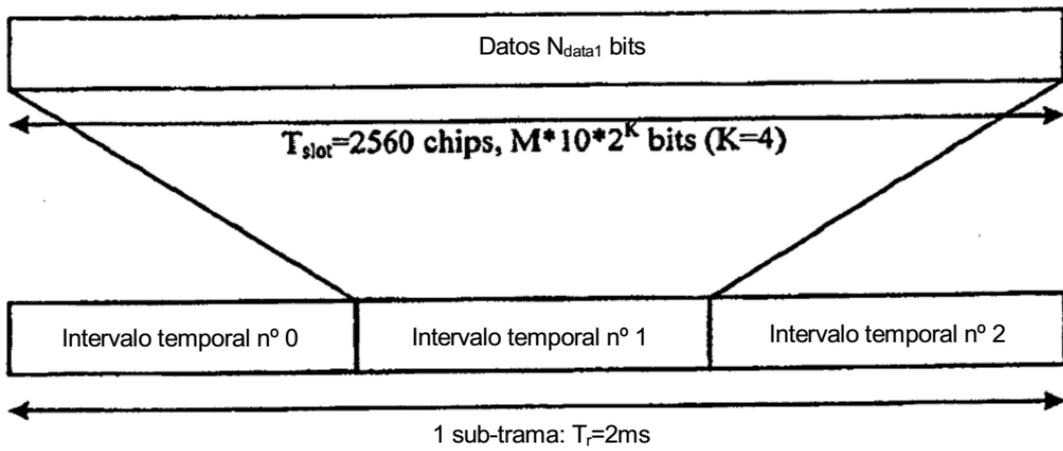


Fig.5

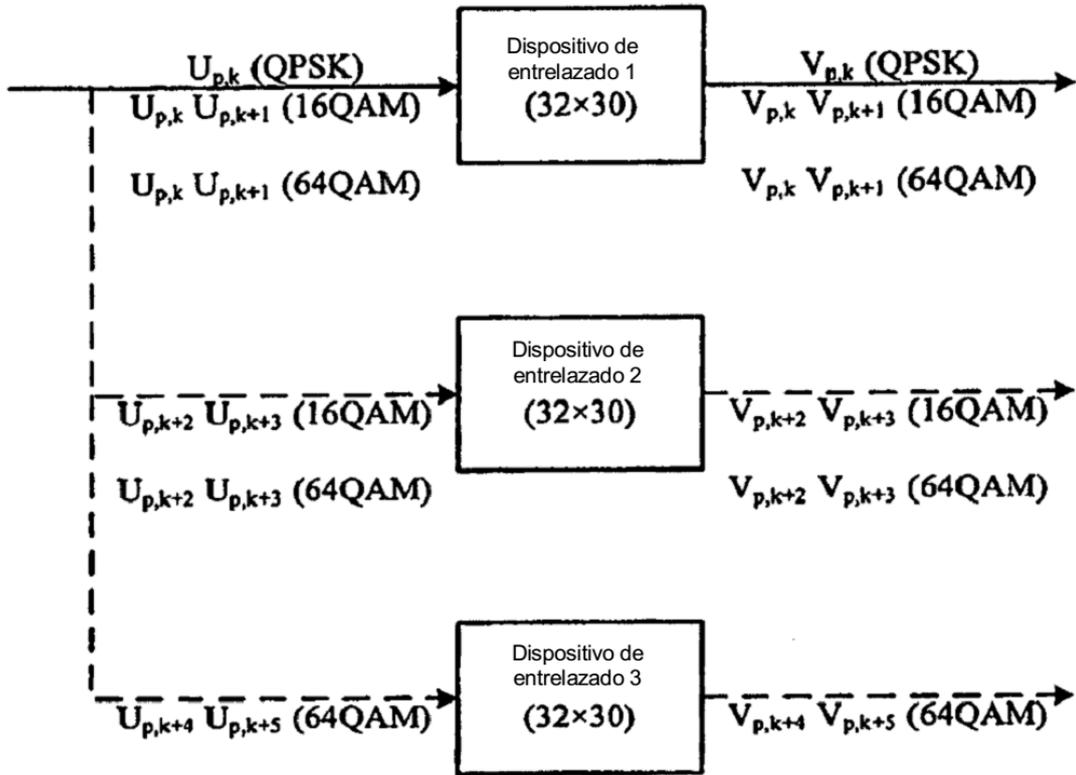


Fig.6

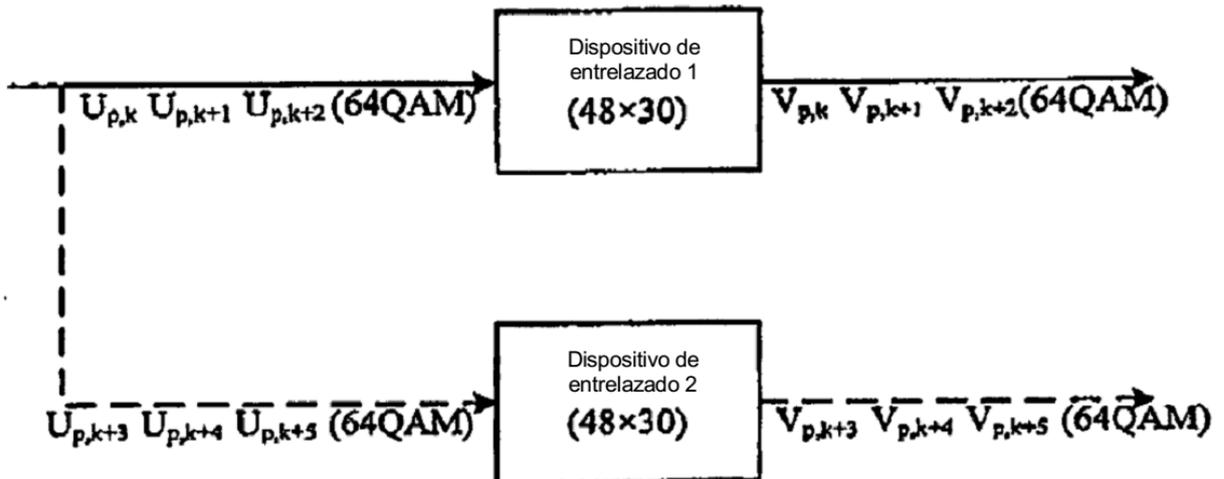


Fig.7