

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 589 278**

51 Int. Cl.:

H04B 1/00	(2006.01)
H03D 9/00	(2006.01)
H04B 1/50	(2006.01)
H04B 7/14	(2006.01)
H04L 27/00	(2006.01)
H04W 16/14	(2009.01)
H03J 1/00	(2006.01)
H04B 1/16	(2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

- 86 Fecha de presentación y número de la solicitud internacional: **04.09.2012 PCT/CA2012/050608**
- 87 Fecha y número de publicación internacional: **14.03.2013 WO13033840**
- 96 Fecha de presentación y número de la solicitud europea: **04.09.2012 E 12829337 (0)**
- 97 Fecha y número de publicación de la concesión europea: **22.06.2016 EP 2754246**

54 Título: **Sistemas y procedimientos para realizar la demodulación y la modulación en radios definidas por software**

30 Prioridad:

09.09.2011 US 201161532685 P
26.03.2012 WO PCT/CA2012/000314

45 Fecha de publicación y mención en BOPI de la traducción de la patente:
11.11.2016

73 Titular/es:

PER VICES CORPORATION (100.0%)
73 Strathcona Avenue
Toronto, Ontario M4J 1G9, CA

72 Inventor/es:

WOLLESEN, VICTOR y
YAO, YI

74 Agente/Representante:

CAPITAN GARCÍA, Nuria

ES 2 589 278 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Sistemas y procedimientos para realizar la demodulación y la modulación en radios definidas por software

Campo técnico

5 La presente invención se refiere a sistemas de comunicación de radio y, en particular, a sistemas de radio definidos por software.

Antecedentes de la invención

10 Tradicionalmente, el desarrollo de productos de comunicación por radio implica un significativo esfuerzo de desarrollo de hardware. La radio definida por software (SDR) es una tecnología que implementa tecnologías de comunicación inalámbrica de capa física en software, convirtiendo muchos problemas de desarrollo de hardware relacionado con la radio en cuestiones de software. Esto puede acortar el ciclo de desarrollo de productos, reducir costes y hacer mucho más fácil la distribución de productos. Además, la SDR proporciona flexibilidad y facilidad de programación acrecentadas, lo que puede acelerar la innovación en las comunicaciones inalámbricas.

15 Las plataformas de la SDR han sido desarrolladas usando la unidad central de procesamiento (CPU) de un ordenador personal, funcionando en conexión con una formación de compuertas programables en el terreno (FPGA), con algún hardware de interfaz de usuario de frecuencia de radio (RF) para recibir y transmitir ondas de radio. Algunas aplicaciones de la SDR requieren una modulación compleja, o algoritmos intensivos en términos de cálculo, que pueden incluir Transformaciones Rápidas de Fourier (FFT), correlación cruzada o el cálculo de métricas de información mutua. Estas operaciones pueden ser costosas en términos de potencia de procesamiento. Una CPU que funciona en conexión con una FPGA puede carecer de la arquitectura informática para prestar soporte a estas aplicaciones. Más recientemente, han sido desarrolladas plataformas de SDR usando una CPU que funciona en conexión con una unidad de procesamiento de gráficos (GPU). Sin embargo, una GPU funcionando en conexión con una CPU puede carecer de las capacidades de transmisión por flujo o de procesamiento en serie para cumplir los requisitos de tiempo real de los algoritmos de comunicación digital que realizan el procesamiento en serie.

20

Es un objeto de la presente invención obviar o mitigar una o más de las desventajas anteriores.

25 Un ejemplo de una radio definida por software se divulga en el documento US 5289464.

Sumario de la invención

En un aspecto, se proporciona un procedimiento de extracción y demodulación de uno o más canales en una señal de radio, de acuerdo a la reivindicación 1.

30 En otro aspecto, se proporciona un procedimiento de modulación y combinación de uno o más canales en una señal de radio, de acuerdo a la reivindicación 10.

En otro aspecto, se proporciona un dispositivo electrónico, tal como un dispositivo de SDR. El dispositivo electrónico incluye una interfaz de usuario de RF, una unidad de procesamiento y memoria. La memoria almacena instrucciones ejecutables por ordenador que, cuando son ejecutadas por la unidad de procesamiento, provocan que el dispositivo electrónico realice un procedimiento de acuerdo a la reivindicación 1.

35 En otro aspecto, se proporciona otro dispositivo electrónico, tal como un dispositivo de SDR. El dispositivo electrónico incluye una interfaz de usuario de RF, una unidad de procesamiento y memoria. La memoria almacena instrucciones ejecutables por ordenador que, cuando son ejecutadas por la unidad de procesamiento, provocan que el dispositivo electrónico realice un procedimiento de acuerdo a la reivindicación 10.

40 En otro aspecto, se proporciona un medio de almacenamiento legible por ordenador, para extraer y desmodular uno o más canales en una señal de radio. El medio de almacenamiento legible por ordenador incluye instrucciones ejecutables por ordenador que, cuando son ejecutadas por una unidad de procesamiento, provocan que la unidad de procesamiento realice un procedimiento de acuerdo a la reivindicación 1.

45 En otro aspecto, se proporciona un medio de almacenamiento legible por ordenador para modular y combinar uno o más canales en una señal de radio. El medio de almacenamiento legible por ordenador incluye instrucciones ejecutables por ordenador que, cuando son ejecutadas por una unidad de procesamiento, provocan que la unidad de procesamiento realice un procedimiento de acuerdo a la reivindicación 10.

En otro aspecto, que no se reivindica de forma independiente, se proporciona un dispositivo de SDR que comprende una interfaz de usuario de RF, una FPGA en comunicación con la interfaz de usuario de RF y una GPU en comunicación con la FPGA. La interfaz de usuario de RF es operable para recibir y transmitir una o más señales de radio. La FPGA es

operable para realizar el procesamiento en serie sobre una o más señales digitales correspondientes a las una o más señales de radio. La GPU es operable para realizar procesamiento paralelo sobre las una o más señales digitales. El dispositivo de SDR también puede incluir una CPU en comunicación con al menos una entre la FPGA y la GPU, para realizar cálculos generales, tales como proporcionar una interfaz de usuario y programar la FPGA y / o la GPU.

5 **Breve descripción de los dibujos**

Se describirán realizaciones de la invención, a modo de ejemplo solamente, con referencia a los dibujos adjuntos, en los cuales:

la FIG. 1 es un diagrama de bloques de un dispositivo de SDR ejemplar;

10 la FIG. 2 es un diagrama de bloques de una configuración ejemplar de un dispositivo de SDR para una aplicación específica de extracción y demodulación de canales en una señal de radio;

la FIG. 3 es un diagrama esquemático de una interfaz de usuario de RF ejemplar;

la FIG. 4 es un diagrama de flujo de un proceso ejemplar de extracción y demodulación de canales en una señal de radio, usando un dispositivo de SDR ejemplar;

15 la FIG. 5 es un diagrama de bloques de una configuración ejemplar de un dispositivo de SDR para la aplicación específica de modulación y combinación de una pluralidad de canales;

la FIG. 6 es un diagrama de flujo de un proceso ejemplar de modulación y combinación de una pluralidad de canales, usando un dispositivo de SDR ejemplar; y

la FIG. 7 es un diagrama de bloques de una capa de aplicación ejemplar del dispositivo de SDR.

Descripción detallada de la invención

20 Se apreciará que, para simplificar y aclarar la ilustración, allí donde se considere adecuado, los números de referencia pueden ser repetidos entre las figuras para indicar el orden, para proporcionar una comprensión exhaustiva de las realizaciones ejemplares descritas en la presente memoria. Sin embargo, los medianamente expertos en la técnica entenderán que las realizaciones ejemplares descritas en la presente memoria pueden ser puestas en práctica sin estos detalles específicos.

25 En otros casos, procedimientos, procesos y componentes bien conocidos no han sido descritos en detalle, a fin de no oscurecer las realizaciones ejemplares descritas en la presente memoria. Además, la descripción no ha de considerarse como limitadora del ámbito de las realizaciones ejemplares descritas en la presente memoria.

30 Pasando a la FIG. 1, se proporciona un diagrama esquemático de un dispositivo de SDR 10 ejemplar. En este ejemplo, el dispositivo de SDR 10 incluye una interfaz de usuario de RF 12 que tiene una antena 28 para recibir y convertir radiación electromagnética en una señal digital, una formación de compuertas programables en el terreno (FPGA) 14 para realizar el procesamiento en serie de alta velocidad y una unidad de procesamiento de gráficos (GPU) 16 para realizar el procesamiento paralelo. El dispositivo de SDR 10 también puede incluir una unidad de procesamiento de ordenador (CPU) de propósito general 18 para realizar cálculos generales que incluyen proporcionar la interfaz de usuario y programar la FPGA 14 y la GPU 16. La FPGA 14, la GPU 16 y la CPU 18 pueden tener, cada una, su propia memoria 15, 17 y 19, respectivamente, y / o pueden acceder a un componente de memoria 13 individual del dispositivo 10. Se entiende que la FPGA 14 puede incluir cualquier dispositivo lógico programable adecuado y que la GPU 16 incluye cálculos de propósito general en la unidad de procesamiento de gráficos ((GP)GPU).

35 En el ejemplo de la FIG. 1, la interfaz de usuario de RF 12 está conectada a la FPGA 14 y es operable para comunicarse con la FPGA 14 por una pluralidad de señales digitales. La FPGA 14, la GPU 16 y la CPU 18 están conectadas entre sí por un bus de alta velocidad 21, tal como un bus Expreso de Interconexión de Componentes Periféricos (PCIe), por ejemplo.

40 El dispositivo de SDR 10 permite el cálculo rápido, en serie y en paralelo, de datos de procesamiento de señales. Por ejemplo, el dispositivo de SDR 10 puede dividir algoritmos de procesamiento de señales en procesos de bloques y de flujos de transmisión, e implementar los procesos de bloques y de flujos para optimizar la eficacia del procesamiento. El procesamiento de flujos puede segmentar la señal de entrada en una pluralidad de segmentos discretos o "tarugos", en base, en parte, al estado actual de la señal de entrada que lo atraviesa, mientras que el procesamiento de bloques puede comprender procesamiento fijo e invariante en cada tarugo.

En un dispositivo de SDR 10 ejemplar, la FPGA 14 proporciona un entorno de procesamiento rápido en serie para realizar el procesamiento de flujos. La GPU 16 proporciona un entorno 2276050.1 de procesamiento paralelo, para paralelizar

los procesos de bloques. La GPU 16, de tal modo, implementa efectivamente cálculos y algoritmos paralelizables, incluyendo, por ejemplo, la reconstrucción de señales débiles, la auto-correlación, las FFT, las métricas de información mutua, así como el procesamiento simultáneo de algoritmos o cálculos arbitrarios sobre flujos de datos individuales o múltiples.

5 La programabilidad de la FPGA 14 y de la GPU 16 también proporciona flexibilidad, de modo que el dispositivo de SDR 10 pueda ser capaz de ejecutar protocolos inalámbricos arbitrarios. Por ejemplo, la FPGA 14 y la GPU 16 pueden ser reprogramadas por la CPU 18 durante el funcionamiento, para gestionar los cambios en el protocolo de comunicación en una señal de entrada. Una vez programado, el dispositivo de SDR 10 puede almacenar y enviar datos de forma autónoma, sin requerir configuración o intervención adicional.

10 El dispositivo de SDR 10 también puede ser configurado para monitorizar simultáneamente recursos espectrales y de red, y ajustar parámetros de transmisión y de recepción en consecuencia. Además, el dispositivo de SDR 10 puede gestionar sus propios recursos (p. ej., la FPGA 14 y la GPU 16) de modo que las tareas sean eficazmente asignadas al componente adecuado, en base al tipo de cálculo y al uso de recursos.

15 En una aplicación ejemplar del dispositivo de SDR 10, es operable para identificar e interceptar una señal de radio que comprende una o más bandas de frecuencia de radio, extraer uno o más canales desde la señal de radio, teniendo la señal de radio un ancho de banda al menos tan amplio como cada canal, y procesar uno o más canales en paralelo. Preferiblemente, el dispositivo de SDR 10 se aplica a una señal de radio que comprende una pluralidad de bandas de frecuencia de radio.

20 Con referencia a la FIG. 2, se proporciona un diagrama de bloques de una configuración ejemplar del dispositivo de SDR 10 para la aplicación específica de extraer y desmodular una pluralidad de canales en una señal de radio. El dispositivo de SDR 10 tiene una interfaz de usuario de RF 12 que incluye una antena 28 para recibir una señal de radio 22, un utilitario de pre-procesamiento 302 para aislar una banda de frecuencias en la señal de radio 22 y para procesar la señal de radio 22 para su digitalización, y un convertidor de analógico a digital (ADC) 304 para convertir la señal de radio 22 pre-procesada en una señal digital 306. Un módulo de sintonización 310 de la FPGA 14 puede determinar y proporcionar una frecuencia central y parámetros de filtro para configurar el utilitario de pre-procesamiento 302, para aislar una banda de frecuencias centradas alrededor de la frecuencia central, y que tengan un ancho basado en los parámetros de filtrado. La señal digital 306 producida por el ADC 304 es enviada a la FPGA 14.

30 Pasando a la FIG. 3, se proporciona un diagrama esquemático más detallado de una interfaz de usuario de RF 12 ejemplar. La interfaz de usuario de RF pre-procesa la señal de radio 22, por amplificación y reducción de frecuencia, antes de la digitalización. La interfaz de usuario de RF incluye una antena 28 para interceptar la señal de radio 22 y puede incluir componentes de pre-procesamiento tales como un amplificador de ruido bajo (LNA) 402, para amplificar señales débiles, un filtro de paso alto (HPF) 404 para filtrar y pasar frecuencias altas y atenuar frecuencias bajas, un amplificador (p. ej., el bloque de ganancia 406 y / o el amplificador de ganancia variable 408), un atenuador variable 410 para variar la ganancia de señal, un reductor de frecuencia 412 para reducir la frecuencia de la señal hasta la banda base, un convertidor de analógico a digital (ADC) 304 y un controlador 416 y un filtro anti-alias 418 para mejorar la calidad de la conversión del ADC.

40 En el ejemplo de la FIG. 3, la interfaz de usuario de RF 12 tiene dos modalidades de funcionamiento, A y B, seleccionables por un interruptor 420. Cada modalidad de funcionamiento realiza una serie de operaciones sobre la señal de radio 22 antes de la digitalización por el ADC 304. En la FIG. 3, se selecciona la primera modalidad de funcionamiento A. La señal de radio 22 interceptada por la antena 28 es amplificada por el LNA 402 y filtrada usando el HPF 404. La ganancia de la señal de radio 22 es luego modificada usando el bloque de ganancia 406 y el atenuador variable 410. La señal resultante es luego reducida en frecuencia, añadiendo primero por mezcla una señal generada por el oscilador local 422, usando el mezclador 412. El oscilador local 422 está configurado para generar una señal en la frecuencia central proporcionada por el módulo sintonizador 310 de la FPGA 14. La señal mezclada puede ser desfasada por el convertidor de fase 424, amplificada adicionalmente por el controlador 416 y filtrada por el filtro anti-alias 418, para producir una señal de banda base antes de la digitalización, usando el ADC 304. En este ejemplo, la señal digital 306 resultante se descompone en su forma de portadora de cuadratura (IQ), hecha de la componente en fase 306a, y el componente de cuadratura 306b. La frecuencia de corte de la señal de banda base puede ser determinada por los filtros anti-alias 418 y puede ser configurada en base a la aplicación del dispositivo de SDR 10.

50 Modificando la frecuencia central y los parámetros de filtro, el dispositivo de SDR 10 puede sintonizar y aislar una banda específica de frecuencias en la señal de radio 22. Puede apreciarse que la interfaz de usuario de RF 12 puede ser cualquier receptor adecuado capaz de aislar la banda de frecuencias de interés y digitalizar la señal de radio 22.

55 En la segunda modalidad de funcionamiento B de la interfaz de usuario de RF 12 ejemplar de la FIG. 3, la señal analógica recibida por la antena 28 puede ser amplificada por el LNA 402 y filtrada usando el HPF 404, como en la primera modalidad de funcionamiento A. Sin embargo, la señal analógica puede luego ser amplificada usando el amplificador de

ganancia variable 408, y aplicada directamente al ADC 304.

Volviendo a la FIG. 2, el dispositivo de SDR 10 en este ejemplo también tiene una FPGA 14 configurada para incluir un módulo sintonizador 310, para proporcionar a la etapa de pre-procesamiento 302 de la interfaz de usuario de RF 12 una frecuencia central y parámetros de filtrado, y un módulo de procesamiento digital 312 para procesar digitalmente la señal digital 306. En una realización, el módulo de procesamiento digital 312 implementa un aumentador / reductor digital de frecuencia en la FPGA 14, para aislar una banda de frecuencias dentro de la señal digital 306. El aumento o reducción adicionales de la frecuencia, llevados a cabo por el módulo de procesamiento digital 312, pueden corregir o reducir un error en la reducción de frecuencia analógica llevada a cabo por la interfaz de usuario de RF 12. En otra realización, el módulo de procesamiento digital 312 lleva a cabo el filtrado y / o el diezmado sobre la señal digital 306, para reducir el ancho de banda de la señal digital 306 (por ejemplo, para satisfacer el límite del ancho de banda del bus de alta velocidad 21 que conecta la FPGA 14 a la GPU 16). Esto permite a la FPGA 14 negociar transferencias de datos por el bus 21. El módulo de procesamiento digital 312 puede implementar un filtro digital de paso bajo para reducir el ancho de la banda de frecuencias de la señal digital 306, y / o implementar un reductor digital de muestreo para diezmar la señal digital 306.

En el ejemplo de una interfaz de usuario de RF 12 que funciona en la modalidad B, el módulo de procesamiento digital 312 puede funcionar como el módulo primario para extraer la banda de frecuencias deseada desde la señal de radio 22. En una realización, el módulo de procesamiento digital 312 puede implementar múltiples casos de aumentadores / reductores digitales de frecuencia, y filtros para aislar más de una banda de frecuencias a partir de la señal digital 306.

Puede apreciarse además que la FPGA 14 puede encaminar la señal digital 306 a uno o más de sus módulos, a su memoria interna y / u omitir por completo el procesamiento de la FPGA, configurando los interruptores programables proporcionados por la FPGA. Por ejemplo, ciertos datos pueden no requerir reducción adicional de frecuencia de la señal digital 306. La selección y el paso de cualquier señal dentro de la FPGA 14 pueden ser fijados de acuerdo a la aplicación deseada, usando interruptores adecuadamente configurados.

El dispositivo de SDR 10 en el ejemplo también tiene una GPU 16 configurada para incluir una pluralidad de módulos canalizadores 316 para extraer un canal 320 desde la señal digital procesada 322 y una pluralidad de módulos de demodulación 318 para llevar a cabo la demodulación de un canal 320, para producir una señal desmodulada 314.

Cada módulo canalizador 316 puede separar una sub-banda de frecuencia específica (es decir, el canal 320) de la señal digital procesada 322 que contiene una banda de frecuencias. En una realización ejemplar, el módulo canalizador 316 es un aumentador / reductor digital de frecuencia implementado en la GPU 16. El módulo canalizador 316 reduce o aumenta la frecuencia de la sub-banda deseada, hasta la banda base, según que la banda deseada contenga frecuencias positivas o negativas. La reducción o el aumento de la frecuencia puede ser seguido por el filtrado, usando un filtro de paso bajo, para determinar el ancho de frecuencia del canal, y diezmarse posteriormente usando un reductor de muestreo.

Un módulo canalizador 316 puede funcionar en paralelo con otros uno o más módulos canalizadores 316, para extraer múltiples canales 320 desde la señal digital procesada 322 y proporcionar los canales 320 a una pluralidad de módulos de demodulación 318, para su procesamiento adicional. En el ejemplo de la FIG. 2, cada módulo canalizador 316 proporciona el canal extraído 320 a un respectivo módulo de demodulación 318. Los módulos de demodulación 318 pueden operar sobre su respectivo canal 320, en paralelo con el funcionamiento de otros módulos de demodulación 318, para producir su respectiva señal desmodulada 314. Las señales desmoduladas 314 pueden ser procesadas adicionalmente, en base a la aplicación deseada. Por ejemplo, una señal desmodulada 314 puede ser combinada con otras una o más señales desmoduladas 314, almacenada en memoria, procesada adicionalmente por la CPU o visualizada independientemente por el usuario en un ordenador.

Puede apreciarse que la GPU 16 puede tener uno o más módulos de demodulación 318 para llevar a cabo una o más técnicas distintas de demodulación en la salida 322 de la FPGA, tal como la demodulación de una señal de radio modulada usando modulación de amplitud (AM), modulación de frecuencia (FM) y modulación de banda lateral única (SSB). Cada módulo de demodulación 318 también puede aplicar la demodulación a uno o más protocolos distintos de comunicación (por ejemplo, el Sistema Global para Comunicaciones Móviles (GSM) o Zigbee). Las técnicas de modulación y los protocolos de comunicación pueden ser configurados por el usuario o proporcionados por terceros. Además, los módulos de demodulación 318 pueden ser reprogramados durante el funcionamiento, para implementar una técnica de modulación y / o un protocolo de comunicación distintos. En consecuencia, el módulo de demodulación 318 admite que distintas técnicas de modulación y distintos protocolos de comunicación sean determinados e implementados dinámicamente (sobre la marcha) mientras el dispositivo se mantiene operativo.

Pasando a la FIG. 4, se proporciona un diagrama de flujo de un proceso ejemplar para la extracción y la demodulación de uno o más canales en una señal de radio 22. En el bloque 500, la interfaz de usuario de RF 12 intercepta una señal de radio 22 usando su antena 28. En el bloque 502, el dispositivo 10 obtiene parámetros de sintonización referidos a una banda de frecuencias que han de ser extraídas desde la señal de radio 22, tales como la frecuencia central y los parámetros de filtro. En el bloque 504, la interfaz de usuario de RF 12 extrae una banda de frecuencias desde la señal de

radio 22, para generar una señal de banda base. En el bloque 506, la interfaz de usuario de RF 12 digitaliza la señal de banda base usando su ADC 304 para generar una señal digital 306. En el bloque 508, la FPGA 14 procesa digitalmente la señal digital 306, por ejemplo, aumentando o reduciendo adicionalmente la frecuencia de la señal digital, para compensar los errores introducidos en la extracción de una banda de frecuencias desde la señal de radio 22. En el bloque 510, la GPU 16 extrae una o más bandas de frecuencias desde la señal digital 306, para generar uno o más canales, usando los módulos canalizadores 316. En el bloque 512, la GPU 16 desmodula cada canal 320 usando su módulo de demodulación 318, para generar una señal desmodulada 314.

Como se ha observado anteriormente, en el bloque 508, la FPGA 14 puede procesar digitalmente la señal digital 306 que contiene una banda de frecuencias, usando el módulo de procesamiento digital 312. En una realización, la FPGA 14 puede mejorar o corregir los errores introducidos durante la extracción de la banda de frecuencias deseada por la interfaz de usuario de RF 12, configurando el módulo de procesamiento digital para implementar un aumentador o reductor digital adecuado de la frecuencia, para traducir la banda de frecuencias de la señal digital 306. En otra realización, el módulo de procesamiento digital puede ser configurado para implementar un filtro digital de paso bajo y un reductor de muestreo adecuados, para filtrar y diezmar la señal digital 306, a fin de reducir su ancho de banda.

Como se ha observado anteriormente, en el bloque 510, la GPU 16 extrae una o más bandas de frecuencias desde la señal digital 306, para generar uno o más canales. En el bloque 512, cada canal es desmodulado para generar una correspondiente señal modulada 314. En el dispositivo de SDR ejemplar de la FIG. 3, la GPU 16 incluye múltiples módulos canalizadores 316, teniendo cada uno un respectivo módulo de demodulación 318. Los módulos canalizadores 316 y los módulos de demodulación 318 pueden funcionar en paralelo, de modo que los múltiples canales sean extraídos y desmodulados simultáneamente, aprovechando así las capacidades de procesamiento paralelo de la GPU 16.

En una realización, cada módulo canalizador 316 extrae una banda distinta de frecuencias desde la señal digital 306, para ser desmodulada por los mismos, o distintos, esquemas de demodulación en los módulos de demodulación 318. En otra realización, más de un módulo canalizador 316 pueden extraer la misma banda de frecuencias, pero tienen una distinta demodulación efectuada por su respectivo módulo de demodulación 318. Por ejemplo, la señal de radio 22 recibida por el dispositivo de SDR 10 puede incluir múltiples señales difundidas en las mismas, o similares, frecuencias, pero que tienen distintas características de temporización. El dispositivo de SDR 10 puede proporcionar el procesamiento simultáneo de la misma frecuencia en distintos canales, para asimilar orígenes de difusión múltiples pero similares.

En un ejemplo, el proceso de extracción y demodulación de uno o más canales en una señal de radio también puede incluir promediar la señal desmodulada 314, como se muestra en el bloque 514. En una realización, el módulo de demodulación 318 del dispositivo de SDR 10 ejemplar puede realizar el promedio del dominio del tiempo en un segmento de la señal desmodulada 314, con uno o más segmentos anteriores de la misma señal desmodulada 314, para mejorar la calidad de la señal desmodulada 314.

En otra realización, el módulo de demodulación 318 puede promediar una señal desmodulada 314 de un canal 320 con una o más señales desmoduladas 314 de otro canal 320. Por ejemplo, si la banda de frecuencias en la señal digital 306 corresponde a los componentes de frecuencia de una señal común, los canales extraídos por el dispositivo de SDR corresponderían a los componentes de frecuencia de la señal común. En esta realización, el módulo demodulador 318 también puede promediar una pluralidad de señales desmoduladas 314 de distintos canales 320, para proporcionar un promedio del dominio de la frecuencia de múltiples muestras (en un momento dado), para mejorar la calidad de la señal y reducir los errores de medición. En otra realización, las distintas señales desmoduladas 314 pueden ser comparadas, correlacionadas en forma cruzada o analizadas de otro modo, en busca de similitudes, métricas estadísticas, etc., para mejorar la calidad de una señal desmodulada 314.

Una aplicación ejemplar del dispositivo de SDR 10 es un receptor de radio de FM capaz de sintonizar simultáneamente, y grabar, múltiples canales (correspondientes a una estación de radio de FM) en la banda de radio de FM. La radio de FM difunde actualmente usando frecuencias entre 88,0 y 108,0 MHz, teniendo cada canal 200 kHz de ancho, y estando centrado alrededor de 0,1, 0,3, 0,5, 0,7 o 0,9 MHz. En esta realización ejemplar, el dispositivo de SDR 10 puede ser configurado para que tenga una frecuencia central de 88 MHz y parámetros de filtrado tales que la frecuencia de corte de la señal de banda base sea de 20 MHz. La interfaz de usuario de RF 12 puede extraer y reducir en frecuencia la banda de frecuencias entre 88,0 y 108,0 MHz en la señal de radio 22, hasta una señal de banda base entre 0 Hz y 20 MHz, usando el utilitario de pre-procesamiento 302 de la interfaz de usuario de RF 12. Esto permite a la señal de banda base contener la información de toda la banda de radio de FM.

La interfaz de usuario de RF 12 puede luego digitalizar la señal de banda base usando su ADC 304, para generar una señal digital 306 que es pasada luego a la FPGA 14 para su procesamiento digital, tal como el filtrado, el diezmo, la demodulación de IQ, etc., En el ejemplo del receptor de radio de FM, cada módulo canalizador 316 de la GPU 16 puede desplazar y diezmar la señal digital 306 para extraer una banda de frecuencias de 200 kHz de ancho, centrada alrededor de 0,1, 0,3, 0,5, 0,7 o 0,9 MHz, correspondiente a la información difundida por una estación de radio de FM. En este ejemplo, los módulos de demodulación 318 pueden ser configurados para realizar la demodulación de FM, para recuperar

la información en la difusión de radio de FM, tal como datos de audio, tonos piloto, etc.

Aunque el dispositivo de SDR 10 ha sido descrito para la extracción y la demodulación de una pluralidad de canales desde una señal de radio, puede apreciarse que el dispositivo de SDR 10 puede ser modificado para que sea operable para modular una o más señales entre una o más frecuencias, y para combinar las señales moduladas en una señal común, para su transmisión. Por ejemplo, pueden ser usados componentes y módulos complementarios para reemplazar los descritos en las FIGs. 2 y 3 del dispositivo de SDR 10 ejemplar. De manera similar, pueden ser usadas operaciones complementarias para reemplazar las descritas en el proceso ejemplar de la FIG. 4.

Con referencia a la FIG. 5, se proporciona un diagrama de bloques de una configuración ejemplar del dispositivo de SDR 10', para la aplicación específica de modulación y de combinación de una pluralidad de canales. El dispositivo de SDR 10' en el ejemplo tiene una GPU 16 configurada para incluir una pluralidad de módulos de modulación 618, para llevar a cabo la modulación de una señal de entrada 614, para producir una respectiva señal modulada 620 y una pluralidad de módulos canalizadores 316, para traducir una señal modulada 620 a una banda de frecuencias específica, para generar un canal 320.

De manera similar al dispositivo de SDR 10 ejemplar, cada módulo de modulación 618 puede operar sobre su respectiva señal de entrada 614, en paralelo con el funcionamiento de otros módulos de modulación 618, para producir su respectiva señal modulada 620. En el ejemplo de la FIG. 5, cada módulo de modulación 618 proporciona su señal modulada 620 a un respectivo módulo canalizador 316.

Puede apreciarse que la GPU 16 puede tener uno o más módulos de modulación 618 para llevar a cabo una o más técnicas distintas de modulación, tales como la modulación de amplitud (AM), la modulación de frecuencia (FM) y la modulación de banda lateral única (SSB). Cada módulo de modulación 618 también puede aplicar la modulación a uno o más distintos protocolos de comunicación (por ejemplo, el GSM o Zigbee). Las técnicas de modulación y los protocolos de comunicación pueden ser configurados por el usuario o proporcionados por terceros. Además, los módulos de modulación 618 pueden ser reprogramados durante el funcionamiento, para implementar una técnica de modulación y / o un protocolo de comunicación distintos. En consecuencia, el módulo de modulación 618 admite que técnicas de modulación y protocolos de comunicación distintos sean determinados e implementados dinámicamente (sobre la marcha), mientras el dispositivo se mantiene operativo.

Cada módulo canalizador 316 puede traducir una señal modulada 620 a una sub-banda de frecuencia específica (es decir, el canal 320) de una banda de frecuencias que compondrán la señal combinada 622. En una realización ejemplar, el módulo canalizador 316 es un aumentador / reductor digital de frecuencia, implementado en la GPU 16. El módulo canalizador 316 reduce o aumenta la frecuencia de la señal modulada 620, según la sub-banda deseada (es decir, el canal 320), que se desea contenga la señal modulada 620. Puede apreciarse que uno o más módulos de modulación 618 y módulos canalizadores 316 pueden funcionar en paralelo en la GPU 16.

El dispositivo de SDR 10' en este ejemplo también tiene una FPGA 14 configurada para incluir un multiplexador 630, para combinar uno o más canales 320 proporcionados por la GPU 16 para generar una señal combinada 622, un módulo de procesamiento digital 312 para procesar digitalmente la señal combinada 622, en preparación de la conversión de digital a analógico, y un módulo sintonizador 310 para proporcionar parámetros de transmisión (tales como la frecuencia central y los parámetros de filtrado) a la interfaz de usuario de RF 12.

Como se ha observado anteriormente, un multiplexador 630, implementado en la FPGA 14, se usa en el dispositivo de SDR 10' ejemplar para combinar uno o más canales 320. Puede apreciarse que el multiplexador 630 puede ser implementado en la GPU 16, o que puede usarse una combinación de los multiplexadores 630, implementados tanto en la FPGA 14 como en la GPU 16.

En una realización, los múltiples módulos de procesamiento digital 312 pueden ser implementados en la FPGA 14, recibiendo cada módulo de procesamiento digital 312 un sub-conjunto de todos los canales 320. Las señales digitalmente procesadas de cada módulo de procesamiento digital 312 pueden ser combinadas luego por uno o más multiplexadores en la interfaz de usuario de RF 12. Esto permite al dispositivo de SDR 10' agrupar entre sí canales de frecuencia similar, para procesar y optimizar el procesamiento para esa banda de frecuencias específica.

En una realización, el módulo de procesamiento digital 312 implementa un aumentador y / o reductor digital de frecuencia. El módulo de procesamiento digital 312 también puede ser configurado para realizar el filtrado en la señal combinada 622, antes de la conversión de digital a analógico. Los ejemplos de tales filtros incluyen filtros lineales para reducir emisiones espurias y filtros no lineales que pueden compensar no linealidades en la interfaz de usuario de RF 12.

El dispositivo de SDR 10' ejemplar también tiene una interfaz de usuario de RF 12 que incluye un convertidor de digital a analógico (DAC) 604, para convertir la señal combinada 622, digitalmente procesada, en una señal analógica 606, un utilitario de pre-procesamiento 302, para traducir la banda de frecuencia de la señal analógica 606 a la banda de frecuencias deseada, para su transmisión, y un transmisor (p. ej., una antena) para transmitir la señal de salida analógica

- 5 62. Un módulo sintonizador 310 de la FPGA 14 puede determinar y proporcionar una frecuencia central y parámetros de filtro, para configurar el utilitario de pre-procesamiento 302, para traducir la señal analógica 606 a una banda de frecuencias centradas alrededor de la frecuencia central, y que tenga un ancho de frecuencias basado en los parámetros de filtrado. La señal analógica 606 es procesada por el utilitario de pre-procesamiento 302, usando la frecuencia central y los parámetros de filtrado, y luego es enviada al transmisor 68 para su transmisión.
- Pasando a la FIG. 6, se proporciona un diagrama de flujo de un proceso ejemplar para la modulación y la combinación de uno o más canales. En el bloque 700, una o más señales de entrada 614 son obtenidas por la GPU 16. En una realización, las señales de entrada 614 pueden ser proporcionadas por la FPGA 14 o la CPU 18. En otra realización, una señal de entrada 614 puede ser proporcionada desde la señal desmodulada 314 del dispositivo de SDR 10 ejemplar.
- 10 En el bloque 702, las señales de entrada 614 son moduladas para generar una respectiva señal modulada 620. En el dispositivo de SDR 10' ejemplar de la FIG. 5, los módulos de modulación 318 de la GPU 16 modulan las señales de entrada 614. En una realización, una pluralidad de módulos de modulación 318 funcionan en paralelo, para modular simultáneamente múltiples señales de entrada 614.
- 15 En el bloque 704, cada señal modulada 620 es traducida a una banda de frecuencias, para generar un respectivo canal 320. En el dispositivo de SDR 10' ejemplar de la FIG. 5, los módulos canalizadores 318 traducen las señales moduladas 620 a una banda de frecuencias. En una realización, cada señal modulada 620 es traducida a una banda de frecuencias distinta. En otra realización, más de una señal modulada 620 puede ser traducida a la misma frecuencia. Una pluralidad de módulos canalizadores 316 pueden funcionar en paralelo.
- 20 En el bloque 706, cada canal 320 se combina para generar una señal combinada 622. En el dispositivo de SDR 10' ejemplar de la FIG. 5, un multiplexador 630, implementado en la FPGA 14, combina cada canal 316 en la señal combinada 622.
- En el bloque 708, la señal combinada 622 es procesada digitalmente. En una realización, la señal combinada 622 se prepara para la conversión mejorada de digital a analógico. En el dispositivo de SDR 10' ejemplar de la FIG. 5, el módulo de procesamiento digital 312 de la FPGA 14 procesa digitalmente la señal combinada 622.
- 25 En el bloque 710, la señal digital combinada 622 es convertida en una señal analógica 606. En el dispositivo de SDR 10' ejemplar de la FIG. 5, el DAC 604 de la interfaz de usuario de RF 12 realiza la conversión.
- En el bloque 712, la señal analógica 606 es traducida a la banda de frecuencias deseada. En el dispositivo de SDR 10' ejemplar de la FIG. 5, el utilitario de pre-procesamiento 302 de la interfaz de usuario de RF 12 realiza la traducción, usando una frecuencia central y parámetros de filtrado, proporcionados por el módulo sintonizador 310 de la FPGA 14.
- 30 En el bloque 714, se transmite la señal analógica 606. En el dispositivo de SDR 10' ejemplar de la FIG. 5, el transmisor 68 (p. ej., una antena) de la interfaz de usuario de RF transmite la señal analógica 606.
- Una aplicación ejemplar del dispositivo de SDR 10' de la FIG. 5 es transmitir datos de audio simultáneamente en múltiples canales de radio de FM. Por ejemplo, dada una colección de canciones categorizada en distintos géneros, los datos de audio de cada género pueden servir como una señal de entrada 614 a un módulo de modulación 618, para la modulación de frecuencia de los datos de audio de cada género sobre un canal distinto. El multiplexador 630 combina cada canal en la señal combinada 622, que luego ha de ser traducida a una banda de frecuencia dentro de la banda de frecuencia de radio de FM (es decir, 88,0 y 108,0 MHz) por el utilitario de pre-procesamiento 302 de la interfaz de usuario de RF 12. La señal de salida 62 transmitida por el dispositivo de SDR 10' contiene datos de audio, de cada género, en canales individuales de radio de FM que pueden ser recibidos por otros dispositivos de radio de FM.
- 35 En otra aplicación ejemplar, si cada señal de entrada 614 corresponde a un componente de frecuencia de una señal, el dispositivo de SDR 11 puede combinar los componentes de frecuencia en la señal combinada 622, para replicar más precisamente la señal original, porque la señal combinada 622 contiene más componentes de frecuencia que una señal de entrada 614 individual.
- 40 Como se ha observado anteriormente, en una realización, la señal de entrada 614 del dispositivo de SDR 10' ejemplar puede corresponder a la señal desmodulada 314 del dispositivo de SDR 10 ejemplar. Puede apreciarse que los dispositivos de SDR 10 y 10' pueden ser implementados en una interfaz común de usuario de RF 12, una FPGA 14, una GPU 16 y una CPU 18, para crear un dispositivo de SDR capaz de realizar la funcionalidad de ambos dispositivos de SDR 10 y 10'. También puede apreciarse que pueden combinarse los módulos implementados en un componente de los dispositivos de SDR 10 y 10'.
- 45 En una realización, un dispositivo de SDR puede interceptar una señal de radio 22 que tenga múltiples canales 320 de información, y desmodular cada canal 320 de acuerdo a un protocolo específico de comunicación y demodulación, usando el proceso ejemplar de la FIG. 5. El mismo dispositivo de SDR puede luego modular y transmitir cada señal
- 50

desmodulada 314, de acuerdo a un protocolo distinto de comunicación y / o modulación, que no corresponda al protocolo de comunicación y / o modulación de los canales en la señal de radio 22, usando el proceso ejemplar de la FIG. 7. Los protocolos ejemplares de comunicación y modulación que pueden usarse incluyen AM, SSB, la modulación de Amplitud de Cuadratura (QAM), GSM, el Acceso Múltiple por División de Código (CDMA), el Servicio Global de Radio en Paquetes (GPRS), etc.

En esta realización, el dispositivo de SDR puede traducir información entre distintas frecuencias, distintos protocolos de modulación / demodulación y / o de comunicación, para permitir la comunicación entre dispositivos que usan distintas frecuencias, distintos protocolos de modulación / demodulación y / o de comunicación.

Por ejemplo, el dispositivo de SDR puede recibir la señal de radio 22 que contiene información transmitida por un dispositivo móvil, según un protocolo de comunicación celular, tal como GSM o CDMA, y re-difundir la información por una red inalámbrica distinta, tal como Wifi. En otra realización, la señal de radio puede ser traducida y transmitida, a través de una conexión cableada, a una red de área local (LAN).

Volviendo a las FIGs. 2 y 5, los dispositivos de SDR 10 y 10' también pueden incluir una CPU 18 configurada para proporcionar una interfaz de usuario 324, para permitir a un usuario interactuar con el dispositivo de SDR 10. La CPU 18 incluye un controlador de GPU 326 y un controlador de FPGA 328. Los controladores 326 y 328 permiten a la CPU 18 comunicarse con la FPGA 14 y la GPU 16 (por ejemplo, para programar la FPGA 14 y la GPU 16).

Pasando a la FIG. 7, se muestra un diagrama de bloques de una capa de aplicación 900 ejemplar del dispositivo de SDR 10. En este ejemplo, la capa de aplicación 900 incluye una API 902 de SDR que proporciona las reglas y las especificaciones para acceder a los componentes del dispositivo 10, tales como la GPU 16 y la FPGA 14. Cada componente también tiene su propio controlador para interactuar con la API 902 de SDR (p. ej., el controlador de GPU 326 y el controlador de FPGA 328). En consecuencia, un usuario puede acceder al dispositivo 10 usando la interfaz de usuario 324, que puede incluir una interfaz de línea de comandos (CLI) 904, una interfaz de usuario de la Red (UI de la Red) 906 y / o una interfaz gráfica de usuario (GUI) 908, permitiendo la comunicación con los recursos de dispositivos, mediante la API 902. En el ejemplo de la FIG. 7, la API 902 puede proporcionar acceso a una memoria local o remota 910 (p. ej., la memoria remota puede ser accesible mediante una red). La memoria local o remota 910 puede almacenar programas de la GPU y flujos de bits 912 de la FPGA, usados para operar el dispositivo de SDR 10.

La capa de aplicación 900 proporciona una API común a usuarios remotos que se conectan al dispositivo de SDR 10. El usuario puede conectarse al dispositivo con el propósito de recibir datos desde el dispositivo de SDR 10, inyectar datos a ser transmitidos por el dispositivo de SDR 10, o para configurar el dispositivo de SDR 10. Puede apreciarse que el dispositivo 10 puede ser programado para permitirle actuar autónomamente para capturar, transmitir, almacenar o comunicarse con otros dispositivos. La capa de aplicación 900 también proporciona un medio por el cual los datos procesados pueden ser enviados por otra conexión, posiblemente de menor ancho de banda, a usuarios remotos. La capa de aplicación 900 puede proporcionar un mecanismo por el cual los usuarios remotos puedan acceder a, y extraer, datos almacenados, así como modificar y programar el comportamiento del dispositivo 10.

En una realización, la UI de la Red 906 es operable para permitir la comunicación entre el dispositivo de SDR 10 y un usuario remoto, por Internet. Por ejemplo, las conexiones al dispositivo de SDR 10 pueden hacerse mediante un protocolo de comunicación de Internet, tal como el Protocolo de Control de Transmisión / Protocolo de Internet (TCP / IP). Un usuario puede comunicarse remotamente con el dispositivo de SDR 10 usando un explorador de la Red de terceros, o software de ordenador específico de la SDR. En el ejemplo de un explorador de la Red, los programas de la GPU y los flujos de bits 912 de la FPGA pueden ser transferidos por la red usando un protocolo de redes, tal como los comandos POST del Protocolo de Transferencia de Hipertexto (HTTP). La UI de la Red 906 puede recibir programas de la GPU y enviarlos a la GPU 16 mediante la API 902 de la SDR y el controlador de la GPU 326. La UI de la Red 906 puede recibir flujos de bits de la FPGA y enviarlos a la FPGA 14 mediante la API 902 de la SDR y el controlador de la FPGA 328. La UI de la Red 906 también puede ser operable para permitir a un usuario configurar y controlar el comportamiento del dispositivo de la SDR 10, mediante comandos GET del HTTP, por ejemplo. La UI de la Red 906 puede traducir los comandos GET del HTTP a llamadas a la API, para la API 902 de la SDR.

Puede apreciarse que el software que se ejecuta en el dispositivo de SDR 10 no está restringido a un componente físico. Puede ejecutarse en la CPU 18, la GPU 16, la FPGA 14 y / o la interfaz de usuario de RF 12. Cada componente físico puede realizar una tarea de cálculo distinta. Por ejemplo, la CPU 18 o la FPGA 14 pueden proporcionar una interfaz de usuario, extraer y almacenar datos de la memoria y programar dinámicamente y configurar la GPU 16 y la interfaz de usuario de RF 12. La GPU 16 puede ejecutar tareas intensivas en términos de cálculo, tales como análisis de espectro y cripto-análisis. La interfaz de usuario de RF 12 puede proporcionar los medios analógicos necesarios para una aplicación deseada.

También puede apreciarse que la SDR 10 puede realizar actividades de gestión. Esto puede incluir el uso de la información de señales, o espectral, para gestionar la conexión o la comunicación en sí misma. La actividad de gestión

5 también puede incluir la monitorización de la red o el entorno de RF del ambiente, para modificar los parámetros de protocolos de comunicación, para optimizar la transmisión, la recepción y otras características de la comunicación. El dispositivo de SDR 10 puede ser operable para redefinir sus parámetros de transmisión independientemente, en base a algoritmos predefinidos, o concertadamente con otros dispositivos. Estos algoritmos cognitivos pueden ser calculados en la FPGA 14, o paralelizados y calculados en la GPU 16.

10 Aunque los módulos y componentes de las configuraciones ejemplares del dispositivo de SDR han sido descritos con referencia a realizaciones específicas que incluyen una interfaz de usuario de RF 12, una FPGA 14, una GPU 16 y una CPU 18, se apreciará que se contemplan otras realizaciones, incluyendo implementaciones en cualquier circuito adecuado que comprenda uno o más componentes de circuito, o cualquier unidad adecuada de procesamiento, capaz de realizar las operaciones descritas.

15 Aunque la invención ha sido descrita con referencia a ciertas realizaciones específicas, diversas modificaciones de la misma serán evidentes para los expertos en la técnica, sin apartarse del ámbito de la invención, según lo esbozado en las reivindicaciones adjuntas a la misma. Las divulgaciones completas de todas las referencias citadas anteriormente son incorporadas en la presente memoria por referencia.

REIVINDICACIONES

1. Un procedimiento de extracción y demodulación de uno más canales en una señal de radio, comprendiendo el procedimiento:
 recibir una primera señal de radio (22) usando una interfaz de usuario de frecuencia de radio (12);
- 5 traducir una primera banda de frecuencias de la primera señal de radio (22) a una segunda banda de frecuencias, para generar una segunda señal de radio;
 digitalizar la segunda señal de radio para generar una señal digital (306) que contiene una banda de frecuencias;
 mejorar o corregir los errores introducidos durante dicha etapa de traducir la primera banda de frecuencias, implementando un aumentador o reductor digital adecuado de frecuencia, para traducir la banda de frecuencia de la señal
 10 digital (306);
 extraer una o más bandas adicionales de frecuencias de la señal digital (306), correspondiendo cada banda adicional de frecuencias a un canal (320); y
 desmodular uno o más canales (320) para generar una respectiva señal desmodulada (314).
- 15 2. El procedimiento de la reivindicación 1, en el que, en dicha etapa de traducción de la primera banda de frecuencias, se extrae una banda de frecuencias desde la señal de radio (22), usando dicha interfaz de usuario de frecuencia de radio (12), para generar una señal de banda base, y en el que dicha etapa de digitalización de la segunda señal de radio es una etapa de digitalización de dicha señal de banda base, siendo dichos errores introducidos durante la extracción de la banda de frecuencias deseada por la interfaz de usuario de frecuencia de radio (12).
- 20 3. El procedimiento de la reivindicación 1 o 2, en el que una pluralidad de bandas adicionales de frecuencias de la señal digital (306) son extraídas en paralelo.
4. El procedimiento de una cualquiera de las reivindicaciones 1 a 3, en el que una pluralidad de canales (320) son desmodulados en paralelo.
- 25 5. El procedimiento de una cualquiera de las reivindicaciones 1 a 4, que comprende además promediar en el dominio del tiempo una o más señales desmoduladas (314), o promediar en el dominio de la frecuencia una o más señales desmoduladas (314), con otras una o más señales desmoduladas (314).
- 30 6. El procedimiento de una cualquiera de las reivindicaciones 1 a 5, que comprende además:
 modular una o más de las señales desmoduladas (314, 614), para generar una respectiva señal modulada (620);
 traducir una tercera banda de frecuencias de una o más señales moduladas (620) a una cuarta banda de frecuencias, correspondientes a un canal adicional (320);
 35 combinar uno o más canales adicionales (320) para generar una señal combinada (622);
 convertir la señal combinada (622) en una señal analógica (606);
 traducir una quinta banda de frecuencias de la señal analógica (606) a una banda transmisora de frecuencias, para generar una tercera señal de radio (62); y
 transmitir la tercera señal de radio (62) usando la interfaz de usuario de frecuencia de radio (12).
- 40 7. El procedimiento de la reivindicación 6, en el que una pluralidad de señales desmoduladas (314, 614) son moduladas en paralelo y, optativamente, una pluralidad de terceras bandas de frecuencias son traducidas en paralelo.
8. El procedimiento de una cualquiera de las reivindicaciones 6 a 7, en el que una o más señales desmoduladas (314, 614) son moduladas usando una técnica de modulación que no corresponde a la técnica de demodulación usada para desmodular el canal (320) correspondiente a la señal desmodulada (314).
9. El procedimiento de una cualquiera de las reivindicaciones 6 a 8, en el que uno o más canales (320) tienen un protocolo de comunicación distinto al de su correspondiente canal adicional (320).
10. Un procedimiento de modulación y de combinación de uno o más canales en una señal de radio, comprendiendo el procedimiento:
 recibir una o más señales digitales de entrada (614);

modular una o más señales digitales de entrada (614) para generar una respectiva señal modulada (620);

traducir una primera banda de frecuencias, de una o más señales moduladas (620), a una segunda banda de frecuencias, correspondientes a un canal (320);

combinar uno o más canales (320) para generar una señal combinada (622);

- 5 preparar la señal combinada (622) para la conversión mejorada de digital a analógico, implementando un aumentador y / o reductor digital de frecuencia;

convertir la señal combinada en una señal analógica (606);

traducir una tercera banda de frecuencias de la señal analógica (606) a una banda transmisora de frecuencias, para generar una señal de radio (62); y

- 10 transmitir la señal de radio (62) usando una interfaz de usuario de frecuencia de radio (12).

11. El procedimiento de la reivindicación 10, en el que una pluralidad de señales digitales de entrada (614) son moduladas en paralelo y, optativamente, una pluralidad de primeras bandas de frecuencias son traducidas en paralelo.

12. Un dispositivo electrónico que comprende una interfaz de usuario de frecuencia de radio (12), una unidad de procesamiento y memoria (13), almacenando la memoria (13) instrucciones ejecutables por ordenador que, cuando son ejecutadas por la unidad de procesamiento, provocan que el dispositivo electrónico realice el procedimiento de una cualquiera de las reivindicaciones 1 a 11.
- 15

13. El dispositivo electrónico de la reivindicación 12, en el que la unidad de procesamiento comprende una formación de compuertas programables en el terreno (14), en comunicación con la interfaz de usuario de frecuencia de radio (12) y, optativamente, la unidad de procesamiento comprende además una unidad de procesamiento de gráficos (16) en comunicación con la formación de compuertas programables en el terreno (14), para realizar procesamiento paralelo.
- 20

14. El dispositivo electrónico de la reivindicación 13, en el que al menos una entre la interfaz de usuario de frecuencia de radio (12), la formación de compuertas programables en el terreno (14) y la unidad de procesamiento de gráficos (16) está configurada para recibir datos por una red de comunicación y, optativamente, los datos incluyen información de configuración para al menos una entre la interfaz de usuario de frecuencia de radio (12), la formación de compuertas programables en el terreno (14) y la unidad de procesamiento de gráficos (16).
- 25

15. Un medio de almacenamiento legible por ordenador (13) que comprende instrucciones ejecutables por ordenador que, cuando son ejecutadas por una unidad de procesamiento, provocan que la unidad de procesamiento realice el procedimiento de una cualquiera de las reivindicaciones 1 a 11.

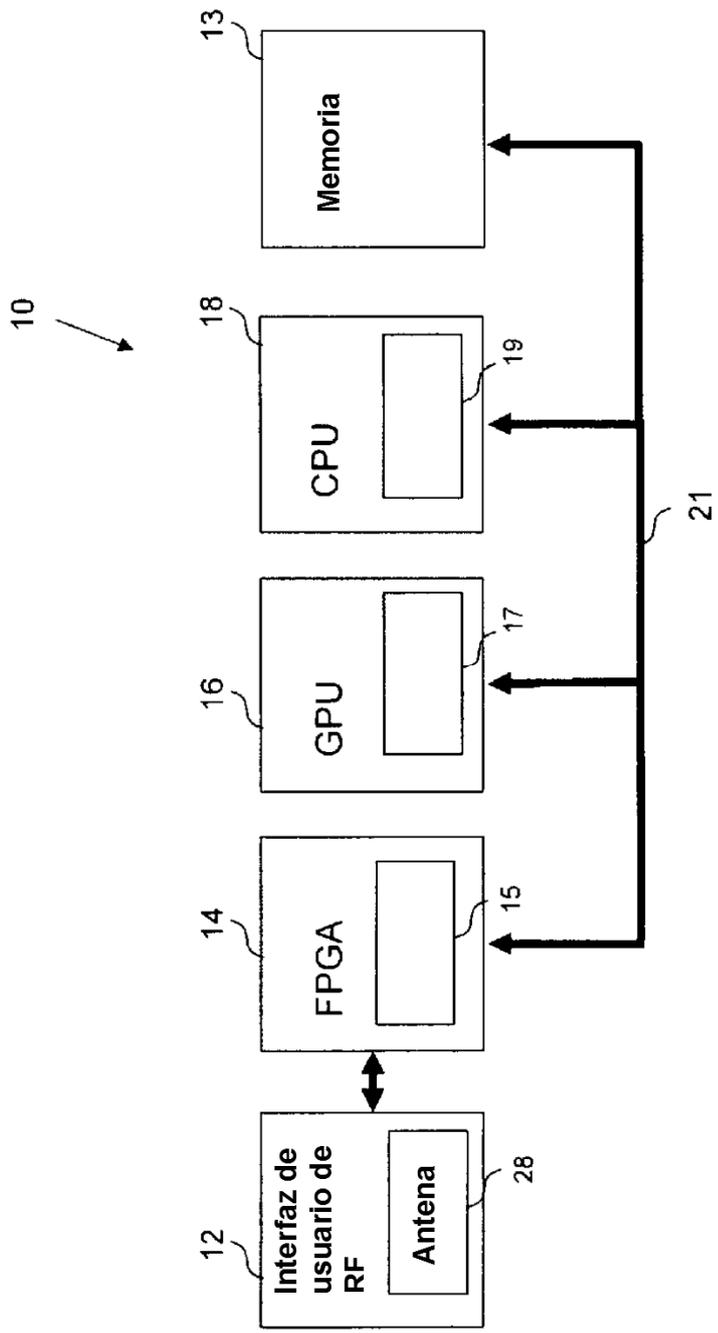


Figura 1

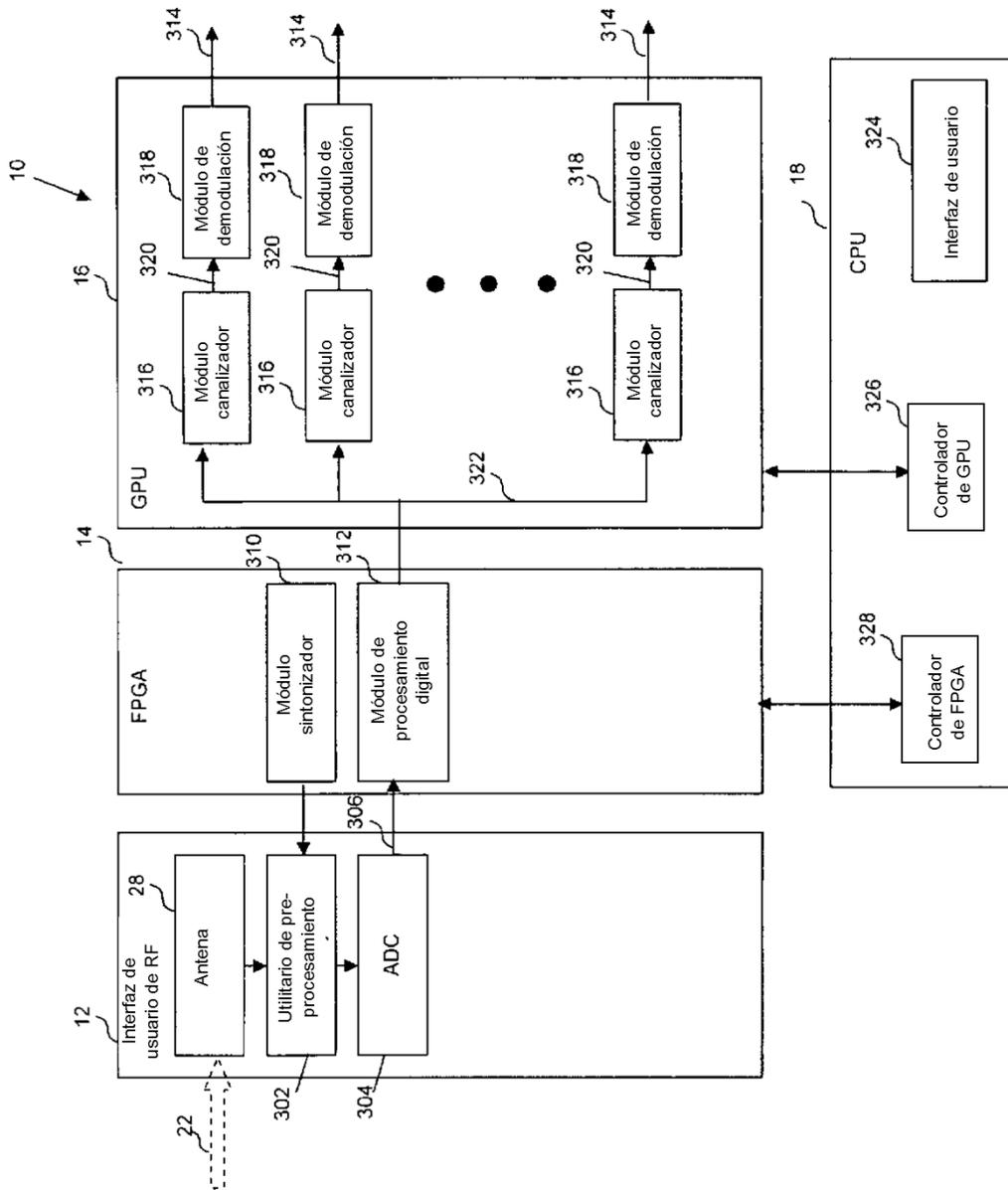


Figura 2

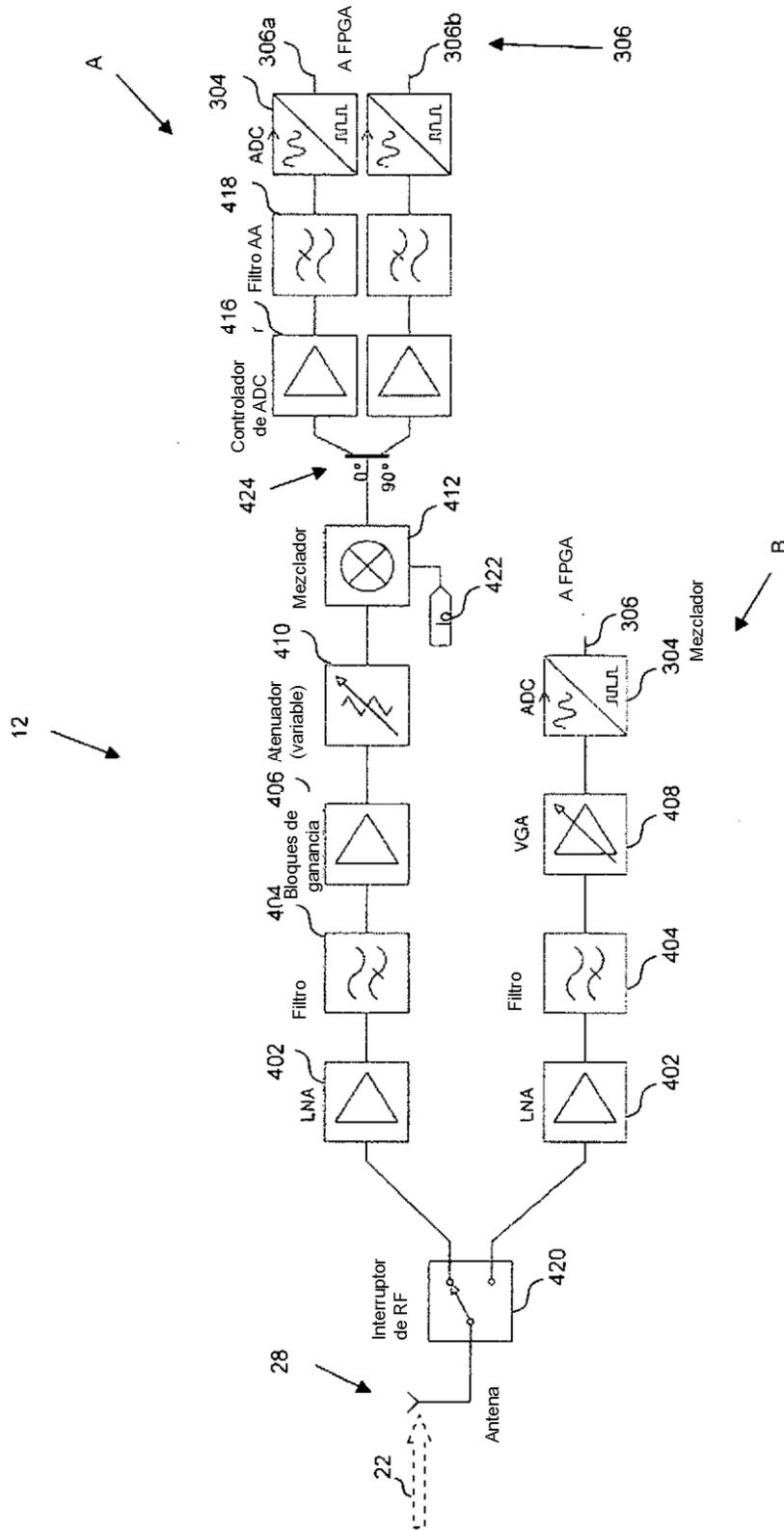


Figura 3

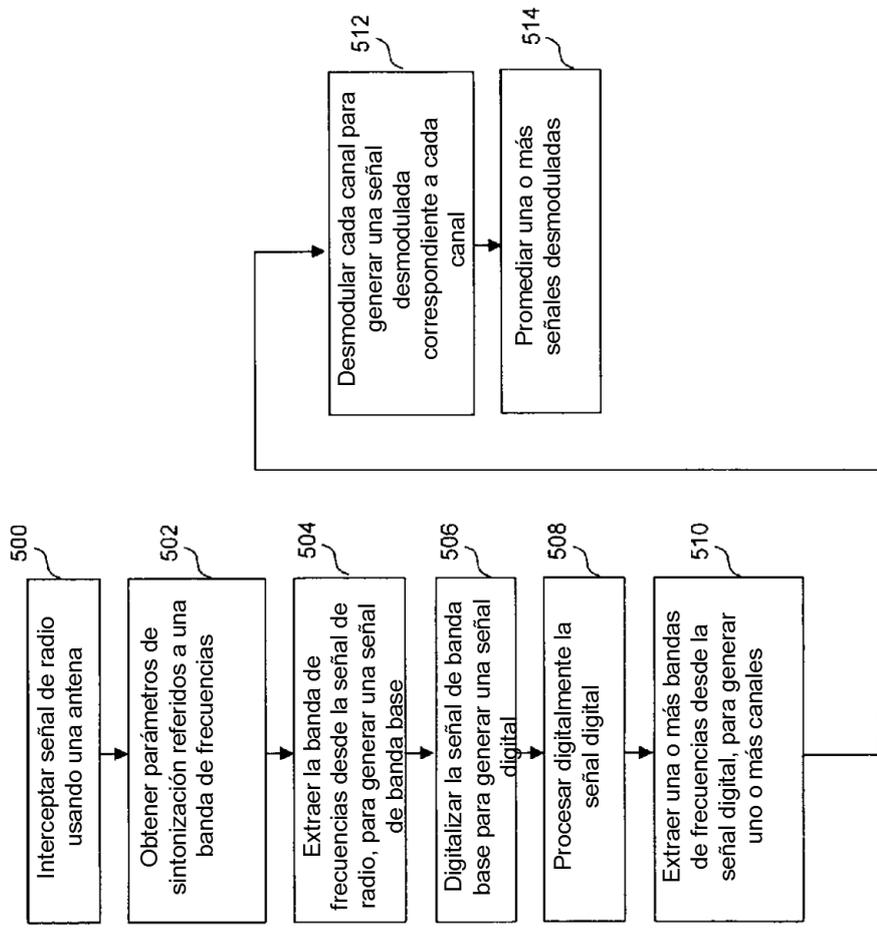


Figura 4

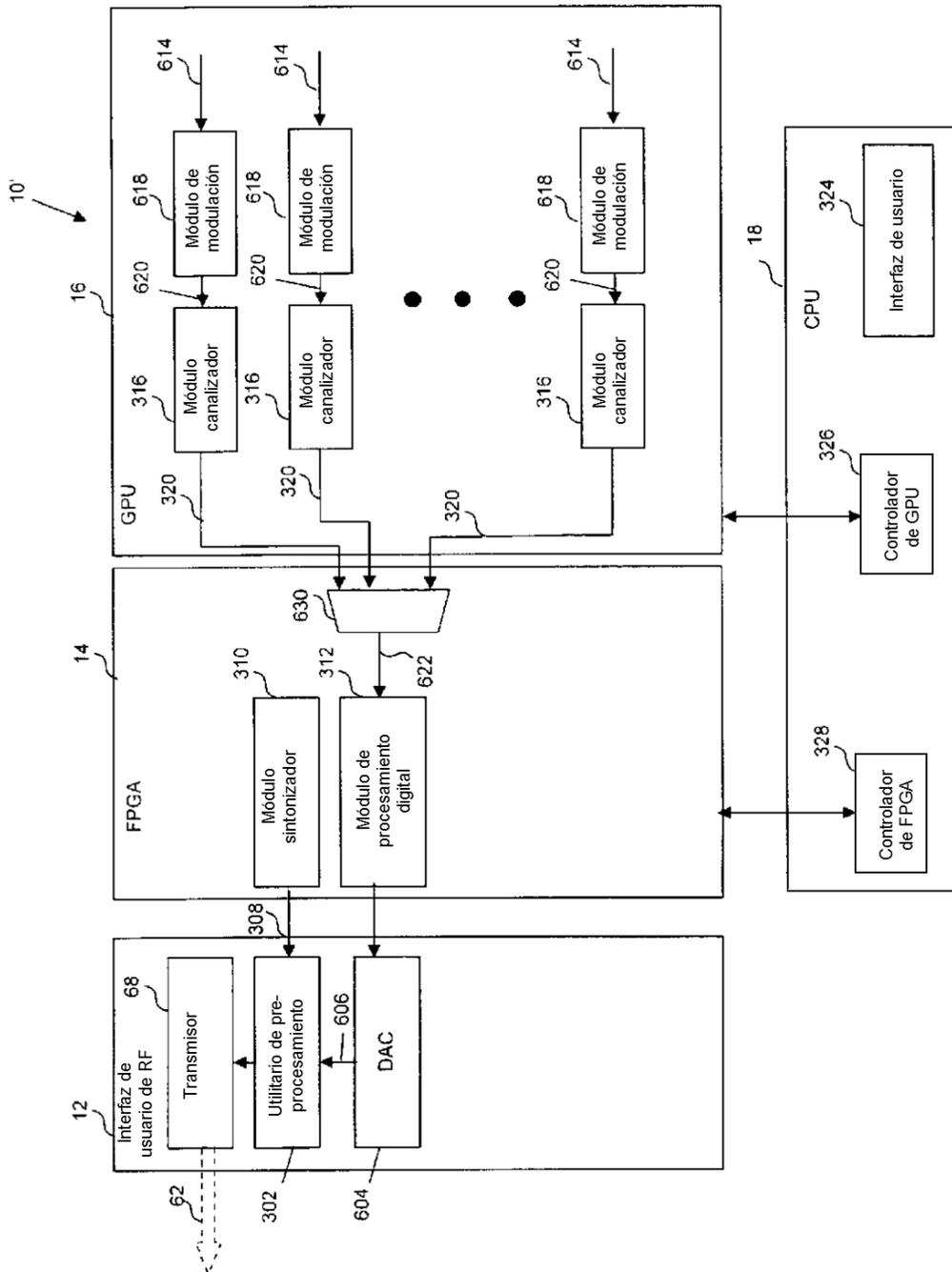


Figura 5

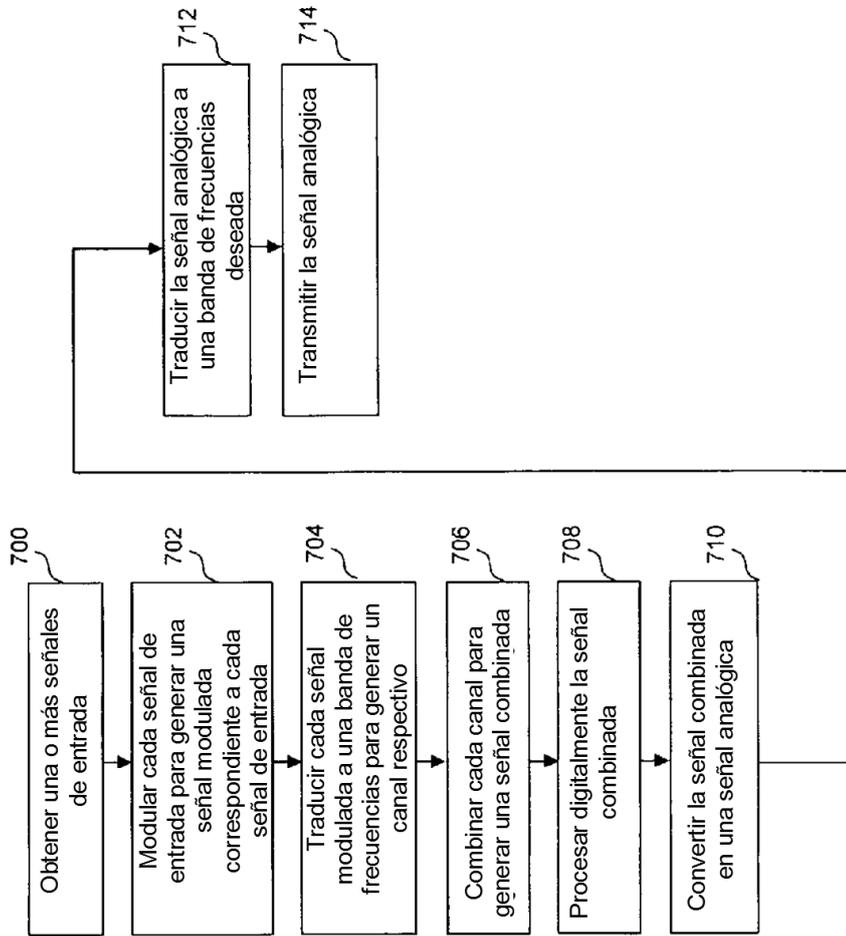


Figura 6

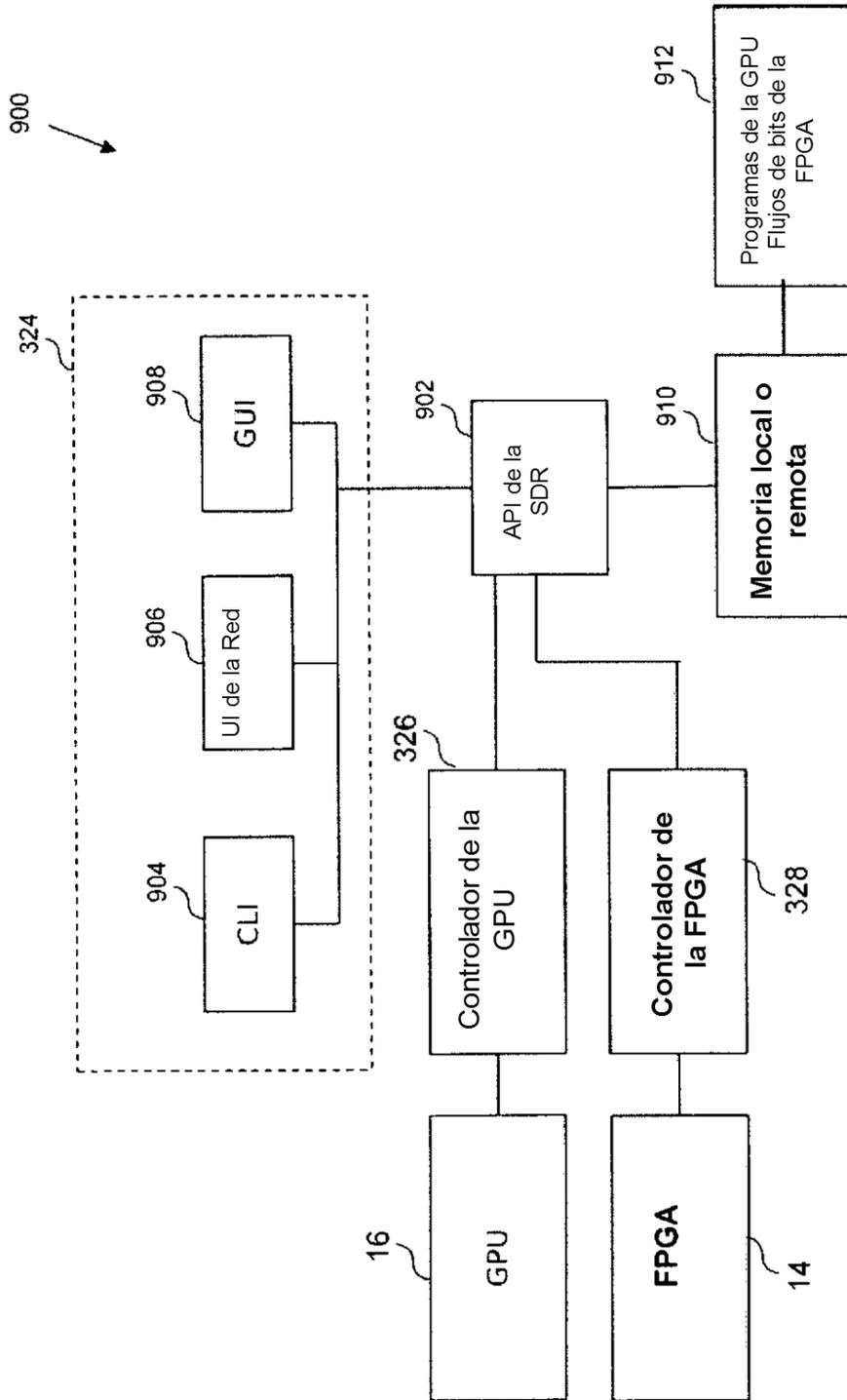


Figura 7