

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 590 730**

51 Int. Cl.:

H03L 7/07 (2006.01)

H02J 9/06 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **30.09.2014 E 14187063 (4)**

97 Fecha y número de publicación de la concesión europea: **15.06.2016 EP 2860873**

54 Título: **Velocidad de respuesta programable de lazo de seguimiento de fase**

30 Prioridad:

08.10.2013 US 201361888150 P

15.09.2014 US 201414486233

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

23.11.2016

73 Titular/es:

THOMAS & BETTS INTERNATIONAL, LLC

(100.0%)

501 Silverside Road, Suite 67

Wilmington, DE 19809, US

72 Inventor/es:

WALRAVEN, JUSTIN

74 Agente/Representante:

IZQUIERDO BLANCO, María Alicia

ES 2 590 730 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

Velocidad de respuesta programable de lazo de seguimiento de fase

Descripción

- 5 **[0001]** Un lazo de seguimiento de fase (PLL - phase-locked loop) que genera una señal de salida cuya fase está relacionada a la fase de una señal de entrada. Sistemas convencionales que incluyen a PLLs, a menudo incluyen a un filtro de control que establece el ancho de banda el cual será seguido por circuito PLL en lo que se refiere a los cambios de frecuencia de la señal de entrada.
- 10 **[0002]** Una debilidad al usar a aquellos PLLs es que la tasa de cambio de frecuencia (denominada la tasa máxima de cambios de voltaje) no es especificada precisamente. Es decir, la tasa máxima de cambios de voltaje se establece aproximadamente puesto que la relación entre la tasa máxima de cambio de voltaje y el ancho de banda del filtro de control no es lineal. Otra debilidad al usar a aquellos PLLs es que la tasa máxima de cambios de voltaje es comúnmente un límite "suave" y no un límite firme. Consecuentemente, incluso si la tasa máxima de cambio de voltaje promedio durante un periodo de tiempo es igual a la tasa deseada máxima de cambios de voltaje durante un período de tiempo, existirán, comúnmente, instantes en los cuales la tasa máxima de cambios de voltaje será más alta que la tasa máxima deseada de cambios de voltaje y existirán momentos en los cuales la tasa máxima de cambios de voltaje será más baja que la tasa máxima deseada de cambios de voltaje.
- 20 **[0003]** US 5,541,959 presenta métodos y aparatos para la cancelación de interferencia de sistemas eléctricos, en los cuales lazos de seguimiento de fases son utilizados. US 2008/218278 A1 presenta un medio para controlar la tasa máxima de cambios de voltaje de un lazo de seguimiento de fase. US 5,473,533 presenta métodos y aparatos para un bloqueo coherente de fases y de frecuencias optimizado para sistemas digitales. EP 1 229 653 A1 presenta un filtro de lazos de retroalimentación con un limitante de la tasa máxima de cambios de voltaje.

25 DESCRIPCIÓN BREVE DE LOS ESQUEMAS

- 30 **[0004]** La figura 1 es un diagrama general de bloques de un sistema de lazo de seguimiento de fase de acuerdo a una sección de ejemplo;
 La figura 2 es un diagrama de bloques de comprobación y de normalización de la figura 1 que es consistente con una implementación de ejemplo;
 La figura 3 es un diagrama del bloque de comparación de la figura 2 de acuerdo a una implementación de ejemplo;
- 35 La figura 4 es un diagrama de bloques de un PLL de ejemplo que podría ser utilizado en conexión con los bloques PLL de la figura 1 de acuerdo a una implementación de ejemplo;
 La figura 5 es un diagrama de bloques del limitador de la tasa máxima de cambios de voltaje de la figura 1 de acuerdo a una implementación de ejemplo; y
 La figura 6 es un diagrama de flujo que ilustra a procesos de ejemplo con el sistema de la figura uno.

40 DESCRIPCIÓN DETALLADA DE SECCIONES PREFERIDAS

- 45 **[0005]** La siguiente descripción detallada se refiere a los esquemas adjuntos. Los mismos números referenciales en diferentes esquemas podrían identificar al mismo o a elementos similares. Además, la siguiente descripción detallada no limita al invento.

- 50 **[0006]** Las secciones aquí descritas suministran a un sistema/circuito de lazo de seguimiento de fase con una tasa máxima de cambios de voltaje limitada, el cual podría ser programable. En una implementación, un primer PLL recibe a una señal de entrada normalizada y emite una señal de frecuencia a un limitador de tasas máximas de cambios de voltaje. El imitador de la tasa máxima de cambios de voltaje determina si la frecuencia está cambiando a niveles más altos que una tasa máxima de cambios de voltaje, y, si no fuese así, el limitador de la tasa máxima de cambios de voltaje genera a una señal de indicación de bloqueo. Un 2º PLL recibe la señal de indicación de bloqueo y genera información del ángulo de salida que se basa en la señal emitida del primer PLL cuando la señal de indicación de bloqueo se encuentra activa. La información del ángulo de salida podría ser suministrado a otro sistema. En otra implementación, cuando la indicación de bloqueo se encuentra activa durante un monto predeterminado de tiempo, la información del ángulo de salida podría ser utilizada por el otro sistema para realizar una acción de control. Por ejemplo, el otro sistema podría utilizar la información de ángulo y la indicación de bloqueo para suministrar una señal de salida que está sincronizada con (por ejemplo, sigue la fase) del ángulo de salida.

- 60 **[0007]** La figura 1 es un diagrama de bloques de un sistema de lazo de seguimiento de fase (PLL - phase-locked loop) con una tasa máxima de cambios de voltaje 100 de acuerdo a una implementación de ejemplo. En referencia a la figura 1, el sistema 100 incluye a un bloque de comprobación y normalización de señales 110, a un PLL 120, a un PLL 130, a un limitador de tasas máximas de cambio de voltaje 140, a un sumador 142, a un bloque de valores absolutos 144, a un bloque de comparación 150 y a un bloque de retrasos acumulados 160. La configuración de ejemplo ilustrada en la figura 1 se suministra por simplicidad. Debería entenderse que el sistema 100 podría incluir más o menos componentes que los que están ilustrados en la figura 1. El sistema 100 podría operar para controlar a

la tasa máxima de cambios de voltaje de una señal de salida que se basa en una señal de entrada.

[0008] Por ejemplo, en un suministro de energía ininterrumpido (UPS - uninterruptible power supply) de conversión con una fuente de energía alterna (por ejemplo, un generador), el inversor o la emisión de salida estándar del sistema UPS no debe seguir la fase de la fuente alterna de energía (por ejemplo, debe estar sincronizada con la fuente alterna de energía) en el caso de que el conmutador estático del sistema UPS deba cambiar a la señal de salida proveniente del inversor a una fuente alterna de energía. Sin embargo, si la fuente/línea alterna de energía tiene voltaje de baja calidad y/o un voltaje que cambia rápidamente de frecuencia, no es deseable que el inversor del sistema UPS siga a la fase de la fuente alterna de energía de cerca, puesto que esto causaría que la señal de salida del inversor tenga voltaje de baja calidad u otros problemas. Por lo tanto, el sistema 100 opera para tener una tasa máxima de cambios de voltaje para que, bajo circunstancias normales, el inversor del sistema UPS (no se muestra en la figura 1) siga a la fase de la fuente alterna de energía, pero bajo condiciones transitorias en las que el voltaje de la fuente alterna de energía cambia rápidamente o cuando la calidad del voltaje de la fuente alterna de energía es baja, el inversor no sigue la fase de la fuente alterna de energía. Cuando la frecuencia de la fuente alterna de energía para de cambiarse rápidamente y el nivel de la señal cumpla con un límite mínimo, el inversor seguirá a la fase de la fuente alterna de energía, tal como se describe en detalle más adelante.

[0009] El bloque de revisión y normalización de señales 110 opera para determinar si una señal de entrada cumple con el valor límite mínimo (por ejemplo, un nivel mínimo de voltaje). Por ejemplo, el bloque de comprobación y de normalización de señales 110 determina si el nivel de voltaje de una señal está por sobre o por debajo del límite. En una implementación de ejemplo, la señal de entrada representa a una señal de voltaje asociada con una fuente alterna de energía que es aplicada a un sistema UPS. En otras implementaciones, la señal de entrada representa otros tipos de señales de entrada que podrían ser monitoreados. El valor límite mínimo/límite inferior específico asociado con la señal de entrada se basa en la sección específica en el cual el sistema 100 está siendo utilizado.

[0010] El bloque de comprobación y normalización de señales 110 también opera para normalizar la señal de entrada recibida a un nivel predeterminado. Por ejemplo, el bloque de comprobación y normalización de señales 110 podría recibir a una señal de entrada sinusoidal representada por $M\sin(\omega t)$, tal como se presentó en la figura 1, donde M representa la magnitud de la señal de entrada sinusoidal, y dicho bloque emite a una señal representada por $\sin(\omega t)$. En una implementación de ejemplo, la señal de entrada representa a un voltaje asociado con la línea alterna de suministro de energía. En este caso, el bloque de comprobación y de normalización de señales 110 normaliza a la señal de entrada a una ganancia unitaria (por ejemplo, una onda sinusoidal que varía en amplitud desde -1 a 1).

[0011] La figura 2 ilustra a una implementación de ejemplo de un bloque de comprobación y normalización de señales 110. Tal como se ilustró en la figura 2, el bloque de comprobación y de normalización de señales 110 incluye a un bloque de media cuadrática (RMS - root mean square) 202, a un bloque de comparación 204, a un bloque del límite RMS inferior 206 y a un bloque divisor 208. Tal como se ilustró en la figura 2 y tal como se mencionó anteriormente en relación a la figura 1, la señal de entrada podría ser una señal de entrada sinusoidal representada por $M\sin(\omega t)$, donde M representa la magnitud de la señal de entrada sinusoidal. El bloque RMS 202 recibe la señal de entrada y calcula el valor RMS de la señal de entrada. Por ejemplo, el bloque RMS podría calcular la media aritmética de la raíz cuadrada (es decir, el promedio) de los cuadrados de la función que define a la señal/forma de onda de entrada continua (es decir, $M\sin(\omega t)$). El bloque de comparación 204 compara a la señal de salida del valor RMS mediante el bloque RMS 202 a un límite inferior y a un valor de histéresis para determinar si el valor RMS está por sobre el valor del límite/umbral inferior.

[0012] Por ejemplo, la figura 3 ilustra una representación esquemática del bloque de comparación 204. En referencia a la figura 3, el bloque de comparación 204 incluye a un bloque de interacción/no interacción 302. El bloque de interacción/no interacción 302 recibe al valor de interacción/no interacción, que corresponde al límite inferior de la señal de entrada. Es decir, el valor de interacción/no interacción corresponde a un límite inferior por debajo del cual, la señal de entrada no tiene el suficiente nivel para ser utilizada. El bloque de interacción/no interacción 302 también recibe la señal de entrada (por ejemplo, $M\sin(\omega t)$), compara a la señal de entrada con el valor límite y emite una señal que tiene un valor booleano que indica si la señal de entrada está por sobre el valor límite. El bloque de interacción/no interacción 302 también recibe retroalimentación que representa a la señal de salida actual del bloque de interacción/no interacción 302 para evitar "parloteo" o un cambio rápido de la señal de salida. Por ejemplo, el bloque de interacción/no interacción 302 podría emitir a un valor de no interacción (por ejemplo, un "0") incluso cuando la señal de entrada está por sobre el valor límite, si la señal de entrada cambia rápidamente desde un valor por sobre el límite inferior a un valor por debajo del límite inferior. Si la señal de salida está por sobre el límite inferior y la señal de salida no está cambiando/alternándose rápidamente, el bloque de interacción/no interacción 302 podría emitir una señal con un valor de interacción (por ejemplo, un "1").

[0013] Refiriéndonos otra vez a la figura 2, el bloque de comparación 204 emite la determinación de la comparación al bloque de límite inferior RMS 206 que remite la señal a un bloque divisor 208. El bloque del límite inferior RMS también remite a la magnitud de la señal de entrada al bloque divisor 208. El bloque divisor 208 normaliza la señal de entrada. Por ejemplo, el bloque divisor 208 podría dividir la magnitud de la señal mediante el valor RMS calculado por el bloque RMS 202 multiplicado por la raíz cuadrada de 2 para normalizar a la señal de entrada. En una implementación, el bloque divisor 208 normaliza a la señal para que tenga una ganancia unitaria, representada como

sin(ωt), tal como se mencionó anteriormente en relación a la figura 1. El bloque divisor 208 también podría emitir a una señal booleana 210 que indica si la señal de entrada está por sobre el límite inferior (también referido como nivel mínimo), ilustrado en la figura 2. Por ejemplo, un valor booleano de "1" podría indicar que la señal de entrada está por sobre el límite/umbral inferior y un valor booleano de "0" podría indicar que la señal no está por sobre el límite/umbral inferior. El PLL 120 utiliza a la señal booleana como la señal "activa", tal como se describe más adelante.

[0014] en relación nuevamente a la figura uno, el PLL 120 recibe a la señal normalizada representada por sin(ωt) y a la señal booleana que indica si la señal está por sobre el límite mínimo. El PLL 120 utiliza a la señal booleana como una señal "activa". Es decir, cuando el PLL 120 recibe a un "1" del bloque de comprobación y de normalización de señales 110, el PLL 120 podría operar en conjunto con un limitador de la tasa máxima de cambios de voltaje 140 y el PLL 2, tal como se describe más adelante. Cuando el valor booleano es de "0", lo cual indica que la señal de entrada está por debajo del nivel mínimo establecido por el usuario, el PLL 120 emite una señal con la frecuencia nominal igual a la frecuencia de salida, lo cual vuelve efectivamente al PLL 120 en una rampa de libre ejecución que va desde 0 hasta 2π con la frecuencia nominal. Cuando la señal de entrada se eleva por sobre el nivel mínimo (es decir, el valor booleano es "1"), el PLL 120 vuelve a monitorear a la señal de entrada, tal como se describe más adelante.

[0015] La figura 4 ilustra al PLL 120 (y al PLL 130) de acuerdo a una implementación de ejemplo. En referencia a la figura 4, el PLL 120 (y el PLL 130) incluye a un bloque sumador 402, a un bloque multiplicador 404, a un filtro 406 (también denominado bloque filtro 406), a un controlador 408 (también denominado como bloque controlador 408), a un bloque de saturación 410, a un bloque de activación 412, a un bloque sumador 414, a un bloque de saturación 416, a un bloque de integración 418, a un bloque de envoltura 420, a un bloque de coseno 422 y a un bloque de seno 424. En una implementación, el PLL 120 tiene un ancho de banda grande y tiene la capacidad de monitorear a la señal de entrada a través de transeúntes muy rápidos. Adicionalmente, el PLL 130 podría tener un ancho de banda más bajo y podría ser más lento que el PLL 120. El PLL 130 podría operar para seguir a la señal de salida de la fase mediante el PLL 120 cuando la frecuencia de la señal de salida del PLL 120 no esté cambiando a una tasa más alta que la tasa máxima programable de cambio de voltaje, tal como se describe en mayor detalle más adelante.

[0016] El PLL 120/130 funciona similarmente a PLLs convencionales con la adición de una frecuencia nominal en el PLL, la multiplicación de la señal booleana "activa" con la señal de error y la saturación del controlador (por medio del bloque de saturación 410) y la señal de salida (por medio del bloque de saturación 416).

[0017] El bloque sumador 402, el bloque multiplicador 404, el bloque de coseno 422 y el bloque de seno 424 funcionan como un detector de fases para el PLL 120/130. Los bloques 402 y 404 operan para comparar a las 2 señales de entrada y producir a una señal de error o de salida que es proporcional a la diferencia de fases entre las 2 señales. En referencia a la figura 4, la señal de entrada (por ejemplo, sin(ωt) para el PLL 120) es comparada con la señal de salida del bloque seno 424. El bloque seno 424 genera al seno asociado con la señal 430, el cual es suministrado de vuelta desde el bloque de integración 418 y el bloque de envoltura 420. La señal 430 identifica al ángulo de salida del PLL 120/130, tal como se describe en más detalle más adelante, y el bloque seno 424 determina el seno del ángulo de salida. La señal de salida del bloque sumador 404 es multiplicado por la señal de salida del bloque coseno 422. El bloque coseno 422 opera para generar al coseno del ángulo de salida a partir de la señal 430. La señal de salida del bloque multiplicador 404 corresponde a una señal de error que identifica a la fase entre las señales de entrada y de salida.

[0018] La señal de salida del bloque multiplicador 404 es una señal de entrada para el bloque filtro 406. De acuerdo a una implementación de ejemplo, el bloque filtro 406 es un filtro de paso bajo que filtra y expulsa a los componentes de alta frecuencia de la información de fases. Por ejemplo, el bloque filtro 406 podría ser un filtro Butterworth de 4^o orden. La señal de salida del bloque filtro 406 es suministrada al bloque controlador 408.

[0019] El bloque controlador 408 podría incluir a un controlador integral proporcional que actúa para reducir a los errores de fase a cero para asegurar que la frecuencia permanece dentro de este rango. La señal de salida del bloque controlador 408 es suministrada al bloque de saturación 410. El bloque de saturación 410 recibe a la señal de salida proveniente del bloque controlador 408 y suministra una saturación para la señal de salida para compensar por el anti-enrollado del término integral del controlador 408.

[0020] La señal de salida del bloque de saturación es suministrada al bloque de activación 412, el cual multiplica a la señal recibida por la señal booleana "activa". La señal "activa" también es suministrada al filtro 406 y al controlador 408, donde es multiplicada por todos los elementos de memoria del filtro 406 y del controlador 408 para despejar efectivamente a los elementos de memoria si la señal "activa" se redujese a cero. Por lo tanto, cuando la señal activa se vuelve cero (es decir, la señal de entrada está por debajo del límite/umbral inferior), el filtro 406, el bloque de saturación 410 y el bloque de activación 412 serán reiniciados.

[0021] Tal como se ilustra adicionalmente en la figura 4, la frecuencia nominal asociada con el sistema (por ejemplo, 50 Hz, 60 Hz, etcétera) es ingresada a bloque sumador 414, junto con la señal de salida del bloque de activación 412. Esta separación de la frecuencia nominal del sistema 100 de otros bloques del sistema 100 le permite al sistema 100 ser utilizado con sistemas de 50 Hz, de 60 Hz, etcétera (por ejemplo, sistemas UPS de 50 o 60 Hz) sin cambiar otros elementos del PLL 120/130. Tal como se describió anteriormente, la señal "activa" le permite al sistema 100

convertirse en un generador de ángulos de bucles abiertos.

5 **[0022]** El bloque de saturación 416 suministra una saturación de salida para asegurar que la frecuencia de salida del PLL (por ejemplo, el PLL 120 o el PLL 130) está atada a la ventana de frecuencia establecida por el usuario. Por ejemplo, el factor anti-bobinado del PLL 120 podría establecerse a ± 3 Hz, y el factor anti-bobinado del PLL 130 podría establecerse a 0.2 Hz. Sin embargo, debe estar claro que otros valores podrían ser utilizados basándose en la implementación particular en la cual el sistema 100 está siendo utilizado.

10 **[0023]** Regresando a la figura uno, la señal de salida del PLL 120 es ingresada al imitador de tasas máximas de cambio de voltaje 140. El limitador de tasas máxima de cambios de voltaje 140 opera para limitar la tasa de cambio de una señal de salida. Por ejemplo, la figura 5 ilustra al limitador de tasas máximas de cambio de voltaje 140 de acuerdo a una implementación de ejemplo. En referencia a la figura 5, el limitador de tasas máximas de cambios de voltaje 140 incluye a un filtro 502, a un bloque sumador 504, a una saturación para el bloque limitador de tasas 506, a un bloque sumador 508, a un bloque sumador 512, a un bloque de valor absoluto 514 y a un bloque de comparación 516.

15 **[0024]** El imitador de tasas máximas de cambios de voltaje 140 opera como un controlador discreto en una modalidad que varía de muestra a muestra. Por ejemplo, un limitador de tasas máximas de cambios de voltaje 140 podría tomar muestras de las señales de salida de la información de frecuencias que proviene del PLL 120 a una tasa específica (por ejemplo, cada un segundo, cada 0.25 segundos, cada 0.01 segundos, etcétera), e identifica cambios de frecuencia que se basan en estas muestras. Por ejemplo, si la tasa máxima de cambios de voltaje es 1 Hz y la tasa de muestras es cada 0.25 segundos, la tasa de frecuencia / tasa máxima de cambios de voltaje puede cambiar únicamente por 0.25 Hertz durante ese intervalo de 0.25 segundos para que la tasa máxima actual de cambios de voltaje esté por debajo de la tasa máxima. Asimismo, si la tasa máxima de cambios de voltaje es 1 Hz y la tasa de muestras es cada 0.01 segundos, la tasa de frecuencia / tasa máxima de cambios de voltaje sólo puede cambiar por 0.01 Hz durante el intervalo de 0.01 segundos para que la tasa máxima actual de cambios de voltaje esté por debajo de la tasa máxima.

20 **[0025]** Tal como se ilustró anteriormente, el bloque filtro 502 recibe a la señal de entrada y la filtra. Por ejemplo, el filtro 502 podría ser un filtro de paso bajo que expulsa a las señales de alta frecuencia. La señal de salida del filtro de paso bajo 502 es una señal de entrada para el bloque sumador 504. El bloque Z^{-1} 518 almacena al valor previo de salida mediante el limitador de la tasa máxima de cambios de voltaje 140, el cual es una señal de entrada para el bloque sumador 504, la cual es sustraída de la señal de entrada filtrada para determinar a la tasa de ciclos individuales de cambios. La señal de salida del bloque sumador 504 es remitida a la saturación para el bloque limitador de tasas 506, que también recibe a la información del límite de tasas máximas de cambios de voltaje. La señal de salida del bloque Z^{-1} 518 también es ingresada al bloque sumador 508. Tal como se mencionó anteriormente, la señal de salida del bloque sumador 504 es pasada a la saturación para el bloque limitador de tasas 506 y se limita a la tasa máxima de ciclos individuales de cambio. Esta tasa de ciclos individuales de cambio (del valor máximo indicado por el usuario o menos) se agrega entonces al valor de salida previo por medio del bloque sumador 508 para producir a la tasa limitada de señales salida.

30 **[0026]** La señal de entrada filtrada también es ingresada al bloque sumador 512 junto con la señal de salida del bloque sumador 508. El bloque sumador 512 determina la diferencia entre la señal de entrada filtrada y la señal de salida del bloque sumador 508 y la diferencia es remitida al bloque de valores absolutos 514, que determina la magnitud/valor absoluto de la diferencia. Si el valor absoluto de la diferencia entre la señal de entrada actual y la última señal de salida excede al límite de tasas máximas de cambio de voltaje, la diferencia entre la señal de salida actual y la última señal de salida será limitada al límite de tasas.

35 **[0027]** Sin embargo, si la señal de salida actual y la señal de entrada real están “cerca” entre sí (por ejemplo, están dentro de un valor predeterminado entre sí), el bloque de comparación 516 indicará que la tasa máxima de cambios de voltaje está “bloqueada”. En una implementación de ejemplo, el valor de “cercanía” es preestablecido. Por ejemplo, el valor de bloqueo podría estar establecido previamente a 0.01 Hertz para su interacción, y el valor de desbloqueo podría ser configurado previamente a 0.1 Hz para que no haya interacción. Debe quedar claro que estos valores son de ejemplo únicamente y pueden ser cambiados basándose en la implementación específica en la cual el sistema 100 está siendo utilizado. Estos valores también podrían ser configurados por el usuario.

40 **[0028]** Refiriéndonos nuevamente a la figura 1, el PLL 130 recibe la indicación de bloqueo del limitador de tasas máximas de cambios de voltaje 140 como su señal “activa”. Por lo tanto, si el sistema 100 está en una modalidad limitadora de la tasa máxima de cambios de voltaje (es decir, la frecuencia de la señal de salida del PLL 120 está cambiando a una tasa más alta que la tasa máxima de cambios de voltaje), el PLL 130 tomará la frecuencia limitada de la tasa máxima de cambios de voltaje (ω_1 en la figura 1) proveniente del limitador de tasas máximas de cambios de voltaje 140 y genera a una rampa de ángulos de ejecución libre. Cuando el imitador de tasas máximas de cambio de voltaje 140 regresa a la modalidad “bloqueada”, el PLL 130 regresa a monitorear al ángulo del PLL 120.

45 **[0029]** Cuando el limitador de tasas máximas de cambios de voltaje 140 está en la modalidad bloqueada, el PLL 130 emite el ángulo monitoreado, que es integrado y envuelto desde cero a 2π a través del bloque de integración 418 y

del bloque de envoltura 420 (figura 4). Es decir, la frecuencia de la señal de salida ω_1 es integrada para generar un ángulo correspondiente al ángulo de fases de la señal de entrada. El ángulo de salida representado por θ_1 en la figura 1 es una señal de entrada para el sistema externo. Por ejemplo, el ángulo de salida θ_1 podría ser ingresado a un generador referencial de voltaje de un inversor de un sistema UPS (no se muestra en la figura 1), tal como se describe en más detalle más adelante.

[0030] El sistema 100 también opera para asegurar que la señal de entrada está por sobre el límite inferior durante un período predeterminado de tiempo para evitar los cambios asociados con un sistema externo (por ejemplo, un sistema UPS). Por ejemplo, la señal de salida del PLL 130 es suministrada mediante el sumador 142 y el bloque de valores absolutos 144 al comparador 150. El bloque sumador 142 (también referido como el sumador 412) determina la diferencia entre θ_0 y θ_1 para determinar si los 2 ángulos están relativamente “cerca” entre sí (por ejemplo, con una diferencia inferior a 1° entre sí). El bloque de valores absolutos 144 podría determinar el valor absoluto o la magnitud de la diferencia y remitir al valor de la magnitud al comparador 150.

[0031] El comparador 150 compara la magnitud que representa a la diferencia entre la señal de salida de los ángulos del PLL 120 y del PLL 130 al límite de bloqueo. Por ejemplo, en una implementación, el límite de bloqueo podría ser de 1° . Debe quedar claro que, en otros sistemas, el límite de bloqueo podría ser mayor o menor que 1° . Si la diferencia está dentro del límite de bloqueo, el comparador 150 emite una indicación de bloqueo para el bloque de retraso/de acumulación 160.

[0032] El bloque de retraso/acumulación 160 determina si las señales emitidas de los ángulos del PLL 120 y del PLL 130 están “cerca” entre sí durante un período predeterminado de tiempo. En una implementación, el período predeterminado de tiempo podría ser 0.25 segundos. Sin embargo, debe quedar claro que otros períodos predeterminados de tiempo podrían ser utilizados. El bloque de retraso/acumulación 160 también determina si la señal de entrada está por sobre el límite inferior predeterminado para el período predeterminado de tiempo (por ejemplo, 0.25 segundos). Otra vez, el período predeterminado de tiempo en relación a la señal de entrada que está por sobre el nivel predeterminado podría ser diferente en otras implementaciones.

[0033] En cada caso, el bloque de retraso/acumulación 160 emite información al sistema externo (por ejemplo, un sistema UPS) identificando si la señal de entrada está por sobre el límite inferior, ya sea que el PLL 120 y el PLL 130 hayan sido bloqueadas durante un período predeterminado de tiempo, y ya sea que ambas de estas condiciones hayan sido verdaderas para un período predeterminado de tiempo. El sistema externo utiliza esta información para realizar una acción de control.

[0034] Por ejemplo, en una implementación en la cual el sistema externo corresponde a un generador de voltaje referencial de un inversor y la información proveniente del bloque de retraso/acumulación 160 indica que la señal está por sobre el límite inferior durante un período determinado de tiempo y el PLL 120 y el PLL 130 han sido bloqueados durante el período predeterminado de tiempo, el inversor del sistema UPS podría ser configurado para seguir a la fase asociada con la fuente alterna de energía. Esto asegura que si el sistema UPS se cambia a la fuente alterna de energía (por ejemplo, un generador), que la fase de la fuente alterna de energía estará sincronizada con la fuente de energía de entrada estándar que fue utilizada previamente.

[0035] La figura 6 es un flujograma que ilustra a procesos de ejemplo asociados con el sistema 100. Los procesos podrían empezar con el sistema 100 recibiendo una señal de entrada (bloque 610). Por ejemplo, el sistema 100 podría recibir la señal de entrada representada por $M\sin(\omega t)$ tal como fue mencionado anteriormente en relación a la figura 1. El bloque de comprobación y normalización de señales 110 podría determinar si la señal de entrada está por sobre el límite/umbral inferior (bloque 620). Si no (bloque 620 - no), esto indica que la señal de entrada actualmente no puede usarse (bloque 630). Es decir, la calidad de la señal de entrada no es de un nivel suficiente para poder monitorearse. En este caso, el PLL 120 podría emitir a la frecuencia nominal como su frecuencia de salida.

[0036] Sin embargo, si la señal de entrada está por sobre el límite (bloque 620-sí), el PLL 120 monitorea a la señal de entrada y genera una frecuencia de salida (bloque 640). Por ejemplo, el PLL 120 podría operar tal como fue descrito anteriormente en relación a las figuras 1 y 4 y emitir a una frecuencia representada por ω_0 . El bloque de comprobación y normalización de señales 110 también normaliza a la señal de entrada, por ejemplo, una ganancia unitaria (bloque 640).

[0037] El limitador de tasas máximas de cambios de voltaje 140 recibe la frecuencia de salida y determina si la tasa máxima de cambios de voltaje es mayor que la tasa / umbral máximo de cambios de voltaje (bloque 650), por ejemplo, el limitador de las tasas máximas de cambios de voltaje 140 podría operar tal como fue mencionado anteriormente en relación a las figuras 1 y 4 y determinar si la frecuencia de salida del PLL 120 está cambiando a una tasa superior que la tasa máxima de cambios de voltaje. Si la tasa de cambios es mayor que la tasa máxima de cambios de voltaje (bloque 650-sí), el limitador de las tasas máximas de cambios de voltaje 640 emitirá una frecuencia limitada de las tasas máximas de cambios de voltaje (por ejemplo, ω_1 en la figura 1) y el PLL 130 emitirá a una rampa de ángulos de libre ejecución (bloque 660).

[0038] Sin embargo, si la tasa máxima de cambios de voltaje no fuese mayor que el umbral (bloque 650-no), el

limitador de tasas máximas de cambio de voltaje 140 genera a una indicación de bloqueo (bloque 670). El PLL 130 recibe la indicación de bloqueo y usa a la indicación de bloqueo como una señal "activa". En este caso, el PLL 130 monitorea a la información de fases/ángulos proveniente del PLL 120 (bloque 670). El PLL 130 también emite información de los ángulos o de las fases a un sistema externo (bloque 680). Por ejemplo, el PLL 130 emite la información de ángulos de ejecución libre en situaciones donde la tasa máxima de cambios de voltaje está por sobre el umbral, o del ángulo monitoreado asociado con la señal emitida del PLL 120, en situaciones en las cuales la tasa máxima de cambios de voltaje no está por sobre el umbral.

[0039] El sistema 100 puede determinar entonces si la señal de salida de información de ángulos proveniente del PLL 120 y del PLL 130 son "cercana" entre sí, tal como se describió anteriormente en relación a la figura 1 mediante el compactador 150. El bloque de retraso/acumulación 160 también determina si las señales de salida del PLL 120 y del PLL 130 han sido bloqueadas durante un periodo predeterminado de tiempo y si es que la señal de entrada está por sobre el límite inferior para un período predeterminado de tiempo, tal como fue descrito anteriormente en relación a la figura 1, y emite esta información (bloque 680). Esta información podría ser utilizada por un sistema externo, tal como un sistema UPS, tal como fue descrito anteriormente. Por ejemplo, el inversor del sistema UPS podría ser configurado para seguir a la fase asociada con la fuente alterna de energía cuando la señal de entrada está por sobre el nivel predeterminado, las emisiones del PLL 120 y 130 han sido bloqueadas y ambas de estas condiciones han sido verdaderas durante un período predeterminado de tiempo. Esto ayuda a asegurar que si el sistema UPS se cambia a la fuente alterna de poder (por ejemplo, un generador), que la fase de la fuente alterna de energía estará sincronizada con la fuente de energía de entrada estándar y que esta será utilizada.

[0040] La descripción anterior de las implementaciones de ejemplo suministran ilustraciones y descripciones, pero no es la intención que éstas sean exhaustivas o que limiten a las secciones aquí descritas a la forma precisa presentada. Modificaciones y variaciones son posibles en luz de las enseñanzas anteriores o podrían ser adquiridas de la práctica de las secciones.

[0041] Por ejemplo, las implementaciones descritas anteriormente se refieren al sistema 100 que está siendo utilizado en conjunto con un sistema UPS. Debería quedar claro que el sistema 100 podría ser utilizado con otros tipos de sistemas en los cuales los PLLs sean utilizados comúnmente.

[0042] Adicionalmente, se han descrito a varios circuitos asociados con el bloque de comprobación y normalización de señales 110, con los PLLs 120 y 130, con el limitador de tasas máximas de cambios de voltaje 150, el bloque de retraso/acumulación 160, etcétera. Estos circuitos podrían ser implementados mediante hardware (por ejemplo, procesadores de señales digitales (DSPs - digital signal processors), circuitos integrados de aplicaciones específicas (ASICs - application specific integrated circuits), formaciones de conexiones programables de campo (FPGAs - application specific integrated circuits), microprocesadores, u otros elementos de hardware, mediante software (por ejemplo, instrucciones ejecutadas mediante un procesador o un microprocesador), o una combinación de hardware y software. Además, las implementaciones específicas de circuitos ilustradas en las figuras 1-5 son sólo de ejemplo. Debería entenderse que, en otras implementaciones, se podrían utilizar a otras configuraciones.

[0043] Aunque el invento ha sido descrito en detalle en secciones anteriores, se entiende expresamente que será aparente para personas con conocimiento en la industria en cuestión que el invento podría ser modificado sin apartarse del enfoque del invento. Varios cambios de forma, de diseño o de organización podrían ser hechos al invento sin apartarse del espíritu y del enfoque del invento. Por lo tanto, la descripción mencionada en secciones anteriores debe considerarse como de ejemplo, en vez de limitante, y el enfoque verdadero del invento es aquel definido en las siguientes reivindicaciones.

[0044] Ningún elemento, acción o instrucción utilizada en la descripción de esta aplicación debería ser considerada como crítica o esencial para el invento a menos que se describa explícitamente como tal. Además, tal como se utiliza en este documento, el artículo "un" tiene la intención de incluir a uno o más elementos. Además, la frase "se basa en" tiene la intención de significar "se basa, por lo menos en parte, en" a menos que se declare explícitamente de otra forma.

Reivindicaciones

1. Un sistema (100), que comprende a:

5 Un primer lazo de seguimiento de fase (PLL - phase-locked loop) (120) configurado para:

Recibir a una señal de entrada,
 Generar a una primera emisión identificando a una secuencia asociada con una señal de entrada, y
 generar a una 2ª emisión identificando la información de fases asociada con la señal de entrada,
 10 Donde el sistema se **caracteriza por**:

un limitador de cambios de frecuencias (140) acoplado al primer PLL (120) y configurado para:

15 recibir a la primera emisión del primer PLL (120),
 determinar si la frecuencia de la primera emisión está cambiando a una tasa mayor que la
 tasa predeterminada, y
 generar a una primera señal que indica si la frecuencia está cambiando a una tasa mayor
 que la tasa predeterminada; y

20 Un 2º PLL (130) configurado para:

recibir la primera señal del limitador de cambios de frecuencias (140),
 recibir la 2ª emisión del primer PLL (120), y
 generar a una señal de salida que identifica a la información de ángulos o fases que se
 25 basa en la primera señal y en la 2ª emisión.

2. El sistema de la reivindicación 1, donde cuando se genera una señal de salida, el 2º PLL (130) es
 configurado para:

30 determinar si la frecuencia está cambiando a una tasa mayor que la tasa predeterminada
 basándose en la primera señal del limitador de cambios de frecuencias (140), y
 generar información de ángulos o de fases que se basan en la información de fases asociada con
 la 2ª emisión de salida, en respuesta a determinar que la frecuencia no está cambiando a una tasa
 mayor que la tasa predeterminada.

3. El sistema de la reivindicación 1 o de la reivindicación 2, que comprende, además:

una lógica de salida (160) configurada para:

40 determinar si la emisión de salida de ángulos o de fases del primer PLL (120) y del 2º PLL
 (130) están dentro del rango predeterminado entre sí durante un período predeterminado de
 tiempo, y
 determinar si la señal de entrada está por sobre el nivel predeterminado durante un período
 predeterminado de tiempo.

4. El sistema de la reivindicación 3, donde la lógica de salida (160) está configurada para:

remitir información al dispositivo externo indicando si la emisión de salida de ángulos o de fases del
 primer PLL (120) y del 2º PLL (130) están dentro del rango predeterminado entre sí durante un
 período predeterminado de tiempo, y si la señal de entrada está por sobre el nivel predeterminado
 durante un período predeterminado de tiempo.

5. El sistema de la reivindicación 4, donde el 2º PLL (130) está configurado para:

55 remitir a la señal de salida que identifica a la información de ángulos o de fases a un dispositivo de
 control.

6. El sistema de la reivindicación 5, donde el dispositivo de control comprende a un controlador de un suministro
 ininterrumpido de energía (UPS - uninterruptible power supply) configurado para sincronizar a la emisión de
 salida de un sistema UPS con la señal de salida del 2º PLL (130) en respuesta para determinar que la
 información remitida indica que la emisión de salida de ángulos o de fases del primer PLL (120) y del 2º PLL
 (130) están dentro del rango predeterminado entre sí durante un período predeterminado de tiempo, y que la
 señal de entrada esté por sobre el nivel predeterminado durante un período predeterminado de tiempo.

7. El sistema de la reivindicación 6, donde el controlador UPS está configurado para no sincronizar a la emisión
 de salida del sistema UPS con la señal de salida del 2º PLL en respuesta para determinar que la información

remitida indique que la emisión de salida de ángulos o de fases del primer PLL (120) y del 2º PLL (130) no estén dentro del rango predeterminado entre sí durante un período predeterminado de tiempo, o que la señal de entrada no esté por sobre el nivel predeterminado durante un período predeterminado de tiempo.

- 5 **8.** El sistema de cualquiera de las reivindicaciones 1-7, que comprende además a:
- una lógica de comprobación de señales (110) configurada para determinar si la señal de entrada está por sobre el nivel predeterminado; y
- 10 normalizar a la señal de entrada.
- 9.** El sistema de la reivindicación 8, donde la lógica de comprobación de señales (110) es configurada además para emitir a una señal activa en respuesta para determinar que la señal de entrada esté por sobre el nivel predeterminado.
- 15 **10.** El sistema de cualquiera de las reivindicaciones 1-9, donde el primer PLL (120) está configurado además para:
- recibir una señal activa,
- 20 monitorear la frecuencia asociada con la señal de entrada en respuesta a la recepción de la señal activa, y
- emitir una frecuencia nominal cuando la señal activa indica que la señal de entrada no está por sobre el nivel predeterminado.
- 11.** Un método, que comprende a:
- 25 recibir una señal de entrada;
- determinar si la señal de entrada está por sobre el nivel predeterminado;
- generar, mediante un primer lazo de seguimiento de fases (PLL - phase-locked loop) (120), una primera emisión de salida que identifique a una frecuencia asociada con la señal de entrada;
- 30 generar, mediante el primer PLL (120), a una 2ª emisión que identifica a la información de fases asociada con la señal de entrada, donde el método se **caracteriza por**:
- determinar si la frecuencia de la primera emisión está cambiando a una tasa mayor que una tasa predeterminada;
- 35 generar una señal de bloqueo que indica si la frecuencia está cambiando a una tasa mayor que la tasa predeterminada; y
- generar, mediante un 2º PLL (130), una señal de salida que identifica a una información de ángulos o de fases que se basa en la señal de bloqueo y en la 2ª señal de salida del primer PLL, en respuesta a la señal de bloqueo que indica que la frecuencia no está cambiando a una
- 40 tasa mayor que la tasa predeterminada.
- 12.** El método de la reivindicación 11, donde la generación de una señal de salida comprende a:
- generar la información de ángulos o de fases que se basa en la información de fases asociada con la 2ª emisión.
- 45 **13.** El método de la reivindicación 12, que comprende, además:
- determinar si la información de salida de ángulos o de fases del primer PLL (120) y del 2º PLL (130) están dentro de un rango predeterminado entre sí durante un período predeterminado de tiempo;
- 50 determinar si la señal de entrada está por sobre el nivel predeterminado para el período predeterminado de tiempo; y
- remitir la información a un controlador indicando si la información de salida de ángulos o de fases del primer PLL (120) y del 2º PLL (130) están dentro del rango predeterminado entre sí para un período predeterminado de tiempo, y si es que la señal de entrada está por sobre el nivel predeterminado
- 55 durante un período predeterminado de tiempo.
- 14.** El método de la reivindicación 13, que comprende, además:
- remitir a la señal de salida que identifica a la información de ángulos o de fases para el controlador; y
- 60 sincronizar, mediante el controlador, a una emisión de salida asociada con el controlador en respuesta a determinar que la información de salida de ángulos o de fases del primer PLL (120) y del 2º PLL (130) están dentro de un rango predeterminado entre sí durante un período predeterminado de tiempo, y que la señal de entrada está por sobre el nivel predeterminado durante un período predeterminado de tiempo.
- 65

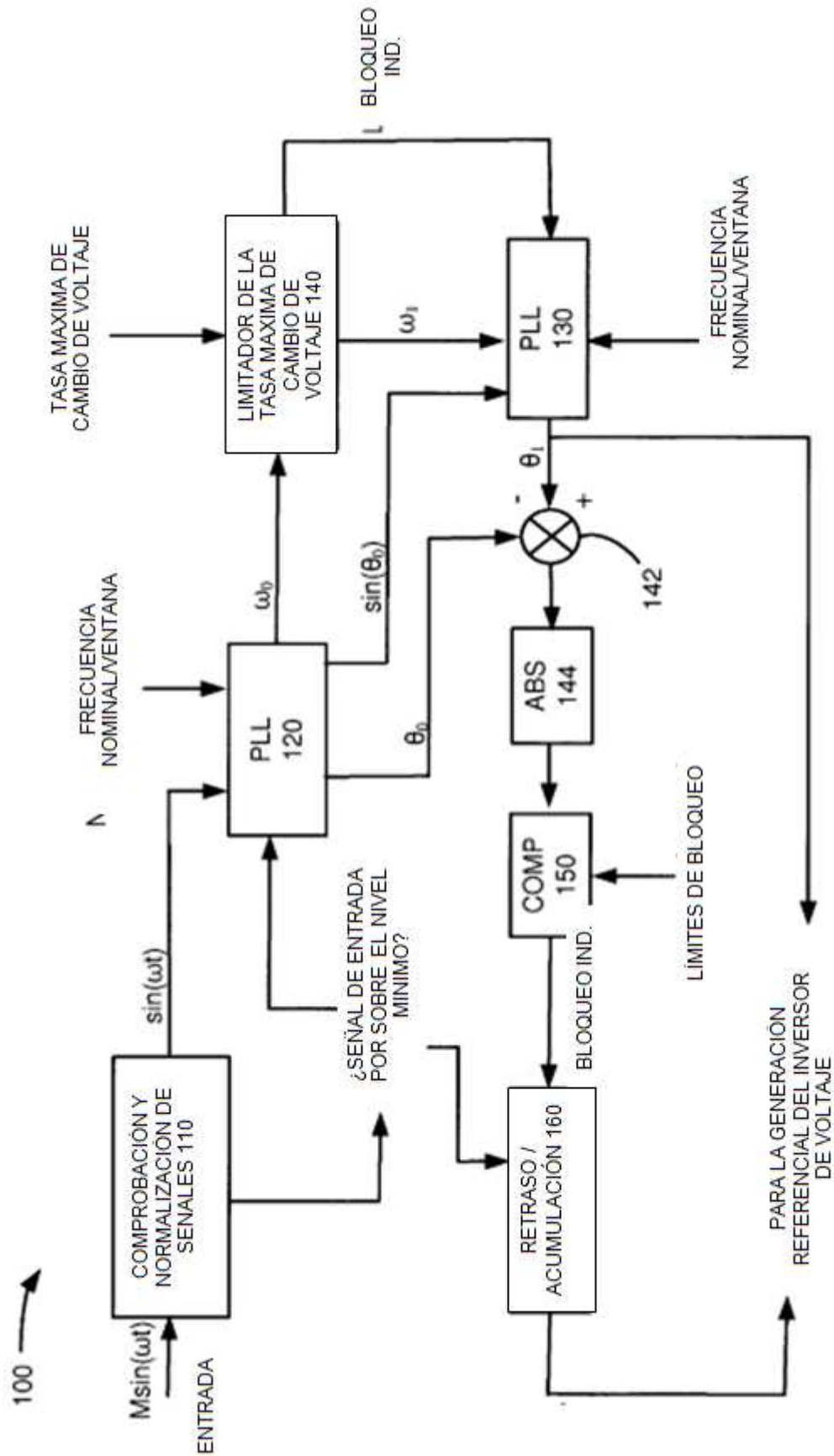


FIG. 1

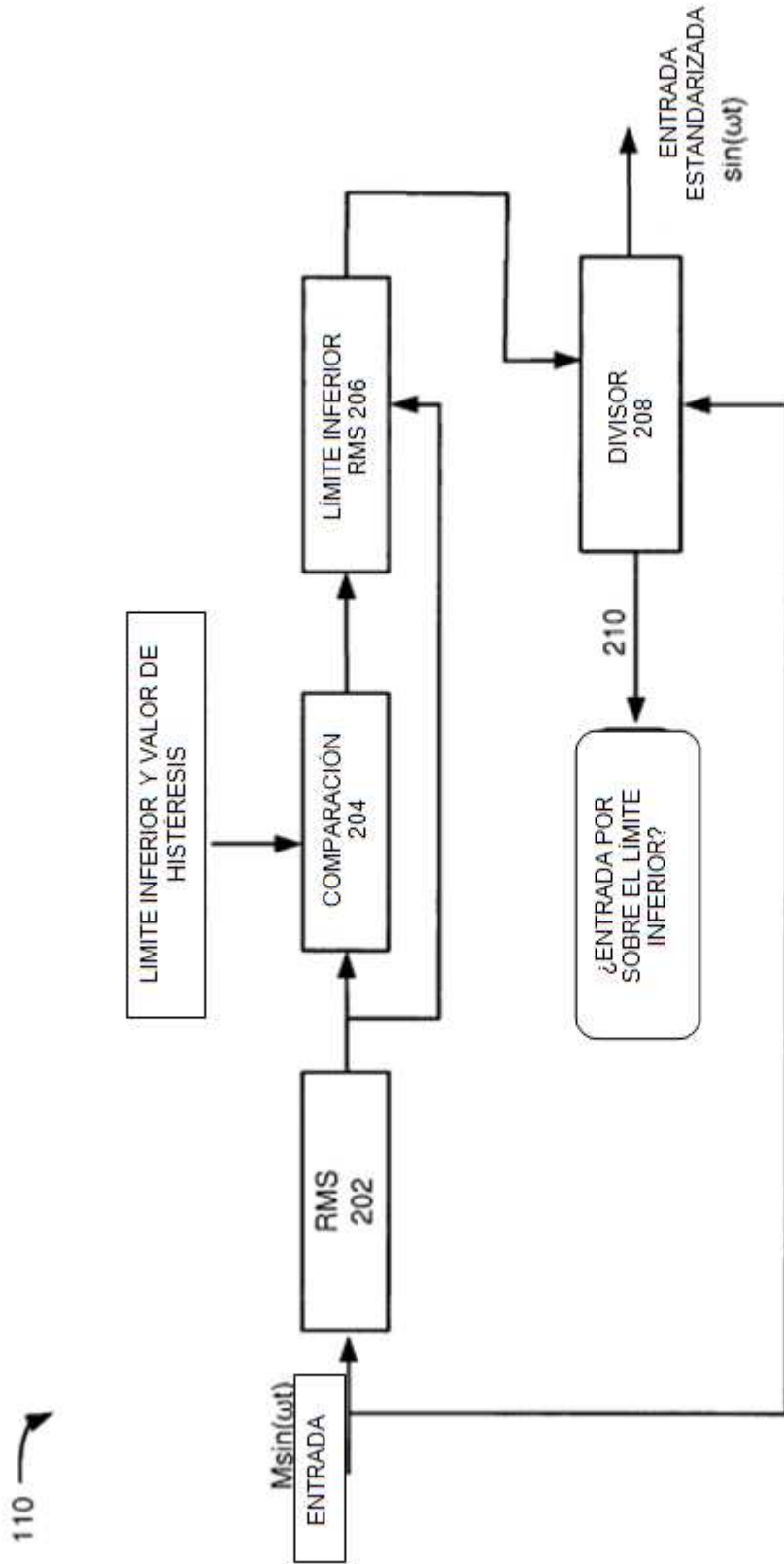


FIG. 2

204 ↗

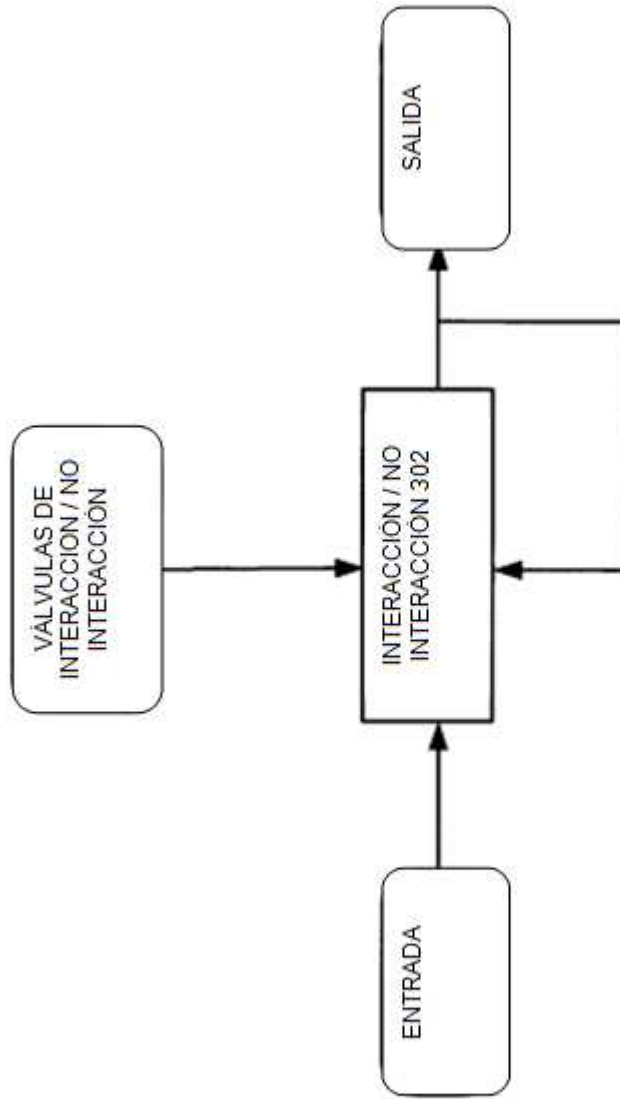


FIG. 3

120/130 ↗

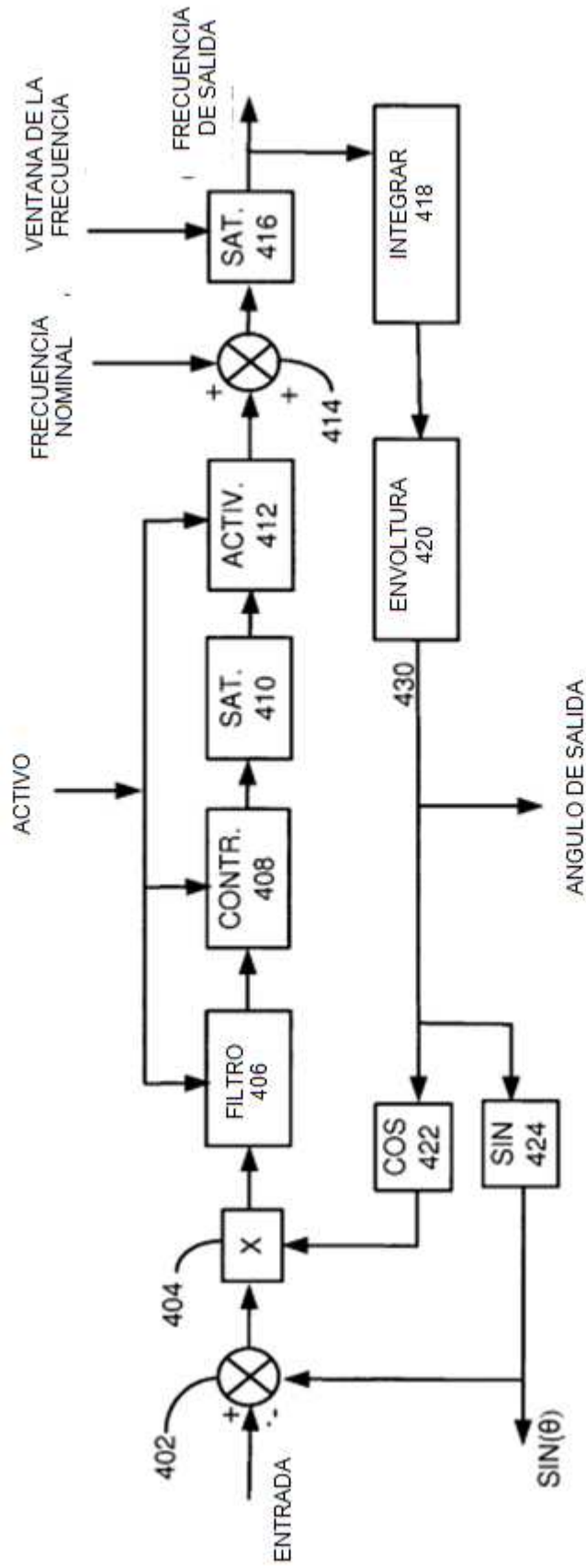


FIG. 4

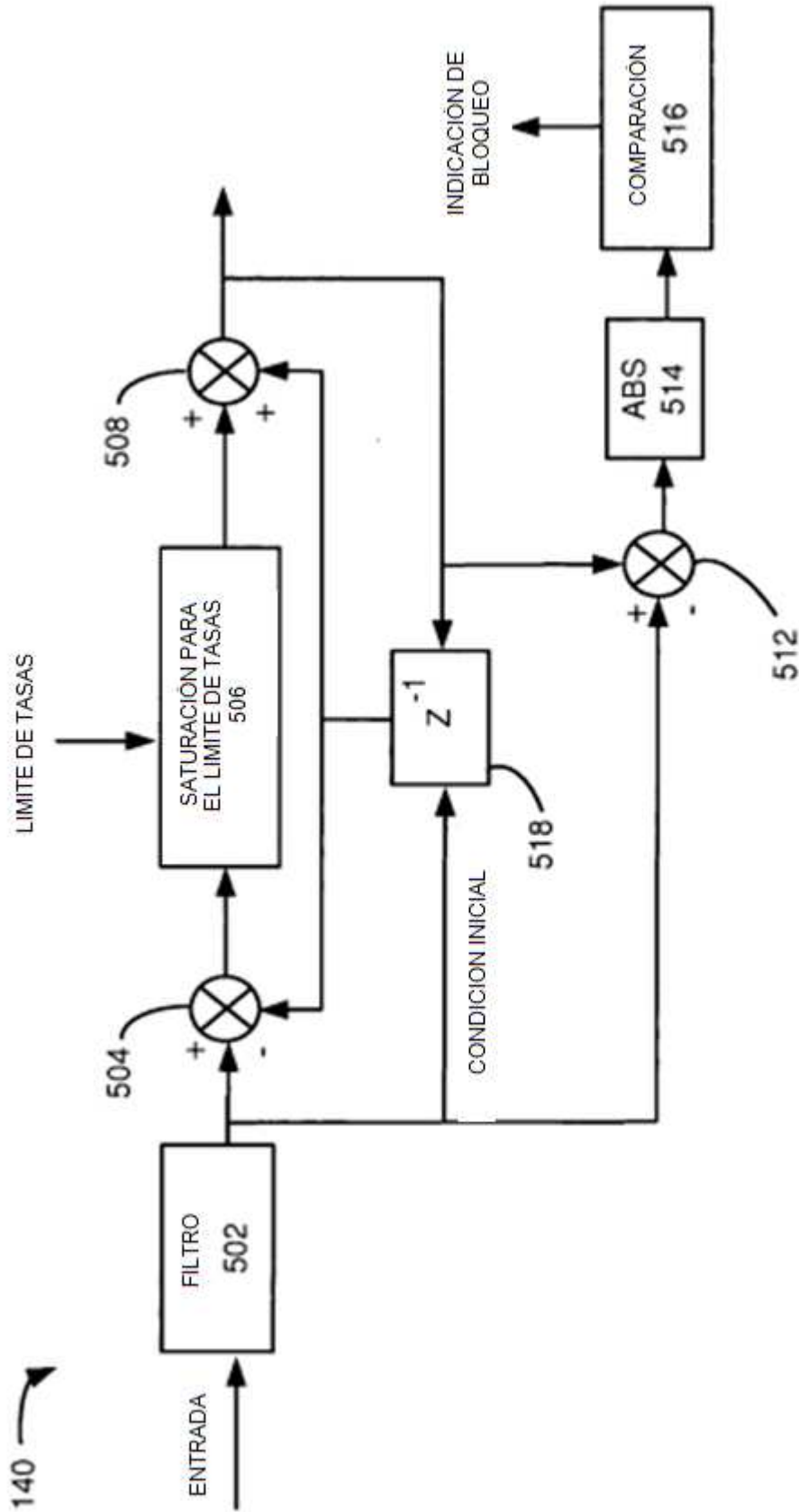


FIG. 5

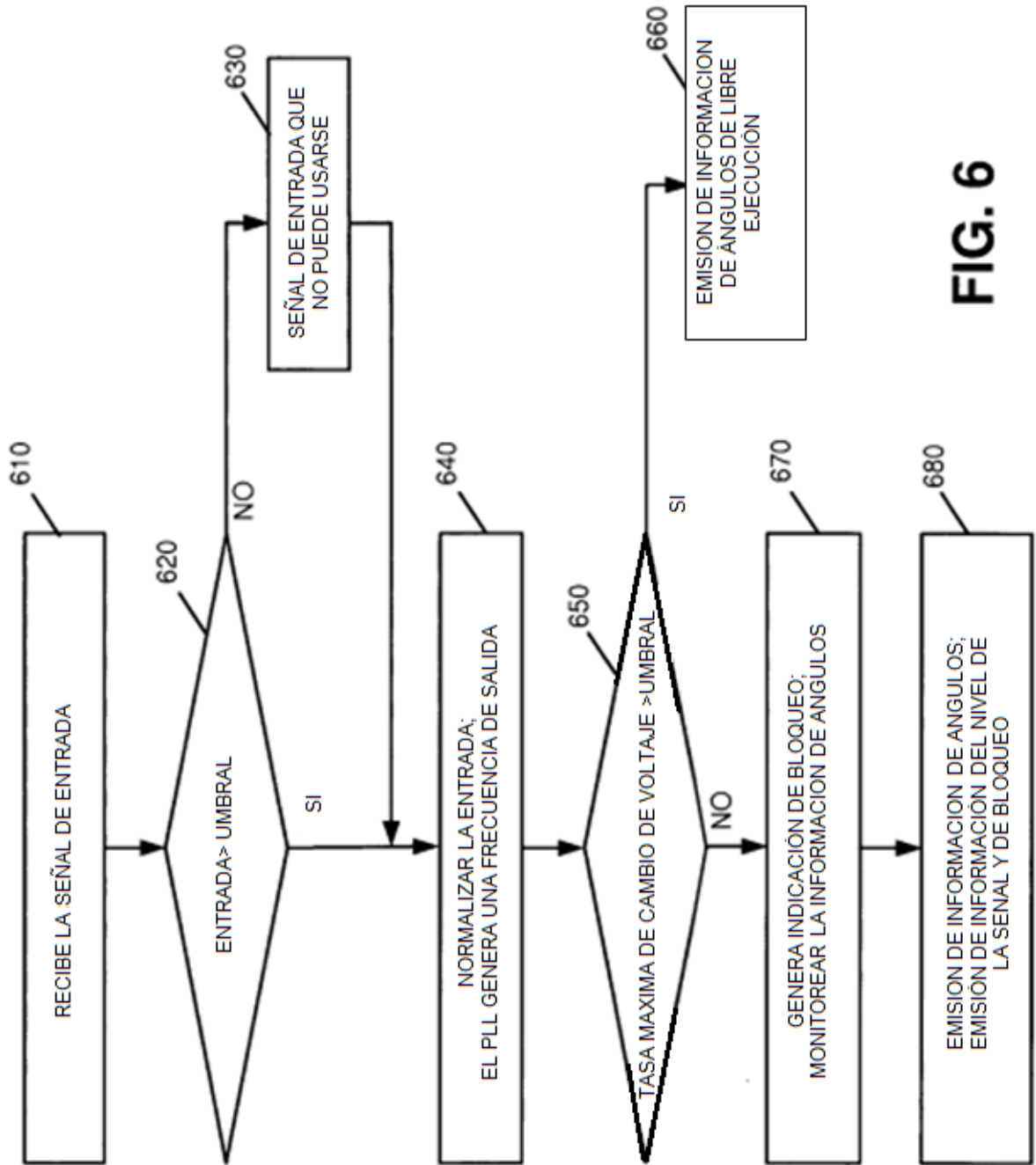


FIG. 6