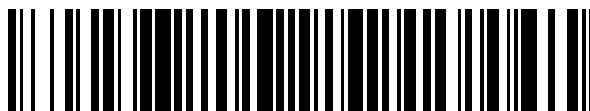


19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 591 243**

51 Int. Cl.:

**G01R 23/12** (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **13.09.2005 PCT/GB2005/003511**

87 Fecha y número de publicación internacional: **23.03.2006 WO06030188**

96 Fecha de presentación y número de la solicitud europea: **13.09.2005 E 05787231 (9)**

97 Fecha y número de publicación de la concesión europea: **17.08.2016 EP 1789810**

54 Título: **Método y aparato para medir la frecuencia de una señal recibida**

30 Prioridad:

**13.09.2004 GB 0420241**

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

**25.11.2016**

73 Titular/es:

**TELEDYNE LIMITED (100.0%)  
Aviation House The Lodge Harmondsworth Lane  
West Drayton  
Middlesex UB7 0LQ, GB**

72 Inventor/es:

**FAWLEY, RICHARD**

74 Agente/Representante:

**DE ELZABURU MÁRQUEZ, Alberto**

**ES 2 591 243 T3**

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

**DESCRIPCIÓN**

Método y aparato para medir la frecuencia de una señal recibida

5 La presente invención se refiere a un método de medición de la frecuencia de una señal recibida. La presente invención se refiere también a un aparato para medir la frecuencia de una señal recibida. Éste puede ser aplicado a un contador de frecuencia.

Existe la necesidad de analizar una señal recibida en una banda de frecuencia dada y determinar la frecuencia de una señal presente a una frecuencia particular dentro de la banda. Esto se conoce generalmente como medición de frecuencia.

10 Se puede usar un dispositivo conocido como Correlador de Línea de Retardo para medición de frecuencia. Sin embargo, un Correlador de Línea de Retardo está implementado completamente por componentes analógicos y en consecuencia puede ser caro de fabricar. También tiene unas necesidades de consumo de potencia relativamente altas y con frecuencia presenta un gran volumen físico.

El correlador de línea de retardo opera comparando la fase de una señal recibida con una versión retardada de la señal. Se usan mezcladores para determinar la frecuencia de la señal dependiendo del resultado de la comparación.

15 Se ha propuesto también dispositivos digitales de medición de frecuencia. Éstos aplican técnicas de procesamiento de señal tal como transformadas de Fourier a una versión muestreada de la señal recibida para deducir la frecuencia de la señal recibida.

20 En un dispositivo de medición de frecuencia digital de banda ancha se analizan típicamente pulsos cortos a través de un rango dinámico grande. Sin embargo, esto requiere convertidores analógico-digitales (ADCs) complejos y una gran cantidad de procesamiento para enfrentarse a la gama de frecuencia, la cual puede tener un límite superior de 2 GHz o más.

25 En un dispositivo digital de banda estrecha, se usa un heterodino para alcanzar una resolución y una sensibilidad incrementadas con complejidad reducida en el ADC y el procesador. Sin embargo, un dispositivo de ese tipo solamente puede cubrir una banda de frecuencia estrecha y por lo tanto no puede cubrir una banda ancha de interés (tal como 0,5 a 2 GHz) simultáneamente.

30 El documento EP 1450170 A (Anritsu) divulga un método de medición de la frecuencia de una señal recibida que comprende las etapas de generar una primera señal de fase digitalizando la fase de la señal recibida; retardar la primera señal de fase en una cantidad predeterminada para generar una segunda señal de fase; calcular una diferencia de fase entre la primera y la segunda señales de fase, y calcular la frecuencia de la señal de entrada a partir de la diferencia de fase.

En vista de lo anterior, un objeto de la invención consiste en proporcionar un método y un aparato mejorados para medir frecuencia usando componentes digitales.

Según un primer aspecto de la invención, se proporciona un método de medición de la frecuencia de una señal recibida que comprende las etapas de:

- 35 (a) generar una primera señal de fase digitalizando la fase de la señal recibida;
- (b) retardar la primera señal de fase en una cantidad predeterminada para generar una segunda señal de fase;
- (c) calcular una diferencia de fase entre la primera y la segunda señales de fase, y
- (d) calcular la frecuencia de la señal de entrada a partir de la diferencia de fase;

comprendiendo la etapa de generación de una primera señal de fase:

- 40 (i) limitar la amplitud de la señal;
- (ii) dividir la señal recibida limitada en componentes en-fase y de cuadratura, generando con ello una señal en-fase recibida y una señal de cuadratura recibida;
- (iii) digitalizar la señal en-fase recibida generando con ello una señal en-fase recibida digitalizada;
- (iv) digitalizar la señal de cuadratura recibida generando con ello una señal de cuadratura recibida digitalizada, y
- 45 (v) generar una primera señal de fase a partir de la señal en-fase recibida digitalizada y de la señal de cuadratura recibida digitalizada,

caracterizado porque las etapas de digitalización usan una resolución de un bit, de tal modo que la señal en-fase recibida digitalizada y la señal de cuadratura recibida digitalizada comprenden, cada una de ellas, una sucesión de

bits únicos que representan el valor de la señal en un instante de tiempo particular.

La cantidad predeterminada de retardo corresponde preferiblemente a un múltiplo entero de la longitud de un período de muestreo usado cuando se genera la primera señal de fase.

5 Esto permite que se usen componentes digitales para ejecutar el método sin que se requiera una digitalización y un procesamiento caros. A diferencia con los métodos digitales anteriores, el método no usa técnicas de procesamiento de señal tal como transformadas de Fourier. A diferencia con los métodos analógicos anteriores, el método puede ser implementado sin necesidad de mezcladores (o su equivalente digital de multiplicadores) en el cálculo de la diferencia de fase, reduciendo la complejidad.

10 Esto permite que la fase de la señal recibida sea digitalizada usando componentes estándar. La combinación de la señal en-fase y de cuadratura entre sí, representa la señal en formato complejo y permite que la fase sea deducida.

Limitando la amplitud, se puede reducir la resolución requerida para digitalizar la señal.

Usando una resolución de un bit, de modo que cada muestra tenga solamente dos valores posibles, los requisitos de procesamiento pueden ser reducidos adicionalmente.

15 Con preferencia, el método comprende además deserializar la sucesión de bits simples de la señal en-fase recibida digitalizada y de la señal de cuadratura recibida digitalizada en palabras que tengan un número predeterminado de bits.

20 Si la sucesión de muestras de bit único se agrupan entre sí en palabras que tengan un número predeterminado de bits, esas palabras pueden ser procesadas a continuación a una velocidad de reloj más baja, permitiendo con ello el uso de un procesador con una velocidad de reloj más baja. Ventajosamente, el número predeterminado puede corresponder a la longitud de palabra interna usada durante el procesamiento. De igual modo, el número predeterminado puede adoptar la forma  $2^n$  donde n es un número entero mayor o igual a 1.

Con preferencia, el método comprende además:

convertir la diferencia de fase en componentes en-fase y de cuadratura, generando con ello una señal en-fase de diferencia de fase y una señal de cuadratura de diferencia de fase;

25 filtrar la señal en-fase de diferencia de fase, generando con ello una señal en-fase de diferencia de fase filtrada;

filtrar la señal de cuadratura de diferencia de fase generando con ello una señal de cuadratura de diferencia de fase filtrada;

generar una señal de diferencia de fase filtrada a partir de la señal en-fase de diferencia de fase filtrada y de la señal de cuadratura de diferencia de fase filtrada, y

30 usar la señal de diferencia de fase filtrada en la etapa de cálculo de la frecuencia de la señal recibida.

Filtrando la señal, se puede incrementar la resolución efectiva. Esto permite que se pueda usar una resolución de muestreo más baja mientras se consigue aún una buena resolución.

En una realización, el filtro es un filtro de media móvil.

Con preferencia, la etapa de calcular la frecuencia de la señal recibida hace uso de la fórmula:

$$f = \frac{\Delta\phi F_s}{2\pi d} \text{ Hz}$$

35 donde  $f$  es la frecuencia de la señal recibida,  $F_s$  es la frecuencia de muestreo usada cuando se digitaliza la señal, y  $d$  es la cantidad predeterminada de retardo usada en la etapa de retardo expresada como un número de períodos de muestreo.

Esta fórmula puede ser implementada de una manera simple sin que se requiera procesamiento complejo.

40 Con preferencia, el método se ejecuta al menos dos veces usando un valor diferente para la cantidad predeterminada de retardo en la etapa de retardo.

Implementando el método más de una vez con un valor diferente para el retardo, las frecuencias cíclicas (o ambiguas) pueden tener su frecuencia correctamente identificada.

45 Según un segundo aspecto de la presente invención, se proporciona un aparato para medir la frecuencia de una señal recibida, comprendiendo el aparato:

- 5 (a) medios de digitalización para digitalizar la fase de la señal recibida y generar una primera señal de fase;  
 (b) medios de retardo para retardar la primera señal de fase en una cantidad predeterminada para generar una segunda señal de fase, y  
 (c) medios de procesamiento para calcular una diferencia de fase entre la primera y la segunda señales, y para calcular la frecuencia de la señal recibida a partir de la diferencia de fase;

comprendiendo los medios de digitalización:

- 10 (i) un divisor de señal para dividir la señal recibida en componentes en-fase y de cuadratura, generando con ello una señal en-fase recibida y una señal de cuadratura recibida;  
 (ii) un primer convertidor de analógico a digital para digitalizar la señal en-fase recibida, generando con ello una señal en-fase recibida digitalizada;  
 (iii) un segundo convertidor de analógico a digital para digitalizar la señal de cuadratura recibida, generando con ello una señal de cuadratura recibida digitalizada, y  
 (iv) medios para resolver la fase de la señal recibida a partir de la señal en-fase recibida digitalizada y de la señal de cuadratura recibida digitalizada, y para presentar a la salida la primera señal de fase;

15 comprendiendo además el aparato un amplificador limitador conectado a la entrada del divisor de señal, caracterizado porque el primer y el segundo convertidores de analógico a digital son dispositivos de bit único.

De ese modo, el método del primer aspecto puede ser implementado sin que se requiera hardware especializado caro.

Con preferencia, el primer y el segundo convertidores de analógico a digital son comparadores.

20 Con preferencia, el aparato comprende además un primer deserializador conectado a la salida del primer convertidor analógico a digital para deserializar la salida del primer convertidor analógico a digital y para presentar a la salida palabras que tengan un número predeterminado de bits, y

25 un segundo deserializador conectado a la salida del primer convertidor analógico a digital para deserializar la salida del segundo convertidor analógico a digital y para presentar a la salida palabras que tengan un número predeterminado de bits.

El término deserializador se usa para referirse a cualquier dispositivo que pueda convertir una corriente de bits serie en una corriente de bits paralelo de una longitud de palabra dada.

Con preferencia, los medios de procesamiento comprenden además:

30 medios para convertir la diferencia de fase en componentes en-fase y de cuadratura, generando con ello una señal en-fase de diferencia de fase y una señal de cuadratura de diferencia de fase;

un primer filtro digital para filtrar la señal en-fase de diferencia de fase, generando con ello una señal en-fase de diferencia de fase filtrada;

un segundo filtro digital para filtrar la señal de cuadratura de diferencia de fase, generando con ello una señal de cuadratura de diferencia de fase filtrada, y

35 medios para generar una señal de diferencia de fase filtrada a partir de la señal en-fase de diferencia de fase filtrada y de la señal de cuadratura de diferencia de fase filtrada;

en donde la señal de diferencia de fase filtrada se usa en el cálculo de la frecuencia de la señal recibida.

Con preferencia, el primer y el segundo filtros digitales son filtros de media móvil.

Con preferencia, el medio de procesamiento está adaptado para calcular la frecuencia usando la fórmula:

$$f = \frac{\Delta\phi F_s}{2\pi d} \text{ Hz}$$

40 donde  $f$  es la frecuencia de la señal recibida,  $F_s$  es la frecuencia de muestreo usada por los convertidores de analógico a digital de la señal, y  $d$  es la cantidad predeterminada de retardo usada en la etapa de retardo expresada como un número de períodos de muestreo.

Con preferencia, el aparato comprende además al menos dos medios de retardo, cada uno de los cuales retarda la señal en una cantidad diferente.

Con preferencia, los medios de retardo y los medios de procesamiento están implementados en una Matriz de Puerta Programable en Campo.

- 5 Una Matriz de Puerta Programable en Campo es un componente estándar que puede ser programado en el punto de fabricación para que opere de una forma particular. Esto permite por lo tanto una implementación de bajo coste de la invención.

Se pueden usar también otros dispositivos tales como un DSP programable o un microprocesador para los medios de procesamiento.

- 10 Ahora se van a describir realizaciones de la invención con referencia a los dibujos que se acompañan, en los que:

La Figura 1 representa un diagrama de bloques de un receptor de medición de frecuencia según una primera realización de la presente invención;

La Figura 2 representa un diagrama de bloques del procesamiento para calcular una frecuencia recibida conforme a la primera realización;

- 15 Las Figuras 3A, 3B y 3C ilustran la incidencia de ruido de cuantificación en la primera realización;

La Figura 4 ilustra el funcionamiento simulado de la primera realización, y

La Figura 5 representa un diagrama de bloques de un segundo ejemplo de realización.

- 20 Según una primera realización, un aparato (o receptor) para medición de frecuencia realiza discriminación de frecuencia midiendo la fase diferencial entre dos versiones separadas en el tiempo de una señal de entrada. A diferencia con un correlador de línea de retardo analógico, la señal de entrada está digitalizada, y la discriminación de fase se realiza consiguientemente en el dominio digital usando una Matriz de Puerta Programable en Campo de alta velocidad. Un diagrama de bloques del receptor según esta realización, ha sido representado en la Figura 1.

- 25 Con referencia a la Figura 1, un amplificador limitador 2, en términos generales, comprime el rango dinámico de la señal de entrada de tal modo que un par de comparadores 4 y 6 de alta velocidad pueden realizar digitalización de fase de I-Q. Los comparadores de alta velocidad operan a una frecuencia de muestreo  $F_s$ . Esto genera dos corrientes de datos serie  $I_n$  y  $Q_n$  que son alimentadas a continuación a deserializadores 8 y 10 de relación 1:16, los cuales producen palabras de 16 bits ( $I_M$  y  $Q_M$ ) a  $1/16$  de la frecuencia de muestreo. Todo procesamiento posterior se realiza mediante un FPGA a esta tasa reducida.

Ahora seguirá una descripción más detallada de cada componente de la Figura 1.

- 30 El uso de un amplificador limitador 2 vacía toda la información de amplitud en la señal de entrada y por lo tanto el receptor de correlación digital está capacitado solamente para procesar un pulso cada vez. El amplificador limitador 2 está conectado a un generador 3 de I-Q.

- 35 El generador 3 de I-Q se usa debido a que se requiere una representación compleja de la señal de entrada. En esta realización, el generador 3 de I-Q es una realización de elemento distribuido o concentrado de un híbrido de cuadratura. Solamente se requiere un híbrido simple y de ese modo se eliminan los errores de rastreo introducidos por múltiples componentes de elemento distribuido.

- 40 La salida del generador 3 de I-Q está conectada a los comparadores 4 y 6 de alta velocidad. Un reloj 5 controla la frecuencia de muestreo y opera a una tasa mayor que el ancho de banda de la señal de entrada. Los comparadores 4 y 6 de alta velocidad deben ser también capaces de rastrear señales analógicas en la banda de interés. Siempre que se cumpla este último requisito, se puede implementar el muestreo sub-Nyquist y cualquier banda (de anchura  $F_s$  Hz) puede ser analizada sin ambigüedad. De ese modo por ejemplo, para analizar una banda de 0,5 a 2 GHz, se requiere una frecuencia de muestreo de 2 GHz. En esta realización, se usa una frecuencia de muestreo de 2 GHz. Los comparadores 4 y 6 de alta velocidad producen una salida de una corriente de bits de valores de muestra sucesivos de bit único a la frecuencia de muestreo; las señales  $I_n$  y  $Q_n$  respectivamente.

- 45 La salida de los comparadores 4 y 6 de alta velocidad está conectada a los deserializadores 8 y 10, respectivamente. Estos reducen la tasa de datos de las corrientes de datos  $I_n$  y  $Q_n$  combinando varios bits sucesivos en palabras de longitud más larga presentadas a la salida a una velocidad más lenta, lo que permite que la señal sea procesada a una velocidad más lenta que la tasa de muestreo. Los deserializadores que operan a 2,5 gigabits por segundo se encuentran fácilmente disponibles y pueden proporcionar también señales de reloj divididas apropiadamente como salida. En esta realización, los deserializadores 8 y 10 presentan a la salida datos en palabras que tienen una longitud de 16 bits. Las corrientes de datos de esas palabras de 16 bits han sido indicadas en la Figura 1 mediante  $M_i$  y  $Q_m$ .
- 50

Se requiere un cuidadoso alineamiento de fase de los deserializadores 8 y 10. Esto se realiza en el encendido para asegurar una operación apropiada del receptor.

5 Las señales  $I_m$  y  $Q_m$  se proporcionan a una Matriz de Puerta Programable en Campo (FPGA) 12. La FPGA 12 procesa las señales  $I_m$  y  $Q_m$  usando una frecuencia de reloj igual a  $1/16$  de la frecuencia de reloj 5 debido a que cada palabra de 16 bits contiene 16 muestras. Por lo tanto, esto produce también datos de frecuencia 18 actualizados a una tasa de  $F_s/16$ . Con el fin de suministrar la frecuencia de reloj correcta a la FPGA 12, un divisor 14 divide la señal procedente del reloj 5 por 16 para su suministro a la FPGA 12. Por lo tanto, en esta realización, la FPGA es un reloj a 125 MHz.

10 Aunque en esta realización la discriminación de frecuencia se realiza de forma continuamente sincronizada, es posible la operación de disparo asíncrona en realizaciones alternativas debido a la tasa de procesamiento relativamente alta de la FPGA.

Ahora se va a describir el procesamiento llevado a cabo por la FPGA 12. Un diagrama de bloques que muestra el procesamiento requerido, ha sido representado en la Figura 2.

15 El uso de comparadores 4 y 6 de un solo bit da como resultado dos señales  $I_M$  y  $Q_M$  digitalizadas que resuelven de forma efectiva la fase de la señal de entrada para cuatro estados. Según se ha representado en la Figura 2A, la fase  $\phi$  puede ser resuelta en cualquiera de los estados 20, 22, 24, 26. La fase  $\phi$  se resuelve mediante el bloque 27. La representación  $\phi$  de fase cuantificada está retardada en un número de ciclos de reloj de muestra en el bloque de retardo 28. La diferencia de fase entre las señales no retardada y retardada se calcula entonces en el bloque 30, produciendo una estimación de resolución baja, de dos bit, de la fase diferencial  $\Delta\phi$ . (Una vez más, esto se resuelve en cuatro estados posibles). Esta estimación se convierte a formato IQ mediante el bloque 32 para producir señales  $\Delta I$  y  $\Delta Q$ .

20 Las señales  $\Delta I$  y  $\Delta Q$  son filtradas a continuación mediante filtros 34 y 36. Esto tiene el resultado beneficioso de incrementar la resolución de la estimación de fase, y se genera una estimación de fase diferencial  $\Delta\phi'$  mejorada resolviendo la fase a partir de las señales filtradas  $\Delta I'$  y  $\Delta Q'$  en el bloque 38. En esta realización los filtros 34 y 36 son ambos filtros de media móvil, aunque podrían usarse también otros tipos de filtro.

25 La frecuencia,  $f$ , de la señal de entrada puede ser deducida mediante el bloque 40 a partir de la estimación de fase diferencial  $\Delta\phi'$ , como sigue:

$$f = \frac{\Delta\phi' F_s}{2\pi d} \text{ Hz} \quad (1)$$

30 donde  $d$  es el número de retardos de muestra en el bloque de retardo 28, y  $F_s$  es la tasa de muestra de entrada. Se puede conseguir una resolución mejorada incrementando el retardo en el bloque de retardo 28. Las estimaciones de frecuencia cíclicas (y por lo tanto ambiguas) pueden resolverse usando múltiples correladores, cada uno de ellos usando varios retardos. Todos los correladores están implementados dentro de una única FPGA, a diferencia con los aparatos de medición de frecuencia propuestos en la técnica anterior, y por lo tanto se proporciona una solución extremadamente compacta.

35 En la presente realización, el proceso de correlación usa el principio de sobre-muestrear una señal de entrada usando dispositivos de muestreo (los comparadores 4 y 6 de alta velocidad) de baja resolución de bits. Los datos digitales se filtran posteriormente para reducir el ruido de cuantificación introducido durante el proceso de muestreo.

Ahora se va a discutir el funcionamiento del sistema, en particular con relación al ruido introducido.

40 El ruido de cuantificación introducido durante el proceso de digitalización en los comparadores 4 y 6 de alta velocidad es del mismo orden que el ruido presente en la señal de entrada cuando el correlador opera en entornos de una pobre relación de señal respecto a ruido (SNR). Tanto el ruido presente en la señal de entrada como el ruido de cuantificación contribuyen al ruido de salida y, como resultado, definen el comportamiento en cuando a precisión de frecuencia del aparato. A continuación se proporciona un análisis de ambas componentes de ruido.

45 La Figura 3A representa los cuatro estados en los que puede ser resuelta la fase de la señal. La Figura 3B ilustra la forma en que cambia el ruido de cuantificación, según se resuelve la fase absoluta  $\phi$  de la señal de entrada en uno de los cuatro estados de fase representados en la Figura 3A. Suponiendo que las muestras de ruido de cuantificación sean estadísticamente independientes (es decir, no correlacionadas con el reloj de muestra ni entre sí), el ruido se distribuye uniformemente según se muestra en la Figura 3C, y se puede demostrar que tiene una desviación estándar o valor RMS de:

$$\sigma_{\text{ruido}} = \frac{\sqrt{3}}{12} \pi \text{ radianes} \quad (2)$$

Usando la teoría de ruido de fase estándar, el ruido de fase a la salida de un detector de fase para una SNR dada, S, es:

$$\sigma_{\text{Sruido}} = \frac{1}{\sqrt{2S}} \text{ radianes} \quad (3)$$

5 Estas dos componentes de ruido,  $\sigma_{\text{ruido}}$  y  $\sigma_{\text{Sruido}}$  son estadísticamente independientes; el ruido presente a la salida del discriminador de fase (con anterioridad al filtrado por los filtros 34 y 36), es por lo tanto:

$$\sigma_{\text{ruido}} = \sqrt{\sigma_{\text{ruido}}^2 + \sigma_{\text{Sruido}}^2} \text{ radianes} \quad (4)$$

10 En esta realización, los filtros 34 y 36 son filtros de media móvil, lo que resulta ser óptimo para esta realización. Las N muestras adyacentes medias de los filtros 34 y 36 son promediadas, reduciendo el ruido RMS en  $\sqrt{N}$ . En esta realización, el valor de N es 64 y por lo tanto, el ruido RMS se reduce en un factor de ocho. Se pueden usar también diferentes valores de N.

15 La suposición en los cálculos que anteceden de que las sucesivas muestras de ruido de cuantificación no están correlacionadas, es válida en todos los casos salvo para unos pocos casos de frecuencias de entrada (y fase relativa a la señal de reloj de muestra). Se puede demostrar que dentro de cuatro bandas de frecuencia de señal de entrada definidas por:

$$\frac{F_s}{k} + \frac{F_s}{N} \text{ Hz} \quad (5)$$

donde N es el orden del filtro,  $F_s$  es la tasa de muestra y k es un número entero  $k=1, \dots, 4$ , las muestras de ruido de cuantificación están correlacionadas dando como resultado una pérdida localizada de sensibilidad. En la práctica, el ruido del sistema tenderá a descorrelacionar este ruido, reduciendo por tanto su efecto.

20 Ahora se va a describir un ejemplo específico de una implementación de hardware de esta realización. Este ejemplo de implementación de hardware tiene la especificación objetiva y los atributos de funcionamiento que siguen:

- La tasa de muestra es de 2 Gsp/s, con un ancho de banda no ambiguo de 2 GHz
- Tasa de procesamiento de correlador de 125 MHz
- Capacidad de ancho de pulso de 50 ns
- 25 • Resolución de 7 bits para cada discriminador
- Se usan 4 correladores en el diseño para proporcionar una solución robusta
- Existe un ancho de banda no ambiguo de 125 MHz para un “discriminador fino”, dando como resultado una resolución de aproximadamente 1 MHz
- Retardo de medición: 120 ns

30 Se ha implementado un diseño VHDL de esta realización y se han realizado simulaciones de nivel de puerta activada de sincronización completa. En la Figura 4 se ha mostrado el resultado de la simulación de un solo correlador.

35 La Figura 4 muestra el error de fase RMS mostrado para diferentes condiciones de SNR de entrada para dos retardos de muestra de correlador de retardo digital: un retardo de 1 muestra (curva 50) y un retardo de 16 muestras (curva 52). El comportamiento teórico ha sido mostrado también como curva 54, el cual ha sido calculado a partir de la ecuación (4). Está claro que la simulación se lleva a cabo mejor de lo que sugiere la teoría. Se cree que el comportamiento mejorado es el resultado de efectos de correlación en-fase experimentados en diseños de correlador de discriminador en-fase. El hecho de que el diseño de retardo corto parezca comportarse mejor que el

correlador de retardo largo, apoya esta suposición.

Es posible estimar el comportamiento de precisión de frecuencia de un diseño para una SNR de entrada dada:

5 El "discriminador fino" de retardo de 16 muestras (con comportamiento representado mediante la curva 52), define la precisión de frecuencia. Ésta tendrá un ancho de banda no ambiguo de  $2 \text{ GHz}/16 = 125 \text{ MHz}$ . A partir de la Figura 4, el error de fase de RMS para una SNR de 3 dB, es de aproximadamente  $5^\circ$ . El error de frecuencia es por lo tanto de  $5/360 \times 125 = 1,7 \text{ MHz RMS}$ .

10 El diseño descrito con anterioridad fue dirigido hacia FGPAs que están comercialmente disponibles en Xilinx y que son vendidas bajo la marca Spartan-3. Éstas son piezas de alto rendimiento, de bajo coste. Estos dispositivos tienen también una gran cantidad de memoria integrada, la cual puede ser usada como tablas de búsqueda rápida que portan datos de calibración para superar un comportamiento no ideal de los componentes analógicos.

15 Un diseño de cuatro correladores cuando está dirigido a un dispositivo XC3S400 (el cual es un miembro de la familia de dispositivos Spartan-3 de Xilinx) utiliza menos del 12% de los recursos lógicos disponibles. Las simulaciones de sincronización a nivel de puerta muestran que este diseño puede ser ajustado a más de 150 MHz (en oposición a los 125 MHz requeridos). Este margen podría ser aprovechado reduciendo la cantidad de procesamiento usado en el diseño para reducir el retardo de medición, o de hecho se podría incrementar la velocidad de reloj del sistema para mejorar la resolución (es decir, incrementar la tasa de sobremuestreo).

20 Los resultados de la simulación constatan que la disipación de potencia del diseño de FPGA es de alrededor de 1,2 W. La disipación de otros componentes tales como los deserializadores, digitalizadores y el amplificador limitador, sugieren que la disipación del receptor completo podría estar en torno a 3,3 W. Esto es aproximadamente un tercio de la disipada típicamente por los dispositivos de medición de frecuencia analógicos existentes. Además, se puede realizar un diseño de PCB de doble cara con unas dimensiones aproximadas de  $100 \times 100 \times 15 \text{ mm}$ , lo que es un cuarto del volumen ocupado por los dispositivos de medición de frecuencia analógicos de 2-18 GHz existentes.

La Figura 5 representa un diagrama de bloques de una segunda realización de la invención. Ésta muestra cómo se podría usar un divisor de frecuencia de microondas estático para implementar un receptor de 2-18 GHz compacto.

25 La realización usa dos amplificadores limitadores 60 y 62. El amplificador limitador 62 es operativo para frecuencias comprendidas en la gama de 0,5 a 2 GHz y el amplificador limitador 60 es operativo para frecuencias comprendidas en la gama de 2 a 18 GHz. La salida del amplificador limitador 60 está conectada a un pre-escalador 64 que divide por 8 y genera una salida comprendida en la gama de 0,25 a 2,25 GHz.

30 Un generador 66 de I-Q multi-octava genera señales de componente en-fase y de cuadratura para su suministro al correlador 68 digital.

El generador 66 de I-Q multi-octava podría ser implementado digitalmente usando flip-flops de alta velocidad e inmerso en la operación de división de frecuencia, éste podría proporcionar un diseño de receptor extremadamente robusto con alineamiento "cero".



**REIVINDICACIONES**

1.- Un método de medición de la frecuencia de una señal recibida, que comprende las etapas de:

- (a) generar una primera señal de fase digitalizando la fase de la señal recibida;
- (b) retardar la primera señal de fase en una cantidad predeterminada para generar una segunda señal de fase;
- 5 (c) calcular una diferencia de fase entre la primera y la segunda señales de fase, y
- (d) calcular la frecuencia de la señal de entrada a partir de la diferencia de fase,

comprendiendo la etapa de generar una primera señal de fase:

- (i) limitar la amplitud de la señal;
- 10 (ii) dividir la señal recibida limitada en componentes en-fase y de cuadratura, generando con ello una señal en-fase recibida y una señal de cuadratura recibida;
- (iii) digitalizar la señal en-fase recibida generando una señal en-fase recibida digitalizada;
- (iv) digitalizar la señal de cuadratura recibida generando con ello una señal de cuadratura recibida digitalizada, y
- 15 (v) generar una primera señal de fase a partir de la señal en-fase recibida digitalizada y de la señal de cuadratura recibida digitalizada;

caracterizado porque las etapas de digitalización usan una resolución de un bit, de tal modo que la señal en-fase recibida digitalizada y la señal de cuadratura recibida digitalizada comprenden, cada una de ellas, una sucesión de bits únicos que representan el valor de la señal en un instante particular de tiempo.

2.- Un método según la reivindicación 1, que comprende además:

- 20 deserializar la sucesión de bits únicos de la señal en-fase recibida digitalizada y de la señal de cuadratura recibida digitalizada, en palabras que tengan un número de bits predeterminado.

3.- Un método según la reivindicación 1, que comprende además:

convertir la diferencia de fase en componentes en-fase y de cuadratura, generando con ello una señal en-fase de diferencia de fase y una señal de cuadratura de diferencia de fase;

- 25 filtrar la señal en-fase de diferencia de fase generando con ello una señal en-fase de diferencia de fase filtrada;
- filtrar la señal de cuadratura de diferencia de fase generando con ello una señal de cuadratura de diferencia de fase filtrada;
- generar una señal de diferencia de fase filtrada a partir de la señal en-fase de diferencia de fase filtrada y de la señal de cuadratura de diferencia de fase filtrada, y
- 30 usar la señal de diferencia de fase filtrada en la etapa de cálculo de la frecuencia de la señal recibida.

4.- Un método según la reivindicación 3, en donde el filtro usado en las etapas de filtrado es un filtro de media móvil.

5.- Un método según una cualquiera de las reivindicaciones 1 a 4, en donde la etapa de cálculo de la frecuencia de la señal recibida hace uso de la fórmula:

$$f = \frac{\Delta\phi F_s}{2\pi d} \text{ Hz}$$

- 35 donde  $f$  es la frecuencia de la señal recibida,  $F_s$  es la frecuencia de muestreo usada cuando se digitaliza la señal, y  $d$  es la cantidad predeterminada de retardo usada en la etapa de retardo expresada como un número de períodos de muestreo.

6.- Un método según una cualquiera de las reivindicaciones 1 a 5, en donde el método se ejecuta al menos dos veces usando un valor diferente para la cantidad predeterminada de retardo en la etapa de retardo.

- 40 7.- Un aparato para medir la frecuencia de una señal recibida, comprendiendo el aparato:

- (a) medios de digitalización para digitalizar la fase de la señal recibida y generar una primera señal de fase;

(b) medios de retardo (28) para retardar la primera señal de fase en una cantidad predeterminada para generar una segunda señal de fase, y

(c) medios de procesamiento (12) para calcular una diferencia de fase entre la primera y la segunda señales, y para calcular la frecuencia de la señal recibida a partir de la diferencia de fase,

5 comprendiendo los medios de digitalización:

(i) un divisor de señal (3) para dividir la señal recibida en componentes en-fase y de cuadratura, generando con ello una señal en-fase recibida y una señal de cuadratura recibida;

(ii) un primer convertidor (4) de analógico a digital, para digitalizar la señal en-fase recibida, generando con ello una señal en-fase recibida digitalizada;

10 (iii) un segundo convertidor (6) de analógico a digital, para digitalizar la señal de cuadratura recibida, generando con ello una señal de cuadratura recibida digitalizada, y

(iv) medios (30) para resolver la fase de la señal recibida a partir de la señal en-fase recibida digitalizada y de la señal de cuadratura recibida digitalizada, y para presentar a la salida la primera señal de fase;

comprendiendo además el aparato un amplificador limitador (2) conectado a la entrada del divisor de señal,

15 caracterizado porque el primer y el segundo convertidores de analógico a digital son dispositivos de un solo bit.

8.- Un aparato según la reivindicación 7, en donde el primer y el segundo convertidores de analógico a digital son comparadores.

9.- Un aparato según la reivindicación 8, que comprende además:

20 un primer deserializador (8) conectado a la salida del primer convertidor de analógico a digital, para deserializar la salida del primer convertidor de analógico a digital, y para presentar a la salida palabras que tienen un número de bits predeterminado, y

un segundo deserializador (10) conectado a la salida del primer convertidor de analógico a digital, para deserializar la salida del segundo convertidor de analógico a digital, y para presentar a la salida palabras que tienen un número de bits predeterminado.

25 10.- Un aparato según una cualquiera de las reivindicaciones 7 a 9, en donde los medios de procesamiento (12) comprenden además:

medios (27) para convertir la diferencia de fase en componentes en-fase y de cuadratura, generando con ello una señal en-fase de diferencia de fase y una señal de cuadratura de diferencia de fase;

30 un primer filtro digital (34) para filtrar la señal en-fase de diferencia de fase, generando con ello una señal en-fase de diferencia de fase filtrada;

un segundo filtro digital (36) para filtrar la señal de cuadratura de diferencia de fase, generando con ello una señal de cuadratura de diferencia de fase filtrada, y

medios (38) para generar una señal de diferencia de fase filtrada a partir de la señal en-fase de diferencia de fase filtrada y de la señal de cuadratura de diferencia de fase filtrada;

35 en donde la señal de diferencia de fase filtrada se utiliza en el cálculo de la frecuencia de la señal recibida.

11.- Un aparato según la reivindicación 10, en donde el primer y el segundo filtros digitales (34, 36) son filtros de media móvil.

12.- Un aparato según la reivindicación 11, en donde los medios de procesamiento (12) están adaptados para calcular la frecuencia usando la fórmula:

$$f = \frac{\Delta\phi F_s}{2\pi d} \text{ Hz}$$

40 donde  $f$  es la frecuencia de la señal recibida,  $F_s$  es la frecuencia de muestreo usada por los convertidores de analógico a digital, y  $d$  es la cantidad predeterminada de retardo usada en la etapa de retardo expresada como un número de periodos de muestreo.

13.- Un aparato según una cualquiera de las reivindicaciones 7 a 12, que comprende además al menos dos medios

de retardo (28), cada uno de los cuales retarda la señal en una cantidad diferente.

14.- Un aparato según una cualquiera de las reivindicaciones 7 a 13, en donde los medios de retardo (28) y los medios de procesamiento (12) están implementados en una Matriz de Puerta Programable en Campo.

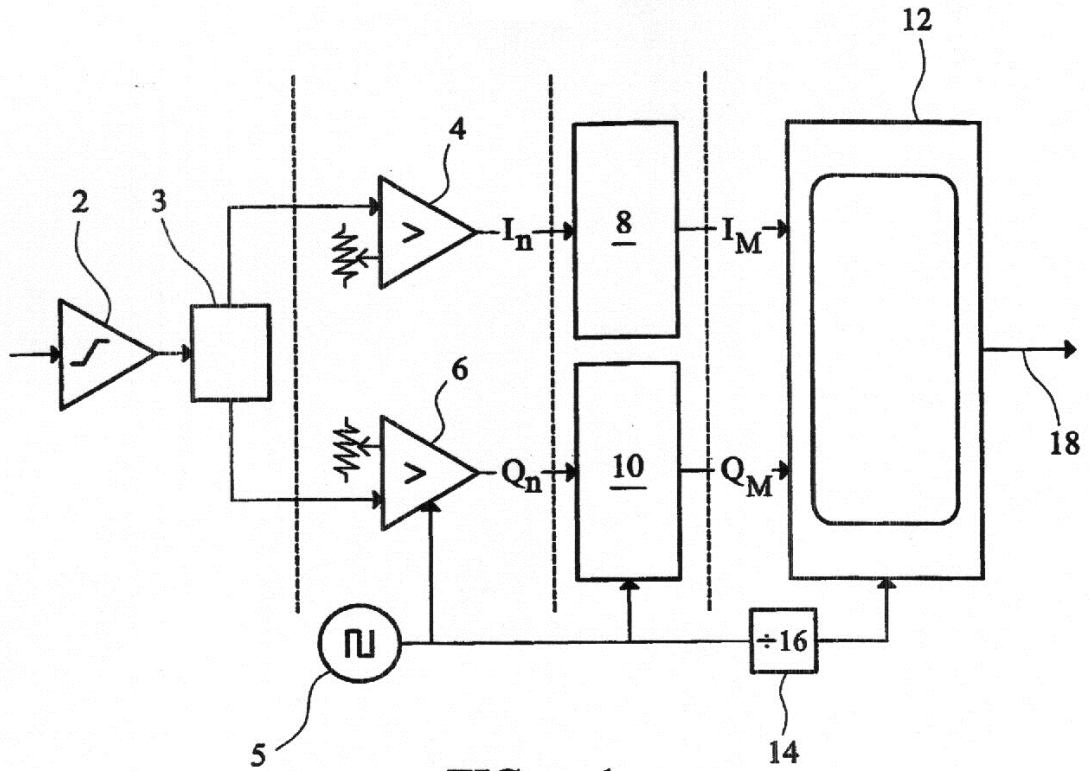


FIG. 1

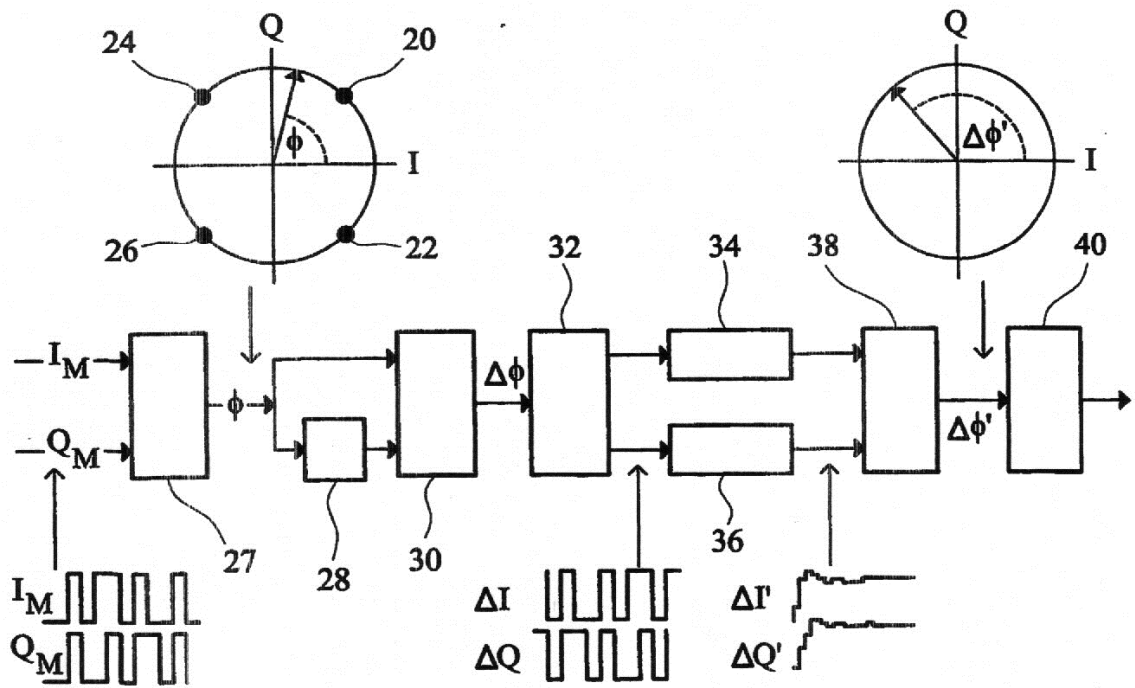


FIG. 2

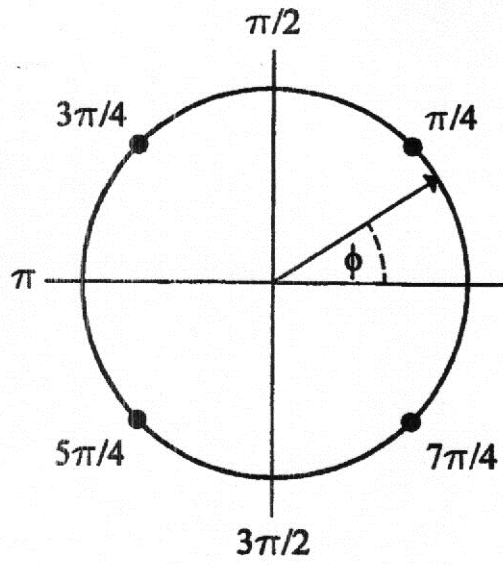


FIG. 3A

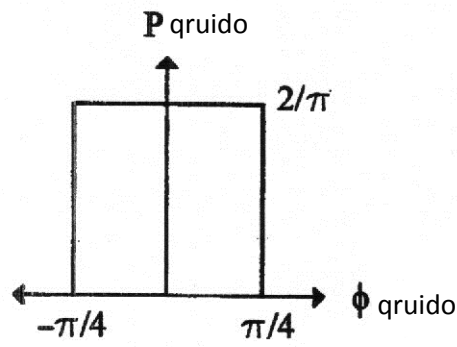


FIG. 3B

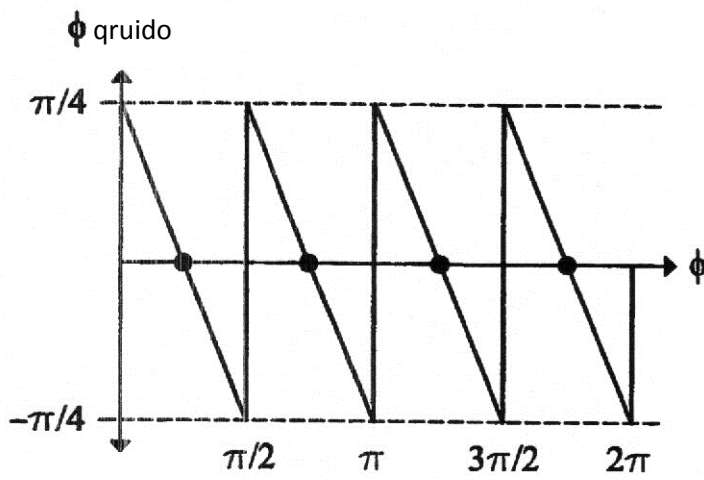
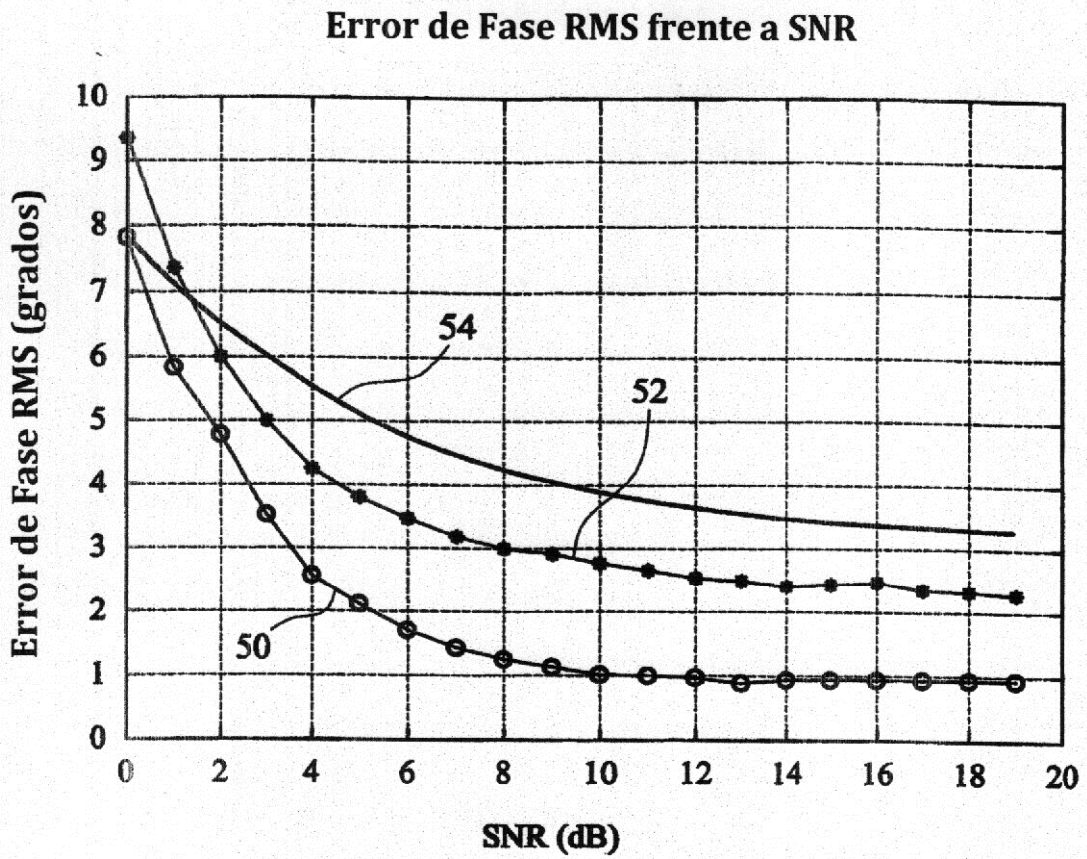
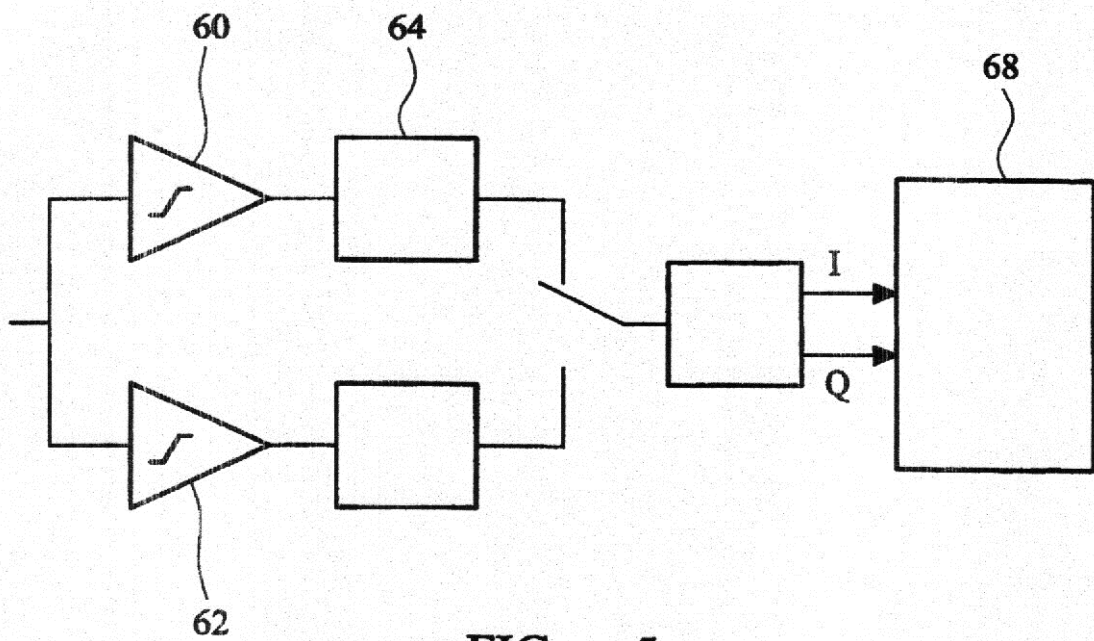


FIG. 3C



**FIG. 4**



**FIG. 5**