

19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 593 907**

51 Int. Cl.:

**H03K 17/00** (2006.01)

**H03K 17/0412** (2006.01)

**H03K 17/567** (2006.01)

**H03K 17/687** (2006.01)

**C01B 13/11** (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **23.02.2001 PCT/ZA2001/00024**

87 Fecha y número de publicación internacional: **30.08.2001 WO0163763**

96 Fecha de presentación y número de la solicitud europea: **23.02.2001 E 01918992 (7)**

97 Fecha y número de publicación de la concesión europea: **15.06.2016 EP 1264402**

54 Título: **Circuito y procedimiento de accionamiento para MOSFET**

30 Prioridad:

**23.02.2000 ZA 200000887**

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

**14.12.2016**

73 Titular/es:

**NORTH-WEST UNIVERSITY (100.0%)**

**11 HOFFMANNSTREET**

**POTCHEFSTROOM 2351, ZA**

72 Inventor/es:

**VISSER, BAREND**

74 Agente/Representante:

**CARPINTERO LÓPEZ, Mario**

ES 2 593 907 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

## DESCRIPCIÓN

Circuito y procedimiento de accionamiento para MOSFET

### Campo técnico

5 Esta invención se refiere a un circuito y procedimiento para mejorar la velocidad de conmutación de los dispositivos semiconductores de puerta aislada tales como transistores de efecto de campo de metal-óxido (MOSFET), más particularmente de MOSFET de potencia.

### Antecedentes

10 La capacitancia inherente a uniones de un transistor limita la velocidad a la que puede cambiar una tensión de un circuito. También es bien conocido que el efecto Miller tiene una influencia sobre la capacitancia en la puerta de los dispositivos del tipo mencionado anteriormente.

La técnica anterior enseña una serie de procedimientos de aliviar el efecto Miller en circuitos de conmutación de transistor de alta frecuencia, por ejemplo mediante la reducción de impedancia de la fuente o la reducción de la capacitancia de retroalimentación, o ambas.

15 Incluso con estas mejoras, una salida de un MOSFET, tal como un IRF740 típicamente cambia a través de 200 voltios en un tiempo de subida de aproximadamente 27 ns a una corriente máxima de 10 amperios y en un tiempo de caída de aproximadamente 24 ns. Estos tiempos pueden ser demasiado largos para muchas aplicaciones.

### Objeto de la invención

20 En consecuencia, es un objeto de la presente invención proporcionar un circuito de disparo y un procedimiento para la mejora de los tiempos de subida y/o de bajada de dispositivos semiconductores de puerta aislada con los que el solicitante considera que las desventajas antes mencionadas serán al menos aliviadas.

### Sumario de la invención

De acuerdo con un primer aspecto de la presente invención, se proporciona un procedimiento de acuerdo con la reivindicación 1.

25 El dispositivo semiconductor de puerta aislada puede ser un transistor de efecto de campo semiconductor de metal-óxido (MOSFET), tal como un MOSFET de potencia.

Alternativamente, el dispositivo semiconductor de puerta aislada puede ser un transistor bipolar de puerta aislada.

El pulso de carga puede elevar la tensión de la puerta del dispositivo semiconductor de puerta aislada tres a cuatro veces más allá de una calificación máxima del dispositivo semiconductor.

30 Los medios de conmutación pueden estar conectados entre el dispositivo de almacenamiento de carga y la puerta del dispositivo semiconductor.

Alternativamente, el dispositivo de almacenamiento de carga puede estar conectado en paralelo con los medios de conmutación y el dispositivo semiconductor de puerta aislada.

Como una alternativa adicional, el dispositivo de almacenamiento de carga puede estar conectado en serie con los medios de conmutación y el dispositivo semiconductor de puerta aislada.

35 Los medios de conmutación pueden ser un SIDAC.

Alternativamente, los medios de conmutación pueden ser seleccionados de un diodo de interrupción, un transistor bipolar, un dispositivo semiconductor de puerta aislada adicional y un dispositivo de conmutación rápida de alta tensión.

Medios electrónicos de control pueden ser proporcionados por los medios de conmutación.

40 El dispositivo de almacenamiento de carga puede comprender un condensador.

Un inductor puede ser proporcionado entre los medios de conmutación y la puerta.

Alternativamente, un inductor puede estar conectado en serie con los medios de conmutación.

El circuito puede estar integrado en un único chip.

De acuerdo con un segundo aspecto de la invención, se proporciona un circuito de acuerdo con la reivindicación 16.

45

**Breve descripción de los dibujos**

Ahora se describirá la invención, solo a modo de ejemplo, con referencia a los dibujos adjuntos donde:

- La figura 1 es un diagrama de circuito básico de un circuito de disparo de acuerdo con la invención para un MOSFET;
- 5 La figura 2 es un diagrama de una realización del circuito que comprende un SIDAC tan rápido dispositivo de conmutación;
- La figura 3 incluye un diagrama con líneas de puntos de la puerta de tensión contra el tiempo de funcionamiento especificado normal del MOSFET y un diagrama en líneas continuas de funcionamiento de acuerdo con el procedimiento de la invención;
- 10 La figura 4 incluye un diagrama con líneas de puntos de corriente de puerta contra el tiempo de funcionamiento especificado normal del MOSFET y un diagrama en líneas continuas de funcionamiento de acuerdo con el procedimiento de la invención;
- La figura 5 es un diagrama de otra realización del circuito de acuerdo con la invención;
- 15 La figura 6 es una forma de onda de tensión contra el tiempo en un primer terminal de un condensador de almacenamiento de carga en la figura 5;
- La figura 7 es una forma de onda de tensión contra el tiempo en la fuente del MOSFET en la figura 5;
- La figura 8 es un diagrama de un circuito de disparo para un transistor bipolar de puerta aislada;
- La figura 9 es una forma de onda de tensión contra el tiempo en un primer terminal de un condensador de almacenamiento de carga en el circuito de la figura 8;
- 20 La figura 10 es una forma de onda de tensión contra el tiempo en un emisor del transistor en la figura 8; y
- La figura 11 es un diagrama de circuito básico de otra forma de realización del circuito de disparo.

**Descripción de una realización preferida de la invención**

En la figura 1, se muestra un diagrama básico de un circuito de disparo 10 de acuerdo con la invención para un dispositivo semiconductor de puerta aislada 12, tal como un transistor de efecto de campo semiconductor de metal-óxido (MOSFET).

En el diagrama se muestra un MOSFET de potencia y que está disponible de International Rectifier bajo la marca HEXFET número IRF740. Un 10 % a 90 % del tiempo de subida de una tensión de salida se especifica en las hojas de datos de usuario de acceso público del dispositivo como siendo de aproximadamente 27 ns y un tiempo de caída correspondiente se especifica como estando en el orden de 24 ns. Estos tiempos pueden ser demasiado largos para algunas aplicaciones del MOSFET. El tiempo de retardo de encendido se especifica en 14 ns y el tiempo de retardo de apagado en 50 ns.

El circuito de disparo 10 comprende un dispositivo de almacenamiento de carga en forma de un condensador 14 que tiene un primer y segundo terminales 14.1 y 14.2 respectivamente. El primer terminal 14.1 está conectado en un circuito 17 a un dispositivo de conmutación rápida 16. Un inductor opcional 18 está conectado entre el dispositivo de conmutación rápida 16 y una puerta 20 del MOSFET. El drenaje y la fuente del MOSFET se muestran en 22 y 24 respectivamente.

El dispositivo de conmutación rápida 16 puede ser cualquier dispositivo adecuado que tenga una velocidad de conmutación más rápida que el tiempo de retardo de encendido especificado en la hoja de datos y/o del tiempo de retardo de apagado del MOSFET, preferiblemente mejor que 2 ns. Tales dispositivos pueden incluir un SIDAC, un diodo de interrupción, una disposición de transistor bipolar adecuadamente configurada, o cualquier otro dispositivo o circuito de conmutación rápida adecuado.

Para encender el MOSFET, el dispositivo de conmutación rápida se conecta electrónicamente que transfiere rápidamente suficiente carga del condensador 14 a la puerta 20 del MOSFET, para encender el MOSFET.

Diagramas de tiempo para el circuito de la figura 1 se muestran en las figuras 3 y 4. Los diagramas de líneas discontinuas indican un funcionamiento normal especificado de la MOSFET 12. Por lo tanto, el diagrama 30 en la figura 3 muestra la tensión de puerta del MOSFET durante el encendido convencional. El MOSFET está conectado en 32 y el diagrama ilustra un tiempo de retardo de encendido de aproximadamente 34 ns. La corriente de puerta asociada se muestra en 34 en la figura 4.

Los diagramas para el procedimiento de acuerdo con la invención se muestran en 36 y 38 en las figuras 3 y 4, respectivamente. En 40 en la figura 3, se muestra la rápida transferencia antes mencionada de carga desde el condensador 14 a través del conmutador 16 y la consiguiente acumulación de tensión en la puerta del MOSFET. La posterior caída en la tensión de puerta mostrada en 42 es atribuible al efecto Miller antes mencionado. Lo que está claro es que el equipo se enciende en 44, después de solo 4 ns. La corriente asociada a la puerta 20 se muestra en 38 en la figura 4. Inicialmente, durante la etapa de transferencia de carga, la corriente de puerta es alta y después de ello se reduce a un nivel insignificante. También se cree que con corrientes de drenaje dentro de la especificación de datos del MOSFET, también se reducen las pérdidas de conmutación con el procedimiento de conmutación y el circuito de acuerdo con la invención.

El valor (C) del condensador 14, la tensión (V<sub>c</sub>) requerida en el condensador antes de conmutar y por lo tanto la tensión de avance del dispositivo de conmutación 16, la tensión de umbral de puerta (V<sub>t</sub>) del MOSFET 12 y la carga de puerta (Q<sub>s</sub>) requerida para la conmutación completa del MOSFET están relacionadas de acuerdo con la siguiente ecuación:

$$\frac{C V_c}{(Q_s/V_t + C)} > V_t$$

5

En la figura 2 se muestra un diagrama de circuito del circuito de disparo 10 donde el primer dispositivo de conmutación 16 es un SIDAC.

Una tensión periódica se aplica a través de un condensador 14, en paralelo con una conexión en serie de SIDAC 16 y la ruta de puerta-fuente de un MOSFET 12. Inicialmente, durante un primer ciclo medio, la tensión suministrada a la entrada 19 es insuficiente para encender el SIDAC 16 y por lo tanto se carga el condensador 14. Cuando la tensión suministrada alcanza el umbral del SIDAC 16 el mismo se enciende, lo que resulta en un circuito cerrado desde el condensador 14 a la puerta 20 del MOSFET 12, descargando parcialmente el condensador 14 y por lo tanto la carga de la puerta 20. El resultado es que una carga ahora será compartida entre el condensador 14 y la puerta 20, de modo que algo de la tensión, preferentemente por encima del umbral de la puerta con respecto a tierra, se aplica a la puerta.

Usando este procedimiento, la tensión de puerta puede ser conducida por intervalos cortos aproximadamente tres a cuatro veces más allá del valor de tensión máximo de puerta a fuente de algunos MOSFETs 12 sin destruir el dispositivo.

Del mismo modo, cuando durante el otro medio ciclo la tensión de puerta excede el umbral inverso del SIDAC 16 y la corriente se conduce en la dirección opuesta, la tensión de puerta del MOSFET 12 cae hasta sustancialmente por debajo de la tensión umbral del MOSFET 12 poco después de que la carga se disipa desde la puerta 20 del MOSFET 12. Como resultado, el MOSFET 12 se apagará y la corriente de drenaje ya no fluirá.

En la figura 5, se muestra un circuito de disparo alternativo y auto-oscilante para el MOSFET 12. Componentes del mismo que corresponden a los componentes de los circuitos de las figuras 1 y 2 se designan utilizando los mismos números de referencia. En esta forma de realización, los medios de conmutación rápida 16 comprenden una disposición de transistor bipolar.

La forma de onda de tensión en 50 se muestra en la figura 6. La forma de onda de tensión en la fuente 24 se muestra en la figura 7. De esta última forma de onda se puede ver en 52 que la fuente 24 del MOSFET 12 cambia entre un estado "abierto" a un estado "cerrado" a través de 400 V en un tiempo de subida t<sub>r</sub> de aproximadamente 4 ns, que es sustancialmente más rápido que el tiempo de subida especificado de 27 ns. Del mismo modo, y como se muestra en 54 se cambia desde el estado "cerrado" al estado "abierto" en un tiempo de caída t<sub>f</sub> de aproximadamente 15 ns, que también es considerablemente más corto que un tiempo de caída especificado de aproximadamente 24 ns.

En la figura 8, se muestra el mismo circuito de disparo 10 para un transistor bipolar de puerta aislada 60 que tiene una puerta 62, un colector 64 y un emisor 66. El transistor es un dispositivo IRG4PC50W que está siendo fabricado y vendido por International Rectifier. La forma de onda en 68 en la figura 8 se muestra en la figura 9 y la forma de onda en el emisor 66 de carga adyacente 70 se muestra en la figura 10.

A partir de esta última forma de onda se puede ver en 72 que el emisor 66 cambia entre un estado "abierto" y un estado "cerrado" a través de 400 V en un tiempo de subida t<sub>r</sub> de alrededor de 4 ns, que es sustancialmente menor que un tiempo especificado de aumento de 33 ns.

En la figura 11 se muestra una realización adicional del circuito de disparo. Los medios de conmutación comprenden un circuito de accionamiento 116 de baja impedancia de salida, de alta tensión, de conmutación rápida. El dispositivo 116 debe ser capaz de cambiar entre OV y V<sub>d</sub> en un primer período de tiempo más corto que un tiempo de retardo de encendido especificado del dispositivo 12. V<sub>d</sub> es preferiblemente más grande que 20 x V<sub>t</sub>. Dispositivos de esta naturaleza están disponibles en el mercado.

Se apreciará que hay muchas variaciones de detalle en el circuito de activación y procedimiento de acuerdo con la invención, sin apartarse del alcance de las reivindicaciones adjuntas.

## REIVINDICACIONES

1. Un procedimiento de utilización de un circuito para accionar un dispositivo semiconductor de puerta aislada (12) que comprende como un primer terminal una puerta (20) y al menos terminales segundo y tercero (22, 24), comprendiendo el circuito un dispositivo de almacenamiento de carga (14) y medios de conmutación (16, 116) conectados en un circuito en serie a la puerta del dispositivo semiconductor para aplicar un pulso de carga desde el dispositivo de almacenamiento de carga a la puerta del dispositivo semiconductor a fin de conmutar el dispositivo semiconductor entre uno de un estado cerrado y un estado abierto y el otro del estado cerrado y del estado abierto, **caracterizado porque** la velocidad de conmutación de los medios de conmutación es menor que 2 ns por lo que la duración del pulso de carga es tal que el pulso de carga se ha completado antes de un cambio en el flujo de corriente entre el segundo y tercer terminales (22, 24) del dispositivo de semiconductor y **porque** el pulso de carga aplica una tensión a la puerta de tres a cuatro veces más allá de la tensión nominal máxima de la puerta del dispositivo semiconductor.
2. Un procedimiento de acuerdo con la reivindicación 1, **caracterizado porque** el dispositivo de semiconductor de puerta aislada (12) es un transistor de efecto de campo metal-óxido semiconductor.
3. Un procedimiento de acuerdo con la reivindicación 2, **caracterizado porque** el transistor de efecto de campo metal-óxido semiconductor es un transistor de efecto de campo metal-óxido semiconductor de potencia.
4. Un procedimiento de acuerdo con la reivindicación 1, **caracterizado porque** el dispositivo de semiconductor de puerta aislada (12) es un transistor bipolar de puerta aislada.
5. Un procedimiento de acuerdo con cualquier reivindicación anterior, **caracterizado porque** el pulso de carga eleva la tensión de puerta del dispositivo semiconductor de puerta aislada (12) de tres a cuatro veces más allá de una tensión nominal máxima del dispositivo semiconductor.
6. Un procedimiento de acuerdo con cualquier reivindicación anterior, **caracterizado porque** los medios de conmutación (16) están conectados entre el dispositivo de almacenamiento de carga (14) y la puerta (20) del dispositivo semiconductor (12).
7. Un procedimiento de acuerdo con cualquier reivindicación precedente, **caracterizado porque** se aplica una tensión periódica a través de un condensador que forma el dispositivo de almacenamiento de carga (14), en paralelo con una conexión en serie de un SIDAC que forma los medios de conmutación (16) y la ruta de puerta-fuente de un MOSFET que forma el dispositivo semiconductor (12).
8. Un procedimiento de acuerdo con una cualquiera de las reivindicaciones 1 a 6, **caracterizado porque** el dispositivo de almacenamiento de carga (14) está conectado en serie con los medios de conmutación (16, 116) y el dispositivo semiconductor de puerta aislada (12).
9. Un procedimiento de acuerdo con cualquier reivindicación anterior, **caracterizado porque** los medios de conmutación (16) son un SIDAC.
10. Un procedimiento de acuerdo con una cualquiera de las reivindicaciones 1 a 8, **caracterizado porque** los medios de conmutación (16) se seleccionan de un diodo de interrupción, un transistor bipolar, un dispositivo semiconductor de puerta aislada adicional y un dispositivo de conmutación rápida de alta tensión (116).
11. Un procedimiento de acuerdo con cualquier reivindicación anterior, **caracterizado porque** se proporcionan medios de control electrónico para los medios de conmutación (16).
12. Un procedimiento de acuerdo con cualquier reivindicación anterior, **caracterizado porque** el dispositivo de almacenamiento de carga (14) comprende un condensador.
13. Un procedimiento de acuerdo con cualquier reivindicación anterior, **caracterizado porque** se proporciona un inductor (18) entre los medios de conmutación (16, 116) y la puerta (20).
14. Un procedimiento de acuerdo con una cualquiera de las reivindicaciones 1 a 12, **caracterizado porque** se conecta en serie un inductor (18) con los medios de conmutación (16, 116).
15. Un procedimiento de acuerdo con cualquier reivindicación anterior, **caracterizado porque** el circuito se integra en un único chip.
16. Un circuito para el accionamiento de un dispositivo de puerta aislada semiconductor (12) que comprende como un primer terminal una puerta (20) y al menos los terminales segundo y tercero (22, 24), comprendiendo el circuito un dispositivo de almacenamiento de carga (14) y medios de conmutación (16, 116) conectados en un circuito en serie a la puerta del dispositivo semiconductor para aplicar un pulso de carga desde el dispositivo de almacenamiento de carga a la puerta del dispositivo semiconductor a fin de conmutar el dispositivo semiconductor entre uno de un estado cerrado y un estado abierto y el otro de un estado cerrado y un estado abierto, **caracterizado porque** la velocidad de conmutación de los medios de conmutación es menor que 2 ns, por lo que la

duración del pulso de carga es tal que el pulso de carga se ha completado antes de un cambio en el flujo de corriente entre el segundo y tercer terminales (22, 24) del dispositivo de semiconductor y **porque** el pulso de carga aplica una tensión a la puerta de tres a cuatro veces más allá de la tensión nominal máxima de la puerta del dispositivo semiconductor.

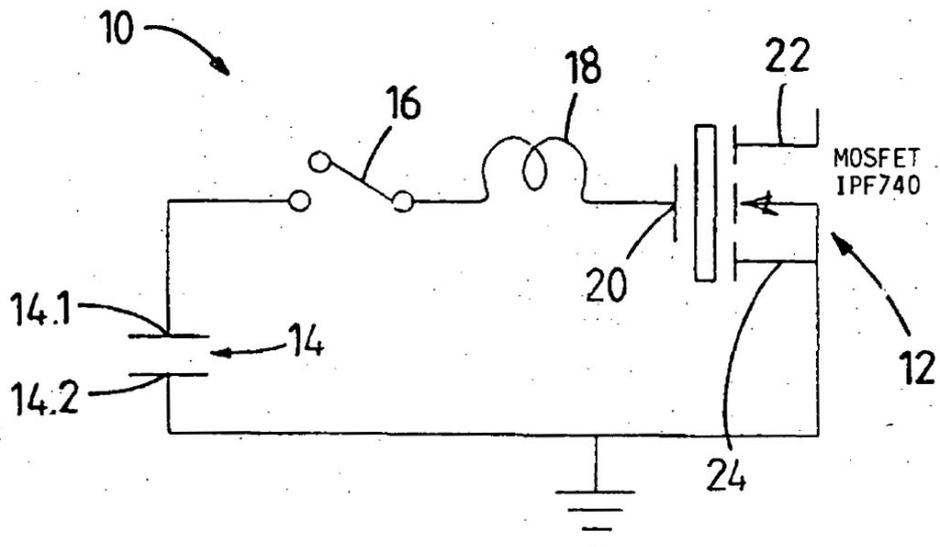


FIGURA 1

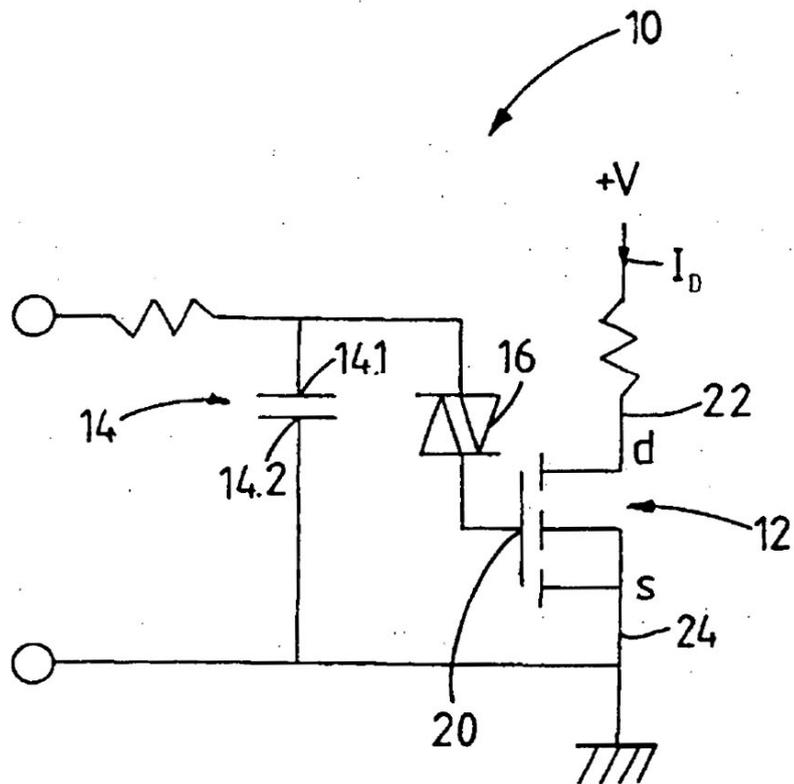


FIGURA 2

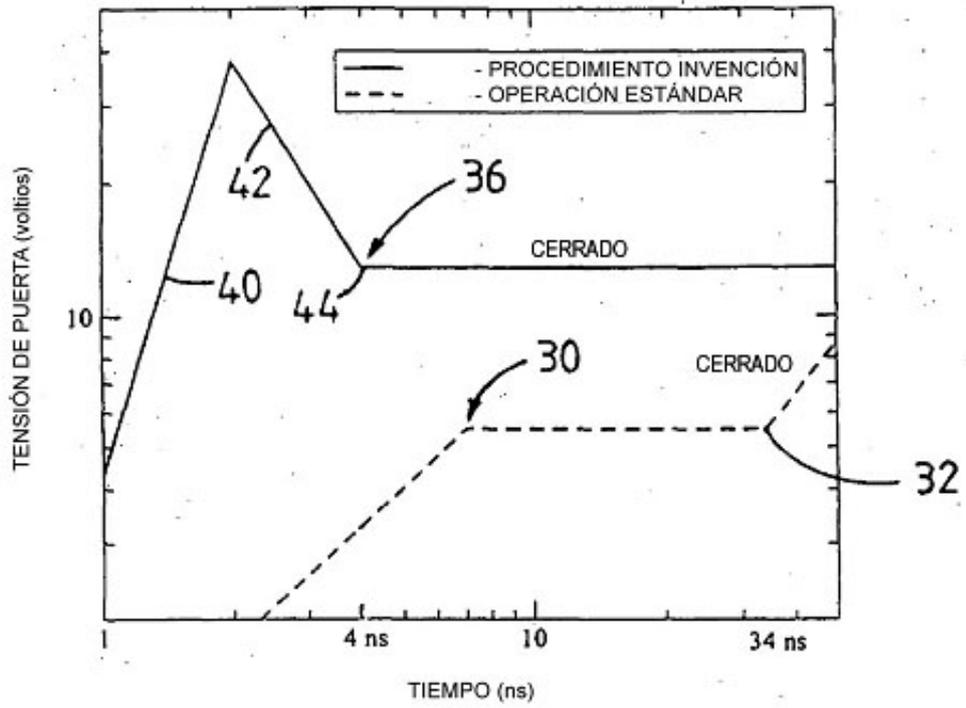


FIGURA 3

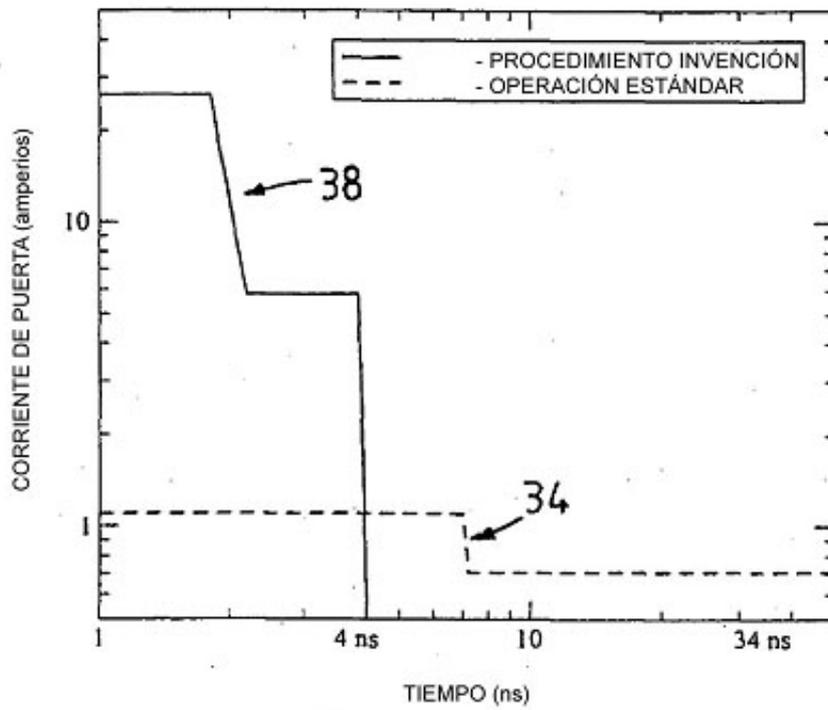


FIGURA 4

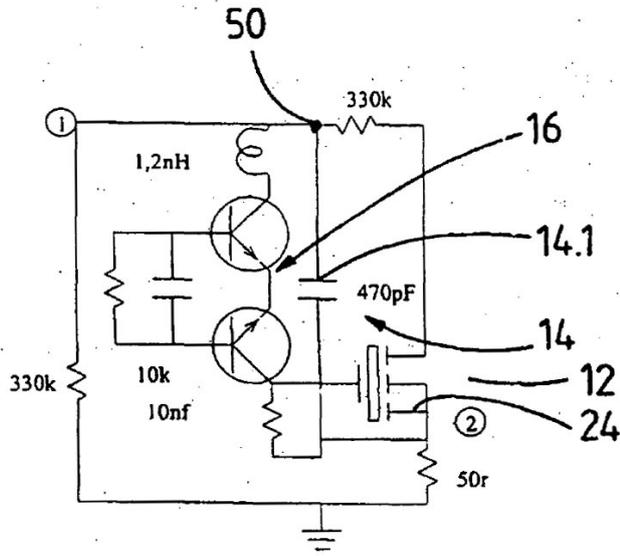


FIGURA 5

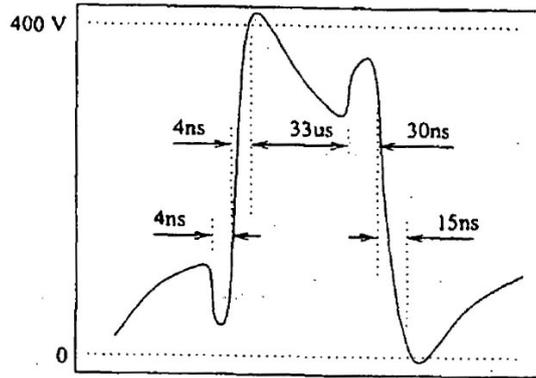


FIGURA 6

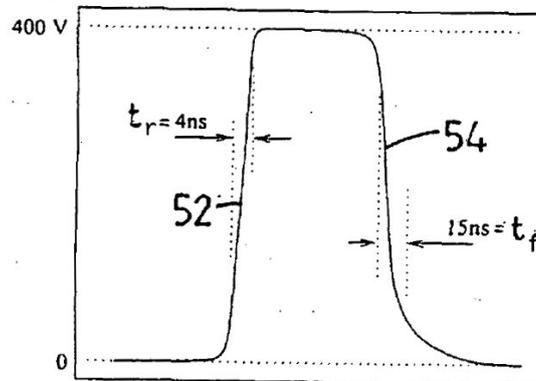


FIGURA 7

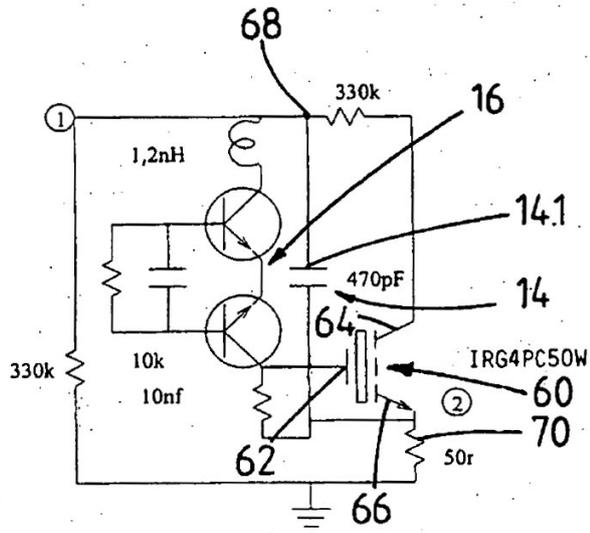


FIGURA 8

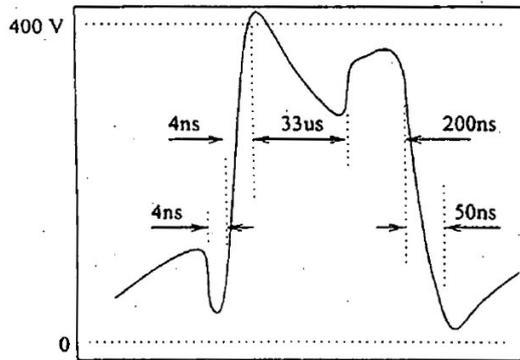


FIGURA 9

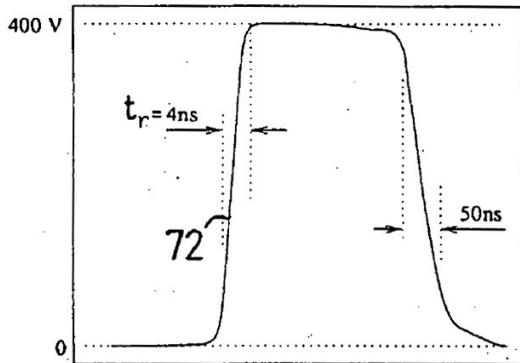


FIGURA 10

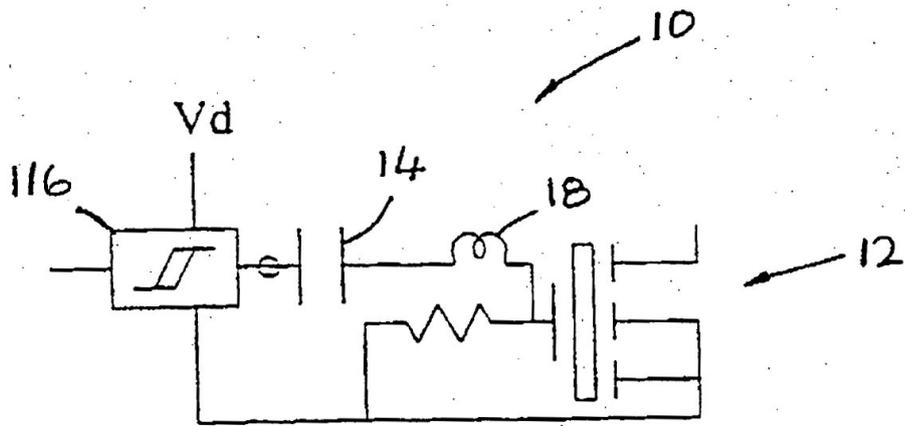


FIGURA 11