

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 594 180**

51 Int. Cl.:

H04L 7/00 (2006.01)

H04L 12/413 (2006.01)

G05B 19/414 (2006.01)

H04L 25/20 (2006.01)

H04B 3/36 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **21.07.2005 E 05015837 (7)**

97 Fecha y número de publicación de la concesión europea: **07.09.2016 EP 1653651**

54 Título: **Controlador numérico modular con sincronización de baja inestabilidad**

30 Prioridad:

27.10.2004 DE 102004052175

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

16.12.2016

73 Titular/es:

**DR. JOHANNES HEIDENHAIN GMBH (100.0%)
Dr.-Johannes-Heidenhain-Str. 5
83301 Traunreut, DE**

72 Inventor/es:

ZEHENTNER, GEORG

74 Agente/Representante:

UNGRÍA LÓPEZ, Javier

ES 2 594 180 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Controlador numérico modular con sincronización de baja inestabilidad

5 La invención se refiere a un controlador numérico modular con sincronización de baja inestabilidad de acuerdo con la reivindicación 1. Un controlador numérico de este tipo permite una transmisión de datos desde un ordenador principal hacia los módulos individuales con retraso de tiempo constante.

Los controladores numéricos (numerical control; NC) se emplean de una manera predominante para el control de máquinas herramientas y se pueden dividir esencialmente en dos unidades funcionales, un ordenador principal y al menos una unidad de regulación.

10 El ordenador principal proporciona las interfaces de usuario necesarias para el manejo del NC, como teclado y monitor y sirve para la creación, registro y ejecución de programas. En las unidades de regulación se encuentran circuitos de regulación, que sirven para el control de módulos inversores, que controlan de nuevo motores. Además, las unidades de regulación comprenden interfaces digitales y/o analógicas para el registro de valores reales, que son necesarios durante un ciclo del programa continuamente para el control de los circuitos de regulación. En los valores reales a registrar se puede tratar, por ejemplo de valores de posición (valores de situación), valores de la velocidad, 15 valores de la aceleración o también valores de la corriente. Lo mismo que el ordenador principal, también las unidades de regulación están controladas por microprocesador.

20 Durante la ejecución de un programa, el ordenador principal emite a las unidades de regulación a intervalos de tiempo regulares, cuya exactitud depende del pulso de reloj de procesamiento del ordenador principal, valores teóricos como previsión para los circuitos de regulación. Estos valores teóricos son generados en un generador de valores teóricos a través de la división de la trayectoria entre un punto de partida y el punto final de un movimiento de desplazamiento. En este contexto se habla también de un procesamiento de equipo. Paralelamente a la entrada de valores teóricos, las unidades de regulación registrar, de la misma manera a intervalos de tiempo regulares, cuya exactitud depende, sin embargo, del pulso de reloj de procesamiento de las unidades de regulación, valores reales para los circuitos de regulación. En general, entre la entrada de dos valores teóricos se registran una pluralidad de 25 valores reales.

30 Con frecuencia existe el deseo de disponer el ordenador principal y las unidades de regulación separados en el espacio. De esta manera, es conveniente agrupan el ordenador principal junto con el teclado y el monitor en una carcasa, para crear una interfaz de usuario, que se puede emplazar de una manera óptima de acuerdo con puntos de vista ergonómicos del usuario. De la misma manera es deseable disponer las unidades de regulación cerca de los inversores, para garantizar una calidad óptima de la señal de las señales de control moduladas en la anchura del impulso.

35 Para la transmisión de datos entre unidades separadas en el espacio, se ofrecen interfaces en serie, puesto que aquí se pueden emplear cables con sólo pocos hilos, que son muy económicos en comparación con cables para la transmisión de datos a través de interfaces paralelas y son fáciles de manejar. Para el caso de que deban accionarse varias unidades de regulación en un ordenador principal, se ha revelado que es especialmente ventajoso conectar las unidades de regulación con el ordenador principal en forma de un circuito en serie, en el que la transmisión de datos se realiza por medio de conexiones en serie de punto a punto. En tal arquitectura, el ordenador principal emite informaciones en forma de una corriente de datos en serie hacia la primera unidad de regulación del 40 circuito en serie, éste transmite las informaciones hacia la unidad de regulación siguiente del circuito en serie y así sucesivamente hasta que las informaciones inciden en la unidad de regulación final del circuito en serie.

45 Así, por ejemplo, el documento EP 1 394 644 A1 describe un aparato de control numérico, que está constituido por una unidad de control numérico y varias unidades de control del motor, que están conectadas entre sí a través de líneas de comunicación en serie en forma de un circuito en serie. Para el control de las unidades de control del motor, la unidad de control numérico emite datos, en particular valores numéricos, hacia el primer control del motor del circuito en serie. Éste emite transmite los datos hacia el control del motor siguiente y así sucesivamente hasta que los datos llegan finalmente al último control del motor del circuito en serie.

50 En un aparato de control numérico de este tipo es un inconveniente que los controles del motor así como la unidad de control numérico son controlados por señales de pulsos de reloj independientes, es decir, que no marchan de forma sincronizada entre sí. Por lo tanto, los controles del motor deben sincronizarse a intervalos de tiempo regulares con la unidad de control numérico.

55 El documento EP 0 504 907 A2 describe de la misma manera un aparato de control numérico, que está constituido por una unidad de control numérico y varias unidades del control del motor, que están conectadas entre sí a través de líneas de comunicación en serie en forma de un circuito en serie. Adicionalmente, está prevista otra línea de comunicación en serie, que conecta la última unidad de control del motor de nuevo con la unidad de control numérico, de manera que se forma una estructura anular. Esta estructura se basa en el sistema SERCOS conocido

en el estado de la técnica.

Procedimientos para la sincronización se conocen en el estado de la técnica. Se emplean, entre otros, en sistemas de bus de campo como el PROFIBUS o también en Ethernet, que se conoce sobre todo a partir de la técnica de oficina. Para la sincronización se emiten desde el ordenador principal (bus maestro) a intervalos de tiempo cíclicos informaciones de sincronización a las unidades de regulación (subordinadas). Éstas sincronizan con la ayuda de las informaciones de sincronización su control del ciclo, es decir, que corrigen el error de gases entre la recepción de valores teóricos y el registro de valores reales, que ha resultado desde la última sincronización a través de la desviación de la frecuencia de los diferentes generadores de pulsos de reloj. Las informaciones de sincronización son emitidas en este caso con frecuencia en forma de paquetes de datos (también como telegramas de datos). En este caso, se puede tratar de puros paquetes de sincronización o de paquetes de datos, que con tienen tanto informaciones de sincronización como también datos útiles.

En la arquitectura del sistema descrito – circuito en serie del ordenador principal y las unidades de regulación – en virtud del hecho de que el ordenador principal y las unidades de regulación accionadas por diferentes señales de pulsos de reloj independientes unas de las otras, se plantea otro problema en la transmisión de las informaciones de sincronización. Según la posición de las fases de la señal de pulso de reloj de la unidad de regulación, la recepción de un paquete de datos y, por lo tanto, la entrada de las informaciones de sincronización están retrasadas en un periodo de pulso de reloj. Este efecto se conoce también bajo el concepto técnico de “Jitter” (inestabilidad).

La inestabilidad conduce a que los paquetes de datos, en particular las informaciones de sincronización contenidas en ellos, no sean transmitidos con un tiempo de demora constante hacia la unidad de regulación siguiente del circuito en serie. Esto significa que la sincronización trabaja de manera tanto más poco fiable cuanto más alejada está una unidad de regulación desde el ordenador principal, es decir, cuantas más unidades de regulación recorren las informaciones de sincronización, porque con cada unidad de regulación recorrida se incrementa la desviación máxima de tiempo en la transmisión de las informaciones de sincronización. Puesto que la modificación de la posición de las fases de las señales de pulso de reloj del regulador principal y de las unidades de regulación entre sí resulta en gran medida de las tolerancias de los generadores de pulsos de reloj y de las diferencias que resultan de ello en la frecuencia de pulso de reloj, este efecto es periódico.

Una consecuencia posible de una sincronización errónea es que los valores reales medidos en una unidad de regulación se superponen con una interferencia. Ésta se puede producir porque los instantes de la entrada de valores teóricos están desplazados con relación a los instantes de la medición de valores reales en las unidades de regulación. Especialmente cuando la entrada de un valor teórico coincide con una conversión de una señal de medición analógica en un valor de medición digital, se puede falsificar el valor de medición en una medida reducida. Puesto que la influencia de los valores de medición depende de la inestabilidad y ésta se modifica periódicamente, se habla también de un efecto de interferencia. La consecuencia de ello es un exactitud más reducida de la máquina herramienta controlada por el control numérico o bien una calidad empeorada, en particular de la calidad de la superficie, de las piezas fabricada por la máquina herramienta. Puesto que las interferencias presentan frecuencias comparativamente bajas, en la práctica no es posible filtrarlas en los circuitos de regulación, porque de esta manera se reduciría la velocidad de la regulación hasta el punto de que no existiría un funcionamiento conveniente de la unidad de regulación.

Una solución para conseguir una transmisión fiable de informaciones de sincronización también a través de varias unidades de regulación consiste en accionar el ordenador principal y las unidades de regulación con la misma señal de pulso de reloj.

El documento DE 100 48 191 A1 describe un procedimiento para la sincronización de una pluralidad de sistemas de bus. En este caso, se alimentan desde una unidad de recepción de un sistema de bus señales de sincronización al regulador de fases de un bucle de enganche de fase (phase locked loop; PLL) con un generador de pulso de reloj. El regulador de fases calcula el error momentáneo de las fases y corrige el regulador de fases, de tal manera que el generador de pulso de reloj emite entre dos señales de sincronización un número teórico de señales de pulso de reloj. La señal de pulso de reloj es alimentada a todas las unidades de emisión de los sistemas de bus como pulso de reloj central.

Un inconveniente de este procedimiento es que en el caso de altos requerimientos de exactitud, las señales de sincronización deben emitirse en cortos intervalos de tiempo para mantener reducido el error de fase del generador de pulsos de reloj. Esto se aplica especialmente en un sistema con la arquitectura descrita anteriormente, allí a pesar de la sincronización de los errores de fase de las unidades de regulación frente a la señal de pulso de reloj del ordenador principal con cada módulo en el circuito en serie.

El documento EP 1 408 386 A2 publica las características del preámbulo de la reivindicación 1.

Por lo tanto, el cometido de la invención es indicar un controlador numérico modular, con el que se pueden transmitir datos, en particular informaciones de sincronización, con una inestabilidad reducida.

El cometido se soluciona por medio de un controlador numérico modular con sincronización de baja inestabilidad de acuerdo con la reivindicación 1. Los detalles ventajosos de este controlador numérico modular se deducen a partir de las reivindicaciones dependientes de la reivindicación 1.

5 Se propone un controlador numérico modular con sincronización de baja inestabilidad, que comprende un ordenador principal y al menos una unidad de regulación que están conectados entre sí a partir del ordenador principal por medio de canales de transmisión de datos en serie en forma de un circuito en serie. La al menos una unidad de regulación contiene una primera unidad de recepción para recibir una corriente de datos en serie que entran desde la dirección del ordenador principal y una primera unidad de emisión, para emitir una corriente de datos en serie. Además, en la al menos una unidad de regulación está prevista una unidad de recuperación del pulso de reloj que, a partir de la corriente de datos en serie que llega a la primera unidad de recepción, deriva una señal de pulso de reloj de sincronización y la alimenta a la primera unidad de emisión, que la utiliza como señal de pulso de reloj de emisión, de manera que la corriente de datos en serie que llega a la primera unidad de recepción y la corriente de datos en serie que parte desde la primera unidad de emisión están acopladas en fase rígida entre sí.

10 Otras ventajas así como detalles de la presente invención se deducen a partir de la siguiente descripción de una variante preferida de un controlador numérico modular con sincronización de baja impedancia con la ayuda de las figuras. En este caso:

La figura 1 muestra un diagrama de tiempo para la ilustración de la causa de la inestabilidad durante la transmisión de informaciones de sincronización de acuerdo con el estado de la técnica.

La figura 2 muestra un diagrama de bloques de un controlador numérico modular de acuerdo con la invención.

20 La figura 3 muestra un diagrama de tiempo para la ilustración de la relación de tiempo de las corrientes de datos.

En la introducción se ha descrito la causa de la aparición de inestabilidad durante la transmisión de informaciones de sincronización de acuerdo con el estado de la técnica. Esto debe explicarse en detalle a través del diagrama de tiempo de la figura 1. Una señal A señala con un flanco descendente de la señal el instante de la entrada de un paquete de datos, las señales B, C, D, E muestran señales de pulso de reloj de una unidad de regulación con diferente posición de las fases. Debe suponerse que el procesamiento del paquete de datos se inicia con el primer flanco ascendente de la señal de pulso de reloj B, C, D, E. Esto significa que el procesamiento del paquete de datos durante la señal de pulso de reloj B se inicia después del tiempo t_1 , durante la señal de pulso de reloj C después del tiempo t_2 , durante la señal de pulso de reloj D después del tiempo t_3 , y durante la señal de pulso de reloj E después del tiempo t_4 . Es evidente para el técnico que la desviación máxima de tiempo entre dos paquetes de datos recibidos sucesivos corresponde a la duración de los periodos de la señal de pulso de reloj B, C, D, E.

La figura 2 muestra un diagrama de bloques de un controlador numérico modular de acuerdo con la invención. Está constituido por un ordenador principal 10 y dos unidades de regulación 20, 30, que están conectadas entre sí por medio de canales de transmisión de datos en serie 50 en forma de un circuito en serie. Los canales de transmisión de datos 50 están constituidos por un canal de emisión 51 y un canal de recepción 52, de manera que el canal de emisión 51 sirve para transmitir una corriente de datos en serie desde el ordenador principal 10 en la dirección de las unidades de regulación 20, 30. El canal de recepción 52 sirve, en cambio, para la transmisión de una corriente de datos en serie desde las unidades de regulación 20, 30 hacia el ordenador principal 10. La unidad de regulación 30 forma en este caso la unidad de regulación final 30 del circuito en serie. Por razones de claridad, en la figura 2 solamente se representan dos unidades de regulación 20, 30. En este lugar se hace referencia expresa a que el controlador numérico modular de acuerdo con la invención puede presentar una pluralidad de unidades de regulación 20, 30.

El ordenador principal 10 contiene una unidad emisora principal 11 así como una unidad receptora principal 12. A la unidad emisora principal 11 es alimentada una señal de pulso de reloj de guía 13, que es generada en un regulador de pulso de reloj de guía 14. El ordenador principal 10 emite con la unidad de emisión principal 11 informaciones en forma de corrientes de datos en serie a través del canal de transmisión de datos 50 hacia la primera unidad de regulación 20 en el circuito en serie. Las corrientes de datos presentan en este caso una velocidad de transmisión, que es idéntica o proporcional a la frecuencia de la señal de pulso de reloj 13. Se pueden transmitir datos discretos, como por ejemplo valores teóricos como previsión para los circuitos de regulación en las unidades de regulación 20, 30, datos para la inicialización de las unidades de regulación 20, 30 o también instrucciones de solicitud de datos desde las unidades de regulación 20, 30. Adicionalmente, la corriente de datos puede contener informaciones de sincronización para sincronizar las unidades de regulación 20, 30 con la señal de pulso de reloj de guía 13.

Un método difundido para transmitir informaciones con la ayuda de corrientes de datos en serie es la llamada transmisión de paquetes. En este caso, los datos a transmitir en paquetes de datos (designados también como cuadros de transmisión o Frames) son incorporados con estructura exactamente definida. Para la elevación de la seguridad de la transmisión, tales paquetes de datos disponen, además de los datos útiles, la mayoría de las veces de informaciones adicionales, como por ejemplo una secuencia inicial definida (Startbits, -bytes), una secuencia final

definida (Stopbits, - bytes), informaciones sobre la longitud del paquete de datos y sumas de prueba. Con la ayuda de estas informaciones adicionales, el receptor del paquete de datos puede establecer si la transmisión estaba libre de errores. Si deben emitirse en un paquete de datos unos datos hacia varios receptores diferentes, es ventajoso prever en el marco de la transmisión zonas para datos comunes, que se emiten a todos los receptores y zonas que están asociadas a receptores individuales.

Las unidades de regulación 20, 30 contienen una primera unidad de recepción 21, una primera unidad de emisión 22, una unidad de recuperación del pulso de reloj 23, una unidad de procesamiento 24 así como una segunda unidad de recepción 25 y una unidad de emisión 26. Por razones de claridad, se ha prescindido de una representación de los circuitos de regulación para el control de accionamientos, con la generación correspondiente de señales de control, así como para la detección de valores reales.

La primera unidad de recepción 21 sirve para recibir corrientes de datos en serie, que entran desde la dirección del ordenador principal 10 y para transmitir los datos contenidos en ellas hacia la unidad de procesamiento 24. Allí se procesan los datos a intervalos de tiempo determinados y a continuación se transmiten a la primera unidad de emisión 22, que los transmite de nuevo en forma de una corriente de datos en serie a la unidad de regulación 20, 30 siguiente. La primera unidad de emisión 22 se alimenta a tal fin desde la unidad de recuperación del pulso de reloj 23 una señal de pulso de reloj de sincronización, que obtiene la unidad de recuperación del pulso de reloj 23 desde la corriente de datos en serie. La señal de pulso de reloj de sincronización 27 está acoplada de esta manera en fase rígida con la señal de pulso de reloj de guía 13. El acoplamiento de fase rígida significa en este contexto que la señal de sincronización 27 está retrasada en el tiempo efectivamente frente a la señal de pulso de reloj de guía 13, pero este retraso es constante y no se producen saltos de fases. En otras palabras, entre la señal de pulso de reloj de sincronización 27 y la señal de pulso de reloj de guía 13 solamente aparece una inestabilidad muy baja. Puesto que la primera unidad de emisión 22 utiliza la señal de pulso de reloj de pulso de reloj de sincronización 27 para emitir la corriente de datos hacia la unidad de regulación siguiente 20 30, se garantiza que todas las corrientes de datos, a partir del ordenador principal 10 hasta la unidad de regulación final 30 del circuito en serie presenten una inestabilidad baja.

La señal de sincronización 27 es alimentada, además, también a la unidad de procesamiento 24 de las unidades de regulación 20, 30. Allí se genera con la ayuda de la señal de pulso de reloj de sincronización 27 al menos una señal de pulso de reloj para el control de los ciclos en la unidad de procesamiento 24. De esta manera se consigue que también todas las unidades de procesamiento 24 presenten una inestabilidad baja con respecto a la señal de pulso de reloj de guía 14. Para la generación de la al menos una señal de pulso de reloj se pueden aplicar medidas conocidas a partir del estado de la técnica. Es especialmente ventajoso alimentar la señal de pulso de reloj de sincronización 27 a un bucle de enganche de fase (phase locked loop; PLL), puesto que un PLL continúa emitiendo señales de pulso de reloj también en el caso de fallo de la señal de pulso de reloj de sincronización 27. De esta manera se garantiza que las unidades de regulación 20, 30 permanezcan funcionales también en el caso de fallo del ordenador principal 10 y, dado el caso, se pueden detener de forma controlada los accionamientos controlados por ellos.

Puesto que la unidad de recuperación del pulso de reloj 23 obtiene la señal de pulso de reloj de sincronización 27 a partir de la corriente de datos en serie entrante, es especialmente ventajoso que la corriente de datos en serie esté codificada de tal forma que durante los vacíos de la transmisión, es decir, en el tiempo en el que no se transmite ningún paquete de datos, aparecen cambios de nivel. En otro caso, entre la señal de pulso de reloj de guía 13 y la señal de pulso de reloj de sincronización 27 puede aparecer un error de fases, que es tanto mayor cuando más tiempo dura el vacío de la transmisión. Se ha revelado que es especialmente adecuado emplear para la corriente de datos en serie una codificación de grupos de bits de tipo 4B5B. En este caso, se dividen los datos a transmitir en grupos de 4 bits, que son codificados, respectivamente, con 5 bits, con la finalidad de generar el mayor número posible de cambios de nivel y de esta manera favorecer la recuperación del pulso de reloj.

Una interfaz de datos en serie muy extendida, que utiliza este tipo de codificación de grupos de bits, se conoce sobre todo a partir de la zona de Redes de Área Local (LAN) y lleva la designación FAST ETHERNET (Norma IEEE Std. 802.3-2002). El procedimiento de transmisión de datos, como se describe en la Norma IEEE 802.3, sólo es adecuado, en efecto, con limitaciones para aplicaciones críticas de tiempo, puesto que ha sido desarrollada de manera predominante para la técnica de oficinas para la transmisión de grandes cantidades de datos y de esta manera no presenta un comportamiento de tiempo determinado. Sobre la base del plano físico de la Norma IEEE 802.3 (Layer 1 del modelo de capas OSI/ISO) se puede construir, sin embargo, un sistema de transmisión de datos apto en tiempo real. Esto tiene especialmente la ventaja de que se puede recurrir a una técnica probada, para la que están disponibles en el mercado un gran número de componentes a un precio favorable.

Para emitir en un controlador numérico modular, como se ha descrito en la figura 2, informaciones de sincronización desde el ordenador principal 10 hacia las unidades de regulación 20, 30, se pueden utilizar procedimientos conocidos a partir del estado de la técnica, en particular paquetes de sincronización y paquetes de datos que contienen, además de los datos útiles, también informaciones de sincronización. A través de las corrientes de datos en serie acopladas en fase rígida y a través de la utilización de la señal de pulso de reloj de sincronización 27 en las

unidades de procesamiento 24 se garantiza que las informaciones de sincronización entren siempre con tiempo de retraso constante en las unidades de regulación 20, 30.

En la práctica es conveniente poder transmitir informaciones tanto desde el ordenador principal 10 hacia las unidades de regulación 20, 30 como también en dirección inversa. La posibilidad de poder transmitir informaciones desde las unidades de regulación 20, 30 hacia el ordenador principal 10 se realiza en este ejemplo de realización preferido porque en la unidad de regulación final 30 en el circuito en serie, la salida de la primera unidad de emisión 22 está conectada con la entrada de la segunda unidad de recepción 25. Adicionalmente en las unidades de regulación vecinas 20, 30 las segundas unidades de emisión 26 están conectadas con las segundas unidades de recepción 25. La segunda unidad de emisión 26 de la primera unidad de regulación 20 en el circuito en serie está conectada finalmente en la unidad de recepción principal 12 del ordenador principal 1. Las conexiones se establecen, respectivamente, a través de los canales de recepción 52 de los canales de transmisión de datos 50. De esta manera se forma una estructura anular, a través de la cual se puede retornar la corriente de datos emitida originalmente desde la unidad de emisión principal 11 del ordenador principal 10 de nuevo hacia el ordenador principal 10. Puesto que los datos, que están contenidos en la corriente de datos en serie, pasan por cada unidad de regulación 20, 30 tanto en dirección de avance como también en dirección de retorno y son procesados en cada unidad de regulación 20, 30 en las unidades de procesamiento 24, de esta manera es posible una transferencia de datos entre el ordenador principal 10 y la unidad de regulación 20 o bien las unidades de regulación 20, 30.

Además, a través de la evaluación de las informaciones, que llegan sobre la corriente de datos hacia la unidad de recepción principal 12, se puede establecer si la transmisión de datos entre el ordenador principal 10 y las unidades de regulación 20, 30 funciona sin errores.

En la forma de realización preferida en la figura 2, para la transmisión de informaciones desde las unidades de regulación 20, 30 hacia el ordenador principal 10 no está previsto ningún acoplamiento de fase rígida de las corrientes de datos, puesto que aquí se pueden tolerar con frecuencia oscilaciones reducidas en el tiempo de transmisión. Pero está claro para el técnico que a través de las medidas descritas anteriormente también aquí se puede conseguir un acoplamiento de fase rígida de las corrientes de datos.

Con la ayuda de la figura 3 se ilustra ahora la relación temporal de las corrientes de datos con la ayuda de un diagrama de tiempo. Una primera señal 100 muestra en este caso el tiempo de la corriente de datos, que se emite desde la unidad de emisión principal 12 del ordenador principal 10. Una segunda señal 110 muestra la curva de tiempo de la corriente de datos en la salida de la primera unidad de emisión 22 de la primera unidad de regulación 20 de circuito en serie, una tercera señal 120 muestra la corriente de datos en la salida de la primera unidad de emisión 22 de la unidad de regulación final 30 del circuito en serie. En las corrientes de datos representadas se transmiten informaciones en forma de paquetes de datos 101, 101', 101'', 102', 101''', 102''. Entre los paquetes de datos 101, 101', 101'', 102', 101''', 102'' se pueden encontrar vacíos de la transmisión 103, 103', 103''. Como se representa en la figura 3, el instante de inicio de la transmisión del paquete de datos 101' de la segunda señal 110 está retrasado en un primer tiempo de retraso t_{D1} con respecto al instante de inicio de la transmisión del paquete de datos 101 de la primera señal 100. De la misma manera, el instante de inicio de la transmisión del paquete de datos 101'' de la tercera señal 120 está retrasado en un segundo tiempo de retraso t_{D2} con respecto al instante de inicio de la transmisión del paquete de datos 101' de la segunda señal 110. Puesto que las corrientes de datos en serie están acopladas entre sí en fase rígida y los datos en la unidad de procesamiento 24 de las unidades de regulación 20, 30 son procesados a intervalos de tiempo determinados, se asegura que los tiempos de retraso t_{D1} y t_{D2} sean constantes.

REIVINDICACIONES

- 5 1.- Controlador numérico modular con sincronización de baja inestabilidad, que comprende un ordenador principal (10) y al menos una unidad de regulación (20, 30), que, partiendo desde el ordenador principal (10), está conectados entre sí por medio de canales de transmisión de datos en serie (50) en forma de un circuito en serie, en el que la al menos una unidad de regulación (20, 30) contiene:
- una primera unidad de recepción (21), para recibir una corriente de datos en serie que incide desde la dirección del ordenador principal (10),
 - 10 - una primera unidad de emisión (22), para emitir una corriente de datos en serie en la dirección de una unidad de regulación final (30) del circuito en serie,
 - una segunda unidad de recepción (25) para recibir una segunda corriente de datos en serie que incide desde la dirección de la unidad de regulación final (30) del circuito en serie,
 - una unidad de procesamiento (24), que es adecuada para procesar los datos contenidos en la segunda corriente de datos en serie,
 - 15 - una segunda unidad de emisión (26) para emitir los datos procesados en forma de una corriente de datos en serie en la dirección del ordenador principal (10), y
 - una unidad de recuperación del pulso de reloj (23), que a partir de la corriente de datos en serie que llega a la primera unidad de recepción deriva una señal de pulso de reloj de sincronización,
- caracterizado** porque
- 20 - la unidad de recuperación del pulso de reloj (23) alimenta la señal de pulso de reloj de sincronización (27) a la primera unidad en serie (22), que utiliza la señal de pulsos de reloj de sincronización (27) como señal de pulso de reloj de emisión, de manera que la corriente de datos en serie que llega a la primera unidad de recepción (21) y la corriente de datos en serie emitida desde la primera unidad de emisión (22) están acopladas entre sí en fases rígidas.
- 25 2.- Controlador numérico modular de acuerdo con la reivindicación 1, **caracterizado** porque a la unidad de procesamiento (24) se alimenta la señal de pulso de reloj de sincronización (27) y la unidad de procesamiento (24) procesa a intervalos de tiempo determinados datos, que están contenidos en la corriente de datos en serie recibida y los datos procesados son alimentados a la primera unidad de emisión (22).
- 30 3.- Controlador numérico modular de acuerdo con la reivindicación 2, **caracterizado** porque la unidad de procesamiento (24) de la al menos una unidad de regulación (20, 30) puede ser sincronizada a través de informaciones de sincronización transmitidas en la corriente de datos en serie,
4. Controlador numérico modular de acuerdo con una de las reivindicaciones anteriores, **caracterizado** porque se pueden transmitir datos en la corriente de datos en serie como paquetes de datos.
- 35 5.- Controlador numérico modular de acuerdo con la reivindicación 4, **caracterizado** porque los paquetes de datos contienen informaciones de sincronización.
- 6.- Controlador numérico modular de acuerdo con una de las reivindicaciones anteriores, **caracterizado** porque la primera corriente de datos está codificada de tal forma que también durante vacíos de la transmisión aparecen cambios de nivel.
- 40 7.- Controlador numérico modular de acuerdo con la reivindicación 6, **caracterizado** porque la corriente de datos en serie presenta una codificación de grupos de bits del tipo 4B5B.
- 45 8.- Controlador numérico modular de acuerdo con una de las reivindicaciones anteriores, **caracterizado** porque los canales de transmisión de datos (50) están constituidos por un canal de emisión (51), a través del cual se puede transmitir una corriente de datos en serie desde el ordenador principal (10) en la dirección de las unidades de regulación (20, 30) y por un canal de recepción (52), a través del cual se puede transmitir una corriente de datos en serie desde las unidades de regulación (20, 30) en la dirección del ordenador principal (10).
- 9.- Controlador numérico modular de acuerdo con una de las reivindicaciones anteriores, **caracterizado** porque en la unidad de regulación final (30) del circuito en serie la salida de la primera unidad de emisión (22) está conectada con la entrada de la segunda unidad de emisión (25).

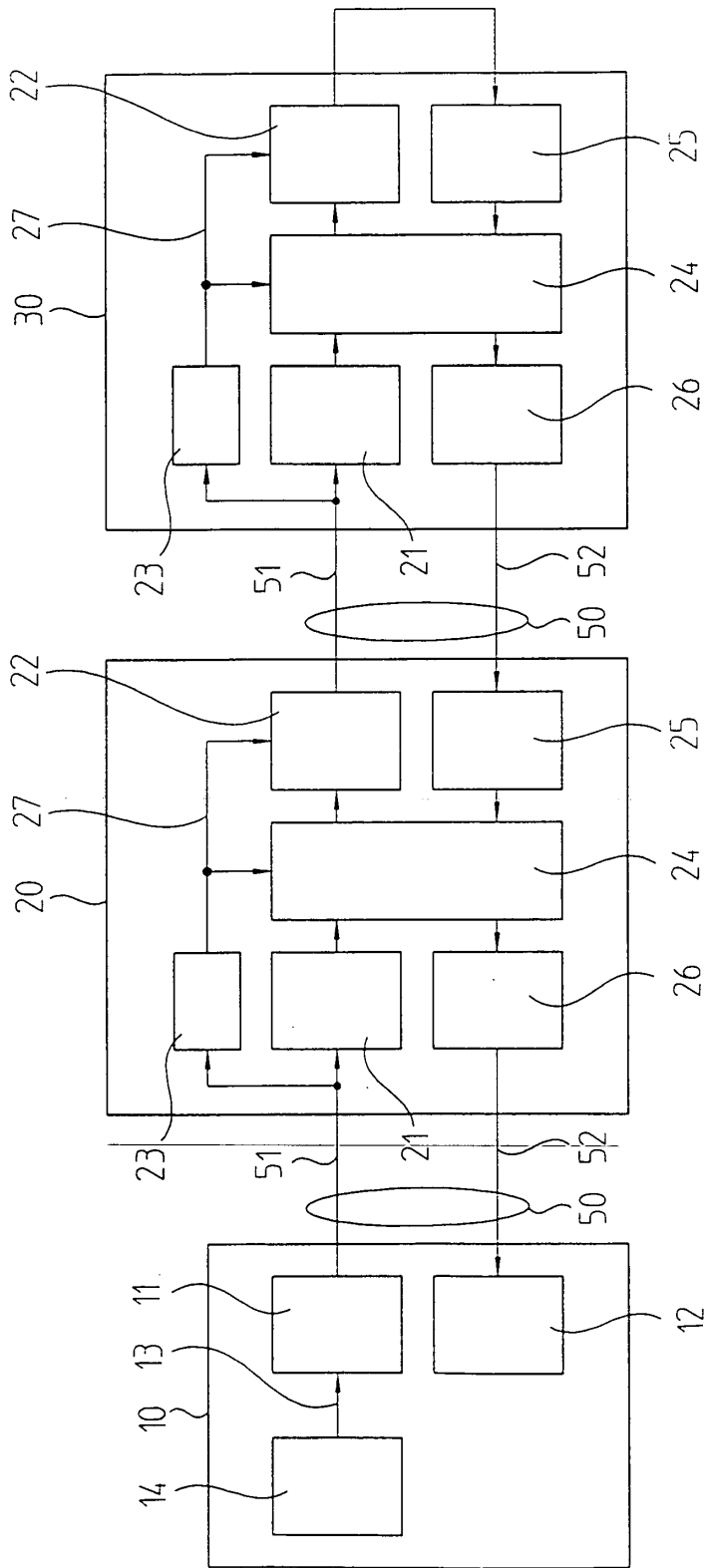


FIG. 1

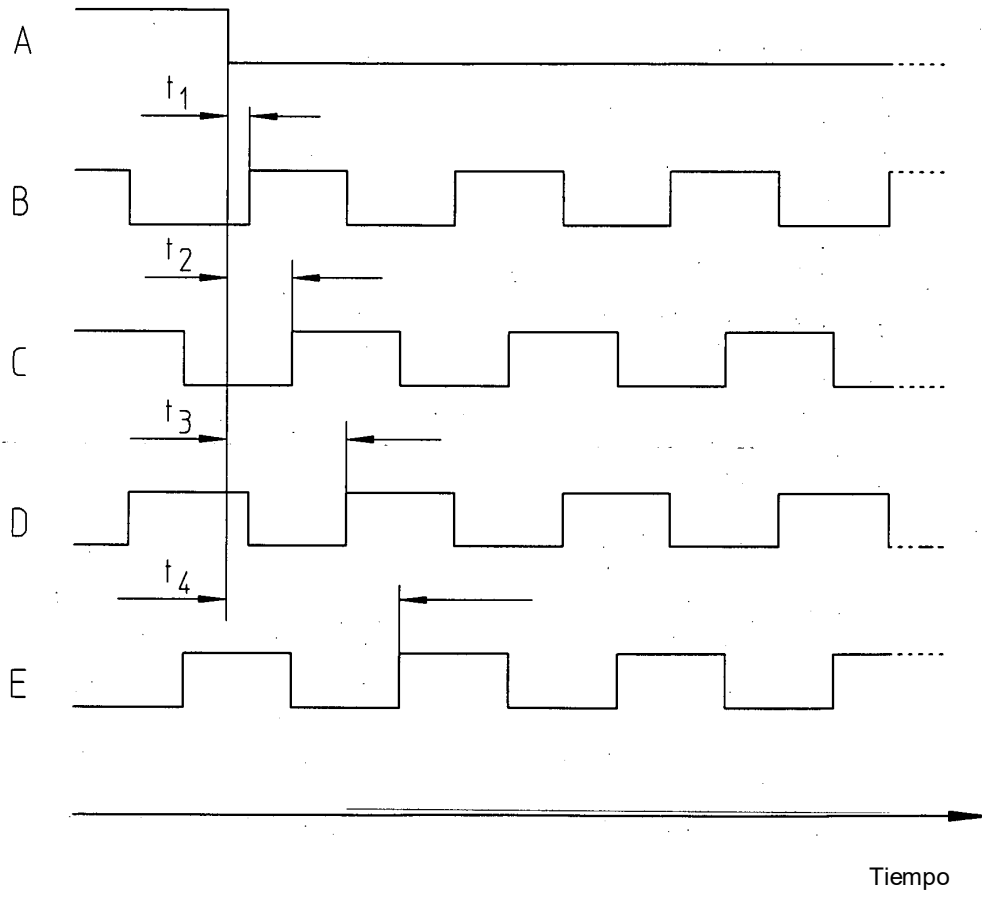


FIG. 2

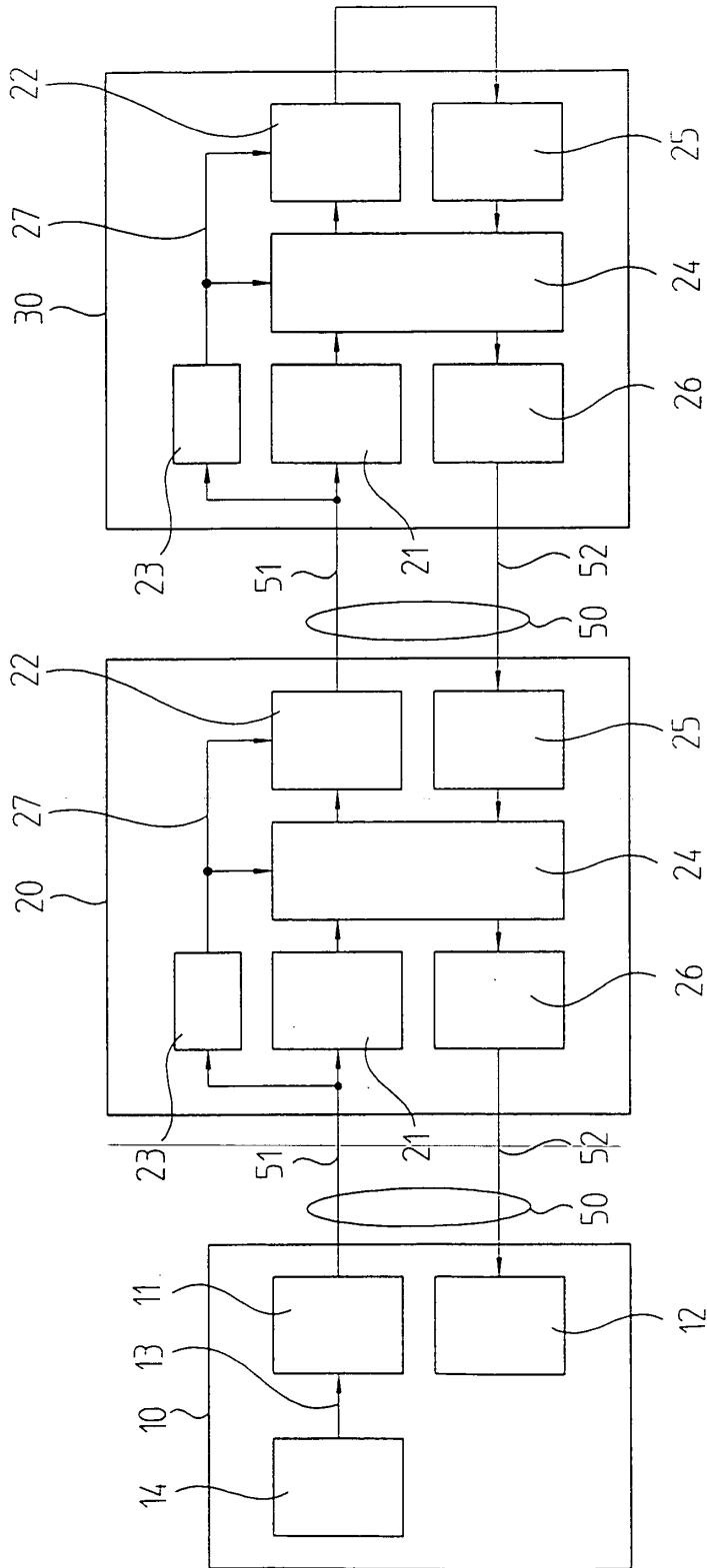


Fig. 3

