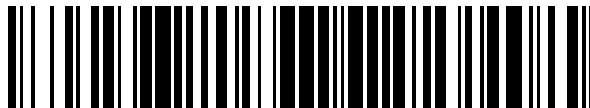


19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 594 775**

51 Int. Cl.:

**H03K 21/08** (2006.01)

**H03K 21/40** (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **19.04.2013 PCT/EP2013/058168**

87 Fecha y número de publicación internacional: **19.12.2013 WO13185960**

96 Fecha de presentación y número de la solicitud europea: **19.04.2013 E 13719767 (9)**

97 Fecha y número de publicación de la concesión europea: **06.07.2016 EP 2862279**

54 Título: **Circuito de muestreo digital para una señal de reloj secundaria que ha de monitorizarse en relación con un fallo de reloj con ayuda de una señal de reloj primaria**

30 Prioridad:  
**14.06.2012 DE 102012209971**

45 Fecha de publicación y mención en BOPI de la traducción de la patente:  
**22.12.2016**

73 Titular/es:  
**AREVA GMBH (100.0%)  
Paul-Gossen-Strasse 100  
91052 Erlangen, DE**

72 Inventor/es:  
**AUER, GÜNTHER y  
HEINEMANN, BERND**

74 Agente/Representante:  
**CARPINTERO LÓPEZ, Mario**

**ES 2 594 775 T3**

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

## DESCRIPCIÓN

Circuito de muestreo digital para una señal de reloj secundaria que ha de monitorizarse en relación con un fallo de reloj con ayuda de una señal de reloj primaria

5 La invención se refiere a un circuito de muestreo digital para una señal de reloj secundaria que ha de monitorizarse en relación con un fallo de reloj con ayuda de una señal de reloj primaria

- con un biestable, que presenta
  - una entrada de reloj,
  - una entrada de datos,
  - una salida Q y
  - 10 - una entrada de reinicio,
- y con un contador de n bits, que presenta
  - una entrada de reloj,
  - una entrada de reinicio y
  - una salida de valor de recuento.

15 Señales de reloj diferentes pueden estar desplazadas en fase unas respecto a otras a la misma frecuencia de reloj y, en este sentido, ser asíncronas unas respecto a otras. Para detectar y muestrear una señal de reloj secundaria, también denominada señal asíncrona, que está desplazada de manera asíncrona con respecto a una señal de reloj primaria, también denominada reloj de sistema, pueden utilizarse por ejemplo biestables. Un biestable es, en general, un circuito electrónico que puede adoptar dos estados estables y puede almacenar datos con la cantidad de 20 1 bit, usándose biestables con frecuencia como base para circuitos secuenciales.

En los biestables controlados por reloj, un biestable solo reacciona en determinados momentos a las señales de entrada, lo cual es particularmente conveniente si las señales de entrada solo están presentes de manera estable en determinados periodos de tiempo. A menudo se usa para ello una señal de reloj, que libera o comunica las entradas de control de un biestable a intervalos de tiempo regulares, de modo que en este contexto también se habla de una 25 entrada de reloj. Así, en caso de usar biestables D normalmente la señal de reloj primaria se presenta en la entrada de reloj, o también de manera abreviada entrada C, y la señal asíncrona (señal de reloj secundaria) en la entrada de datos, o también de manera abreviada entrada D. La señal de entrada asíncrona se transmite o comunica a la salida Q en caso de liberación de la entrada de control. Por regla general, los biestables están a este respecto controlados por flancos de reloj (en inglés: *edge triggered*), de modo que por ejemplo un flanco de reloj positivo dispara un cambio de estado, correspondiéndose la frecuencia de reloj con la frecuencia de muestreo, es decir la frecuencia de 30 la señal de reloj primaria. El tiempo entre dos flancos de reloj positivos se denomina, por regla general, tiempo de ciclo.

En el caso del procedimiento descrito, en un biestable D existen diversos casos que pueden conducir a problemas, y que puede diferenciarse tal como sigue:

35 Por un lado, la frecuencia de muestreo viene predefinida de manera fija por la frecuencia de reloj de la señal de reloj primaria, de modo que un cambio de nivel de la señal asíncrona solo se identifica cuando el nivel de la señal asíncrona es diferente en los instantes de muestreo. Así, por ejemplo, un cambio del estado con nivel bajo ("0") al estado con nivel alto ("1") no se identifica si se produce un nuevo cambio de "1" a "0" antes de que llegue el siguiente flanco de reloj de la señal de muestreo sincrónica. En otras palabras, el cambio de estado intermedio no se entrega a la salida Q si el cambio doble del estado de la señal asíncrona se produce dentro de 40 un tiempo de ciclo.

Junto a esta deficiencia, que depende inicialmente de la frecuencia de reloj del sistema sincrónico, puede aparecer un problema adicional. En caso de cambio de la señal asíncrona, por ejemplo de "0" a "1", durante un flanco positivo de la señal de reloj, puede aparecer un estado metaestable en el biestable, de modo que el estado del biestable y por tanto también del valor en la salida Q son indefinidos. Tras un tiempo igualmente indefinido o desconocido, el biestable puede pasar de nuevo del estado indefinido a un estado definido, sin que éste tenga que ser el estado realmente correcto, como "0" o "1". Por otro lado, el estado metaestable puede durar un tiempo indeterminado. En ambos casos aparecen debido a ello graves errores de funcionamiento en sistemas sucesivos. Ejemplos de circuito para monitorizar señales de reloj se describen por ejemplo en los documentos US 5.479.420 A1 y WO 2007/110099 50 A1.

Mediante la concatenación de varios biestables de muestreo sincronizados por reloj puede disminuirse básicamente la probabilidad de aparición de estados metaestables. En el caso de biestables D concatenados podría estar presente por ejemplo la señal de reloj primaria en la entrada C de cada uno de los biestables. La señal asíncrona estaría presente en la entrada D del primer biestable, estando conectada su salida Q con la entrada D del siguiente biestable, el segundo. La salida Q del segundo biestables estaría entonces conectada de nuevo con la entrada D del siguiente biestable, etc. 55

En una central nuclear, tales biestables y su interconexión eléctrica pueden usarse entre otras cosas en la monitorización e integración de señales de reloj en módulos críticos para la seguridad, que están diseñados de manera redundante varias veces y, por tanto, también pueden presentar señales de reloj redundantes, que pueden proceder de generadores de reloj diferentes. Así, las barras de control y su posición en la vasija del reactor han de monitorizarse de manera regular. Las barras de control absorben en particular neutrones y sirven por tanto para controlar el flujo de neutrones de las barras de combustible en un reactor nuclear. Para impedir la reacción en cadena en un proceso de desintegración nuclear y para detener por tanto la actividad nuclear, estas se introducen habitualmente por completo en las barras de combustible.

Para determinar la posición, especialmente relevante para la seguridad, de las barras de control se utiliza en muchos casos un procedimiento en el que un número de bobinas primarias excitan un número de bobinas secundarias con una tensión alterna con diferente intensidad en función de la posición de la barra de control. Las tensiones alternas o sinusoidales para la excitación de las bobinas se forman en cada caso con ayuda de un generador correspondiente a partir de una señal de reloj. Todas las bobinas han de excitarse en la medida de lo posible por una tensión sinusoidal con la misma frecuencia y posición de fase. Por tanto, la sincronización de las señales de reloj individuales es especialmente importante, para conseguir como resultado una alta fiabilidad del sistema de medición.

En este contexto, la frecuencia de la tensión alterna puede servir como frecuencia de reloj del control de los biestables, debiendo sincronizarse en su totalidad la respectiva frecuencia de reloj de los módulos individuales en el sistema de medición de la posición de las barras. Puesto que, debido entre otras cosas a las tolerancias de fabricación de los generadores de reloj, cada módulo trabaja con una frecuencia de reloj propia, ligeramente diferente de la de los demás módulos, tienen que detectarse cambios de señal de la señal de reloj que ha de monitorizarse del respectivo módulo independientemente de la posición de fase con respecto al reloj de sistema, representada por la señal de reloj primaria, de modo que puede establecerse una sincronización con otras partes del circuito.

A pesar de la reducción de la probabilidad de aparición de un estado metaestable debido a la concatenación anteriormente descrita de biestables sincronizados por reloj, todavía sigue siendo concebible que también en áreas críticas para la seguridad, como centrales nucleares, se produzcan graves errores de sistema por el hecho de que se alcancen estados metaestables en los biestables. Posibles cambios de estado, no identificados, dentro de un tiempo de ciclo pueden conducir a graves errores.

La invención se basa por tanto en el objetivo de indicar un circuito de muestreo del tipo mencionado al principio, que por un lado evite que se alcancen estados metaestables, y que por otro lado identifique de manera fiable también efímeros cambios de estado de la señal de reloj secundaria dentro de un tiempo de ciclo y sea adecuado por tanto para hacer funcionar módulos relevantes para la seguridad, que también puedan utilizarse en centrales nucleares.

El objetivo se soluciona según la invención al estar el biestable y el contador de  $n$  bits interconectados eléctricamente entre sí, en el que

- $n \geq 2$ ,
- la señal de reloj primaria está presente en la entrada de reloj del contador de  $n$  bits
- la señal de reloj secundaria está presente en la entrada de reloj del biestable,
- una señal constante está presente en la entrada de datos del biestable,
- la salida Q del biestable está conectada con la entrada de reinicio asíncrona del contador de  $n$  bits, y
- la salida de valor de recuento del contador de  $n$  bits está conectada a través de una puerta lógica interpuesta y un lazo de realimentación con la entrada de reinicio asíncrona del biestable de tal manera que un reinicio del contador de  $n$  bits restablece el biestable.

Configuraciones ventajosas son objeto de las reivindicaciones dependientes.

La invención parte de la consideración de que un biestable, tal como un biestable D, que se usa en muchos casos para un circuito de muestreo digital del tipo descrito, puede pasar a un estado metaestable indeseado, si un flanco de la señal de reloj asíncrona que ha de monitorizarse coincide con un flanco del reloj de sistema. Una concatenación de biestables D sincronizados por reloj reduce ciertamente la probabilidad de aparición, pero no cambia nada en cuanto al problema fundamental por lo que se buscan alternativas. Para evitar un uso de excesivos biestables y componentes asociados a los mismos, se ha reconocido además que, a diferencia de la mera concatenación de biestables D sincronizados por reloj, un mecanismo de realimentación puede tener un efecto positivo. Sorprendentemente se ha observado a este respecto también que la señal de reloj primaria y la señal de reloj secundaria pueden alimentarse a componentes independientes, tales como biestables independientes, que están interconectados entre sí, de modo que es posible una separación funcional entre sistema asíncrono y sincrónico mediante el uso de diferentes componentes. A este respecto se ha observado igualmente que también puede usarse además un biestable, siempre que éste se interconecte con un componente adicional dispuesto aguas abajo, tal como un contador de  $n$  bits (*n-bit-counter*), y presente una entrada de reinicio, mediante la cual se proporciona un mecanismo de realimentación del sistema sincrónico al sistema asíncrono. Mediante un recuento y una monitorización de la señal recurrente, presente en la entrada de reloj del contador de  $n$  bits, la señal de reloj primaria, puede registrarse si entre tanto está presente una señal en la entrada de datos del biestable, que se

transmite a la entrada de reinicio (asíncrona) del contador de n bits y dispara un restablecimiento del valor de recuento en el contador de n bits.

5 Se ha demostrado además que la señal asíncrona, la señal de reloj secundaria, también puede estar presente en la entrada de reloj del biestable, en la que por regla general está presente una señal de reloj primaria, y que una señal constante puede estar presente en la entrada de datos del biestable, de modo que el nivel de la señal constante se transmite a la salida Q y se entrega al sistema sincrónico, en cuanto aparece por ejemplo un flanco de reloj positivo de la señal asíncrona.

10 Mediante una realimentación apropiada por medio de una puerta lógica a la entrada de reinicio (asíncrona) del biestable, el valor de recuento del contador de n bits, que se sitúa en la salida de valor de recuento, puede restablecer a este respecto el biestable y por tanto su salida Q. En cuanto el contador de n bits se haya incrementado de nuevo debido a un flanco positivo de la señal de reloj primaria, puede volver a detectarse un flanco de la señal de reloj secundaria.

15 En el caso del sistema sincrónico puede conseguirse por tanto mediante el contador de n bits un ajuste con la señal de reloj primaria, disparando la señal de reloj primaria el proceso de recuento, que se restablece en cuanto se transmite el nivel constante, presente en la entrada de datos del biestable, a su salida Q, y concretamente mediante la señal de reloj secundaria. Un incremento varias veces de la señal de reloj en el contador de n bits hasta un valor definido, en particular hasta el valor final del contador, sin restablecimiento intermedio corresponde por tanto a un fallo de reloj, que ha de notificarse. A este respecto puede evitarse en particular la propensión a averías conocida en los sistemas de muestreo sincronizados por reloj y atribuida en los mismos a los problemas de temporización de  
20 señales descritos.

Para adaptar la monitorización de las señales de reloj primaria y secundaria a señales condicionadas por el sistema, en una configuración ventajosa el biestable y el contador de n bits están controlados por flancos, en particular controlados por un flanco, en particular controlados por el flanco de subida (es decir, disparados por flancos de reloj positivos).

25 Para prescindir intencionadamente de otras funciones, que posibilitan tipos más complicados de biestable, pero que también pueden suponer fuentes de error, el biestable que adopta la señal de reloj secundaria está diseñado preferentemente como biestable D.

30 En una configuración ventajosa, la puerta lógica es una puerta NOR, en la que en el lado de entrada están presentes los bits significativos de la salida de valor de recuento, por lo que el valor de recuento del contador de n bits puede interconectarse de manera adecuada y de manera que se considera sencilla con la entrada de reinicio del biestable.

35 Para una notificación y en particular una representación visual de un fallo de reloj o también del desarrollo normal, en una configuración ventajosa la salida del valor de recuento del contador de n bits está conectada a través de una puerta lógica adicional con un emisor de señal de alarma, que comprende en particular una unidad de visualización. Es posible notificar y/o mostrar de este modo al personal de servicio un fallo de reloj, de modo que pueda tener lugar rápidamente una intervención.

Ventajosamente, la puerta lógica adicional es una puerta AND, en la que en el lado de entrada están presentes los bits significativos de la salida de valor de recuento, de modo que al alcanzarse un valor de recuento definido, concretamente de manera ventajosa el valor final del contador, se activa el emisor de señal de alarma.

40 En una configuración ventajosa, la señal de reloj primaria y la señal de reloj secundaria presentan esencialmente la misma duración de periodo de reloj, aunque siendo admisibles ligeras desviaciones, por ejemplo del orden porcentual de una cifra, y por consiguiente una deriva de fase, debido a las tolerancias de fabricación inevitables de los generadores de reloj subyacentes.

45 Para una configuración compacta y sencilla del contador de n bits, éste está diseñado ventajosamente como contador de 2 bits ( $n = 2$ ), con lo cual ya se consigue en caso de una breve ausencia de la señal de reloj secundaria el valor de recuento máximo. En caso de que una alarma solo se deba dispararse con valores de recuento superiores, por ejemplo en caso de que fallen 10 pulsos de reloj, ha de elegirse correspondientemente la profundidad de bits del contador.

50 Para prescindir de medios auxiliares electrónicos adicionales, el biestable y el contador de n bits presentan de manera ventajosa esencialmente el mismo nivel bajo y alto. De este modo pueden conectarse directamente salidas de un componente con entradas del otro componente, sin que tengan que usarse medios eléctricos para la equiparación de niveles, con lo cual puede mantenerse sencilla la interconexión eléctrica.

55 Para aprovechar un contador de n bits corriente, en una configuración ventajosa adicional el biestable D está diseñado de tal manera que una señal con nivel alto, que está presente en la entrada de reinicio, provoca un restablecimiento de la señal en la salida Q. Esto puede dispararse al alcanzarse un nivel alto en la salida de la puerta lógica dispuesta aguas abajo del contador de n bits del sistema sincrónico. Siempre que esté presente el nivel alto en la entrada de reinicio del biestable se evitará una conexión directa de la señal de entrada presente en la

entrada D del biestable hasta la salida Q en caso de un flanco de reloj positivo, es decir que el biestable, por así decir, no se activa entonces.

5 Una instalación nuclear, en particular una central nuclear, con un sistema de monitorización con varias señales de reloj maestro, que presenta módulos diseñados de manera redundante múltiples veces con en cada caso al menos un generador de reloj, presenta ventajosamente al menos un circuito de muestreo descrito por cada señal de reloj maestro, para monitorizarlas en relación con un fallo de reloj.

Ventajosamente, los generadores de reloj en la instalación nuclear son del mismo tipo constructivo, de modo que los pulsos de reloj generados por los generadores de reloj solo presentan pequeñas diferencias de frecuencia y tienen una propensión a averías reducida.

10 En una configuración ventajosa adicional, el sistema de monitorización está configurado para la medición de posición de barras de control de reactor nuclear.

15 Para integrar el circuito de muestreo en sistemas críticos para la seguridad con tiempos de reloj existentes, la señal de reloj presenta en una configuración ventajosa una frecuencia de entre 120 y 10 hercios, en aplicaciones existentes en el ámbito nuclear, por ejemplo, 31 hercios, estando sintonizados los componentes del circuito de muestreo a esta frecuencia.

En particular en una central nuclear en la que han de satisfacerse elevados requisitos de seguridad está previsto, en una configuración ventajosa, que al menos un módulo del sistema de medición de posición de barras de control presente uno de dichos circuitos de muestreo, de modo que la propensión a averías pueda reducirse por lo que respecta a fallos de reloj.

20 Las ventajas logradas con la invención consisten, en particular, en que mediante la combinación de un biestable con un contador de n bits se crea un circuito de muestreo digital para señales de reloj secundarias asíncronas con respecto a una señal de reloj primaria, en el que la señal de reloj y la señal asíncrona con respecto a la misma se alimentan a diferentes componentes de procesamiento, que pueden registrar prácticamente sin interferencias, gracias a una interconexión adecuadamente elegida uno respecto a otro, un fallo de reloj. En particular mediante el  
25 uso de un biestable, en el que está presente una señal asíncrona, y un contador de n bits, en el que está presente la señal de reloj primaria, así como una interconexión eléctrica con realimentación de ambos componentes, puede tenerse en cuenta la cuestión de la seguridad en una central nuclear mediante una monitorización precisa y sin fallos de las señales de reloj secundarias.

30 A continuación se explica un ejemplo de realización de la invención por medio de un dibujo. En el mismo muestran, en una representación simplificada esquemática en cada caso:

- la figura 1 un circuito de muestreo con un biestable D y con un contador de 2 bits,
- la figura 2 un diagrama de tiempo para señal de reloj, señal asíncrona, valor Q del biestable así como valor de recuento del contador de 2 bits en un circuito de muestreo según la figura 1,
- 35 la figura 3 una instalación nuclear con un sistema de sincronización de reloj basado en el circuito de muestreo según la figura 1, como una primera aplicación, y
- la figura 4 una segunda aplicación del circuito de muestreo según la figura 1 en un sistema de sincronización de reloj de una instalación nuclear.

40 El circuito de muestreo 100 representado en la figura 1 consiste, entre otras cosas, en un biestable D 102 y un contador de 2 bits 104, que están interconectados eléctricamente entre sí. En el contador de 2 bits 104 está presente a este respecto en el lado de entrada una señal de reloj 202 periódica, representada en la figura 2 como función del tiempo, que también se denomina señal sincrónica o señal de reloj primaria. En el biestable D 102 está presente una señal asíncrona 204 igualmente representada en la figura 2, que normalmente tiene la misma frecuencia que la señal de reloj 202, pero cuya fase en general está desplazada – tal como se representa aquí – con respecto a la señal de reloj 202. La señal asíncrona 204 también se denomina señal de reloj secundaria.

45 El biestable D 102 presenta una entrada de datos 106 (abreviado: entrada D), una entrada de reloj 108 (abreviado: entrada C), una salida Q 110 y una entrada de reinicio (*reset*) o borrado (*clear*) asíncrona, también llamada ACLR 112.

50 En la entrada de datos 106 está presente una señal constante con un nivel alto, también denominada “1”, al que le corresponde por ejemplo una tensión eléctrica de aproximadamente 5 voltios. A la entrada de reloj 108 se le alimenta la señal asíncrona 204 a través de una línea eléctrica conectada con la misma. En el estado de partida, la salida Q 110 presenta un nivel bajo, al que le corresponde un valor de “0”. En cuanto un flanco de reloj positivo de la señal asíncrona 204 llega a la entrada de reloj 108, la señal constante, que está presente en la entrada de datos 106, se transmite o comunica a la salida Q 110, de modo que el valor Q 208 representado en la figura 2 como función del tiempo se modifica partiendo del estado de partida “0” a “1”.

El ACLR 112 (reinicio asíncrono) provoca un reinicio del biestable D 102, en el que la señal se restablece en la salida Q 110. Es decir, con un nivel alto "1", presente en el ACLR 112, el valor en la salida Q 110 se restablece de nuevo al valor de partida, concretamente al nivel bajo "0", al que le corresponde por ejemplo una tensión eléctrica de 0 a 0,5 voltios. Además, el biestable D 102, siempre que esté presente un valor "1" en la entrada de reinicio asíncrona ACLR 112, no transmitirá directamente el valor "1" en la entrada de datos 106 en el caso de un flanco positivo de la señal de reloj asíncrona 204 a la salida Q 110, sino que la salida Q 110 seguirá emitiendo también el valor "0".

El biestable D 102 está interconectado eléctricamente con el contador de 2 bits 104. El contador de 2 bits 104, que puede estar constituido por ejemplo por dos biestables JK, cuenta los flancos de reloj positivos que llegan a su entrada de reloj 114, en parte también llamada entrada de pulso de reloj o de recuento. En un contador de n bits, por lo general el número de valores de recuento posible está establecido al cuadrado y va de 0 a  $2^n - 1$ , de modo que en el caso de un contador de 2 bits pueden generarse o contarse las cifras cero, uno, dos y tres (0, 1, 2, 3), que corresponden al valor de recuento 206 presente en la salida de valor de recuento 116, que está representada en la figura 2 en notación decimal como función del tiempo.

La salida de valor de recuento 116 comprende un registro de 2 bits 118, que contiene el valor de recuento 206 actual en notación binaria. Aguas abajo del registro de 2 bits 118 en el lado de datos hay por un lado una puerta AND 120 y por otro lado una puerta NOR 122. La puerta AND 120 combina los dos valores significativos o bits del registro de 2 bits 118 según la operación lógica AND (Y), de modo que el valor presente en la salida 124 adopta el nivel bajo "0", cuando el contador de 2 bits 104 tiene uno de los valores de recuento 206 cero, uno o dos (0, 1, 2), y el nivel alto "1" en caso del valor de recuento 206 tres (3). El valor presente en la salida 126 de la puerta NOR 122 solo adopta en cambio el nivel alto "1", de acuerdo con la operación lógica NOR (NO-O), cuando el contador de 2 bits 104 tiene el valor de recuento 206 cero (0), en lugar del nivel bajo "0".

En la entrada de reloj 114 del contador de 2 bits 104 está presente la señal de reloj sincrónica 202, que presenta en este caso en el ejemplo de realización una frecuencia de 31 hercios. Los cambios de nivel representados en la figura 2 con línea continua, decisivos para el control de los componentes electrónicos, de la señal de reloj sincrónica 202 corresponden – tal como se indica mediante las líneas discontinuas – por ejemplo a los flancos positivos de una señal rectangular periódica, es decir, una transición de un nivel bajo "0" al nivel alto "1", que se produce con la frecuencia fija de 31 hercios. La duración del periodo también se denomina tiempo de ciclo. De manera correspondiente pueden interpretarse los cambios de nivel decisivos de la señal asíncrona 204 como flancos de reloj positivos de una señal portadora rectangular, pudiendo ser en particular el tiempo de permanencia en el estado de nivel alto "1" en el caso de la señal asíncrona 204 más corto que en el caso de la señal de reloj sincrónica 202.

El contador de 2 bits 104 cuenta entonces los flancos de reloj positivos de la señal de reloj sincrónica 202, mientras el contador de 2 bits 104 no se restablezca. El restablecimiento se produce por una señal eléctrica que llega a una entrada de reinicio o borrado asíncrona, ACLR 128, del contador de 2 bits 104. A este respecto, con la interconexión eléctrica entre el biestable D 102 y el contador de 2 bits 104, la salida Q 110 se encuentra en el ACLR 128 en el caso del contador de 2 bits 104. Debido a un nivel alto "1" (señal de reinicio) en el ACLR 128, que se genera por la aparición de un flanco de reloj positivo de la señal asíncrona 204 en la entrada de reloj 108 a través de la transmisión del nivel alto "1" de la entrada de datos 106 a la salida Q 110 y por tanto hasta el ACLR 128, el contador de 2 bits 104 se restablece. Es decir, el recuento activado por flancos de reloj positivos en la entrada de reloj 114 se dispara desde el principio en caso del valor de recuento 206 cero (0), en cuanto ya no esté presente la señal de reinicio.

El circuito de muestreo 100 presenta además una realimentación. Con este fin, la salida de valor de recuento 116 del contador de 2 bits 104 está conectada por señales a través de la puerta NOR 122 interpuesta y la salida de la puerta NOR 126 con la entrada de reinicio ACLR 112 del biestable D 102. En caso de una señal de reinicio en el ACLR 128, disparada tal como se describió anteriormente por la señal asíncrona de reloj 204, se restablece en primer lugar el contador de 2 bits 104 al valor de recuento 206 cero (0). Inmediatamente se restablece entonces también el biestable D 102, y concretamente mediante la entrega de la señal a través de la puerta NOR 122 y el lazo de realimentación 130 al ACLR 112 del biestable D 102. Este proceso restablece el valor en la salida Q 110 al nivel bajo "0". Puesto que el restablecimiento del valor Q 208 se produce por la realimentación con un retardo temporal muy reducido (casi instantáneamente) con respecto a la señal de entrada, el valor Q 208 adopta en cada caso solo el nivel alto "1" durante un periodo de tiempo muy corto, de modo que la correspondiente señal temporal – mientras no haya ningún fallo de reloj de la señal asíncrona 204 – tiene la estructura de pico periódica representada en la figura 2 en la región izquierda.

Partiendo del estado básico del valor de recuento 206 del contador de 2 bits 104, que corresponde al número cero (0), el valor final, que corresponde al número tres (3), solo se alcanza cuando la señal de reloj sincrónica 202 aumenta en la entrada de reloj 114 del contador de 2 bits 104 tres veces sucesivas el valor de recuento 206 hasta el valor final tres (3), mientras no se produzca ningún restablecimiento intermedio del contador de 2 bits 104 debido a una aparición de la señal asíncrona 204. Normalmente, el contador de 2 bits 104 se restablece por tanto en cada ciclo mediante la señal asíncrona 204 de nuevo al estado básico. En caso de un fallo de reloj de la señal asíncrona 204 no se produce sin embargo ningún restablecimiento intermedio del contador de 2 bits 104; es decir, no se impide el incremento del contador de 2 bits 104.

De esta manera es posible una monitorización de la señal asíncrona 204 en relación con un fallo de reloj. Al alcanzarse el valor final tres (3) del contador de 2 bits 104, provocado por un fallo de reloj tres veces de la señal asíncrona 204, el estado en la salida 124 de la puerta AND 120 cambia de nivel bajo "0" a nivel alto "1", lo que se interpreta por definición como señal de alarma y se muestra en una unidad de visualización 132, de modo que puede producirse un control por parte del personal de servicio y dado el caso una intervención correctora en el sistema.

Sin embargo, si el pulso de reloj de la señal asíncrona 204 volviera a establecerse en un instante cualquiera (antes o después de alcanzarse el valor final del contador), entonces el circuito de muestreo 100 sería capaz de reinicializarse en el sentido de que, debido a un flanco de reloj positivo, el nivel alto "1" presente en la entrada D 106 del biestable 102 se transmite directamente a la salida Q 110 y empiezan desde el principio los procesos descritos anteriormente. No se requiere por tanto ningún reinicio manual del circuito.

En resumen, partiendo de un estado en el que el contador de 2 bits 104 se sitúa al valor de recuento uno, dos o tres (1, 2 o 3) y la salida Q 110 del biestable 102 emite el valor "0", sucede por tanto cronológicamente lo siguiente, siempre que la señal de reloj secundaria (asíncrona) 204 no falle:

1. Aparece un flanco positivo de la señal de reloj secundaria 204 y el "1" en la entrada D 106 del biestable 102 se transmite directamente a la salida Q 110.
2. El "1" en la salida Q 110 del biestable 102 actúa directamente sobre la entrada de reinicio asíncrona 128 del contador 104 y lo restablece inmediatamente al valor de recuento cero (0).
3. Debido al valor de emisión o de recuento cero (0) del contador 104 se cumple la condición NOR de la puerta NOR 122, cuyo valor de emisión cambia por consiguiente inmediatamente al valor "1".
4. El valor de emisión "1" de la puerta NOR 122 actúa directamente sobre la entrada de reinicio asíncrona 112 del biestable 102 y restablece su salida Q 110 al valor "0".
5. Así, en la entrada de reinicio asíncrona 128 del contador 104 vuelve a estar presente un "0", y este puede cambiar con el siguiente flanco positivo de la señal de reloj primaria 202 al valor de recuento uno (1).
6. Aparece un flanco positivo de la señal de reloj primaria 202 y pone el contador 104 al valor de recuento uno (1).
7. Debido al valor de emisión o de recuento uno (1) del contador 104 ya no se cumple la condición NOR de la puerta NOR 122, cuyo valor de emisión cambia por consiguiente inmediatamente al valor "0".
8. El biestable 102 vuelve a estar listo para transmitir directamente, con el siguiente flanco positivo de la señal de reloj secundaria 204, el "1" en la entrada D del biestable 102 a la salida Q 110.
9. Los procesos vuelven a empezar en 1.

Sin embargo, en caso de que falle la señal asíncrona de reloj 204, se produce de la manera descrita anteriormente el incremento del estado del contador 104 hasta como máximo el valor de recuento tres (3), y el fallo de reloj se identifica con ayuda de la puerta AND 120.

Como ya se ha mencionado, en la figura 2 está representado un diagrama de tiempo, en el que están representadas las señales individuales y sus interacciones.

Las abscisas corresponden a este respecto al eje de tiempo 200. Las diversas señales eléctricas o lógicas están dibujadas como ordenadas, siendo estas de arriba abajo la señal de reloj 202, la señal asíncrona 204, el valor de la salida Q 110, en este caso llamado valor Q 208, y el valor de recuento 206 del contador de 2 bits 104.

Si la señal de reloj 202 modifica su valor de nivel bajo "0" al nivel alto "1", el flanco de reloj positivo se registra por el contador de 2 bits 104 y su valor de recuento 206 se modifica en primer lugar partiendo de cero (0) a uno (1). En el caso de un flanco de reloj positivo de la señal asíncrona 204, equivalente a una transmisión directa del valor "1" en la entrada de datos 106 hasta la salida Q 110 del biestable D 102, el valor Q 208 pasa de "0" a "1". Esto dispara, debido a la interconexión eléctrica entre la salida Q 110 del biestable D 102 y el ACLR 128 del contador de 2 bits 104, un reinicio del contador de 2 bits 104, lo que tiene como consecuencia un restablecimiento del valor de recuento 206 a cero (0). La salida de valor de recuento 116 restablece entonces, a través de la puerta NOR 122 y el lazo de realimentación 130, el biestable D 102 directamente de "1" a "0", y los procesos empiezan de nuevo.

Si no aparecen flancos positivos de la señal asíncrona 204, mientras que llegan varios flancos positivos de la señal de reloj sincrónica 202 al contador de 2 bits 104, el valor de recuento 206 se incrementa partiendo del valor básico cero (0) hasta el valor final tres (3) y se identifica así un fallo de reloj del sistema asíncrono y se indica a través de la correspondiente unidad de visualización 132.

Existe una variante alternativa del circuito de muestreo, que no reacciona a flancos de la señal de reloj que ha de monitorizarse, sino a su nivel. A este respecto, el biestable se conecta de otro modo en comparación con la variante

preferida según la figura 1 (no representado explícitamente en los dibujos):

5 En la entrada de datos 106 del biestable 102 está presente una señal constante con nivel alto. La señal de reloj primaria 202 está presente en la entrada de reloj 108 del biestable, de modo que el biestable 102 recibe con cada flanco de subida el nivel alto en la salida Q 110. La entrada de reinicio 112 del biestable 102 está conectada con la señal de reloj secundaria 204 que ha de monitorizarse. Un nivel alto de la señal de reloj secundaria 204 que ha de monitorizarse genera por tanto un nivel bajo en la salida Q 110 del biestable 102. La salida Q 110 del biestable 102 está conectada a través de un inversor con la entrada de reinicio 128 del contador de n bits 104, al que se le aplica en el lado de entrada la señal de reloj primaria 202. Por tanto, un nivel alto de la señal de reloj secundaria 204 que ha de monitorizarse provoca un restablecimiento del contador de n bits 104. Las salidas del contador de n bits 104 se dirigen a una puerta AND, de modo que en caso de alcanzarse el valor final del contador se notifica un fallo de reloj.

15 Esta variante alternativa tiene, sin embargo, una desventaja: en caso de que falle la señal de reloj secundaria 204 que ha de monitorizarse de manera que permanece permanentemente a un nivel alto, la salida Q 110 del biestable 102 se mantiene permanentemente al nivel bajo, lo que provoca a su vez a través del inversor un nivel alto permanente en la entrada de reinicio 128 del contador de n bits 104.

Puede suceder por tanto que esta variante alternativa del circuito de muestreo resulte inhabilitada debido al fallo de la señal de reloj que ha de monitorizarse.

20 Para sortear esta desventaja, son necesarios para cada señal de reloj que ha de monitorizarse dos circuitos de muestreo de este tipo, monitorizando uno la señal de reloj al nivel bajo y el otro la señal de reloj al nivel alto. Las notificaciones de fallo de reloj de ambos circuitos de muestreo se agrupan a través de una puerta OR en una única notificación de fallo de reloj. Por tanto también puede identificarse con esta variante del circuito de muestreo en cualquier caso un fallo de la señal de reloj secundaria.

Sin embargo, para esta variante alternativa se necesitan el doble de recursos y una puerta OR adicional en comparación con la variante preferida descrita anteriormente.

25 Una primera aplicación posible del circuito de muestreo 100 según la figura 1 se representa esquemáticamente en la figura 3: En una instalación nuclear 300, en particular en una central nuclear, está previsto un sistema de monitorización 302 digital con módulos implementados de manera redundante. Cada uno de los módulos presenta un generador de reloj 304 del mismo tipo constructivo. Las señales de reloj generadas por cada uno de los dos generadores de reloj 304 se alimentan a un circuito de muestreo 100 del tipo descrito anteriormente, tratándose una de las señales de reloj como pulso de reloj maestro o primario, y tratándose la otra señal de reloj, desplazada de manera asíncrona debido a una deriva de fase y otras influencias, como pulso de reloj esclavo o secundario. Con ayuda del circuito de muestreo 100 se identifican fallos de reloj del módulo esclavo y se notifican a una unidad de control 306, que dado el caso actúa retroactivamente sobre los módulos individuales, en particular sobre sus generadores de reloj 304 (indicado mediante las líneas discontinuas), para conseguir o restablecer una sincronización de reloj. El circuito de muestreo 100 puede entenderse por tanto, en asociación con la unidad de control 306, como sistema de sincronización de reloj para los generadores de reloj 304. En lugar de un ajuste mutuo de los módulos redundantes entre sí también puede estar previsto un ajuste con un generador de reloj externo.

40 Una segunda posible aplicación está representada esquemáticamente en la figura 4: en una instalación nuclear 300, en particular en una central nuclear, está previsto un sistema de sincronización de reloj 310 digital con, por ejemplo, cuatro señales de reloj maestro redundantes A, B, C, D. El objetivo del sistema es transmitir exactamente una señal de reloj maestro a todos los componentes dispuestos aguas abajo, de modo que estos trabajen de manera absolutamente sincronizada. En caso de fallo de la primera señal de reloj maestro, se suministrará a los componentes dispuestos aguas abajo una segunda señal de reloj maestro, de modo que estos sigan trabajando de manera absolutamente sincronizada. Si también fallara la segunda señal de reloj maestro, se pasará a una tercera señal de reloj maestro, etc.

45 A cada uno de los módulos 312 se les suministran varias, en este caso cuatro, señales de reloj maestro A, B, C, D alimentadas externamente, produciéndose la elección de la señal de reloj maestro que ha de transmitirse de manera controlada por prioridad. Dentro de cada módulo 312 hay para cada una de estas señales de reloj A, B, C, D un circuito de muestreo 100, que contiene en cada caso un contador de 2 bits. Una señal de reloj maestro corresponde en cada caso a la señal de reloj secundaria que ha de monitorizarse por un circuito de muestreo 100. La señal de reloj primaria para los procesos de recuento del contador de 2 bits 104 la genera internamente cada módulo mediante un generador de reloj interno, no representado aquí en detalle.

50 Las señales de reloj maestro A, B, C, D se dirigen adicionalmente dentro de cada módulo a un multiplexador 314, que con ayuda de las notificaciones de fallo de reloj de los circuitos de muestreo 100 elige, de manera controlada por prioridad, la señal de reloj maestro que ha de transmitirse.

55 Si todas las señales de reloj maestro están activas, se transmite la primera señal de reloj maestro. Si la primera señal de reloj maestro falla, pero la segunda señal de reloj maestro todavía está activa, se transmite la segunda señal de reloj maestro. Si fallan tanto la primera como la segunda señal de reloj maestro y la tercera señal de reloj



maestro todavía está activa, se transmite la tercera señal de reloj maestro, etc.

Mediante un sistema de sincronización de reloj 310 de este tipo con cuatro señales de reloj maestro se proporciona por tanto la función y sincronización de los componentes dispuestos aguas abajo también aún en caso de fallo de tres de las cuatro señales de reloj maestro.

- 5 Evidentemente este tipo de sistemas de sincronización de reloj también pueden utilizarse en contextos fuera del ámbito nuclear, por ejemplo en la monitorización y control de procesos o máquinas industriales.

**Lista de referencias**

	100	circuito de muestreo
	102	biestable D
10	104	contador de 2 bits
	106	entrada de datos
	108	entrada de reloj
	110	salida Q
	112	ACLR
15	114	entrada de reloj
	116	salida de valor de recuento
	118	registro de 2 bits
	120	puerta AND
	122	puerta NOR
20	124	salida de la puerta AND
	126	salida de la puerta NOR
	128	ACLR
	130	lazo de realimentación
	132	unidad de visualización
25	200	eje de tiempo
	202	señal de reloj sincrónica (señal de reloj primaria)
	204	señal asíncrona (señal de reloj secundaria)
	206	valor de recuento
	208	valor Q
30	300	instalación nuclear
	302	sistema de monitorización
	304	generador de reloj
	306	unidad de control
	310	sistema de sincronización de reloj
35	312	módulo
	314	multiplexador
	A, B, C, D	señales de reloj maestro

**REIVINDICACIONES**

1. Circuito de muestreo (100) digital para una señal de reloj secundaria (204) que ha de monitorizarse con ayuda de una señal de reloj primaria (202) en relación con un fallo de reloj
- con un biestable (102), que presenta
    - 5           - una entrada de reloj (108),
    - una entrada de datos (106),
    - una salida Q (110) y
    - una entrada de reinicio asíncrona (112),
  - y con un contador de n bits (104), que presenta
    - 10           - una entrada de reloj (114),
    - una entrada de reinicio asíncrona (128) y
    - una salida de valor de recuento (116),
- estando el biestable (102) y el contador de n bits (104) interconectados eléctricamente entre sí, y en el que
- 15           •  $n \geq 2$ ,
  - la señal de reloj primaria (202) se encuentra en la entrada de reloj (114) del contador de n bits (104),
  - la señal de reloj secundaria (204) se encuentra en la entrada de reloj (108) del biestable (102),
  - una señal constante se encuentra en la entrada de datos (106) del biestable (102),
  - la salida Q (110) del biestable (102) está conectada con la entrada de reinicio (128) del contador de n bits (104), **caracterizado porque**
  - 20           • la salida de valor de recuento (116) del contador de n bits (104) está conectada, a través de una puerta lógica (122) interpuesta y un lazo de realimentación (130), con la entrada de reinicio asíncrona (112) del biestable (102) de tal manera que un reinicio del contador de n bits (104) restablece el biestable (102).
2. Circuito de muestreo (100) según la reivindicación 1, en el que el biestable (102) y el contador de n bits (104) están controlados por flancos, en particular controlados por un flanco, en particular controlados por el flanco de subida.
- 25           3. Circuito de muestreo (100) según la reivindicación 1 o 2, en el que el biestable (102) es un biestable D.
4. Circuito de muestreo (100) según una de las reivindicaciones 1 a 3, en el que la puerta lógica es una puerta NOR (122), en la que en el lado de entrada se encuentran los bits significativos de la salida de valor de recuento (116).
- 30           5. Circuito de muestreo (100) según una de las reivindicaciones 1 a 4, en el que la salida de valor de recuento (116) del contador de n bits (104) está conectada a través de una puerta lógica (120) adicional con un emisor de señal de alarma, que comprende en particular una unidad de visualización (132).
6. Circuito de muestreo (100) según la reivindicación 5, en el que la puerta lógica (120) adicional es una puerta AND, en la que en el lado de entrada se encuentran los bits significativos de la salida de valor de recuento (116).
- 35           7. Circuito de muestreo (100) según una de las reivindicaciones 1 a 6, en el que la señal constante en la entrada de datos (106) del biestable (102) es una señal de nivel alto.
8. Circuito de muestreo (100) según una de las reivindicaciones 1 a 7, en el que la señal de reloj primaria (202) y la señal de reloj secundaria (204) presentan esencialmente la misma duración de periodo de reloj.
9. Circuito de muestreo (100) según una de las reivindicaciones 1 a 8, en el que  $n = 2$ .
- 40           10. Instalación nuclear, en particular central nuclear, con un sistema de monitorización que presenta módulos diseñados de manera redundante múltiples veces con en cada caso un generador de reloj, estando presente al menos un circuito de muestreo (100) según una de las reivindicaciones 1 a 9, para muestrear al menos una señal de reloj (202, 204) generada por uno de los generadores de reloj con respecto a una señal de reloj (202, 204) generada por uno de los otros generadores de reloj o con respecto a una señal de reloj externa (202, 204) y monitorizarla en relación con un fallo de reloj.
- 45           11. Instalación nuclear según la reivindicación 10, en la que los generadores de reloj son del mismo tipo constructivo.
12. Instalación nuclear según la reivindicación 10 u 11, en la que el sistema de monitorización está configurado para la medición de posición de barras de control de reactor nuclear.

FIG. 1

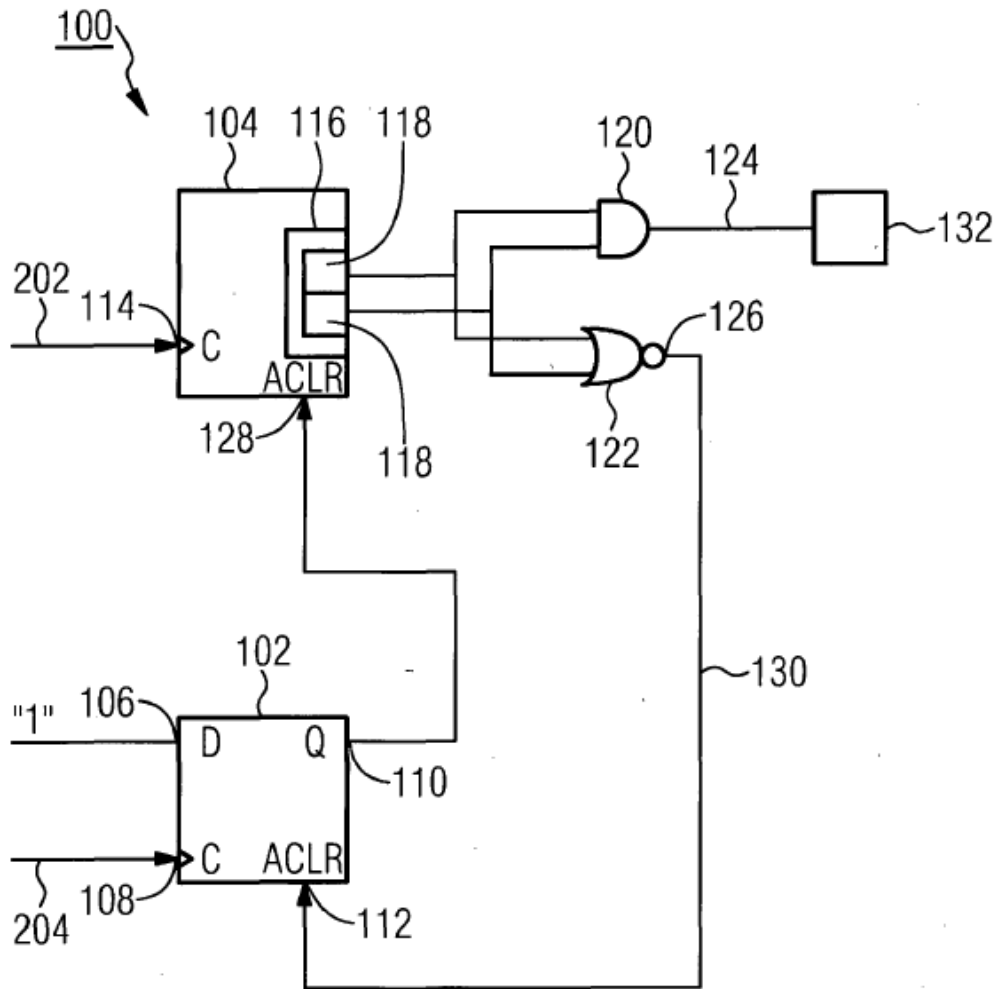


FIG. 2

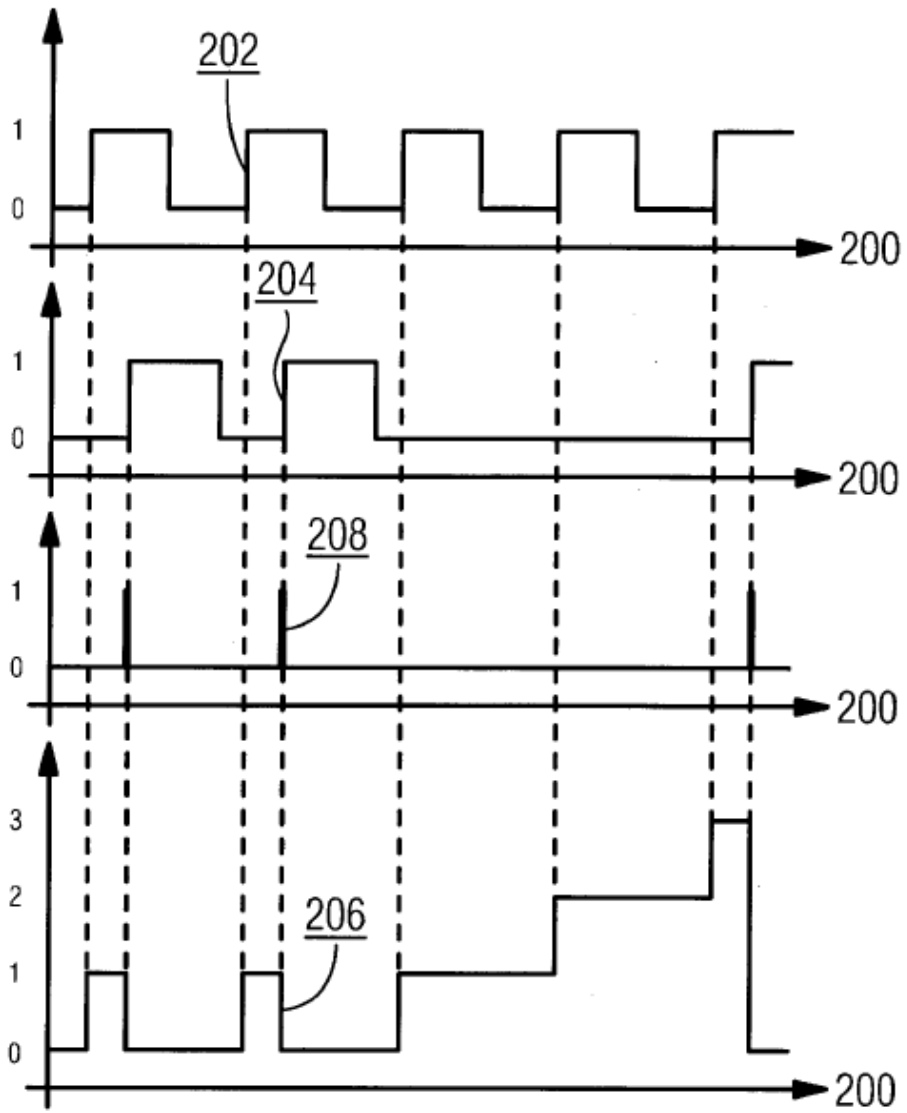


FIG. 3

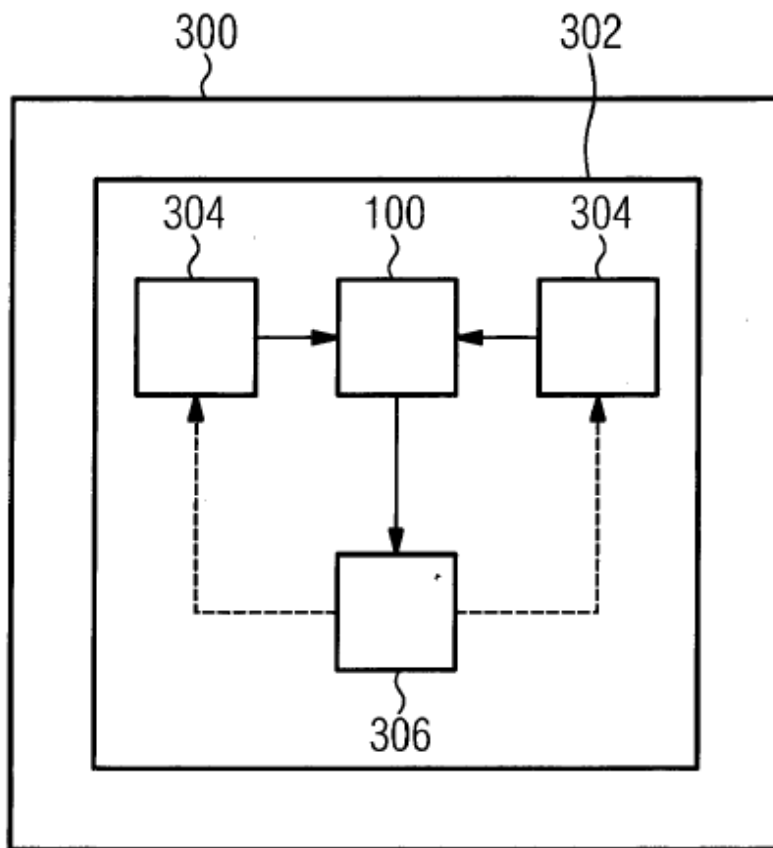


FIG. 4

