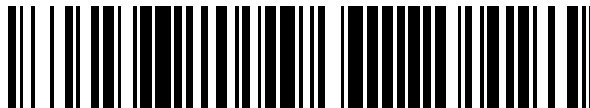


19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 599 657**

51 Int. Cl.:

H04L 7/033 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **30.04.2014 PCT/US2014/035999**

87 Fecha y número de publicación internacional: **29.01.2015 WO15012926**

96 Fecha de presentación y número de la solicitud europea: **30.04.2014 E 14799911 (4)**

97 Fecha y número de publicación de la concesión europea: **21.09.2016 EP 2992636**

54 Título: **Sistema de datos síncronos y método para proporcionar datos de salida alineados en fase**

30 Prioridad:

30.04.2013 US 201313873720

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

02.02.2017

73 Titular/es:

**RAYTHEON COMPANY (100.0%)
870 Winter Street
Waltham, MA 0245-1449, US**

72 Inventor/es:

**LEE, JACK W.;
YEOMANS, MICHAEL E.;
PICHON, CARISSA L. y
DUMAIS, JAMES P.**

74 Agente/Representante:

DE ELZABURU MÁRQUEZ, Alberto

ES 2 599 657 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Sistema de datos síncronos y método para proporcionar datos de salida alineados en fase

Esta solicitud reclama el beneficio de la prioridad de la Solicitud de los Estados Unidos con Número de serie 13/873.720, presentada el 30 de abril de 2013.

5 **Derechos gubernamentales**

Esta invención no fue realizada con ayudas gubernamentales. El Gobierno no tiene ciertos derechos sobre esta invención

Sector técnico

10 Las realizaciones pertenecen a los sistemas digitales síncronos. Algunas realizaciones se refieren a receptores digitales. Algunas realizaciones se refieren a la generación de datos alineados en fase. Algunas realizaciones se refieren a la generación de señales de RF que incluyen la generación de formas de onda moduladas en frecuencia, lineales (LFM – Linear Frequency Modulated, en inglés).

Antecedentes

15 Los sistemas digitales síncronos se basan en una o más señales de reloj para sincronizar elementos en el sistema. Convencionalmente, una o más señales de reloj están distribuidas en el sistema en una o más líneas de reloj. Los datos dentro del sistema pueden ser generados en cada reloj. No obstante, por varias razones que incluyen el estado inicial de las puertas lógicas, los retardos de la memoria temporal del reloj, la alta capacitancia de las líneas de reloj con carga elevada y los retardos de propagación, los flancos de una señal de reloj en diferentes partes del sistema pueden no estar sincronizados adecuadamente, dificultando la generación de datos síncronos, en concreto, datos alineados en fase.

25 Algunas técnicas convencionales para la generación de datos síncrono utilizan bucles bloqueados en fase (PLL – Phase - Locked Loops, en inglés) que se basan en un oscilador de tensión controlada (VCO – Voltage Controlled Oscillator, en inglés). La utilización de tales PLL puede resultar en una fluctuación (jitter, en inglés), inaceptable y un mal funcionamiento frente al ruido debido a la operación del VCO. Algunas otras técnicas convencionales para generar datos síncronos utilizan un planteamiento de maestro – esclavo, en el que los dispositivos esclavos están sincronizados con un solo dispositivo maestro. La utilización de un solo dispositivo maestro puede ser un solo punto de fallo para reducir la fiabilidad del sistema.

30 De este modo, existe una necesidad general de sistemas y métodos mejorados para generar datos síncronos, incluyendo datos alineados en fase. Existe asimismo una necesidad general de sistemas y métodos para generar datos alineados en fase con un mejor funcionamiento frente a la fluctuación y al ruido de fase. Existe asimismo una necesidad general de sistemas y métodos para generar datos alineados en fase que no se basen en un solo dispositivo maestro.

35 El documento US 2004/247065 A1 da a conocer un bucle de retardo enclavado (DLL – Delay Lock Loop, en inglés) para la sincronización de la transmisión de datos entre un circuito CMOS y un circuito bipolar, que establece un desfase entre los relojes de operación de los dos circuitos, y cambia la fase de al menos uno de los dos relojes de acuerdo con esta desviación de fase, hasta que los citados dos relojes están en fase, de tal manera que los datos proporcionados por el primer circuito pueden ser tomados, a continuación, por el segundo circuito. Con este fin, el circuito DLL comprende un detector de fase, un filtro de bucle y un elemento ajustable.

Compendio

40 En un aspecto, la presente descripción proporciona un sistema de datos síncronos que comprende: una pluralidad de pares transmisor – receptor 'TX-RX', estando cada par TX-RX asociado con un bucle de retardo enclavado 'DLL' y dispuesto para generar los correspondientes datos de salida sobre la base de un reloj de alta velocidad de un par TX-RX asociado, en el que el DLL asociado con cada par TX-RX está dispuesto para sincronizar un módulo de reloj del par TX-RX con un reloj del sistema, de manera que los datos de salida de los pares TX-RX están alineados en fase entre sí, en el que el DLL es un desviador de fase DLL que incluye un desviador de fase ajustable dispuesto para minimizar un error de fase entre el reloj del sistema y el reloj del módulo, para alinear en flanco los relojes de alta velocidad de los pares TX-RX, en el que cada par TX-RX incluye un multiplicador de frecuencia dispuesto para multiplicar en frecuencia una señal del reloj del módulo ajustada en fase generada por el desviador de fase ajustable para generar el reloj de alta velocidad; y en el que cada par TX-RX incluye un divisor de frecuencia dispuesto para dividir la frecuencia del reloj de alta velocidad para producir un reloj dividido correspondiente al reloj del módulo.

En otro aspecto, la presente descripción proporciona un método para generar datos de salida alineados en fase con una pluralidad de pares 'TX-RX' transmisor - receptor, comprendiendo el método: sincronizar un reloj de módulo de cada par TX-RX con un reloj de sistema utilizando un bucle de retardo enclavado 'DLL' asociado con el par TX-RX; y generar correspondientes datos de salida con uno asociado de una pluralidad de pares TX-RX sobre la base de un

reloj de alta velocidad de un par TX-RX, estando los datos de salida de los pares TX-RX alineados en fase entre sí cuando los relojes de alta velocidad de los pares TX-RX están alineados en flanco, en el que el DLL es un desviador de fase DLL que incluye un desviador de fase ajustable, y en el que el método comprende además que el DLL minimice un error de fase entre el reloj del sistema y el reloj del módulo para alinear en flanco los relojes de alta velocidad de los pares TX-RX, en el que cada par TX-RX incluye un multiplicador de frecuencia para multiplicar la frecuencia un reloj de módulo ajustado en fase generado por el desviador de fase ajustable para generar el reloj de alta velocidad; y en el que cada par TX-RX incluye un divisor de frecuencia para dividir en frecuencia el reloj de alta velocidad para producir un módulo dividido correspondiente al reloj del módulo.

En otro aspecto, la presente descripción proporciona un receptor de RADAR que comprende: el sistema de datos síncrono de acuerdo con el citado aspecto de generar datos de salida; y los circuitos para generar formas de onda moduladas en frecuencia, lineales 'LFM' (Linear Frequency Modulated, en inglés) a partir de los datos de salida.

Breve descripción de los dibujos

La figura 1 es un diagrama funcional de un sistema de datos síncrono de acuerdo con algunas realizaciones; y

la figura 2 es el procedimiento para generar datos de salida alineados en fase de acuerdo con algunas realizaciones.

Descripción detallada

La siguiente descripción y los dibujos ilustran suficientemente las realizaciones específicas para permitir que los expertos en la materia las lleven a la práctica. Otras realizaciones pueden incorporar un proceso estructural, lógico, eléctrico, y otros cambios. Las porciones y características de algunas realizaciones pueden estar incluidas en, o ser sustituidas por, las de otras realizaciones. Las realizaciones presentadas en las reivindicaciones abarcan todos los equivalentes disponibles de esas reivindicaciones.

La figura 1 es un diagrama funcional de un sistema de datos síncrono de acuerdo con algunas realizaciones. El sistema de datos síncronos 100 puede comprender una pluralidad de pares transmisor - receptor (par TX-RX) 102. Cada par TX-RX 102 puede estar asociado con un bucle de retardo enclavado (DLL) 108 y dispuesto para generar datos de salida 110 correspondientes sobre la base de un reloj de alta velocidad 119. El DLL 108 puede ser un desviador de fase DLL que incluye un desviador de fase 116 ajustable. El DLL 108 asociado con cada par TX-RX 102 puede estar dispuesto para sincronizar (por ejemplo, acordar en fase o alinear en fase) el reloj del módulo 103 del par TX-RX 102 con un reloj del sistema 101, de tal manera que los datos de salida 110 de los pares TX-RX 102 estarán alineados en fase entre sí. El desviador de fase ajustable 116 puede estar dispuesto para minimizar un error de fase entre el reloj del sistema 101 y el reloj del módulo 103 para alinear en flanco los relojes (es decir, los relojes del módulo 103 y/o los relojes de alta velocidad 119 de cada par TX-RX 102. Cuando el alineamiento de los relojes se consigue, los datos 110 de cada par TX-RX 102 son síncronos y están alineados en fase.

En estas realizaciones, cada par TX-RX 102 puede generar datos de salida 110 con mejor funcionamiento respecto a fluctuación y ruido de fase. Además, el sistema de datos síncronos 100 no se basa en un solo dispositivo maestro, proporcionando con ello una mayor fiabilidad.

En algunas realizaciones, los datos de salida 110 pueden ser coherentes entre sí. En algunas realizaciones, el sistema de datos síncronos 100 se puede utilizar para conseguir la sincronización de múltiples secuencias de datos en un receptor digital. En algunas realizaciones de RADAR, los datos de salida 110 se pueden utilizar para generar formas de onda moduladas en frecuencia lineales (LFM). Estas realizaciones se explican con más detalle a continuación.

De acuerdo con algunas realizaciones, cada par TX-RX 102 puede incluir un registro de transmisión 104 y un registro de recepción 106. El reloj del módulo 103 puede ser transmitido desde el registro de recepción 106 al registro de transmisión 104, para su utilización en la asignación de reloj a una secuencia de datos en paralelo 105 desde el registro de transmisión 104 al registro de recepción 106. El reloj del sistema 101 puede ser proporcionado a cada par TX-RX 102. En estas realizaciones, cada par TX-RX 102 implementa un esquema de transmisión de reloj y puede sincronizar los datos en los flancos de subida o de bajada del reloj del módulo 103.

En algunas realizaciones, el DLL 108 de cada par TX-RX 102 comprende un detector de fase 112 para generar una salida de detector de fase 113 sobre la base de una diferencia de fase entre el reloj del módulo 103 y el reloj del sistema 101. El DLL 108 de cada par TX-RX 102 puede incluir asimismo un desviador de fase ajustable 116 para ajustar la fase del reloj del sistema 101 sobre la base de la salida del detector de fase 113 y para generar una señal de reloj del módulo 117 ajustada en fase para su utilización por parte del par TX-RX 102 en la generación de unos asociados de los datos de salida 110. La señal del reloj del módulo 117 ajustada en fase puede ser utilizada para generar el reloj de módulo 103.

En estas realizaciones, el DLL 108 es un desviador de fase DLL que utiliza el desviador de fase ajustable 115 para controlar la fase del reloj transmitido, cambiando por ello el retardo. A diferencia de algunos DLL convencionales que utilizan líneas de retardo, el DLL 108 utiliza el desviador de fase ajustable 115 como elemento de retardo. En estas realizaciones, se puede conseguir una reducción importante en el ruido de fase sobre las técnicas convencionales

que utilizan un PLL con un VCO para la sincronización, o en las que el ajuste del retardo se consigue alterando la desviación de la memoria temporal o las memorias temporales. En estas realizaciones, dado que el reloj del sistema 101 es proporcionado a cada par TX-RX 102, el reloj del módulo 103 y las transferencias en el interior de cada par TX-RX 102 son sincrónicos entre sí. En algunas realizaciones, el desviador de fase ajustable 116 puede ser un desviador de fase dependiente de la tensión. A diferencia de algunas técnicas convencionales, la desviación de fase no se realiza en etapas discontinuas.

En algunas realizaciones, el DLL 108 de cada par TX-RX 102 puede incluir asimismo un filtro de bucle 114 para operar sobre la salida del detector de fase 113 y proporcionar una salida de filtro de bucle 115 al desviador de fase ajustable 116. En estas realizaciones, el filtro de bucle 114 puede realizar una media en la salida del desviador de fase 113.

En algunas realizaciones, el detector de fase 112, el filtro de bucle 114 y el desviador de fase ajustable 116 de cada par TX-RX 102 pueden formar parte de un sistema de bucle cerrado dispuesto para minimizar el error de fase entre el reloj del sistema 101 y el reloj del módulo 103. En estas realizaciones, el cierre del control del bucle del DLL 108 de cada par TX-RX 102 puede minimizar el error de fase entre el reloj del sistema 101 y el reloj del módulo 103. El detector de fase 112 produce una diferencia de fase entre el reloj del sistema 101 y el reloj del módulo 103, donde se proporciona al filtro de bucle 114. La salida 115 del filtro de bucle 114 ajusta el desviador de fase 116 de tal manera que la fase del reloj del módulo 103 coincide estrechamente con la fase del reloj del sistema 101. Esta configuración establece el DLL 108 con un acuse de recibo negativo en el que la diferencia de fase entre el reloj del sistema 101 y el reloj del módulo 103 se lleva a un valor pequeño.

En algunas realizaciones, cada par TX-RX 102 puede incluir asimismo un multiplicador de frecuencia 118 para multiplicar en frecuencia la señal del reloj de módulo ajustada en fase 117 y generar un reloj de alta velocidad 119. Cada par TX-RX 102 puede incluir asimismo un divisor de frecuencia 120 para dividir el reloj de alta velocidad 119 para producir un reloj dividido 121 correspondiente al reloj del módulo 103. Cada par TX-RX 102 puede incluir asimismo un convertidor 122 para recibir la secuencia de datos en paralelo 107 desde el registro de recepción 106 y generar datos de salida 110 sobre la base del reloj de alta velocidad 119. El reloj dividido 121 puede corresponder al reloj del módulo 103 y puede ser utilizado por el registro de recepción 106 para sincronizar los datos. En estas realizaciones, los circuitos lógicos de cada par TX-RX 102 se pueden sincronizar muy cerca del mismo flanco del reloj del sistema.

En algunas realizaciones, el convertidor 122 de cada par TX-RX 102 puede comprender un convertidor de paralelo a serie (P/S – Parallel to Serial, en inglés). En estas realizaciones, los datos de salida 110 comprenden señales digitales y el reloj de alta velocidad 110 de cada par TX-RX 102 puede estar alineado en flanco. En algunas realizaciones alternativas, el convertidor 122 de cada par TX-RX 102 puede comprender un convertidor de digital a analógico (DAC – Digital to Analog Converter, en inglés). En estas realizaciones, los datos de salida 110 pueden comprender señales analógicas y el reloj de alta velocidad 119 de cada par TX-RX 102 puede estar alineado en flanco.

En algunas realizaciones, cada par TX-RX 102 y su DLL asociado 108 pueden estar provistos de una tarjeta de circuitos ensamblada (CCA – Circuit Card Assembly, en inglés), aunque esto no es necesario. En estas realizaciones, el reloj del sistema 101 puede ser proporcionado a cada CCA. Tal como se ilustra en la figura 1, se puede proporcionar un primer par TX-RX en un segundo CCA 154. Aunque solo se muestran dos CCA, el sistema de datos sincrónicos 100 puede incluir muchos CCA (por ejemplo, hasta diez o más), utilizando cada una el reloj del sistema 101 como referencia. En algunas realizaciones, cada par TX-RX 102 y su DLL asociado 108 se puede considerar como un módulo separado.

En algunas realizaciones, para cada par TX-RX 102, el registro de transmisión 104, el detector de fase 112 y el filtro de bucle 114 pueden ser implementados dentro de una matriz de puertas programables en campo (FPGA – Field Programmable Gate Array, en inglés) 124, aunque el alcance de las realizaciones no está limitado a este respecto. En algunas realizaciones, para cada par TX-RX 102, el registro de recepción 106, el convertidor 122 y el divisor de frecuencia 120 pueden ser implementados en un circuito integrado (IC – Integrated Circuit, en inglés), aunque el alcance de las realizaciones no está limitado a este respecto. Para cada par TX-RX 102, el desviador de fase ajustable 116 y el multiplicador de frecuencia 118 pueden ser implementados externamente a la FPGA 124 y el circuito integrado 126, aunque el alcance de las realizaciones no está limitado a este respecto.

En algunas realizaciones, los datos de la secuencia de datos en paralelo 105, que están sincronizados desde el registro de transmisión 104 con el registro de recepción 106 pueden ser proporcionado desde una fuente de datos externa a la FPGA 124, aunque esto no es necesario.

En algunas realizaciones de RADAR, el sistema de datos sincrónicos 100 puede incluir asimismo circuitos para generar formas de onda moduladas en frecuencia lineales (LFM) a partir de los datos de salida 110, aunque el alcance de las realizaciones no está limitado a este respecto. En estas realizaciones de RADAR, los datos de salida 110 de cada CCA pueden comprender palabras digitales o señales analógicas que representan formas de onda LFM. De acuerdo con esto, las formas de onda LFM pueden ser generadas con un mejor funcionamiento en cuanto

a fluctuación y ruido de fase. En algunas de estas realizaciones, el sistema de datos síncronos 100 puede formar parte de un receptor de RADAR.

5 En estas realizaciones, cada CCA puede ser utilizado para generar formas de onda LFM que están alienadas en fase con el reloj del sistema 101. De este modo, los datos de salida 110 de cada CCA pueden estar alineados en fase entre sí. De acuerdo con esto, cada FPGA 124 puede ser síncrona con las demás.

10 Aunque el sistema de datos síncronos 100 se ilustra con varios elementos funcionales separados, uno o más de tales elementos funcionales pueden ser combinados y pueden ser implementados mediante combinaciones de elementos configurados mediante software, tal como elementos de procesamiento que incluyen procesadores de señal digital (DSP – Digital Signal Processor, en inglés) y/u otros elementos de hardware. Por ejemplo, algunos
15 elementos pueden comprender uno o más microprocesadores, DSP, FPGA, circuitos integrados específicos para una aplicación (ASIC – Application Specific Integrated Circuits, en inglés), circuitos integrados de radio frecuencia (RFIC - Radio Frequency Integrated Circuits, en inglés) y combinaciones de diferente hardware y circuitos lógicos para realizar al menos las funciones descritas en esta memoria. En algunas realizaciones, los elementos funcionales del sistema de datos síncronos 100 pueden hacer referencia a uno o más procesos operativos en uno o más
20 elementos de procesamiento.

25 Las realizaciones pueden ser implementadas en uno o en una combinación de hardware, firmware o software. Las realizaciones pueden ser implementadas asimismo como instrucciones almacenadas en un dispositivo de almacenamiento legible por ordenador, que puede ser leído y ejecutado por al menos un procesador para realizar las operaciones descritas en esta memoria. Un dispositivo de almacenamiento legible por ordenador puede incluir cualquier mecanismo no transitorio para almacenar información en una forma legible mediante una máquina (por ejemplo, un ordenador). Por ejemplo, un dispositivo de almacenamiento legible por ordenador puede incluir una memoria de solo lectura (ROM – Read Only Memory, en inglés), una memoria de acceso aleatorio (RAM – Random Access Memory, en inglés), medios de almacenamiento en disco magnético, medios de almacenamiento ópticos, dispositivos de memoria rápida y otros dispositivos y medios de almacenamiento. En algunas realizaciones, el sistema de datos síncronos 100 puede incluir uno o más procesadores y puede estar configurado con instrucciones almacenadas en un dispositivo de almacenamiento legible por ordenador.

30 La figura 2 es un procedimiento para generar datos de salida alineados en fase de acuerdo con algunas realizaciones. El procedimiento 200 puede ser realizado mediante un sistema de datos síncronos, tal como el sistema de datos síncronos 100 (figura 1), aunque también pueden ser adecuadas otras configuraciones.

35 En operación 202, para cada secuencia de datos de salida, un reloj de módulo está sincronizado con un reloj de sistema que utiliza un DLL. El DLL puede ser un desviador de fase DLL que incluye un desviador de fase ajustable. En algunas realizaciones, el reloj de módulo 103 (figura 1) de cada par TX-RX 102 puede ser sincronizado (por ejemplo, acordado en fase o alineado en fase) con un reloj de sistema 101 (figura 1) utilizando el DLL 108 (figura 1). En algunas realizaciones, el error de fase entre el reloj del sistema 101 y el reloj del módulo 103 puede ser minimizado mediante la operación del DLL 108.

40 En operación 204, unos correspondientes de los datos de salida pueden ser generados sobre la base del reloj del módulo. Los datos de salida pueden estar alineados en fase entre sí, debido a la operación del DLL. En algunas realizaciones, los datos de salida correspondientes pueden ser generados por cada par TX-RX 102 sobre la base del reloj del módulo 103. En algunas realizaciones, los datos de salida de cada par TX-RX 102 pueden comprender señales digitales y el reloj de alta velocidad 110 está alineado en flanco entre sí. En algunas realizaciones, los datos de salida de cada par TX-RX 102 puede comprender señales analógicas y el reloj de alta velocidad 119 está alineado en flanco entre sí.

REIVINDICACIONES

1. Sistema de datos síncronos (100) que comprende:

una pluralidad de pares 'TX-RX' transmisor - receptor (102), estando cada par TX-RX (102) asociado con un bucle de retardo enclavado 'DLL' (108) y dispuesto para generar datos de salida (110) correspondientes sobre la base de un reloj de alta velocidad (119) de un par TX-RX (102) asociado,

en el que el DLL (108) asociado con cada par TX-RX (102) está dispuesto para sincronizar un reloj de módulo (103) del par TX-RX (102) con un reloj de sistema (101), de tal manera que los datos de salida (110) de los pares TX-RX (102) están alineados en fase entre sí,

en el que el DLL (108) es un desviador de fase DLL (108) que incluye un desviador de fase ajustable (116) dispuesto para minimizar un error de fase entre el reloj de sistema (101) y el reloj de módulo (103) para alinear en flanco los relojes de alta velocidad (119) de los pares TX-RX (102),

en el que cada par TX-RX (102) incluye un multiplicador de frecuencia (118) dispuesto para multiplicar en frecuencia una señal de reloj de módulo ajustada en fase (117) generada por el desviador de fase ajustable (116) para generar el reloj de alta velocidad (119); y

en el que cada par TX-RX (102) incluye un divisor de frecuencia (120) dispuesto para dividir en frecuencia el reloj de alta velocidad (119) para producir un reloj dividido (121) correspondiente al reloj de módulo (103).

2. El sistema de datos síncronos de la reivindicación 1, en el que cada par TX-RX (102) incluye un registro de transmisión (104) y un registro de recepción (106),

en el que el reloj de módulo (103) es enviado desde el registro de recepción (106) al registro de transmisión (104) para su utilización en sincronizar una secuencia de datos en paralelo (105) del registro de transmisión (104) con el registro de recepción (106), y

en el que el reloj de sistema (101) es proporcionado a cada par TX-RX (102).

3. El sistema de datos síncronos de la reivindicación 2, en el que el DLL (108) de cada par TX-RX (102) comprende un detector de fase (112) para generar una salida de detector de fase (113) sobre la base de una diferencia de fase entre el reloj de módulo (103) y el reloj de sistema (101), en el que el desviador de fase ajustable (116) está dispuesto para ajustar una fase del reloj de sistema (101) sobre la base de la salida del detector de fase (113), y para generar la señal de reloj de módulo ajustada en fase (117) para su utilización por el par TX-RX (102) asociado en la generación del reloj de alta velocidad (119) para la generación de unos asociados de los datos de salida (110), en el que la señal de reloj de datos de salida ajustados en fase (117) se utiliza para generar el reloj de módulo (103).

4. El sistema de datos síncronos de la reivindicación 3, en el que el DLL (108) de cada par TX-RX (102) comprende además un filtro de bucle (114) para operar sobre la salida del detector de fase (113) y proporcionar una salida del filtro de bucle (115) al desviador de fase ajustable (116).

5. El sistema de datos síncronos de la reivindicación 4, en el que el detector de fase (112), el filtro de bucle (114) y el desviador de fase ajustable (116) de cada par TX-RX (102) forman parte de un sistema de bucle cerrado dispuesto para minimizar el error de fase entre el reloj de sistema (101) y el reloj de módulo (103).

6. El sistema de datos síncronos de la reivindicación 5, en el que el divisor de frecuencia (120) está dispuesto para dividir el reloj de alta velocidad (119) para producir un reloj dividido (121) correspondiente al reloj de módulo (103) para su utilización por parte del registro de recepción (106).

7. El sistema de datos síncronos de la reivindicación 6, en el que cada par TX-RX (102) comprende además un convertidor (122) para recibir la secuencia de datos en paralelo (107) desde el registro de recepción (106) y generar unos de los datos de salida (110) sobre la base del reloj de alta velocidad (119).

8. El sistema de datos síncronos de la reivindicación 7, en el que el convertidor (122) es un convertidor de paralelo a serie, y en el que cuando los datos de salida (110) comprenden señales digitales que están alineadas en fase cuando los relojes de alta velocidad (119) de cada par TX-RX (102) están alienados en flanco; o

en el que el convertidor (122) es un convertidor de digital a analógico, y en el que cuando los datos de salida (110) comprenden señales analógicas que están alineados en fase cuando los relojes de alta velocidad (119) de cada par TX-RX (102) están alineados en flanco.

9. El sistema de datos síncronos de la reivindicación 6, en el que para cada par TX-RX (102), el registro de transmisión (104), el detector de fase (113) y el filtro de bucle (114) están implementados en una matriz de puertas programables en campo 'FPGA' (124),

- en el que para cada par TX-RX (102), el registro de recepción (106), el convertidor (122) y el divisor de frecuencia (120) están implementados en un circuito integrado (126), y
- en el que para cada par TX-RX (102), el desviador de fase ajustable (116) y el multiplicador de frecuencia (118) están implementados externamente a la FPGA (124) y el circuito integrado (126); o
- 5 comprendiendo además el sistema circuitos para generar formas de onda moduladas en frecuencia lineales (LFM) a partir de los datos de salida (110).
10. Método (200) para la generación de datos de salida (110) alineados en fase con una pluralidad de pares TX-RX (102) transmisor - receptor, comprendiendo el método:
- 10 sincronizar (202) un reloj de módulo (103) de cada par TX-RX (102) con un reloj de sistema (101) mediante la utilización de un bucle de retardo enclavado 'DLL' (108) asociado con el par TX-RX (102); y
- generar (204) datos de salida (110) correspondientes con unos asociados de una pluralidad de pares TX-RX (102) sobre la base de un reloj de alta velocidad (119) de un par TX-RX (102) asociado, estando los datos de salida (110) de los pares TX-RX (102) alineados en fase entre sí, cuando los relojes de alta velocidad (119) de los pares TX-RX (102) están alineados en flanco,
- 15 en el que el DLL (108) es un desviador de fase DLL (108) que incluye un desviador de fase ajustable (116), y
- en el que el método comprende además que el DLL (108) minimiza un error de fase entre el reloj de sistema (101) y el reloj de módulo (103) para alinear en flanco los relojes de alta velocidad (119) de los pares TX-RX (102),
- en el que cada par TX-RX (102) incluye un multiplicador de frecuencia (118) para multiplicar en frecuencia una señal de reloj de módulo ajustada en fase (117) generada por el desviador de fase ajustable (116) para generar el reloj de alta velocidad (119); y
- 20 en el que cada par TX-RX (102) incluye un divisor de frecuencia (120) para dividir en frecuencia el reloj de alta velocidad (119) para producir un reloj dividido (121) correspondiente al reloj de módulo (103).
11. El método de la reivindicación 10, que comprende, además:
- 25 transmitir el reloj de módulo (103) desde un registro de recepción (104) a un registro de transmisión (106) de cada par TX-RX (102) para sincronizar una secuencia de datos en paralelo (105) desde el registro de transmisión (104) al registro de recepción (106); y proporcionar el reloj de sistema (101) a cada par TX-RX (102).
12. El método de la reivindicación 11, que comprende, además:
- generar una salida del detector de fase (113) sobre la base de una diferencia de fase entre el reloj del módulo (103) y el reloj del sistema (101);
- 30 ajustar una fase del reloj del sistema (101) sobre la base de la salida del detector de fase (113) y generar la señal del reloj del módulo ajustada en fase (117) para su utilización por parte del par TX-RX (102) en generar el reloj de alta velocidad (119) para la generación de unos asociados de los datos de salida (110); y
- generar el reloj de módulo (103) a partir del reloj de alta velocidad (119).
13. El método de la reivindicación 12, que comprende además generar formas de onda moduladas en frecuencia lineales (LFM) a partir de los datos de salida (110).
- 35 14. Un receptor de RADAR que comprende:
- el sistema de datos síncronos (100) de acuerdo con una cualquiera de las reivindicaciones 1 a 9 para generar los datos de salida (110); y
- circuitos para generar formas de onda moduladas en frecuencia lineales 'LFM' a partir de los datos de salida (110).
- 40 15. El receptor de RADAR de la reivindicación 14, en el que los datos de salida comprenden palabras digitales o señales analógicas que representan las formas de onda LFM.

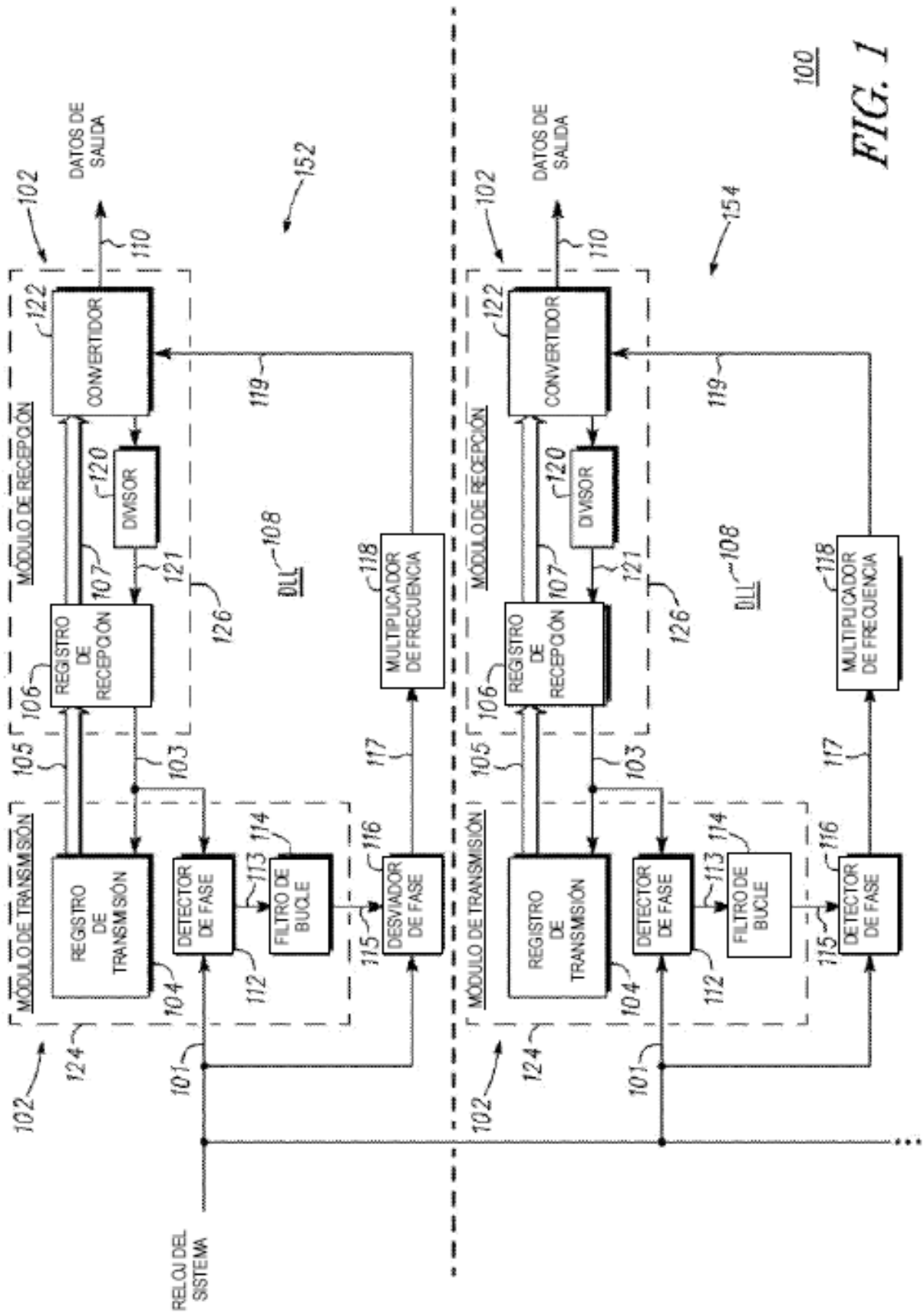


FIG. 1

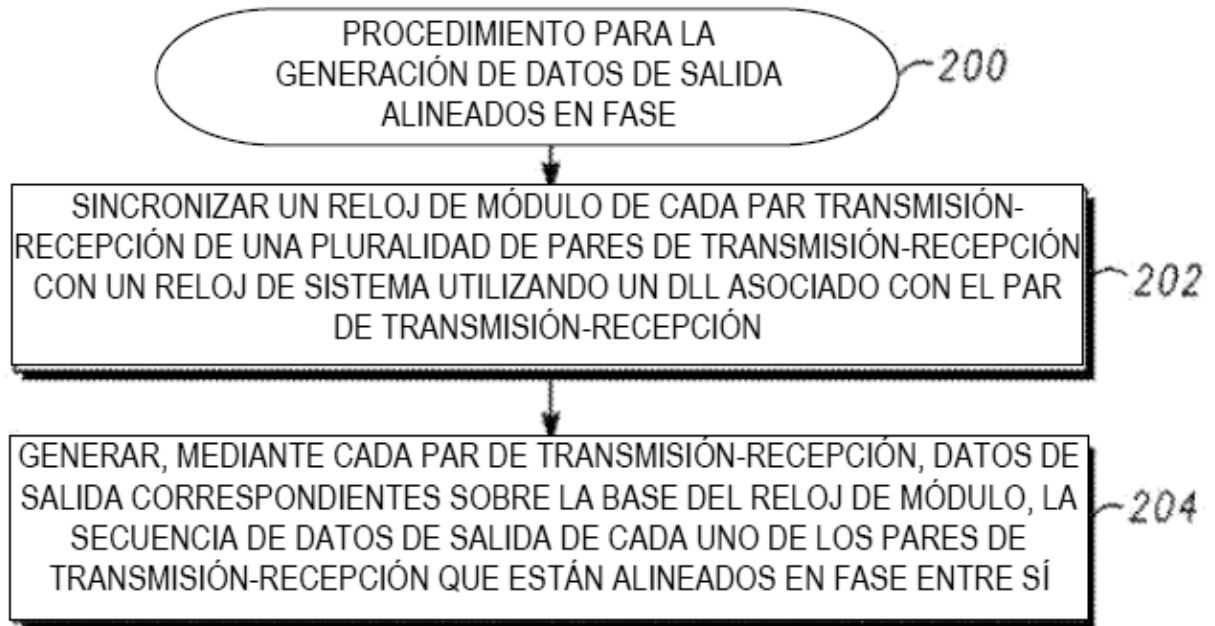


FIG. 2