

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 604 033**

51 Int. Cl.:

H03M 13/11 (2006.01)

H03M 13/25 (2006.01)

H04L 1/00 (2006.01)

H04L 27/34 (2006.01)

H04L 27/36 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **26.02.2009** **E 13150863 (2)**

97 Fecha y número de publicación de la concesión europea: **24.08.2016** **EP 2584708**

54 Título: **Procedimiento y aparato para decodificación de canal en un sistema de comunicación que utiliza códigos LDPC perforados**

30 Prioridad:

26.02.2008 KR 20080017280

11.03.2008 KR 20080022472

18.03.2008 KR 20080025143

45 Fecha de publicación y mención en BOPI de la traducción de la patente:
02.03.2017

73 Titular/es:

SAMSUNG ELECTRONICS CO., LTD (50.0%)
129, Samsung-ro, Yeongtong-gu, Suwon-si
Gyeonggi-do 443-742, KR y
POSTECH ACADEMY-INDUSTRY FOUNDATION
(50.0%)

72 Inventor/es:

MYUNG, SEHO;
KWON, HWAN-JOON;
KIM, KYUNG-JOONG;
AHN, SEOK-KI;
YANG, KYEONG-CHEOL;
KIM, JAE-YOEL y
LEE, HAK-JU

74 Agente/Representante:

CARPINTERO LÓPEZ, Mario

ES 2 604 033 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Procedimiento y aparato para decodificación de canal en un sistema de comunicación que utiliza códigos LDPC perforados

Antecedentes de la invención5 **Campo de la Invención**

La presente invención se refiere a un sistema de comunicación que utiliza códigos de comprobación de paridad de baja densidad LDPC. Más en particular, la presente invención se refiere a un procedimiento de decodificación de canal y a un aparato para generar códigos LDPC con diversas longitudes de palabra de código y tasas de código a partir de un código LDPC proporcionado en modulación de orden superior.

10 **Descripción de la técnica relacionada**

En los sistemas de comunicación inalámbricos, el rendimiento del enlace disminuye significativamente debido a diversos ruidos en los canales, al fenómeno de desvanecimiento y a la interferencia entre símbolos (ISI). Por lo tanto, para conseguir sistemas de comunicación digital de alta velocidad que requieren un caudal de datos y una fiabilidad elevados, tales como la comunicación móvil de la siguiente generación, la difusión digital e internet portátil, es importante desarrollar una tecnología para superar los ruidos de canal, el desvanecimiento y la ISI. Recientemente, se ha llevado a cabo un estudio intensivo sobre los códigos de corrección de errores como un procedimiento para aumentar la fiabilidad de la comunicación recuperando eficazmente información distorsionada.

Un código LDPC, introducido en primer lugar por Gallager en la década de 1960, ha perdido importancia con el tiempo debido a la complejidad de su implementación, que no podía resolverse mediante la tecnología de entonces. Sin embargo, dado que el turbo código, que fue descubierto por Berrou, Glavieux y Thitimajshima en 1993, presenta niveles de rendimiento que se aproximan al límite de canal de Shannon, se han llevado a cabo investigaciones sobre decodificación iterativa y codificación de canal basadas en un grafo, junto con análisis sobre el rendimiento y las características del turbo código. Con esto como impulso, el código LDPC se ha vuelto a estudiar a finales de la década de 1990, demostrándose que el código LDPC tiene unos niveles de rendimiento que se aproximan al límite del canal de Shannon, si el LDPC experimenta decodificación aplicando decodificación iterativa basándose en un algoritmo suma-producto sobre un grafo de Tanner (un caso especial de un grafo factor) correspondiente al código LDPC.

El código LDPC se representa habitualmente utilizando una técnica de representación de grafos, y muchas características pueden analizarse mediante los procedimientos basados en teoría de grafos, álgebra y teoría de probabilidades. En general, un modelo de grafos de los códigos de canal es útil para la descripción de los códigos, y mapeando la información sobre los bits codificados a vértices en el grafo y mapeando las relaciones entre los bits a las aristas en el grafo, es posible considerar el grafo como una red de comunicación en la que los vértices intercambian mensajes predeterminados a través de las aristas, posibilitando de este modo obtener un algoritmo de decodificación natural. Por ejemplo, un algoritmo de decodificación obtenido a partir de un grafo reticulado ("trellis"), que puede considerarse una clase de grafo, puede incluir el muy conocido algoritmo de Viterbi y un algoritmo de Bahl, Cocke, Jelinek y Raviv (BCJR).

El código LDPC se define en general como una matriz de comprobación de paridad, y puede expresarse utilizando un grafo bipartito, que se denomina un grafo de Tanner. El grafo bipartito es un grafo en el que los vértices que constituyen el grafo están divididos en dos tipos diferentes, y el código LDPC está representado por el grafo bipartito que consiste en vértices, algunos de los cuales se denominan nodos variables y otros de los cuales se denominan nodos de comprobación. Los nodos variables están mapeados uno a uno a los bits codificados.

Se describirá un procedimiento de representación de grafos para el código LDPC haciendo referencia a las figuras 1 y 2.

45 La figura 1 ilustra un ejemplo de una matriz de comprobación de paridad H_1 de un código LDPC con 4 filas y 8 columnas. Haciendo referencia a la figura 1, debido a que el número de columnas es 8, la matriz de comprobación de paridad H_1 significa un código LDPC que genera una palabra de código de longitud 8, y las columnas están mapeadas a 8 bits codificados en una base de uno a uno.

La figura 2 ilustra un grafo de Tanner correspondiente a la matriz de comprobación de paridad H_1 de la figura 1.

Haciendo referencia la figura 2, el grafo de Tanner del código LDPC incluye 8 nodos variables x_1 (202), x_2 (204), x_3 (206), x_4 (208), x_5 (210), x_6 (212), x_7 (214) y x_8 (216), y 4 nodos 218, 220, 222 y 224 de comprobación. Una columna i -ésima y una fila j -ésima en la matriz de comprobación de paridad H_1 del código LDPC se mapean a un nodo variable x_i y a un nodo de comprobación j -ésimo, respectivamente. Además, un valor de 1, es decir, un valor distinto de cero, en la posición en que se cruzan una columna i -ésima y una fila j -ésima en la matriz de comprobación de paridad H_1 del código LDPC, indica que existe una arista entre el nodo variable x_i y el nodo de comprobación j -ésimo en el grafo de Tanner que se muestra en la figura 2.

En el grafo de Tanner del código LDPC, el grado del nodo variable y del nodo de comprobación indica el número de aristas conectadas a cada nodo respectivo, y el grado es igual al número de entradas distintas de cero en una columna o fila correspondiente al nodo pertinente en la matriz de comprobación de paridad del código LDPC. Por ejemplo, en la figura 2, los grados de los nodos variables x_1 (202), x_2 (204), x_3 (206), x_4 (208), x_5 (210), x_6 (212), x_7 (214) y x_8 (216) son 4, 3, 3, 3, 2, 2, 2 y 2, respectivamente, y los grados de los nodos 218, 220, 222 y 224 de comprobación son 6, 5, 5 y 5, respectivamente. Además, los números de las entradas distintas de cero en las columnas de la matriz de comprobación de paridad H_1 en la figura 1, que corresponden a los nodos variables en la figura 2, coinciden con sus grados 4, 3, 3, 3, 2, 2, 2 y 2, y los números de las entradas distintas de cero en las filas de la matriz de comprobación de paridad H_1 en la figura 1, que corresponden a los nodos de comprobación de la figura 2, coinciden con sus grados 6, 5, 5 y 5.

Para expresar la distribución de grados para los nodos del código LDPC, una relación del número de nodos variables de grado i respecto al número total de nodos variables se define como f_i , y una relación del número de nodos de comprobación de grado j respecto al número total de nodos de comprobación se define como g_j . Por ejemplo, para el código LDPC correspondiente a las figuras 1 y 2, $f_2=4/8$, $f_3=3/8$, $f_4=1/8$, y $f_i=0$ para $i \neq 2, 3, 4$; y $g_5=3/4$, $g_6=1/4$, y $g_j=0$ para $j \neq 5, 6$. Cuando una longitud del código LDPC, es decir, el número de columnas, se define como N , y el número de filas se define como $N/2$, la densidad de entradas distintas de cero en toda la matriz de comprobación de paridad que tiene la distribución de grados anterior se calcula tal como se muestra en la ecuación (1).

$$\frac{2f_2N + 3f_3N + 4f_4N}{N \cdot N/2} = \frac{5,25}{N} \dots \dots \dots (1)$$

En la ecuación (1), cuando N aumenta, disminuye la densidad de los 1 en la matriz de comprobación de paridad. En general, como para el código LDPC, dado que la longitud N de la palabra de código es inversamente proporcional a la densidad de entradas distintas de cero, un código LDPC con N grande tiene una densidad muy baja de entradas distintas de cero. El término "baja densidad" para el código LDPC se origina a partir de la relación mencionada anteriormente.

A continuación, haciendo referencia a la figura 3, se realizará una descripción de características de una matriz de comprobación de paridad de un código LDPC estructurado aplicable a la presente invención. La figura 3 muestra un código LDPC adoptado como la tecnología convencional de transmisión de difusión por satélite de vídeo digital de segunda generación (DVB-S2), que es una de las normas europeas de difusión digital.

En la figura 3, N_1 y K_1 indican una longitud de palabra de código y una longitud de información (una longitud de una palabra de información) de un código LDPC, respectivamente, (N_1-K_1) proporciona una longitud de paridad. Además, los números enteros M_1 y q se determinan de manera que satisfacen $q=(N_1-K_1)/M_1$. Preferentemente, K_1/M_1 deberá ser también un número entero. La matriz de comprobación de paridad en la figura 3 se denominará en el presente documento una primera matriz de comprobación de paridad H_1 , por conveniencia únicamente.

Haciendo referencia a la figura 3, una estructura de una parte de paridad, es decir, la columna de orden K_1 hasta la columna de orden (N_1-1) , en la matriz de comprobación de paridad, tiene forma de diagonal doble. Por lo tanto, como para la distribución de grado sobre las columnas correspondientes a la parte de paridad, todas las columnas tienen grado '2', excepto la última columna, que tiene grado '1'.

En la matriz de comprobación de paridad, una estructura de una parte de información, es decir, la columna de orden 0 hasta la columna de orden (K_1-1) , se forma utilizando las reglas siguientes.

Regla 1: se generan un total de K_1/M_1 grupos de columnas agrupando K_1 columnas correspondientes a la palabra de información en la matriz de comprobación de paridad, en múltiples grupos incluyendo, cada uno, M_1 columnas. Un procedimiento para formar columnas pertenecientes a cada grupo de columnas sigue la regla 2 a continuación.

Regla 2: se determinan en primer lugar las posiciones de los 1 en cada columna de orden 0 en grupos de columnas i -ésimos (donde $i=1, \dots, K_1/M_1$). Cuando se indica un grado de una columna de orden 0 en cada grupo

de columnas i -ésimo mediante D_i , si se supone que las posiciones de las filas con 1 son $R_{i,0}^{(1)}, R_{i,0}^{(2)}, \dots, R_{i,0}^{(D_i)}$, las

posiciones $R_{i,j}^{(k)}$ ($k=1, 2, \dots, D_i$) de las filas con 1 se definen como se muestra en la ecuación (2), en una fila j -ésima (donde $j=1, 2, \dots, M_1-1$) en un grupo de columnas i -ésimo.

$$R_{i,j}^{(k)} = R_{i,(j-1)}^{(k)} + q \text{ mod}(N_1 - K_1),$$

$$k = 1, 2, \dots, D_i, \quad i = 1, \dots, K_1/M_1, \quad j = 1, \dots, M_1 - 1 \dots \dots \dots (2)$$

De acuerdo con las reglas anteriores, puede apreciarse que los grados de las columnas que pertenecen a un grupo de columnas i -ésimo son iguales a D_i . Para una mejor comprensión de una estructura de un código LDPC de DVB-S2 que almacena información sobre la matriz de comprobación de paridad de acuerdo con las reglas anteriores, se describirá el siguiente ejemplo detallado.

- 5 Como un ejemplo detallado, para $N_1=30$, $K_1=15$, $M_1=5$ y $q=3$, pueden expresarse como sigue tres secuencias para la información sobre las posiciones de las filas con 1 para las columnas de orden 0 en 3 grupos de columnas. En el presente documento, estas secuencias se denominan “secuencias de posición de ponderación-1”.

$$R_{1,0}^{(1)} = 0, R_{1,0}^{(2)} = 1, R_{1,0}^{(3)} = 2,$$

$$R_{2,0}^{(1)} = 0, R_{2,0}^{(2)} = 11, R_{2,0}^{(3)} = 13,$$

10 $R_{3,0}^{(1)} = 0, R_{3,0}^{(2)} = 10, R_{3,0}^{(3)} = 14.$

En relación con la secuencia de posición de ponderación-1 para las columnas de orden 0 en cada grupo de columnas, solamente las secuencias de posición correspondientes pueden expresarse como sigue para cada grupo de columnas. Por ejemplo:

15
$$\begin{matrix} 012 \\ 0 11 13 \\ 0 10 14. \end{matrix}$$

En otras palabras, la secuencia de posición de ponderación-1 i -ésima en la línea i -ésima representa secuencialmente la información de las posiciones de las filas con 1 en el grupo de columnas i -ésimo.

- 20 Es posible generar un código LDPC que tenga el mismo concepto que el de un código LDPC de DVB-S2 de la figura 4, formando una matriz de comprobación de paridad utilizando la información correspondiente al ejemplo detallado, y las reglas 1 y 2.

- 25 La solicitud de patente de Estados Unidos US 2008/005641 A1 desvela un decodificador de LDPC. El decodificador está configurado para incluir una unidad de adquisición configurada para adquirir primeras probabilidades respectivas de bits de datos y segundas probabilidades respectivas de bits de paridad, los bits de datos y los bits de paridad incluidos en datos de código obtenidos por codificar por LDPC los bits de datos con una matriz de comprobación de paridad de baja densidad.

- 30 La solicitud de patente internacional WO 2007/091797 A se refiere a un procedimiento y un transmisor para adaptar el tamaño de una palabra de código codificada mediante un código de comprobación de paridad de baja densidad (LDPC) a un tamaño de un canal de transmisión en un sistema de comunicación móvil. Un procedimiento de ajuste del tamaño de palabra de código en un sistema de comunicación que soporta un esquema de codificación LDPC, comprende las etapas de codificar los datos de origen utilizando una matriz de comprobación de paridad, y ajustar el tamaño de la palabra de código codificada para hacerlo coincidir con un tamaño de un canal de transmisión que se determina en función de la capacidad del canal de transmisión, siendo ajustado el tamaño de la palabra de código codificada utilizando información asociada con ponderaciones de columna de la matriz de comprobación de paridad.

- 35 El artículo “Variable Rate LDPC Codes for Wireless Applications”, de M. Baldo y col, en Proc. Softcom 2006, 1 de septiembre de 2006, páginas 301 a 305, XP031 059454, ISBN: 978-953-6114-90-0 analiza códigos LDPC de tasa variable para aplicaciones inalámbricas, donde se requiere adaptación de enlace rápida para maximizar la eficacia del sistema. En particular, el artículo describe que puede utilizarse una denominada estrategia de “pseudo-perforación” como alternativa a soluciones más convencionales, asegurando un buen rendimiento y manteniendo al mismo tiempo una complejidad limitada.

- 40 La solicitud de patente de Estados Unidos US 2007/226583 A1 describe un aparato y un procedimiento para transmitir/recibir señales en un sistema de comunicación. En un sistema de comunicación, un aparato de transmisión de señales incluye un codificador para codificar un vector de información en una palabra de código de comprobación de paridad de baja densidad (LDPC) con un esquema de codificación LDPC, y un perforador para perforar la palabra de código LDPC en función de una tasa de codificación utilizada en un esquema de perforación. Un aparato de recepción de señal incluye un elemento de inserción de ‘0’ para insertar símbolos ‘0’ en una señal recibida, de acuerdo con una tasa de codificación utilizada en un aparato de transmisión de señal, y un decodificador para decodificar la señal con símbolos ‘0’ insertados con un esquema de decodificación correspondiente a un esquema de codificación de comprobación de paridad de baja densidad (LDPC) utilizado en el aparato de transmisión de señal, detectando de ese modo un vector de información.

- 50 La solicitud de patente de Estados Unidos US 2007/101243 A1 describe un procedimiento para perforar una comprobación de paridad de baja densidad (LDPC). El procedimiento incluye a) establecer una longitud de palabra de código y el número total de nodos de bit a perforar; b) seleccionar un nodo de comprobación (o varios nodos de

comprobación) con prioridad máxima excluyendo los nodos de comprobación comprobados por completo en una ronda actual; c) seleccionar un nodo de bit (o nodos de bit) con prioridad máxima excluyendo los nodos de bit comprobados por completo entre nodos de bit conectados al nodo de comprobación (o nodos de comprobación) seleccionado; d) determinar si el nodo de bit seleccionado es un nodo de bit a perforar, es decir, no es sistemático, no tiene activado un indicador de prohibición de perforación; e) perforar un nodo de bit asociado si el nodo de bit seleccionado es el nodo de bit a perforar, establecer nodos de bit no perforados conectados al nodo de comprobación seleccionado mediante un indicador de prohibición de perforación, reduciendo en 1 el número de nodos de bit restantes a perforar y aumentando en 1 el número de nodos perforados conectados, del nodo de comprobación asociado; f) determinar si el número de bits restantes a perforar es mayor que 0; y g) volver a la etapa b) si el número de bits restantes a perforar es mayor que 0, y finalizar un procedimiento de perforación si el número de bits restantes a perforar no es mayor que 0.

El artículo "Efficient Puncturing Method for Rate-Compatible Low-Density Parity-Check Codes", de H.Y. Park y col, en IEEE Transactions on Wireless Communications, volumen 6, n. ° 11, 1 de noviembre de 2007, páginas 3914 a 3919, XP011197001, ISSN: 1536-1276, describe un algoritmo que proporciona el orden de nodos variables para perforación basándose en una función de coste propuesta. La función de coste intenta maximizar la fiabilidad mínima entre las proporcionadas por todos los nodos de comprobación. Asimismo, intenta asignar homogéneamente nodos de comprobación supervivientes a todos los nodos variables perforados. El algoritmo presenta la formación de un conjunto de parada a partir de los nodos variables perforados incluso cuando la cantidad de perforación es grande.

El documento "LDPC Codes in Communications and Broadcasting", de T. Ohtsuki en IEICE Trans. Commun., volumen E90B, n. ° 3, 1 de marzo de 2007, describe las bases de los códigos LDPC y sus algoritmos de decodificación. Se presentan algunos códigos LDPC que tienen un buen rendimiento y están recibiendo mucha atención, en particular en los sistemas de comunicación. El documento repasa asimismo algunos códigos LDPC normalizados, los códigos LDPC normalizados en DVB-S2 y los códigos LDPC del estándar IEEE802.16e.

Se sabe que el código LDPC de DVB-S2 diseñado de acuerdo con la regla 1 y la regla 2 puede codificarse eficazmente utilizando la forma estructural. A continuación se describirán a modo de ejemplo las etapas respectivas en un procedimiento de realización de codificación LDPC utilizando la matriz de comprobación de paridad basada en DVB-S2.

En la siguiente descripción, como un ejemplo detallado, un código LDPC de DVB-S2 con $N_1=16200$, $K_1=10800$, $M_1=360$ y $q=15$ experimenta a un procedimiento de codificación. Por conveniencia, los bits de información que tienen una longitud K_1 se representan como $(i_0, i_1, \dots, i_{K_1-1})$, y los bits de paridad que tiene una longitud de (N_1-K_1) se expresan como $(p_0, p_1, \dots, p_{N_1-K_1-1})$.

Etapas 1: un codificador LDPC inicializa bits de paridad, como sigue:

$$p_0 = p_1 = \dots = p_{N_1-K_1-1} = 0$$

Etapas 2: el codificador LDPC lee información sobre filas donde hay un 1 en un grupo de columnas, a partir de una secuencia de posición de ponderación-1 de orden 0 de entre las secuencias almacenadas que indican la matriz de comprobación de paridad.

0 2084 1613 1548 1286 1460 3196 4297 2481 3369 3451 4620 2622

$$R_{1,0}^{(1)} = 0, R_{1,0}^{(2)} = 2048, R_{1,0}^{(3)} = 1613, R_{1,0}^{(4)} = 1548, R_{1,0}^{(5)} = 1286,$$

$$R_{1,0}^{(6)} = 1460, R_{1,0}^{(7)} = 3196, R_{1,0}^{(8)} = 4297, R_{1,0}^{(9)} = 2481, R_{1,0}^{(10)} = 3369,$$

$$R_{1,0}^{(11)} = 3451, R_{1,0}^{(12)} = 4620, R_{1,0}^{(13)} = 2622.$$

El codificador LDPC actualiza los bits de paridad particulares p_x de acuerdo con la ecuación (3) utilizando la información leída y el primer bit de información i_0 . En el presente documento, x es un valor de $R_{1,0}^{(k)}$ para $k = 1, 2, \dots, 13$.

$$\begin{aligned}
 p_0 &= p_0 \oplus i_0, & p_{2084} &= p_{2064} \oplus i_0, & p_{1613} &= p_{1613} \oplus i_0, \\
 p_{1548} &= p_{1548} \oplus i_0, & p_{1286} &= p_{1286} \oplus i_0, & p_{1460} &= p_{1460} \oplus i_0, \\
 p_{3196} &= p_{3196} \oplus i_0, & p_{4297} &= p_{4297} \oplus i_0, & p_{2481} &= p_{2481} \oplus i_0, & \dots \dots \dots (3) \\
 p_{3369} &= p_{3369} \oplus i_0, & p_{3451} &= p_{3451} \oplus i_0, & p_{4620} &= p_{4620} \oplus i_0, \\
 p_{2622} &= p_{2622} \oplus i_0
 \end{aligned}$$

En la ecuación (3), $p_x = p_x \oplus i_0$ puede expresarse asimismo como $p_x \leftarrow p_x \oplus i_0$, y \oplus representa suma binaria.

Etapa 3: el codificador LDPC determina en primer lugar un valor de la ecuación (4) para los siguientes 359 bits de información i_m (donde $m=1, 2, \dots, 359$) después de i_0 .

$$\{x + (m \bmod M_1) \times q\} \bmod (N_1 - K_1), \quad M_1 = 360, \quad m = 1, 2, \dots, 359 \quad \dots \dots \dots (4)$$

5

En la ecuación (4), x indica un valor de $R_{1,0}^{(k)}$ para $k = 1, 2, \dots, 13$. Debe observarse que la ecuación (4) es similar a la ecuación (2).

A continuación, el codificador LDPC realiza una operación similar a la ecuación (3) utilizando los valores hallados en la ecuación (4). En otras palabras, el codificador LDPC actualiza los bits de paridad $p_{\{x+(m \bmod M_1) \times q\} \bmod (N_1 - K_1)}$ para i_m . Por ejemplo, para $m=1$, es decir, para i_1 , el codificador LDPC actualiza los bits de paridad $p_{\{x+q\} \bmod (N_1 - K_1)}$ tal como se define en la ecuación (5).

10

$$\begin{aligned}
 p_{15} &= p_{15} \oplus i_1, & p_{2099} &= p_{2099} \oplus i_1, & p_{1628} &= p_{1628} \oplus i_1, \\
 p_{1563} &= p_{1563} \oplus i_1, & p_{1301} &= p_{1301} \oplus i_1, & p_{1475} &= p_{1475} \oplus i_1, \\
 p_{3211} &= p_{3211} \oplus i_1, & p_{4312} &= p_{4312} \oplus i_1, & p_{2496} &= p_{2496} \oplus i_1, & \dots \dots \dots (5) \\
 p_{3384} &= p_{3384} \oplus i_1, & p_{3466} &= p_{3466} \oplus i_1, & p_{4635} &= p_{4635} \oplus i_1, \\
 p_{2637} &= p_{2637} \oplus i_1
 \end{aligned}$$

Debe observarse que $q = 15$ en la ecuación (5). El codificador LDPC lleva a cabo el procedimiento anterior para $m=1, 2, \dots, 359$ del mismo modo que se ha mostrado anteriormente.

15

Etapa 4: tal como en la etapa 2, el codificador LDPC lee información de la 1ª secuencia de posición de ponderación-1 $R_{2,0}^{(k)}$ ($k = 1, 2, \dots, 13$) para un bit de información de orden 361 i_{360} , y actualiza los bits de paridad

particulares p_x , donde x es $R_{2,0}^{(k)}$. El codificador LDPC actualiza $p_{\{x+(m \bmod M_1) \times q\} \bmod (N_1 - K_1)}$, $m = 361, 362, \dots, 719$ aplicando de manera similar la ecuación (4) a los siguientes 359 bits de información $i_{361}, i_{362}, \dots, i_{719}$ después de i_{360} .

20

Etapa 5: el codificador LDPC repite las etapas 2, 3 y 4 para todos los grupos teniendo cada uno 360 bits de información.

Etapa 6: el codificador LDPC determina finalmente bits de paridad utilizando la ecuación (6).

$$p_i = p_i \oplus p_{i-1}, \quad i = 1, 2, \dots, N_1 - K_1 - 1 \quad \dots \dots \dots (6)$$

Los bits de paridad p_i de la ecuación (6) son bits de paridad que han experimentado totalmente codificación LDPC.

25

Como se ha descrito anteriormente, DVB-S2 lleva a cabo la codificación mediante el procedimiento de las etapas 1 a 6.

Para aplicar el código LDPC al sistema de comunicación real, el código LDPC debería estar diseñado para ser adecuado para la tasa de datos requerida en el sistema de comunicación. En particular, no sólo en un sistema de comunicación adaptativo que utilice solicitud de retransmisión automática híbrida (HARQ) y modulación y codificación adaptativas (AMC), sino asimismo en un sistema de comunicación que soporte diversos servicios de difusión, se requieren códigos LDPC que tengan diversas longitudes de palabra de código, para soportar diversas tasas de datos de acuerdo con los requisitos del sistema.

30

5 Sin embargo, como se ha descrito anteriormente, el código LDPC utilizado en el sistema DVB-S2 tiene solamente dos tipos de longitudes de palabra de código debido a su utilización limitada, y cada tipo de código LDPC requiere de una matriz de comprobación de paridad independiente. Por estas razones, hace tiempo que existe en la técnica la necesidad de un procedimiento que soporte diversas longitudes de palabra de código para aumentar la extensibilidad y flexibilidad del sistema. En particular, en el sistema DVB-S2, se requiere la transmisión de datos con varios cientos o miles de bits para la transmisión de información de señalización. Sin embargo, debido a que están disponibles solamente 16200 y 64800 para las longitudes del código LDPC de DVB-S2, sigue existiendo la necesidad de soportar diversas longitudes de palabra de código. Además, dado que el almacenamiento de matrices de comprobación de paridad independientes para longitudes respectivas de palabra de código del código LDPC puede reducir la eficacia de la memoria, existe la necesidad de un esquema que pueda soportar eficazmente diversas longitudes de palabra de código a partir de una matriz de comprobación de paridad existente dada, sin diseñar una nueva matriz de comprobación de paridad.

Sumario de la invención

15 Un aspecto de una realización de la presente invención es solucionar, por lo menos, los problemas y/o las desventajas mencionadas anteriormente y dar a conocer, por lo menos, las ventajas descritas a continuación. Por consiguiente, un aspecto de la presente invención es proporcionar un procedimiento y un aparato de decodificación de canal utilizando un código de comprobación de paridad de baja densidad (LDPC) como se define en las reivindicaciones independientes 1 a 4 y en las reivindicaciones dependientes de las mismas.

20 Otros aspectos, ventajas y características destacadas de la invención resultarán evidentes para los expertos en la materia a partir de la siguiente descripción detallada que, tomada junto con los dibujos adjuntos, desvela realizaciones de la invención.

Breve descripción de los dibujos

25 Los anteriores y otros aspectos, características y ventajas de ciertas realizaciones a modo de ejemplo de la presente invención resultarán más evidentes a partir de la siguiente descripción, tomada con los dibujos adjuntos, en los cuales:

La figura 1 ilustra un ejemplo de una matriz de comprobación de paridad de un código LDPC de longitud 8;
 La figura 2 ilustra un grafo de Tanner para una matriz de comprobación de paridad de un código LDPC de longitud 8;
 La figura 3 ilustra un código LDPC de DVB-S2;
 30 La figura 4 ilustra un ejemplo de una matriz de comprobación de paridad de un código LDPC de DVB-S2;
 La figura 5A ilustra una constelación de señales para modulación QPSK utilizada en un sistema de comunicación digital;
 La figura 5B ilustra una constelación de señales para modulación 16QAM utilizada en un sistema de comunicación digital;
 35 La figura 5C ilustra una constelación de señales para modulación 64QAM utilizada en un sistema de comunicación digital;
 La figura 6 es un diagrama de bloques de un transceptor en un sistema de comunicación que utiliza un código LDPC;
 La figura 7 ilustra un ejemplo en el que se aplica perforación aleatoria al código LDPC de la figura 4;
 40 La figura 8 ilustra otro ejemplo en el que se aplica perforación no aleatoria al código LDPC de la figura 4;
 La figura 9 ilustra otro ejemplo en el que se aplica perforación no aleatoria al código LDPC de la figura 4;
 La figura 10 ilustra otro ejemplo de una matriz de comprobación de paridad de un código LDPC de DVB-S2;
 La figura 11 ilustra un ejemplo de un patrón de perforación determinado considerando transmisión BPSK o QPSK en el código LDPC de la figura 10;
 45 La figura 12A ilustra un ejemplo de un patrón de perforación determinado considerando transmisión 16QAM en el código LDPC de la figura 10;
 La figura 12B ilustra un ejemplo de un patrón de perforación determinado considerando transmisión 64QAM en el código LDPC de la figura 10;
 La figura 13 es un diagrama de flujo que ilustra un procedimiento para generar un código LDPC con una longitud de palabra de código diferente a partir de una matriz de comprobación de paridad de un código LDPC almacenado, de acuerdo con una realización de la presente invención;
 La figura 14 es un diagrama de flujo que ilustra un procedimiento de decodificación LDPC en un aparato de recepción, de acuerdo con una realización de la presente invención;
 50 La figura 15 es un diagrama de bloques de un aparato de transmisión que utiliza un código LDPC perforado/reducido, de acuerdo con una realización de la presente invención; y
 La figura 16 es un diagrama de bloques de un aparato de recepción que utiliza un código LDPC perforado/reducido, de acuerdo con una realización de la presente invención.

En la totalidad de los dibujos, se entenderá que los mismos números de referencia se refieren a los mismos elementos, características y estructuras.

Descripción detallada de realizaciones ejemplares

La siguiente descripción que hace referencia a los dibujos adjuntos, se proporciona para ayudar a una comprensión exhaustiva de las realizaciones de la invención, que se define mediante las reivindicaciones y sus equivalentes. Ésta incluye diversos detalles específicos para ayudar a dicha comprensión, pero estos deben considerarse como meramente ejemplares. Por consiguiente, los expertos en la materia reconocerán que pueden realizarse diversos cambios y modificaciones a las realizaciones descritas en el presente documento, sin apartarse del alcance de la invención. Además, se omiten las descripciones de funciones y construcciones bien conocidas para mayor claridad y concisión.

Los términos y las palabras utilizadas en la siguiente descripción y las reivindicaciones no se limitan a sus significados bibliográficos, sino que se utilizan por el inventor únicamente para facilitar una comprensión clara y consistente de la invención. Por consiguiente, deberá ser evidente para los expertos en la materia que la siguiente descripción de realizaciones de la presente invención se proporciona solamente con fines ilustrativos y no con el fin de limitar la invención, que se define mediante las reivindicaciones adjuntas y sus equivalentes.

Debe entenderse que las formas singulares “un”, “una” y “el” y “la” incluyen sus equivalentes plurales, salvo que el contexto imponga claramente lo contrario. Por lo tanto, por ejemplo, la referencia a “una superficie componente” incluye la referencia a una o más de tales superficies.

A continuación se describirá la diferencia de fiabilidad en modulación de orden superior, antes de una descripción de la presente invención. Deberá prestarse la debida atención al diseño de un código LDPC debido a que las fiabilidades de los bits que componen los símbolos de modulación de orden superior son diferentes cuando se utiliza modulación de orden superior en el sistema de comunicación que requiere de códigos LDPC con varias longitudes de palabra de código, a diferencia del sistema de comunicación que utiliza solamente codificación por desplazamiento de fase binario (BPSK) o codificación por desplazamiento de fase en cuadratura (QPSK).

Para explicar la diferencia de fiabilidad en modulación de orden superior, se proporcionará una descripción de constelaciones de señal para modulación de amplitud en cuadratura (QAM), que es la modulación de orden superior utilizada normalmente en los sistemas de comunicación. Un símbolo modulado QAM consiste en una parte real y una parte imaginaria, y pueden generarse diversos símbolos de modulación diferenciando magnitudes y signos de sus partes reales de sus partes imaginarias. Se describirá QAM junto con modulación QPSK para considerar los detalles de las características de QAM.

La figura 5A ilustra una constelación de señal para modulación QPSK general.

Haciendo referencia la figura 5A, y_0 determina el signo de una parte real mientras que y_1 determina el signo de una parte imaginaria. Es decir, un signo de la parte real es más (+) para $y_0=0$, y menos (-) para $y_0=1$. Asimismo, el signo de la parte imaginaria es más (+) para $y_1=0$, y menos (-) para $y_1=1$. Dado que y_0 e y_1 son iguales en probabilidad de aparición de errores, puesto que son bits de indicación de signo que indican signos respectivos de la parte real y la parte imaginaria, las fiabilidades de los bits (y_0 , y_1) correspondientes a una señal de modulación son de igual importancia, en modulación QPSK. Para $y_{0,q}$ e $y_{1,q}$, el segundo subíndice ‘q’ indica q-ésimas salidas de bits que constituyen una señal de modulación.

La figura 5B ilustra una constelación de señal para modulación 16QAM general.

Haciendo referencia a la figura 5B, el significado de (y_0 , y_1 , y_2 , y_3) correspondiente a los bits de una señal de modulación, es el siguiente. Los bits y_0 e y_2 determinan el signo y la magnitud de la parte real, respectivamente, mientras que los bits y_1 e y_3 determinan el signo y la magnitud de la parte imaginaria, respectivamente. En otras palabras, y_0 e y_1 determinan signos de la parte real y la parte imaginaria de la señal de modulación, mientras que y_2 e y_3 determinan magnitudes de la parte real y la parte imaginaria de la señal de modulación. Debido a que distinguir el signo de una señal modulada es más fácil que distinguir la magnitud de la señal modulada, y_2 e y_3 están por encima de y_0 e y_1 en probabilidad de producción de errores. Por lo tanto, en términos de probabilidades de no aparición de errores (es decir, de fiabilidades) de los bits, $y_0=y_1 > y_2=y_3$. Es decir, los bits (y_0 , y_1 , y_2 , y_3) que constituyen una señal de modulación QAM, a diferencia de los de una señal de modulación QPSK, tienen fiabilidades diferentes.

En modulación 16QAM, entre los 4 bits que constituyen una señal, 2 bits determinan signos de la parte real y la parte imaginaria de la señal, y los bits restantes tienen que determinar solamente las magnitudes de la parte real y la parte imaginaria de la señal. Por lo tanto, los órdenes de (y_0 , y_1 , y_2 , y_3) y la función de cada bit están sometidos a cambios.

La figura 5C ilustra una constelación de señal para modulación 64QAM general.

De (y_0 , y_1 , y_2 , y_3 , y_4 , y_5), que corresponde a los bits de la señal de modulación, los bits y_0 , y_2 e y_4 determinan la magnitud y el signo de la parte real, e y_1 , y_3 e y_5 determinan la magnitud y el signo de la parte imaginaria. En este caso, y_0 e y_1 determinan signos de la parte real y la parte imaginaria, respectivamente, y una combinación de y_2 e y_4 y una combinación de y_3 e y_5 determinan magnitudes de la parte real y la parte imaginaria, respectivamente. Dado

que distinguir los signos de una señal modulada es más sencillo que distinguir las magnitudes de la señal modulada, las fiabilidades de y_0 e y_1 son mayores que las fiabilidades de y_2 , y_3 , y_4 e y_5 . Los bits y_2 e y_3 se determinan dependiendo si la magnitud del símbolo modulado es mayor o igual que 4, y los bits y_4 e y_5 se determinan de acuerdo con si la magnitud del símbolo modulado está más cerca de 4 o de 0, con 2 centrado entre ambos, o más cerca de 4 o de 8, con 6 centrado entre ambos. Por lo tanto, el intervalo en el que la magnitud está determinada por y_2 e y_3 es 4, mientras que el intervalo para y_4 e y_5 es 2. Como resultado, la fiabilidad de y_2 e y_3 es mayor que la de y_4 e y_5 . Para concluir, $y_0=y_1 > y_2=y_3 > y_4=y_5$ en términos de probabilidades de no aparición de errores (es decir, fiabilidades) de los bits.

En modulación 64QAM, de los 6 bits que constituyen una señal, 2 bits determinan signos de la parte real y la parte imaginaria de la señal, y 4 bits tienen que determinar solamente magnitudes de la parte real y la parte imaginaria de la señal. Por consiguiente, los órdenes de $(y_0, y_1, y_2, y_3, y_4, y_5)$ y la función de cada bit están sometidos a cambios. Asimismo, en una constelación de señal de 256QAM o superior, las funciones y las fiabilidades de los bits que constituyen una señal modulada son diferentes a las descritas anteriormente. Se omitirá una descripción detallada de las mismas.

Por lo tanto, la presente invención proporciona un procedimiento y un aparato para soportar códigos LDPC con diversas longitudes de palabra de código adecuadas para modulación de orden superior, utilizando una matriz de comprobación de paridad de un código LDPC estructurado, en una forma particular. Además, la presente invención proporciona un aparato para soportar diversas longitudes de palabra de código de acuerdo con un orden superior de modulación en un sistema de comunicación que utiliza un código LDPC en una forma particular, y un procedimiento para controlar el mismo. En particular, la presente invención proporciona un procedimiento para generar un código LDPC utilizando una matriz de comprobación de paridad de un código LDPC dado, siendo el código LDPC generado menor que el código LDPC dado, y un aparato para lo mismo.

La figura 6 es un diagrama de bloques de un transceptor en un sistema de comunicación que utiliza un código LDPC.

Haciendo referencia a la figura 6, un mensaje u se introduce a un codificador 611 LDPC en un transmisor 610 antes de transmitirse a un receptor 630. El codificador 611 LDPC codifica el mensaje de entrada u , y emite la señal codificada c a un modulador 613. El modulador 613 modula la señal codificada c y transmite la señal modulada s al receptor 630 a través de un canal 620 inalámbrico. Un demodulador 631 en el receptor 630 demodula la señal recibida r , y emite la señal demodulada x a un decodificador 633 LDPC. El decodificador 633 LDPC halla una estimación \hat{u} del mensaje basándose en los datos recibidos a través del canal 620 inalámbrico, decodificando la señal demodulada x .

El codificador 611 LDPC genera una matriz de comprobación de paridad de acuerdo con una longitud de palabra de código requerida por un sistema de comunicación, utilizando un esquema preestablecido. En particular, de acuerdo con una realización de la presente invención, el codificador 611 LDPC puede soportar diversas longitudes de palabra de código utilizando el código LDPC, sin la necesidad separada de información adicional almacenada.

Según una realización de la presente invención, un procedimiento de obtención de diversas longitudes de palabra de código a partir de un código LDPC dado utiliza reducción y perforación. El término "perforación", tal como se utiliza en el presente documento, indica un procedimiento que no transmite una parte especificada de una palabra de código LDPC después de generar la palabra de código LDPC a partir de una matriz de comprobación de paridad particular dada realizando codificación LDPC. Por lo tanto, un receptor determina que los bits no transmitidos han sido borrados.

Para una mejor comprensión de la perforación, se describirá en mayor detalle a continuación una matriz de comprobación de paridad del código LDPC de DVB-S2 ilustrado en la figura 3.

En relación con la matriz de comprobación de paridad del código LDPC de DVB-S2 ilustrado en la figura 3, su longitud total es de N_1 , K_1 columnas en la parte delantera de la matriz de comprobación de paridad correspondiente a bits de información $(i_0, i_1, \dots, i_{k_1-1})$, y las columnas en la parte posterior restante correspondientes a bits de paridad $(p_0, p_1, \dots, p_{N_1-K_1-1})$ de longitud (N_1-K_1) .

De manera general, la perforación puede aplicarse tanto a los bits de información como a los bits de paridad. Aunque normalmente la perforación y la reducción reducen las longitudes de palabra de código, la perforación, a diferencia de la reducción, descrita anteriormente en el presente documento, no limita los valores de bits particulares. La perforación es un procedimiento para, simplemente, no transmitir bits de información particulares o partes particulares de bits de paridad generados, de manera que un receptor pueda borrar los bits correspondientes. En otras palabras, simplemente no transmitiendo bits en las N_p posiciones predefinidas en una palabra de código LDPC de longitud N_1 generada, la perforación puede obtener el mismo efecto al obtenido transmitiendo una palabra de código LDPC de longitud (N_1-N_p) . Dado que las columnas correspondientes a los bits perforados en la matriz de comprobación de paridad se utilizan todas intactas en un procedimiento de decodificación, con las columnas borradas, la perforación es diferente a la reducción.

Además, debido a que la información de la posición para los bits perforados puede compartirse o estimarse en común mediante el transmisor y el receptor cuando el sistema se configura, el receptor puede simplemente borrar los correspondientes bits perforados, antes de la decodificación.

5 En la técnica de perforación, debido a que la longitud de una palabra de código que el transmisor transmite realmente es de $N_1 - N_p$, y a que la longitud de una palabra de información es de manera constante K_1 , la tasa de código pasa a ser de $K_1 / (N_1 - N_p)$, que siempre es mayor que la primera tasa de código dada K_1 / N_1 .

10 A continuación se realizará una descripción de la técnica de reducción y la técnica de perforación adecuadas para el código LDPC de DVB-S2. El código LDPC de DVB-S2, que se ha descrito anteriormente, es un código LDPC que tiene una estructura particular. Por lo tanto, comparado con el código LDPC normal, el código LDPC de DVB-S2 puede experimentar reducción y perforación más eficaces.

Haciendo referencia a la figura 4, se proporcionará una descripción detallada de las características de un código LDPC de DVB-S2 al que se aplica perforación de paridad. Debe observarse que para el código LDPC de DVB-S2 de la figura 4, $N_1=30$, $K_1=15$, $M_1=5$ y $q=3$ y las secuencias de posición de ponderación-1 para las columnas de orden 0 en tres grupos de columnas son las siguientes:

15 0 1 2
 0 11 13
 0 10 14

Una secuencia de posición de ponderación-1 i -ésima en una columna i -ésima representa secuencialmente la información sobre las posiciones de las filas con 1 en un grupo de columnas i -ésimo.

20 La figura 7 ilustra un ejemplo en el que se aplica perforación aleatoria al código LDPC de la figura 4. Debido a que los bits de paridad perforados en la figura 7 están sometidos a un procedimiento de borrado en un decodificador, los bits de paridad perforados, en comparación con los otros bits no eliminados, no tienen un efecto mayor de mejora del rendimiento en un procedimiento de decodificación LDPC, de manera que sus fiabilidades disminuyen. Por consiguiente, los otros bits conectados directamente a los bits de paridad perforados, que tienen una fiabilidad reducida, acusan también una reducción en el efecto de mejora del rendimiento en el procedimiento de decodificación. La reducción en el efecto de mejora del rendimiento aumenta a medida que aumenta el número de aristas conectadas directamente a los bits perforados en el grafo de Tanner.

30 En la figura 7, por ejemplo, un bit de información de orden 0 correspondiente a una columna de orden 0 está conectado directamente dos veces al bit de paridad perforado, un 3^{er} bit de información correspondiente a una 3^{a} columna está conectado directamente una vez al bit de paridad perforado, y un 8^{o} bit de información correspondiente a una 8^{a} columna está conectado directamente tres veces al bit de paridad perforado. En este caso, el 3^{er} , el de orden 0, y el 8^{o} bits de información son superiores en efecto de mejora del rendimiento para el procedimiento de decodificación. En otras palabras, cuando los grados de los nodos variables son iguales entre sí, el efecto de mejora del rendimiento disminuye a medida que aumenta el número de bits perforados conectados.

35 A partir de la figura 7, puede apreciarse que los números de bits de paridad perforados, que están conectados directamente a bits de información respectivos, son aleatorios debido al patrón de perforación aleatorio. Por lo tanto, existe una elevada probabilidad de que las fiabilidades de los bits de información respectivos sean asimismo aleatorias. En otras palabras, mientras que algunos bits de información pueden obtener un rendimiento de decodificación mejor que el necesario, otros bits de información pueden sufrir una degradación significativa del rendimiento. Este patrón de perforación aleatorio puede conducir a una irregularidad considerable de las fiabilidades de los bits de información en el procedimiento de decodificación.

La figura 8 ilustra un segundo ejemplo donde se aplica perforación no aleatoria al código LDPC de la figura 4. Más específicamente, en el ejemplo ilustrado en la figura 8 se aplica un patrón de perforación relativamente no aleatorio, en una forma particular.

45 Haciendo referencia a la figura 8, a pesar de que se aplica el patrón de perforación relativamente no aleatorio, las conexiones a los bits de información pueden ser significativamente irregulares de acuerdo con el patrón de perforación correspondiente. El patrón de perforación no aleatorio de la figura 8 puede ser más irregular en comparación con el patrón de perforación aleatorio de la figura 7.

50 En el caso del código LDPC con una matriz de comprobación de paridad que tiene una estructura particular tal como el código LDPC de DVB-S2, las conexiones entre los bits de información y los bits de paridad perforados según el patrón de perforación pueden cambiar significativamente.

Las realizaciones de la presente invención sugieren un patrón de perforación que proporciona un rendimiento de decodificación estable suprimiendo al máximo la irregularidad de las fiabilidades de los bits de información en el procedimiento de decodificación, utilizando las características estructurales del código LDPC de DVB-S2.

55

La figura 9 ilustra un tercer ejemplo donde se aplica perforación no aleatoria al código LDPC de la figura 4. En el ejemplo de la figura 9, un patrón de perforación que mantiene un intervalo constante de 3 entre bits de paridad perforados desde $q=3$, que es una de las variables constituyentes, se aplica a la matriz de comprobación de paridad mostrada en la figura 4. Tal como puede verse en la figura 9, cada uno de los bits de información está conectado de la misma manera, y dos veces, al bit perforado.

La irregularidad entre los bits perforados y los bits de información se reduce notablemente cuando el intervalo entre los bits de paridad perforados se ajusta de acuerdo con el valor de q debido a la estructura del código LDPC de DVB-S2. Esto se describe mejor haciendo referencia a la figura 3.

Haciendo referencia a las reglas 1 y 2 y a la figura 3, en relación con cada grupo de columnas, las posiciones de los 1 en la primera columna en el grupo de columnas correspondiente, determinan posiciones de los 1 en las columnas restantes. Los índices de las filas en las que 1 está situado en las columnas restantes difieren exactamente en un múltiplo de q respecto de un índice de una fila en la que 1 está situado en la primera columna, en relación con módulo (N_1-K_1) , donde N_1 indica la longitud de una palabra de código LDPC y K_1 indica una longitud de una palabra de información. Más específicamente, los índices de las filas en las que 1 está situado en dos columnas consecutivas en un grupo de columnas particular difieren entre sí exactamente en q , para módulo (N_1-K_1) .

Otra característica del código LDPC de DVB-S2 se encuentra en una submatriz correspondiente a la parte de paridad en la matriz de comprobación de paridad. Haciendo referencia a la figura 3, la parte de paridad tiene una estructura de una matriz triangular inferior en la que 1 existe en todas las partes diagonales y, en esta estructura, un bit de paridad i -ésimo corresponde a un '1' situado en una fila i -ésima.

En función de la característica estructural del código LDPC de DVB-S2, suponiendo que se perforan bits de paridad particulares, si se repite exactamente una perforación de paridad a intervalos de q , el número de aristas de bits de información conectadas a los bits de paridad perforados en un grupo de columnas particular es el más regular. Por ejemplo, suponiendo que un bit de paridad i -ésimo se perfora para $0 \leq i < q$ y un bit de paridad de orden $(i+kq)$ se perfora repetidamente para $0 \leq k < M_1$, si un cierto bit de información está conectado al bit de paridad i -ésimo, esto indica que '1' existe en una fila i -ésima para una columna correspondiente al bit de información. Por lo tanto, puede entenderse que hay '1' en la fila de orden $(i+kd)$ en una columna correspondiente a un bit de información que está separado en k del bit de información anterior entre las columnas en un grupo de columnas, de acuerdo con la regla 1 y la regla 2. Como resultado, el bit de información está conectado al bit de orden $(i+kq)$ perforado.

Para el código LDPC de DVB-S2, debido a que los grados de los nodos variables correspondientes a toda la palabra de información son iguales entre sí en un grupo de columnas, y en una fila hay distribuido un '1' o menos, cuando se aplica perforación q -periódica, los bits de información correspondientes a un grupo de columnas se conectan a un mismo número de bits perforados. Por lo tanto, las conexiones entre los bits perforados y los bits de información se regularizan, de manera que puede esperarse una decodificación estabilizada en el procedimiento de decodificación.

En lo descrito hasta ahora, puede apreciarse que para el código LDPC de DVB-S2, la técnica de perforación q -periódica puede contribuir a la mejora del rendimiento haciendo la mejor utilización de las características estructurales del código LDPC de DVB-S2. Sin embargo, hasta la fecha, en relación con el patrón de perforación optimizado obtenido considerando la perforación q -periódica, solamente se conocen los resultados obtenidos estableciendo BPSK o QPSK.

Además del procedimiento de perforación q -periódica, se conocen procedimientos que optimizan el rendimiento de acuerdo con la tasa de código o la longitud de palabra de código cuando se aplica reducción o perforación al código LDPC general. Sin embargo, debido a que los procedimientos existentes conocidos de descubrimiento de un patrón de reducción/perforación llevan a cabo el procedimiento de optimización teniendo en cuenta solamente BPSK o QPSK, solamente podía existir un patrón de reducción/perforación optimizado para un código LDPC dado.

Sin embargo, el patrón de perforación/reducción optimizado obtenido cuando se utiliza modulación de orden superior y se ha determinado un esquema de constelación de señal/mapeo de bits (mapeo de bits sobre la constelación de señal), puede ser diferente al obtenido utilizando modulación BPSK o QPSK.

En modulación BPSK o QPSK, debido a que las fiabilidades de los bits que constituyen un símbolo son iguales, las fiabilidades de los bits de una palabra de código son iguales asimismo en la palabra de código LDPC después de que se ha sometido a reducción o perforación, de manera que no es necesario considerar un esquema de modulación en el procedimiento de descubrimiento del patrón de reducción/perforación. Sin embargo, tal como se ha descrito anteriormente, en la modulación de orden superior tal como 16QAM, 64QAM y 256QAM, debido a que las fiabilidades de los bits que componen un símbolo son diferentes, cuando se determina el esquema de modulación de orden superior y el esquema de constelación de señal/mapeo de bits, las fiabilidades de los bits de palabra de código en la palabra de código LDPC después de la aplicación de reducción o perforación pueden ser diferentes a las mismas antes de la aplicación de la perforación o reducción.

La figura 10 ilustra otro ejemplo de una matriz de comprobación de paridad de un código LDPC de DVB-S2.

En la figura 10, $N_1=40$, $K_1=10$, $M_1=5$ y $q=6$ y las secuencias de posición de ponderación-1 para las columnas de orden 0 en dos grupos de columnas de una palabra de información, son como sigue:

0 5 10 20 25
71526

- 5 Una secuencia de posición de ponderación-1 i -ésima en una columna i -ésima representa secuencialmente la información sobre las posiciones de las filas con 1 en un grupo de columnas i -ésimo.

Haciendo referencia a la figura 10, el grado de cada columna correspondiente al primer grupo de columnas es 5, y el grado de cada columna correspondiente al segundo grupo de columnas es 3. En general, en relación con un código LDPC, su efecto de mejora del rendimiento es excelente en un procedimiento de decodificación a medida que aumentan los grados. Por lo tanto, normalmente se espera que el rendimiento proporcionado después de la decodificación de los bits correspondientes al primer grupo de columnas sea superior comparado al del segundo grupo de columnas.

10

Haciendo referencia a la figura 11, se realizará a continuación una breve descripción de un patrón de perforación que es adecuado cuando se aplica modulación BPSK o QPSK al código LDPC con la matriz de comprobación de paridad de la figura 10. En la figura 11, y_0 e y_1 indican cada símbolo BPSK, o indican dos bits que componen un símbolo QPSK. Por lo tanto, y_0 e y_1 son iguales en cuanto a fiabilidad en la constelación de señal.

15

Haciendo referencia a la figura 11, después de que se ha perforado un bit de paridad correspondiente a una 5ª columna en una submatriz correspondiente a un bit de paridad arbitrario, se perfora un bit de paridad cuatro veces en un periodo de q . En este punto, los bits de información correspondientes a las columnas de grado-5 están conectados a bits de paridad perforados mediante 2 aristas, y los bits de información correspondientes a las columnas de grado-3 no están conectados a bits de paridad perforados en el grafo de Tanner.

20

En general, los bits conectados a muchos bits perforados muestran un mal efecto de mejora del rendimiento en el procedimiento de decodificación. Sin embargo, en la figura 11, las columnas de grado-5 siguen teniendo 3 aristas que no están conectadas a los bits perforados, de manera que el rendimiento puede no reducirse significativamente en el procedimiento de decodificación. Además, dado que los bits de información en las columnas de grado-3 no están conectados directamente a los bits de paridad perforados, una degradación significativa del rendimiento puede no ocurrir de manera similar en el procedimiento de decodificación.

25

En el presente documento se supone que las columnas de grado-5 son superiores a las columnas de grado-3 en términos del efecto de mejora del rendimiento en el procedimiento de decodificación. Sin embargo, esta suposición es válida solamente para BPSK o QPSK, y no puede aplicarse siempre para modulación de orden superior general.

30

Por ejemplo, como se ilustra en la figura 12A, la modulación 16QAM puede aplicarse al código LDPC con la matriz de comprobación de paridad de la figura 10. En la figura 12A, y_0 e y_1 indican bits de fiabilidad elevada que determinan signos de una parte real y una parte imaginaria en un símbolo 16QAM, respectivamente. Es decir, la relación de fiabilidad entre los bits se define como $y_0 = y_1 > y_2 = y_3$.

Haciendo referencia a la figura 12A, las columnas de grado-5 están mapeadas a y_3 y las columnas de grado-3 están mapeadas a y_1 . En otras palabras, las columnas de grado-5 están mapeadas a un bit de fiabilidad menor y las de grado-3 están mapeadas a un bit de fiabilidad mayor en la constelación de señal.

35

En este caso, no puede concluirse que las columnas de grado-5 tengan un mayor efecto de mejora del rendimiento en el procedimiento de decodificación. Las razones son las siguientes. En vista de las características de la modulación 16QAM, dado que las columnas de grado-5 están mapeadas a información de fiabilidad menor en una señal recibida de un canal, su mejora de la fiabilidad se realiza muy lentamente en el procedimiento de decodificación. Por otra parte, las columnas de grado-3, aunque tienen un grado bajo, se mapean a información de fiabilidad menor, de manera que el efecto de mejora de la fiabilidad se produce muy rápido.

40

Como se ha descrito anteriormente, no puede garantizarse que los bits correspondientes a las columnas de grado superior tengan siempre un rendimiento superior en el código LDPC al que se aplica modulación de orden superior.

45

Haciendo referencia de nuevo a la figura 12A, en una implementación, después de que se perfora un bit de paridad correspondiente a una 4ª columna en una submatriz correspondiente a un bit de paridad arbitrario, se perfora un bit de paridad cuatro veces a un periodo de q . En este punto, los bits de información tanto en las columnas de grado-5 como en las columnas de grado-3 están conectados a bits de paridad perforados mediante 1 arista en el grafo de Tanner.

50

En el patrón de perforación aplicado en la figura 11, los bits perforados están conectados solamente a las columnas de grado-5 debido a que el efecto de mejora del rendimiento de las columnas de grado-5 es alto en modulación BPSK o QPSK. Sin embargo, en el patrón de perforación ilustrado en la figura 12A, los bits perforados están distribuidos uniformemente considerando la diferencia entre fiabilidades correspondientes a cada grupo de columnas basándose en el esquema de modulación. En un análisis de este caso, dado que las columnas de grado-5 están

55

conectadas solamente a un bit perforado, existe una probabilidad elevada de que no se produzca más degradación significativa del rendimiento. Asimismo, aunque las columnas de grado-3 están conectadas a un bit perforado, corresponden a información de alta fiabilidad procedente de una señal recibida, de manera que existe una probabilidad elevada de que no se produzca una degradación significativa del rendimiento.

5 De manera similar, incluso cuando se aplica modulación 64QAM al código LDPC con la matriz de comprobación de paridad de la figura 10, tal como se muestra en la figura 12B, las características pueden ser diferentes a las de BPSK, QPSK y 16QAM. En la figura 12B, y_0 e y_1 indican bits de fiabilidad elevada que determinan signos de una parte real y una parte imaginaria en un símbolo 64QAM, respectivamente. Es decir, la relación de fiabilidad entre los bits se define como $y_0 = y_1 > y_2 = y_3 > y_4 = y_5$.

10 La figura 12B ilustra un ejemplo de un patrón de perforación obtenido considerando bits de paridad correspondientes a columnas de grado-2. En la figura 12A para 16QAM, aunque 3 bits entre los bits de paridad perforados están conectados a los bits y_2 e y_3 de fiabilidad mínima, dado que los bits de información correspondientes a las columnas de grado-5 o grado-3 tienen buen rendimiento, no se produce degradación del rendimiento. Sin embargo, en la figura 12B, cuando se aplica 64QAM, cuando demasiados bits de paridad están conectados a y_4 e y_5 con fiabilidades muy bajas, puede producirse una degradación del rendimiento. Por lo tanto, las fiabilidades correspondientes a los bits de paridad deberán asimismo considerarse cuidadosamente.

15 Cabe señalar, en las figuras 12A y 12B, que cuando la longitud de palabra de código del código LDPC se reduce debido a la reducción o perforación, los órdenes de los bits correspondientes a la constelación de señal son iguales, pero los bits disminuyen en una proporción predeterminada. Por ejemplo, en las figuras 12A y 12B, para un código LDPC, los órdenes $(y_3, y_1, y_0, y_2, y_1, y_3, y_2, y_0)$ e $(y_5, y_1, y_3, y_4, y_0, y_2, y_3, y_5, y_1, y_2, y_4, y_0)$ de bits correspondientes a las constelaciones de señal se mantienen, pero la proporción de los bits correspondientes a cada constelación de señal disminuye en proporción a la longitud de la palabra de código LDPC.

20 Tal como se ha descrito en las figuras 10, 11, 12A y 12B, es fácil suponer que podría cambiarse el mismo patrón de perforación de acuerdo con el esquema de modulación. Es decir, cuando se determina un esquema de modulación de orden superior y una constelación de señal/mapeo de bits para un código LDPC dado, el patrón de perforación óptimo está sometido a cambios de acuerdo con las conexiones entre bits perforados y otros bits no perforados. Por lo tanto, deberían aplicarse diferentes patrones de perforación de acuerdo con los esquemas de modulación de transmisión, para minimizar la degradación del rendimiento causada por la perforación.

25 El procedimiento general para aplicar el esquema de perforación descrito anteriormente puede resumirse en 5 etapas, como sigue. Por conveniencia, se supone en el presente documento que N_1 indica la longitud de una palabra de código LDPC, cada grupo de columnas incluye M_1 columnas y N_p bits de paridad se someten a perforación. El siguiente procedimiento de perforación se muestra resumidamente en la figura 13.

Etapa de perforación 1

35 Un aparato de transmisión genera una palabra de código LDPC de DVB-S2 reducida/no reducida existente, en la etapa 1301.

Etapa de perforación 2

El aparato de transmisión determina el número N_p de bits de paridad a perforar en la etapa 1303, y halla $A = \left\lfloor \frac{N_p}{M_1} \right\rfloor$

en la etapa 1305, donde $\lfloor x \rfloor$ es el número máximo entero que es menor o igual que x .

Etapa de perforación 3

40 El aparato de transmisión determina los bits de paridad a perforar $p_{i_0}, p_{i_1}, \dots, p_{i_{A-1}}$ para $0 \leq x < A$ y $0 \leq i_x < q$, de acuerdo con un esquema de modulación de transmisión, en la etapa 1307. Se asume que para $0 \leq x < q$, se determinaron previamente valores de i_x utilizando un procedimiento de evolución de la densidad que considera el esquema de modulación de transmisión (en el presente documento, se da una relación de $A \leq q$).

Etapa de perforación 4

45 El aparato de transmisión aplica perforación a todos los bits de paridad p_{ix+kqB} para $0 \leq x < A$ y $0 \leq k < M_1$, en la etapa 1307. En este caso, la constante B es un número entero predeterminado distinto de cero.

Etapa de perforación 5

El aparato de transmisión perfora adicionalmente los bits de paridad p_{iA+kqB} para $0 \leq k < N_p - AM_1$, en la etapa 1307. A continuación, el aparato de transmisión transmite bits excepto para los bits perforados en la etapa 1309.

50 A partir de la etapa de perforación 1 hasta la etapa de perforación 5, se comprenderá que el patrón de perforación puede definirse con precisión cuando se conoce el número N_p de bits a perforar, la información secuencial que

define valores de i_k y el valor de q .

5 Para describir ejemplos detallados en los que se llevan a cabo las etapas de perforación anteriores de acuerdo con los esquemas de modulación, en la tabla 1 se muestran patrones de perforación por debajo del óptimo (es decir, suboptimizados) para un código LDPC de DVB-S2 con $N_1=16200$, $K_1=7200$, $M_1=360$ y $q=25$. A continuación se describirá en detalle un procedimiento de selección de patrones de perforación subóptimos.

En la tabla 1, $(p_0, p_1, p_2, \dots, p_{8999})$ indica todos los bits de paridad del código LDPC de DVB-S2, que están enumerados en una fila.

Tabla 1

Variables principales del código LDPC de DVB-S2			$N_1=16200, K_1=7200, M_1=360, q=25$					
Agrupamiento de bits de paridad			Define un conjunto P_j que satisface las siguientes características para $0 \leq i < q=25$: $P_j = \{p_k k \equiv j \pmod{25}, 0 \leq k < 9000\}$. El conjunto P_j es un conjunto que tiene 360 bits de paridad como entradas.					
Intervalo de N_p			Procedimiento de perforación					
$0 \leq N_p < 9000$			Para un número entero $m = \left\lfloor \frac{N_p}{360} \right\rfloor$, perforar todos los bits de paridad correspondientes a m conjuntos de bits de paridad $P_{\pi(0)}, P_{\pi(1)}, \dots, P_{\pi(m-1)}$, y perforar adicionalmente $(N_p - 360m)$ bits de paridad de entre los bits de paridad correspondientes a $P_{\pi(m)}$. En este punto, π indica una función de permutación que es un patrón de perforación, y las relaciones se muestran en la parte inferior de la tabla.					
$\pi(0)$	$\pi(1)$	$\pi(2)$	$\pi(3)$	$\pi(4)$	$\pi(5)$	$\pi(6)$	$\pi(7)$	$\pi(8)$
$\pi(9)$	$\pi(10)$	$\pi(11)$	$\pi(12)$	$\pi(13)$	$\pi(14)$	$\pi(15)$	$\pi(16)$	$\pi(17)$
$\pi(18)$	$\pi(19)$	$\pi(20)$	$\pi(21)$	$\pi(22)$	$\pi(23)$	$\pi(24)$	-	-
Relación entre funciones de permutación suboptimizadas en BPSK/QPSK								
6	4	18	9	13	8	15	20	5
17	2	24	10	22	12	3	16	23
1	14	0	21	19	7	11	-	-
Relación entre funciones de permutación suboptimizadas en 16QAM								
6	4	13	9	18	8	15	20	5
17	2	24	22	14	23	3	19	10
1	12	0	16	21	7	11	-	-
Relación entre funciones de permutación suboptimizadas en 64QAM								
15	3	23	6	13	18	1	9	17
8	5	20	16	22	4	24	14	2
21	12	7	10	19	11	0	-	-

Haciendo referencia a la tabla 1, puede apreciarse que cuando se determina la longitud de los bits de paridad a perforar, el procedimiento de perforación basándose en patrones de perforación subóptimos se lleva a cabo mediante un procedimiento predeterminado independientemente del esquema de modulación, pero las relaciones entre las funciones de permutación que indican patrones de perforación optimizados son todas diferentes de acuerdo con los esquemas de modulación. Es decir, cuando se aplica el procedimiento de perforación sin tener en cuenta el esquema de modulación, puede producirse una degradación significativa del rendimiento de acuerdo con los esquemas de modulación.

A partir del procedimiento de perforación, puede apreciarse asimismo que AM_1 bits de paridad se perforan en la etapa de perforación 3 y en la etapa de perforación 4, y N_p-AM_1 bits de paridad se perforan en la etapa de perforación 5, de manera que se perfora un total de N_p bits de paridad.

Los patrones de perforación subóptimos mostrados en la tabla 1 pueden no ser únicos en función de las condiciones para encontrar los patrones de perforación. Debido a que son posibles varias selecciones del procedimiento de selección de los patrones de perforación, que se describirá en detalle a continuación, pueden estar disponibles muchos patrones de perforación que muestran un buen rendimiento. De hecho, los patrones de perforación mostrados en la tabla 2 pueden proporcionar asimismo un rendimiento excelente, tal como los patrones de perforación definidos en la tabla 1.

Tabla 2

Variables principales del código LDPC de DVB-S2		$N_1=16200, K_1=7200, M_1=360, q=25$						
Agrupamiento de bits de paridad		Define un conjunto P_j que satisface las siguientes características para $0 \leq j < q=25$: $P_j = \{p_k k \equiv j \pmod{25}, 0 \leq k < 9000\}$. El conjunto P_j es un conjunto que tiene 360 bits de paridad como entradas.						
Intervalo de N_p		Procedimiento de perforación						
$0 \leq N_p < 9000$		Para un número entero $m = \left\lfloor \frac{N_p}{360} \right\rfloor$, perforar todos los bits de paridad correspondientes a m conjuntos de bits de paridad $P_{\pi(0)}, P_{\pi(1)}, \dots, P_{\pi(m-1)}$, y perforar adicionalmente $(N_p - 360m)$ bits de paridad de entre los bits de paridad correspondientes a $P_{\pi(m)}$. En este caso, π indica una función de permutación que es un patrón de perforación, y las relaciones se muestran en la parte inferior de la tabla.						
$\pi(0)$	$\pi(1)$	$\pi(2)$	$\pi(3)$	$\pi(4)$	$\pi(5)$	$\pi(6)$	$\pi(7)$	$\pi(8)$
$\pi(9)$	$\pi(10)$	$\pi(11)$	$\pi(12)$	$\pi(13)$	$\pi(14)$	$\pi(15)$	$\pi(16)$	$\pi(17)$
$\pi(18)$	$\pi(19)$	$\pi(20)$	$\pi(21)$	$\pi(22)$	$\pi(23)$	$\pi(24)$	-	-
Relación entre funciones de permutación suboptimizadas en BPSK/QPSK								
6	4	18	9	13	8	15	20	5
17	2	24	10	22	12	3	16	23
1	14	0	21	19	7	11	-	-
Relación entre funciones de permutación suboptimizadas en 16QAM								
6	4	13	9	18	8	15	20	5
17	2	22	24	7	12	1	16	23
14	0	21	10	19	11	3	-	-
Relación entre funciones de permutación suboptimizadas en 64QAM								
6	15	13	10	3	17	21	8	5
19	2	23	16	24	7	18	1	12
20	0	4	14	9	11	22	-	-

El procedimiento de mapeo de bits correspondientes a las constelaciones de señal utilizadas en modulaciones 16QAM y 64QAM de la tabla 2 es el resultado obtenido aplicando los mismos esquemas de mapeo de bits a aquellos que se ilustran en las figuras 12A y 12B.

La palabra de código LDPC de DVB-S2 transmitida después de experimentar la perforación se restaura a su señal original a partir de una señal recibida en un aparato de recepción, mediante el procedimiento de decodificación de la figura 14.

5 La figura 14 es un diagrama de flujo que ilustra un procedimiento de recepción en un aparato de recepción de acuerdo con una realización de la presente invención.

Haciendo referencia a la figura 14, un aparato de recepción determina o estima un patrón de perforación/reducción a partir de una señal recibida, en la etapa 1401. A continuación, el aparato de recepción determina en la etapa 1403 si existen bits perforados o reducidos. En ausencia de bits perforados o reducidos, el aparato de recepción lleva a cabo la decodificación, en la etapa 1409. Sin embargo, cuando existen bits perforados o reducidos, en la etapa 1405 el aparato de recepción proporciona el patrón de perforación/reducción al codificador 1560 LDPC, que se describirá en relación con la figura 15, en la etapa 1405.

En la etapa 1407, el codificador 1560 LDPC determina que los bits perforados son bits borrados, y determina que la probabilidad de que los valores de los bits reducidos sean cero (0) es de 1. A continuación, el codificador 1560 LDPC lleva a cabo la decodificación, en la etapa 1409.

15 En el procedimiento de perforación, se aplica una perforación q -periódica para estabilizar el rendimiento del código LDPC de DVB-S2 utilizando características estructurales del código LDPC de DVB-S2.

Una diferencia más significativa entre la presente invención y la técnica anterior radica en considerar la fiabilidad del esquema de modulación de transmisión cuando se determinan bits de paridad a perforar en la etapa de perforación 3. En este punto, se proporciona a continuación un ejemplo de un procedimiento de selección de secuencia para determinar los bits a perforar en el código LDPC de DVB-S2 en la etapa de perforación 3. El siguiente procedimiento de selección está sometido a cambios, cuando se aplica a otros códigos LDPC.

Procedimiento de selección 1

En primer lugar se determinan los bits que están conectados, si es posible, a un número menor de bits de información.

25 Procedimiento de selección 2

A partir de los bits de paridad determinados en el procedimiento de selección 1, se determinan los bits de paridad a perforar, que presentan el rendimiento más asintótico, utilizando un procedimiento de análisis de evolución de la densidad que considera tanto un esquema de modulación como una distribución de grados.

Procedimiento de selección 3

30 Basándose en los bits de paridad a perforar determinados en el procedimiento de selección 2, se repiten el procedimiento de selección 1 y el procedimiento de selección 2 sobre los bits, excluyendo los bits a perforar ya seleccionados.

Normalmente, cuando el número N_p de bits a perforar varía mucho, los patrones de perforación optimizados basándose en el valor de N_p pueden no tener correlación entre sí. En otras palabras, en un sistema donde el valor de N_p varía mucho, todos los patrones de perforación optimizados basándose en el valor de N_p deberían almacenarse por separado para un rendimiento optimizado.

40 Sin embargo, aunque no está garantizado que los patrones de perforación obtenidos aplicando el procedimiento de selección anterior sean óptimos para todos los casos, tendrían un rendimiento relativamente estable a partir de un patrón de perforación que tenga una regla regular, independientemente de un cambio en el valor de N_p , garantizando de ese modo el rendimiento relativamente estable y un almacenamiento sencillo de los patrones de perforación.

Por ejemplo, suponiendo que los órdenes de los bits de paridad a perforar se establecen como P_1, P_2, \dots, P_q , puede almacenarse solamente una secuencia que indica los órdenes de los bits de paridad para permitir una perforación eficaz para un valor arbitrario de N_p , a través de la etapa de perforación 1 hasta la etapa de perforación 5.

45 La técnica de perforación puede contribuir a un aumento en la tasa de código, debido a que puede cambiar una longitud de una palabra de código LDPC, y reducir la longitud de la palabra de código sin cambiar una longitud de la información. Preferentemente, la perforación y la reducción pueden aplicarse conjuntamente para obtener la tasa de código y una longitud de palabra de código necesarias en el sistema.

50 Suponiendo, tal como se ha descrito anteriormente, que una longitud de palabra de código y una longitud de información de un código LDPC, que se pretende que se obtengan finalmente a partir de un código LDPC dado con una longitud de palabra de código N_1 y una longitud de información K_1 mediante reducción y perforación, son N_2 y K_2 , respectivamente, si se proporciona una definición de $N_1 - N_2 = N_\Delta$ y $K_1 - K_2 = K_\Delta$, el código LDPC con una longitud de palabra de código N_2 y una longitud de información K_2 puede generarse reduciendo K_Δ bits y perforando $N_p (= N_\Delta - K_\Delta)$ bits a partir de una matriz de comprobación de paridad del código LDPC dado. En el caso del código LDPC

generado, para $N_{\Delta} > 0$ o $K_{\Delta} > 0$, dado que la tasa de código es $\frac{K_1 - K_{\Delta}}{N_1 - N_{\Delta}}$, las longitudes de perforación y reducción pueden establecerse considerando N_2 y $\frac{K_1 - K_{\Delta}}{N_1 - N_{\Delta}}$.

La figura 15 es un diagrama de bloques de un aparato de transmisión que utiliza un código LDPC perforado/reducido, de acuerdo con una realización de la presente invención.

5 Haciendo referencia a la figura 15, un aparato de transmisión incluye un controlador 1510, un aplicador 1520 de patrón de reducción, un extractor 1540 de matriz de comprobación de paridad de código LDPC, un codificador 1560 LDPC y un aplicador 1580 de patrón de perforación.

10 El extractor 1540 de matriz de comprobación de paridad de código LDPC extrae una matriz de comprobación de paridad de código LDPC que se ha sometido a reducción. La matriz de comprobación de paridad de código LDPC puede extraerse utilizando una memoria, puede proporcionarse en el aparato de transmisión o puede generarse por el aparato de transmisión.

15 El controlador 1510 controla el aplicador 1520 de patrón de reducción para determinar un patrón de reducción de acuerdo con una longitud de información. El aplicador 1520 del patrón de reducción inserta bits con un valor de 0 en las posiciones correspondientes a bits reducidos, o elimina columnas correspondientes a los bits reducidos, a partir de una matriz de comprobación de paridad de un código LDPC dado. El patrón de reducción puede determinarse extrayendo un patrón de reducción almacenado en una memoria, generando un patrón de reducción utilizando un generador de secuencia (no mostrado) u obteniendo un patrón de reducción utilizando un algoritmo de análisis de evolución de la densidad para una matriz de comprobación de paridad y una longitud de información dada.

20 El aplicador 1520 del patrón de reducción es opcional cuando no se requiere la reducción para el código. Además, el controlador 1510 controla el aplicador 1580 del patrón de perforación para determinar y aplicar un patrón de perforación de acuerdo con un esquema de modulación y una longitud de bits de perforación.

25 El aplicador 1580 del patrón de perforación determina el número de bits de paridad a perforar, divide en intervalos predeterminados los bits de paridad, determina el número de bits de perforación, que se someten a perforación dentro de los intervalos predeterminados, determina un esquema de modulación, determina posiciones de los bits de paridad a perforar correspondientes al número determinado de bits de perforación dentro de los intervalos predeterminados de acuerdo con el esquema de modulación determinado, y lleva a cabo perforación repetidamente sobre los bits de paridad a perforar correspondientes a las posiciones determinadas en los intervalos predeterminados. Los intervalos predeterminados se determinan dividiendo una longitud de los bits de paridad por una longitud de un grupo de columnas en una matriz de comprobación de paridad.

30 Los bits restantes, excepto los bits perforados, se transmiten a un receptor de acuerdo con el esquema de modulación, mediante una unidad de transmisión (no mostrada).

El codificador 1560 LDPC lleva a cabo la codificación basándose en el código LDPC reducido mediante el controlador 1510 y el aplicador 1520 del patrón de reducción.

35 La figura 16 es un diagrama de bloques de un aparato de recepción de acuerdo con una realización de la presente invención, en el que una señal transmitida desde un sistema de comunicación que utiliza un código LDPC de DVB-S2 perforado/reducido, se recibe y restaura a los datos deseados por el usuario.

Haciendo referencia a la figura 16, un aparato de recepción incluye un controlador 1610, una unidad 1620 de determinación/estimación de un patrón de reducción/perforación, un demodulador 1630 y un decodificador 1640 LDPC.

40 El demodulador 1630 recibe y demodula un código LDPC reducido/perforado, y proporciona la señal demodulada a la unidad 1620 de determinación/estimación del patrón de reducción/perforación y al decodificador 1640 LDPC.

45 La unidad 1620 de determinación/estimación del patrón de reducción/perforación, bajo el control del controlador 1610, estima o determina información sobre un patrón de perforación/reducción del código LDPC a partir de la señal demodulada, y proporciona al decodificador 1640 LDPC información de posición de los bits perforados/reducidos. La unidad 1620 de determinación/estimación del patrón de reducción/perforación puede determinar o estimar el patrón de perforación/reducción extrayendo un patrón de perforación/reducción almacenado en una memoria, generando un patrón de perforación/reducción utilizando un procedimiento de generación implementado previamente u obteniendo un patrón de perforación/reducción utilizando un algoritmo de análisis de evolución de la densidad para una matriz de comprobación de paridad y una longitud de información dada. El decodificador 1640 LDPC realiza un procedimiento de borrado sobre los bits perforados y lleva a cabo decodificación sobre los mismos.

50

5 Cuando el aparato de transmisión aplica tanto reducción como perforación, la unidad 1620 de determinación/estimación del patrón de reducción/perforación, en el aparato de recepción, puede llevar a cabo la determinación/estimación del patrón sobre la reducción en primer lugar, llevar a cabo la estimación/determinación del patrón sobre la perforación en primer lugar, o realizar la determinación/estimación del patrón tanto sobre la reducción como sobre la perforación. La unidad 1620 de determinación/estimación del patrón de reducción/perforación determina la presencia/ausencia de bits que perforación en la señal demodulada. Cuando existen bits de perforación, la unidad 1620 de determinación/estimación del patrón de reducción/perforación determina las posiciones de los bits de paridad perforados estimando información sobre el patrón de perforación.

10 El decodificador 1640 LDPC decodifica datos utilizando las posiciones determinadas de los bits de paridad perforados, suponiendo que la probabilidad de que los bits perforados sean cero (0) y la probabilidad de que los bits perforados sean 1, son iguales a 1/2. Debido a que la probabilidad de que los valores de los bits reducidos sean cero es 1 (es decir, el 100 %), el decodificador 1640 LDPC determina si permitirá o no que los bits reducidos formen parte de su operación de decodificación, en función del valor 1 de la probabilidad de que los bits reducidos sean cero.
15 Cuando el decodificador 1640 LDPC recibe información sobre la longitud del código LDPC de DVB-S2 reducido, mediante la unidad 1620 de determinación/estimación del patrón de reducción/perforación, el decodificador 1640 LDPC restaura los datos deseados por el usuario a partir de las señales recibidas.

20 Tal como se ha descrito en relación con la figura 15, la reducción se lleva a cabo en la etapa de entrada del codificador 1560 LDPC y la perforación se lleva a cabo en la etapa de salida del codificador 1560 LDPC. Sin embargo, en el aparato de recepción mostrado en la figura 16, el decodificador 1640 LDPC debería tener simultáneamente información sobre la perforación y la reducción, para hacer posible la decodificación.

Tal como resulta evidente a partir de la descripción anterior, las realizaciones de la presente invención pueden generar un código LDPC separado con una longitud de palabra de código diferente, optimizando el rendimiento de codificación/decodificación utilizando información sobre una matriz de comprobación de paridad dada en el sistema de comunicación que utiliza modulación de orden superior y códigos LDPC.

25 Si bien la invención se ha mostrado y descrito haciendo referencia a ciertas realizaciones a modo de ejemplo de la misma, los expertos en la materia comprenderán que pueden realizarse en la misma diversos cambios en la forma y los detalles sin apartarse del alcance de la invención, tal como se define mediante las reivindicaciones adjuntas.

REIVINDICACIONES

1. Un procedimiento para una decodificación de canal usando un código de comprobación de paridad de baja densidad, LDPC, comprendiendo el procedimiento:

- 5 demodular una señal transmitida desde un transmisor;
- determinar (1401) posiciones de bits de paridad perforados basándose en información acerca de un orden predeterminado de conjuntos de bits de paridad perforados y un número de conjuntos de bits de paridad perforados; y
- decodificar (1409) datos usando las posiciones de los bits de paridad perforados;

10 en el que el orden predeterminado de los conjuntos de bits de paridad perforados se determina como 6, 4, 13, 9, 18, 8, 15, 20, 5, 17, 2, 22, 24, 7, 12, 1, 16, 23, 14, 0, 21, 10, 19, 11, 3, cuando una longitud de palabra de código, N_1 , es 16200, una longitud de información, K_1 , es 7200, un esquema de modulación es modulación por amplitud en cuadratura, QAM, de 16 y el número de bits de paridad por conjunto de bits de paridad, M_1 , es 360 bits de paridad, en el que los conjuntos de bits de paridad se forman mediante la siguiente ecuación;

$$P_j = \{p_k \mid j \equiv k \pmod q, 0 \leq k < N_1 - K_1\},$$

15 donde P_j indica el j-ésimo conjunto de bits de paridad, N_1 indica una longitud de una palabra de código LDPC, K_1 , indica una longitud de una palabra de información, q es un valor que satisface $q = (N_1 - K_1) / M_1$, donde K_1/M_1 es un número entero, y $0 \leq j < q$.

2. El procedimiento de la reivindicación 1, la etapa de determinar las posiciones de los bits de paridad perforados, comprende:

- 20 determinar adicionalmente posiciones de los bits de paridad perforados restantes cuando el número de los bits de paridad perforados no es un múltiplo de un tamaño de los conjuntos de bits de paridad.

3. El procedimiento de la reivindicación 1, en el que el número de conjuntos de bits de paridad perforados se determina mediante la siguiente ecuación;

$$A = \left\lfloor \frac{N_p}{M_1} \right\rfloor$$

25 donde A indica el número de conjuntos de bits de paridad perforados y N_p indica un número de bits de paridad perforados.

4. Un aparato para una decodificación de canal usando un código de comprobación de paridad de baja densidad, LDPC, comprendiendo el aparato:

- 30 un demodulador (1630) para demodular una señal transmitida desde un transmisor;
- un estimador (1620) de patrón de perforación para determinar posiciones de bits de paridad perforados basándose en información acerca de un orden predeterminado de conjuntos de bits de paridad perforados y un número de conjuntos de bits de paridad perforados; y
- un decodificador (1640) para decodificar datos usando las posiciones de los bits de paridad perforados,

35 en el que el orden predeterminado de los conjuntos de bits de paridad perforados se determina como 6, 4, 13, 9, 18, 8, 15, 20, 5, 17, 2, 22, 24, 7, 12, 1, 16, 23, 14, 0, 21, 10, 19, 11, 3, cuando una longitud de palabra de código, N_1 , es 16200, una longitud de información, K_1 , es 7200, un esquema de modulación es modulación por amplitud en cuadratura, QAM, de 16 y el número de bits de paridad por conjunto de bits de paridad, M_1 , es 360 bits de paridad, en el que los conjuntos de bits de paridad se forman mediante la siguiente ecuación;

$$P_j = \{p_k \mid j \equiv k \pmod q, 0 \leq k < N_1 - K_1\},$$

40 donde P_j indica el j-ésimo conjunto de bits de paridad, N_1 indica una longitud de una palabra de código LDPC, K_1 , indica una longitud de una palabra de información, q es un valor que satisface $q = (N_1 - K_1) / M_1$, donde K_1/M_1 es un número entero, y $0 \leq j < q$.

45 5. El aparato de la reivindicación 4, en el que el estimador (1620) de patrón de perforación está configurado para determinar adicionalmente posiciones de los bits de paridad perforados restantes cuando el número de los bits de paridad perforados no es un múltiplo de un tamaño de los conjuntos de bits de paridad.

6. El aparato de la reivindicación 4, en el que el número de conjuntos de bits de paridad perforados se determina mediante la siguiente ecuación;

$$A = \left\lfloor \frac{N_p}{M_1} \right\rfloor$$

donde A indica el número de conjuntos de bits de paridad perforados y N_p indica un número de bits de paridad perforados.

$$H_1 = \begin{bmatrix} 1 & 1 & 1 & 1 & 1 & 1 & 0 & 0 \\ 1 & 1 & 0 & 1 & 0 & 1 & 1 & 0 \\ 1 & 1 & 1 & 0 & 0 & 0 & 1 & 1 \\ 1 & 0 & 1 & 1 & 1 & 0 & 0 & 1 \end{bmatrix}$$

FIG.1

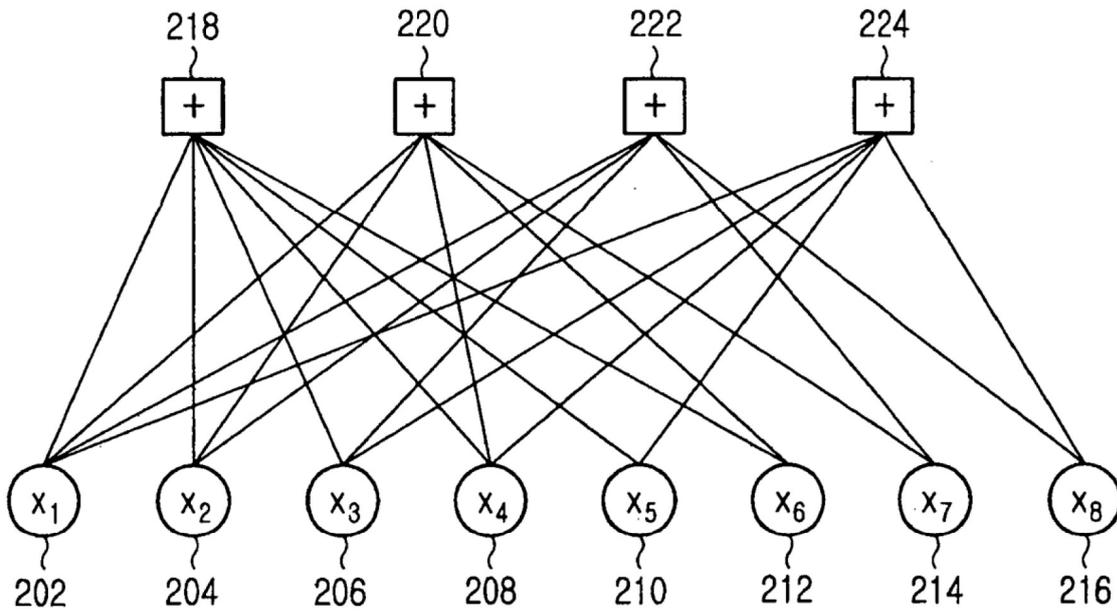


FIG.2

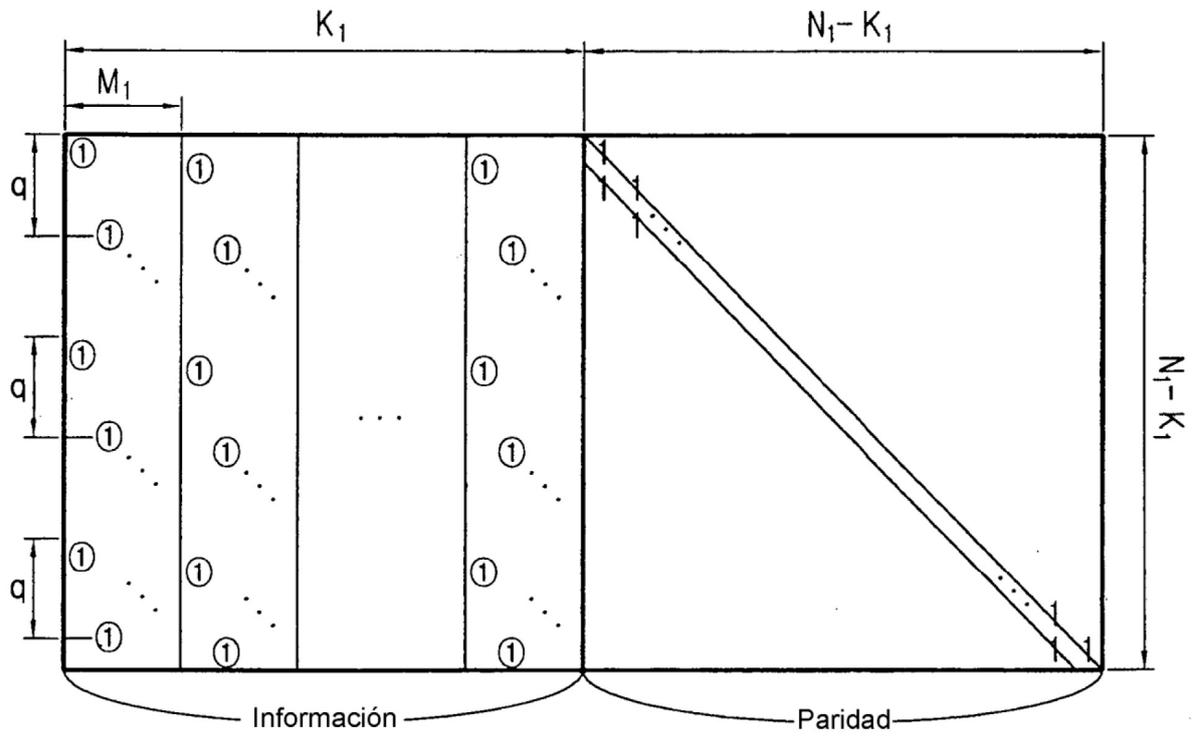


FIG.3

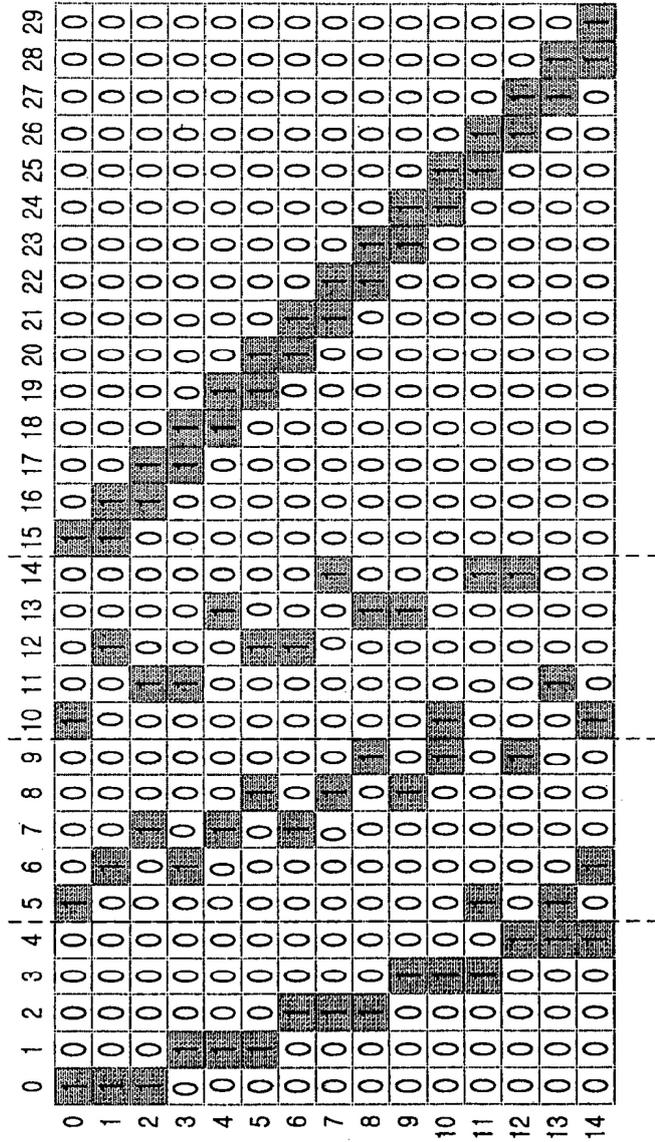


FIG.4

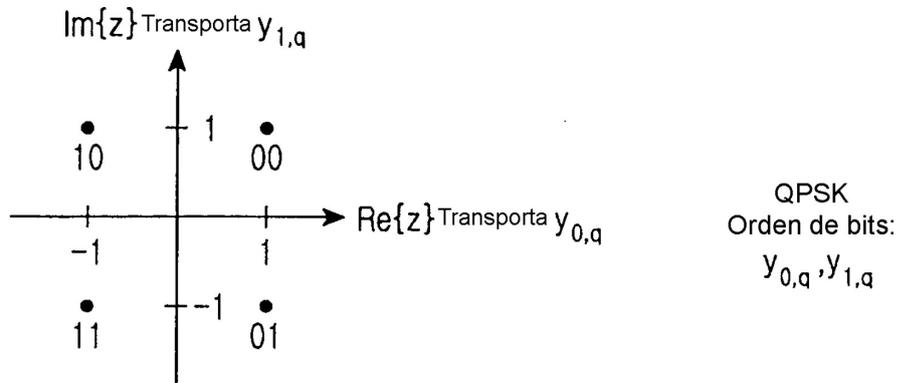


FIG.5A

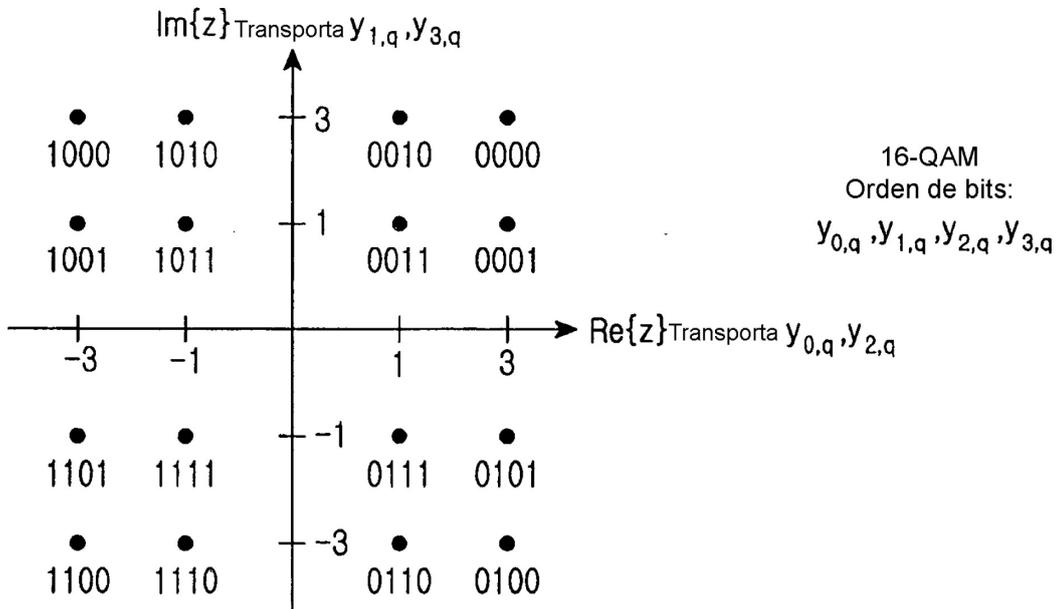


FIG.5B

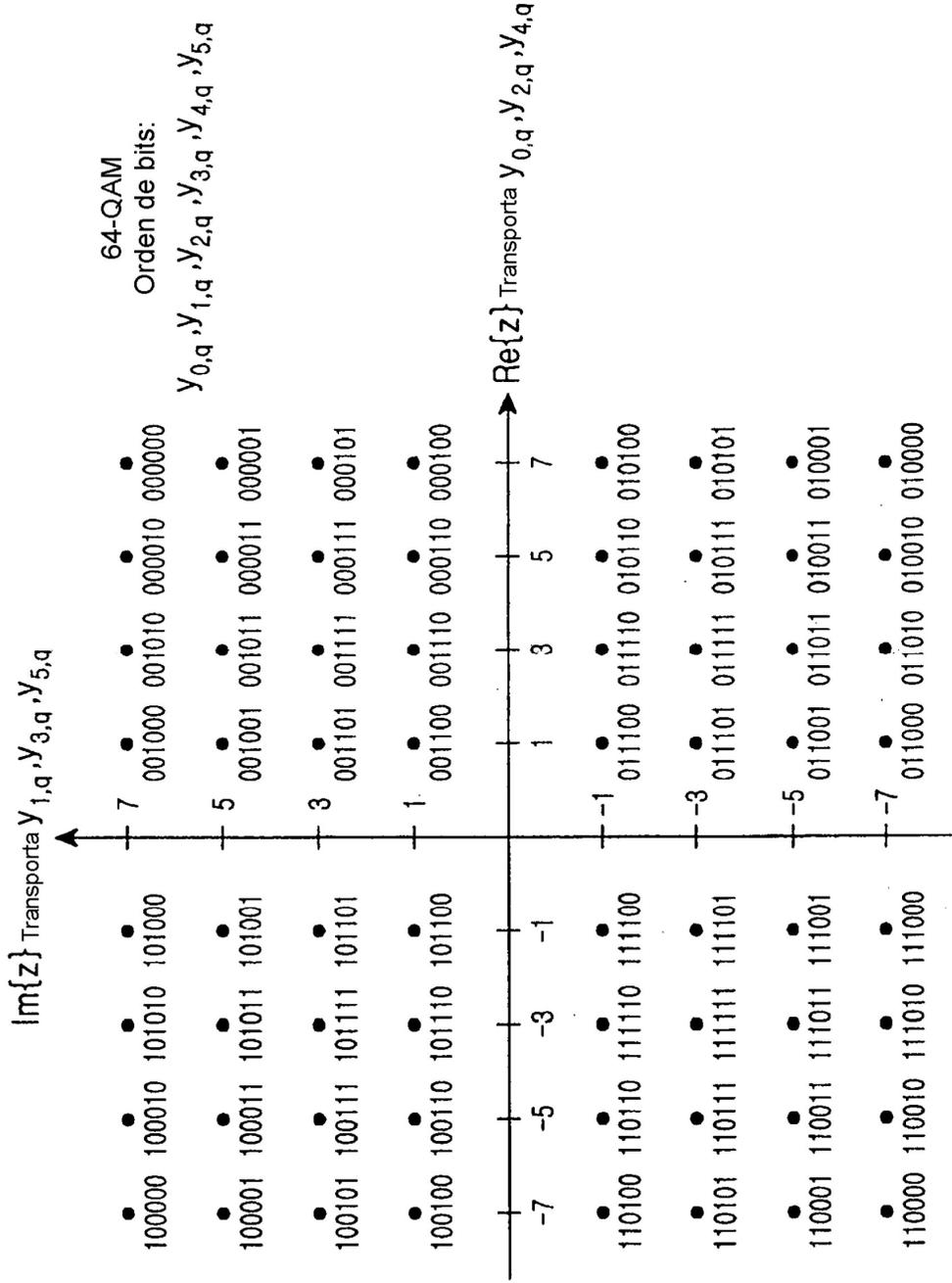


FIG.5C

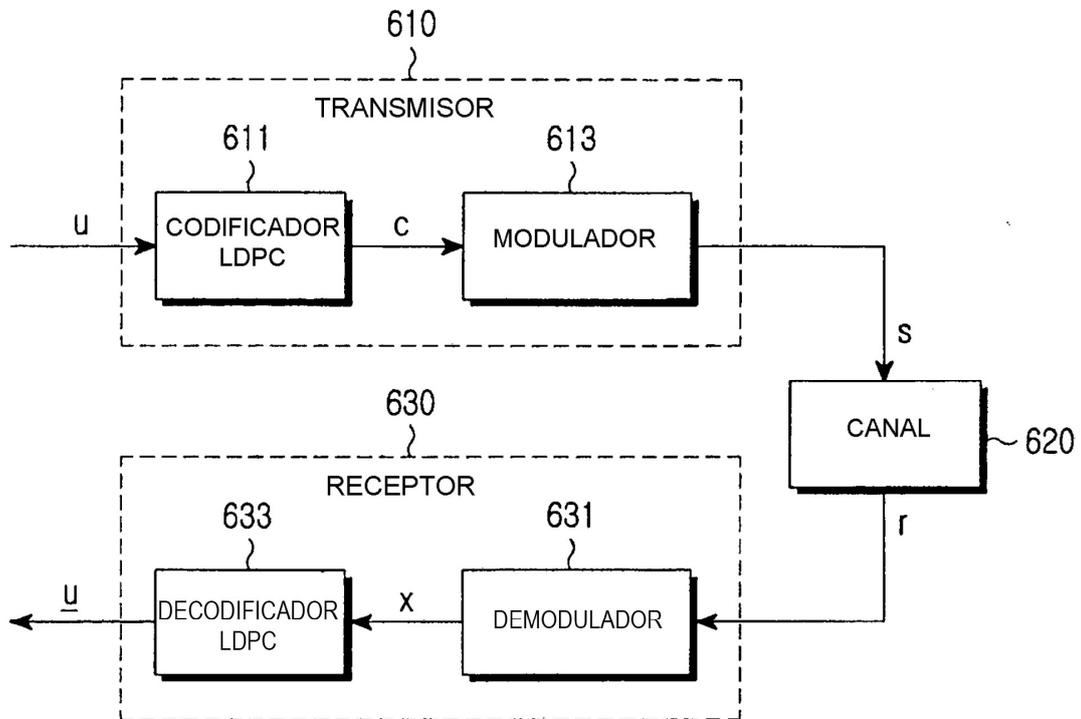


FIG.6

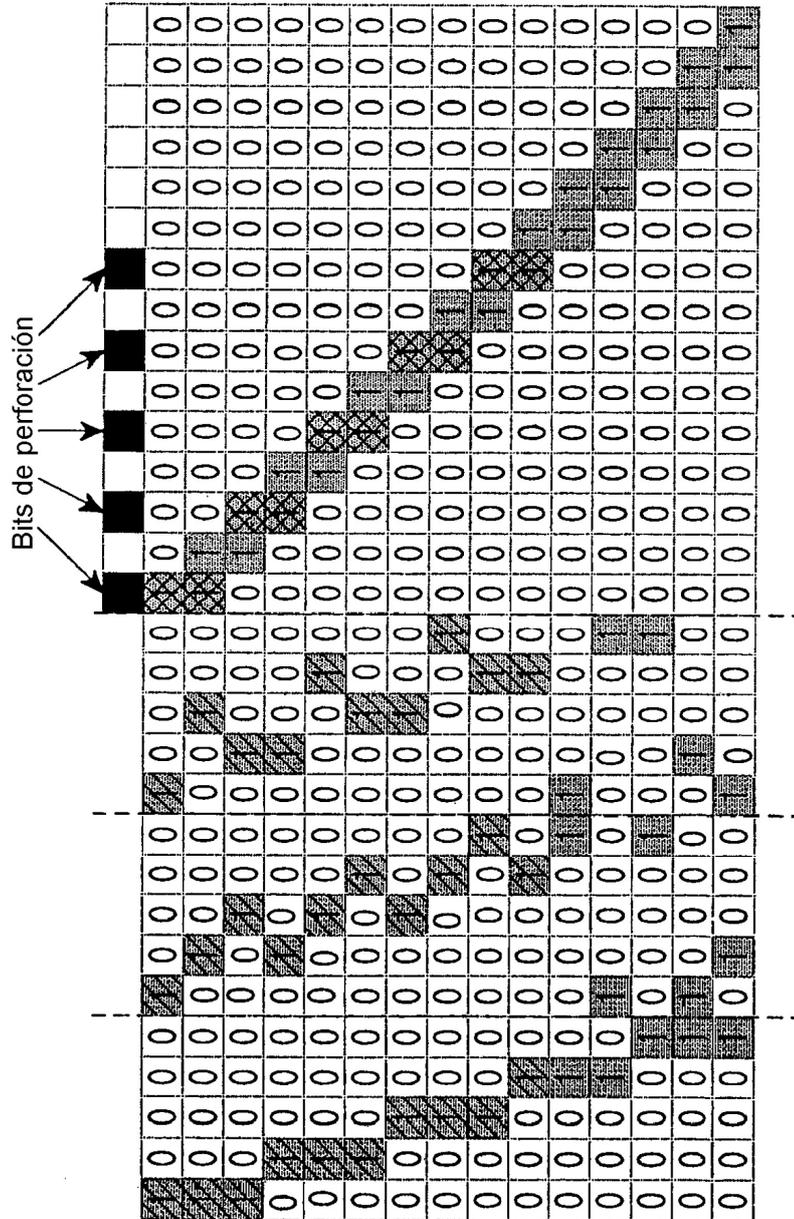


FIG.8

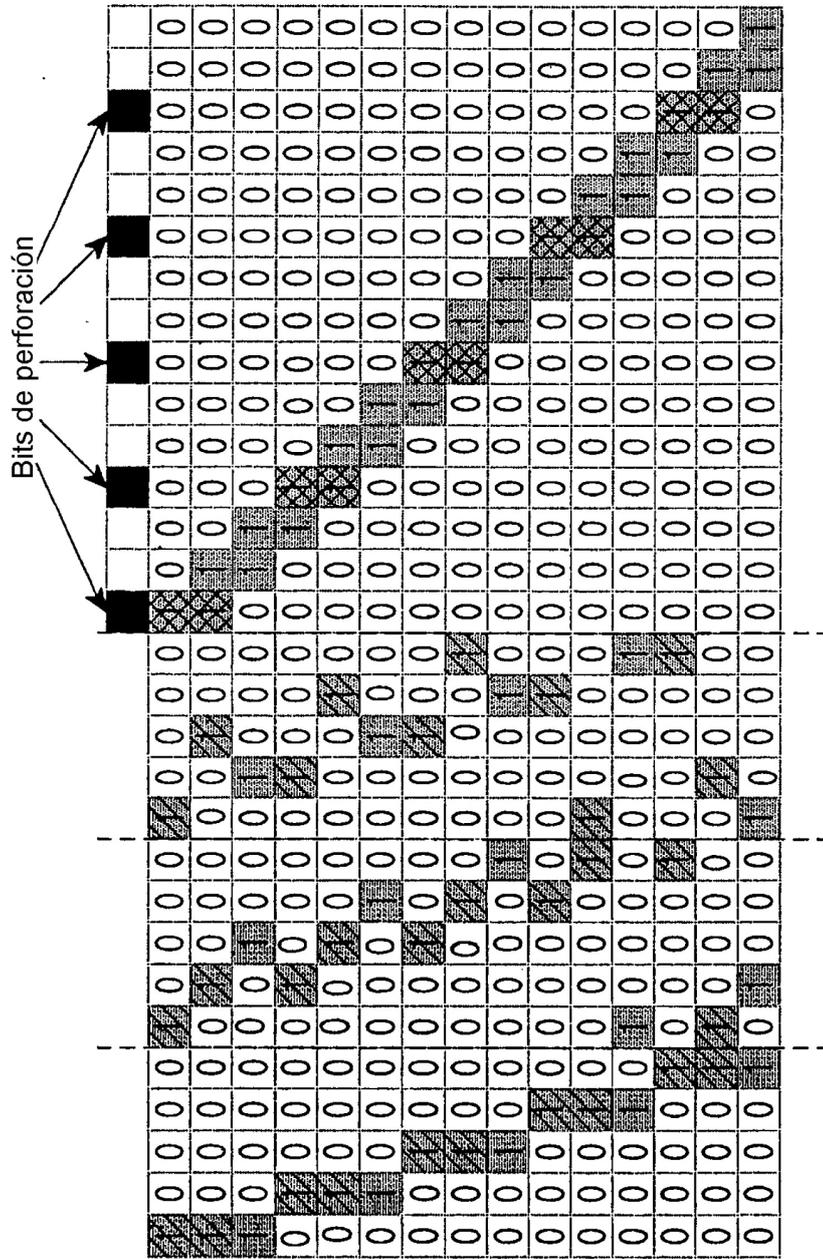


FIG.9

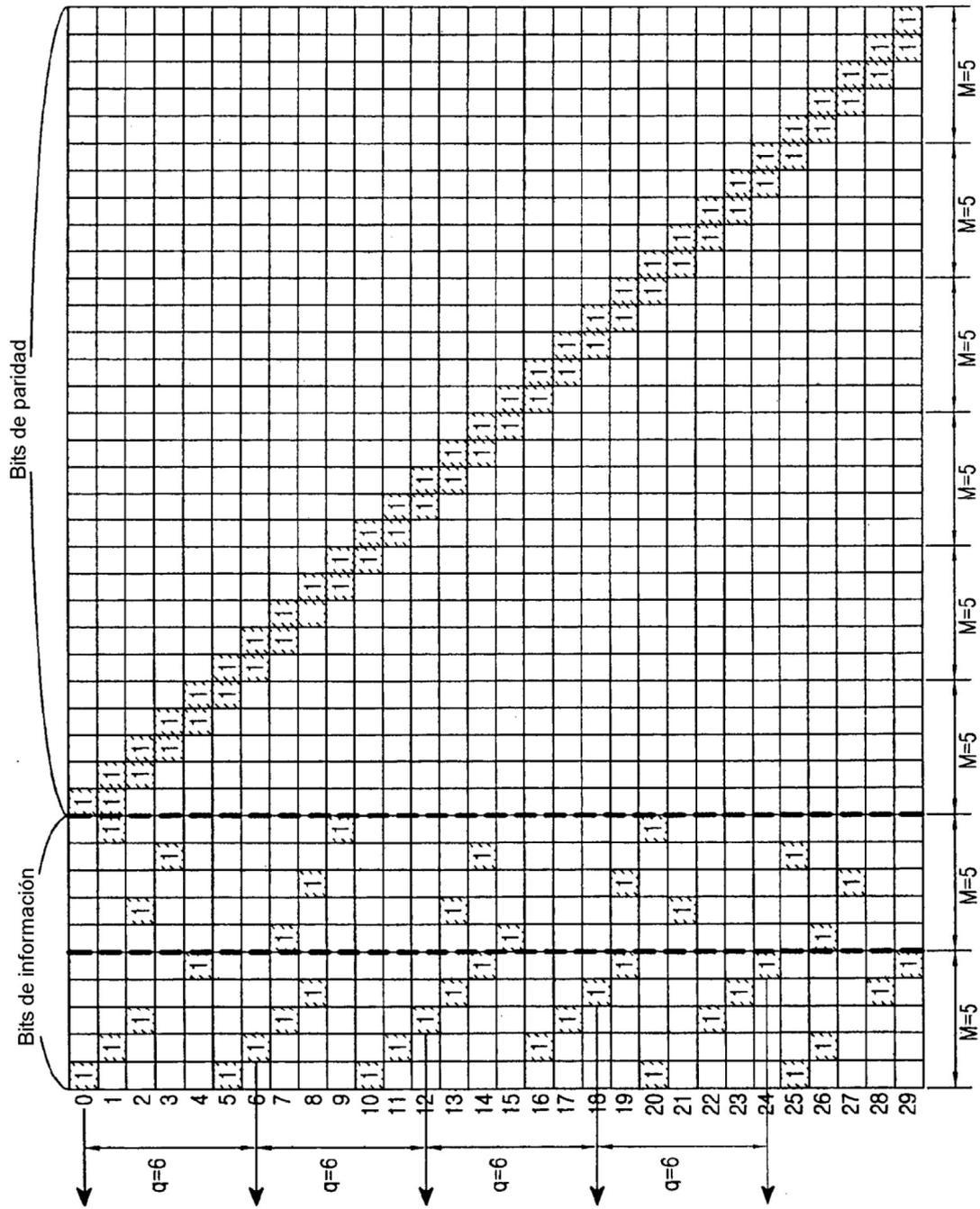


FIG.10

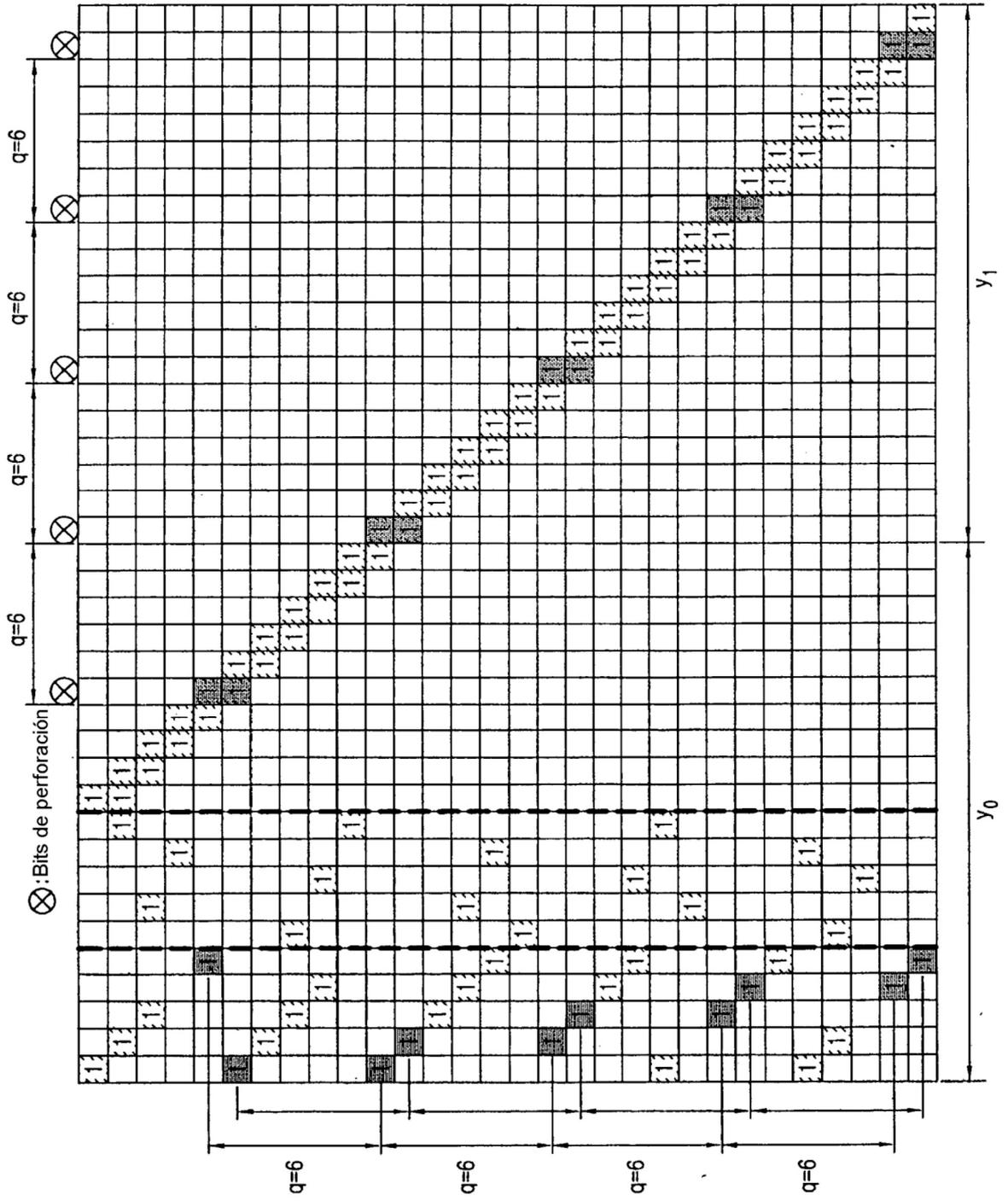


FIG.11

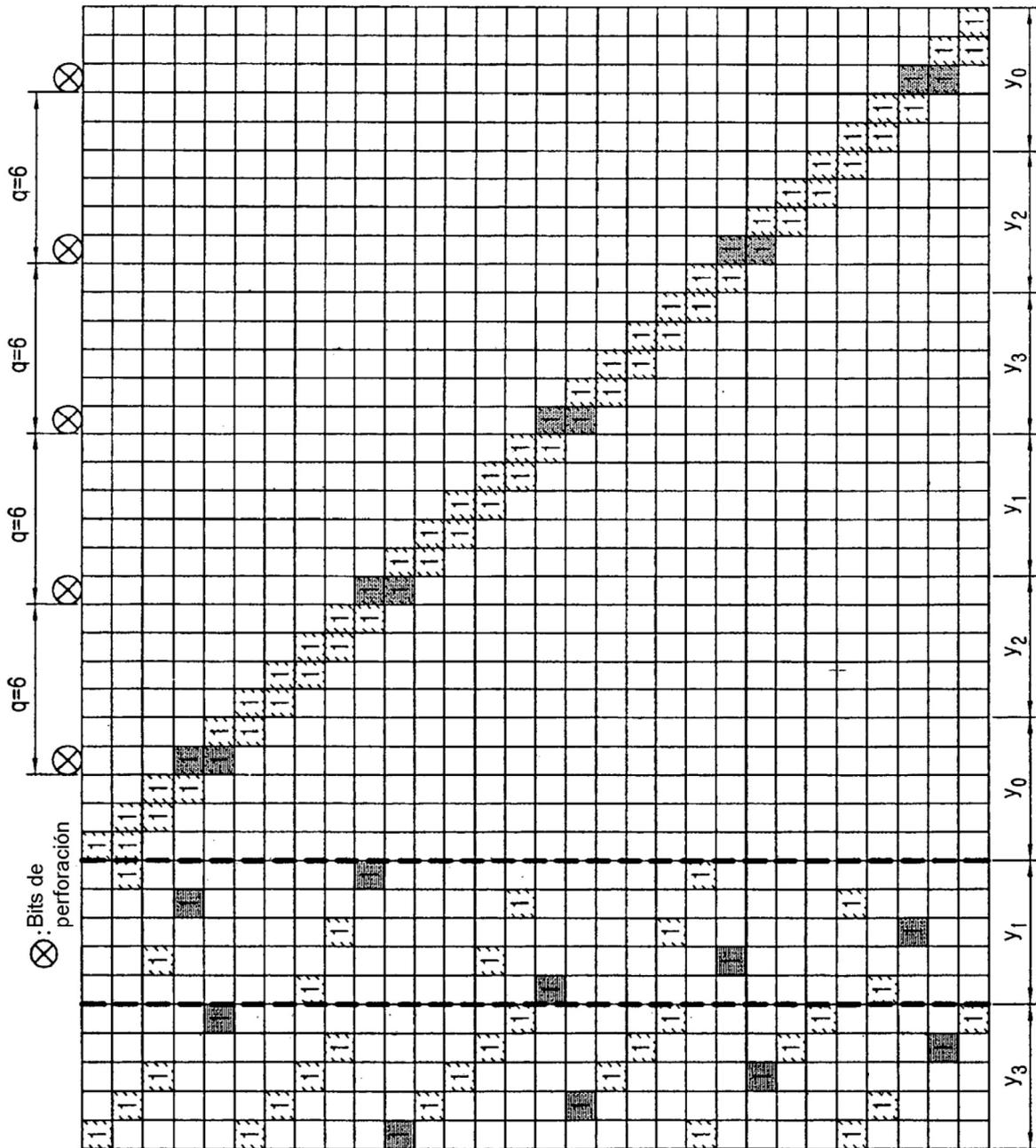


FIG.12A

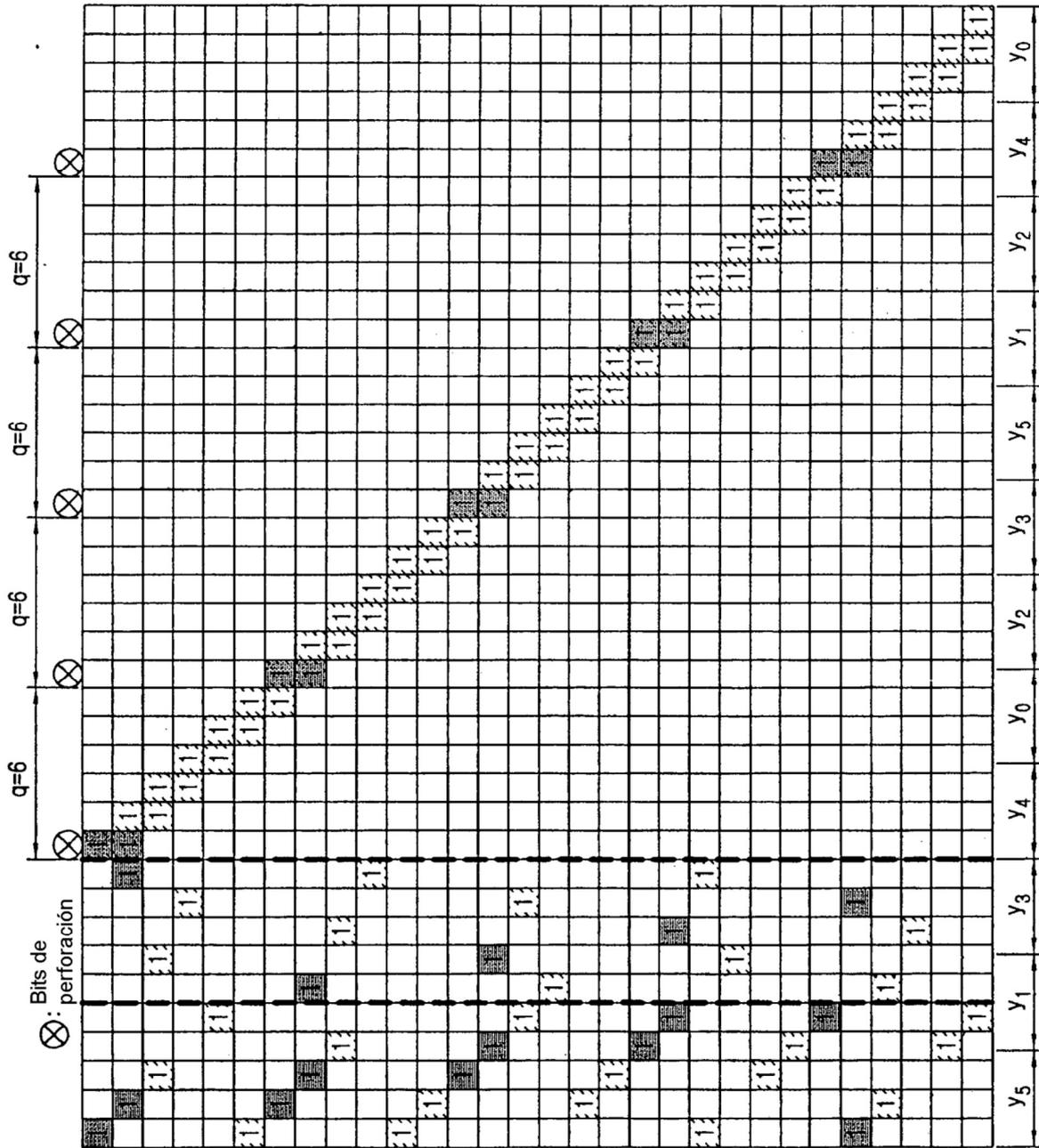


FIG. 12B

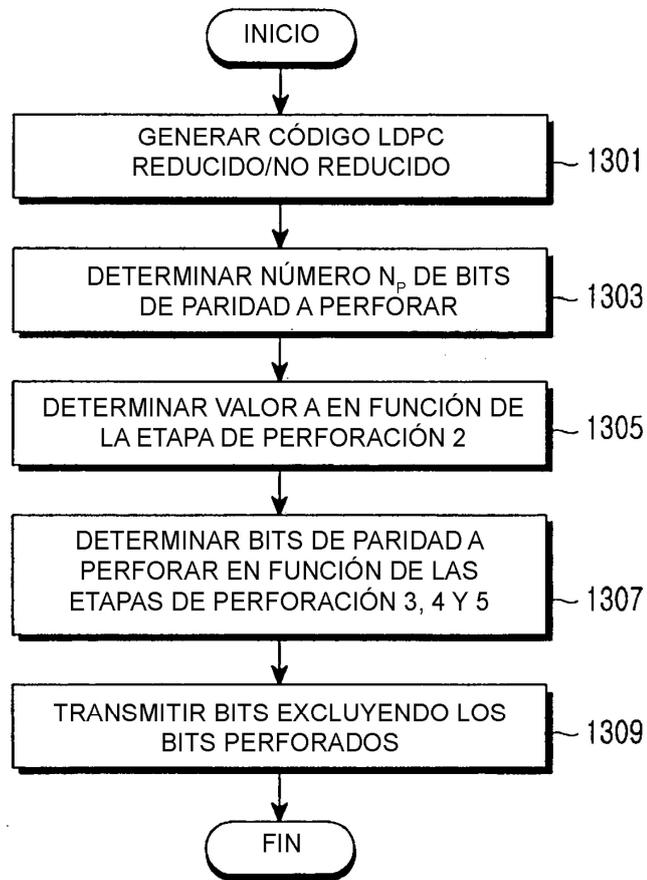


FIG.13

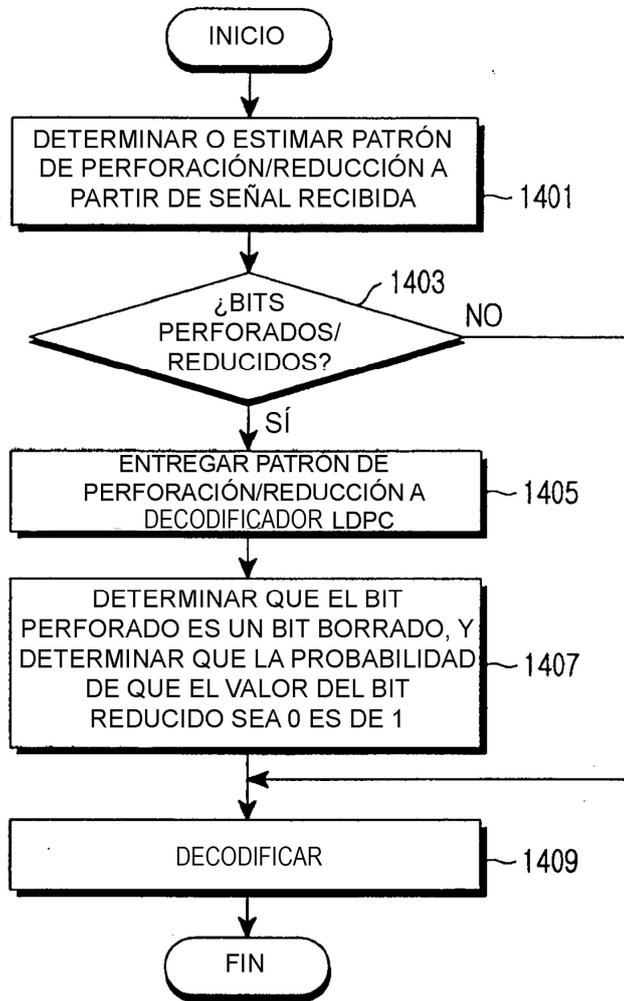


FIG.14

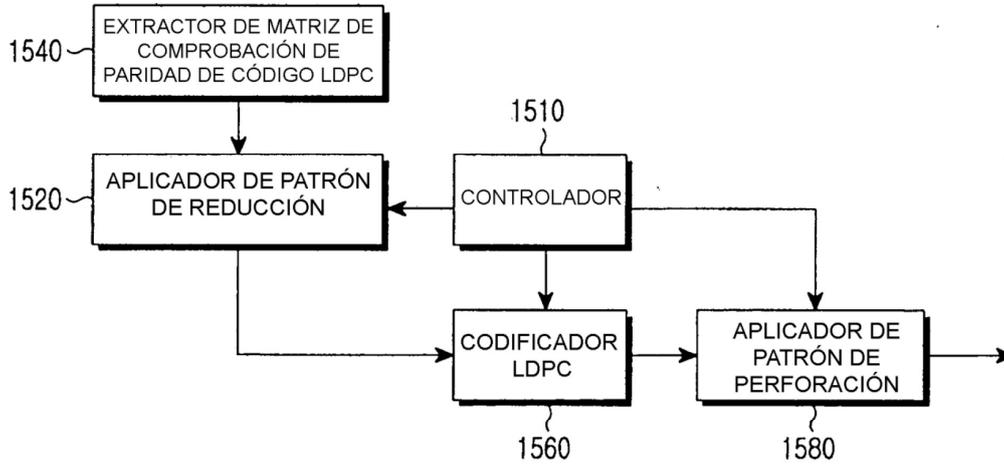


FIG.15

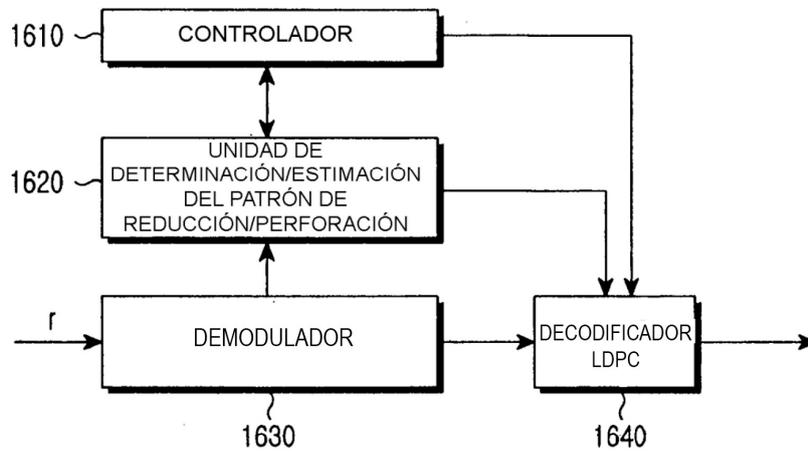


FIG.16