

19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 605 176**

51 Int. Cl.:

**G11C 7/12** (2006.01)

**G11C 11/4094** (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

- 86 Fecha de presentación y número de la solicitud internacional: **16.05.2008 PCT/US2008/063916**
- 87 Fecha y número de publicación internacional: **27.11.2008 WO08144526**
- 96 Fecha de presentación y número de la solicitud europea: **16.05.2008 E 08755718 (7)**
- 97 Fecha y número de publicación de la concesión europea: **28.09.2016 EP 2150959**

54 Título: **Procedimiento y aparato para reducir la corriente de fugas en formaciones de memoria**

30 Prioridad:

**18.05.2007 US 750505**

45 Fecha de publicación y mención en BOPI de la traducción de la patente:  
**13.03.2017**

73 Titular/es:

**QUALCOMM INCORPORATED (100.0%)  
ATTN: INTERNATIONAL IP ADMINISTRATION,  
5775 MOREHOUSE DRIVE  
SAN DIEGO, CALIFORNIA 92121-1714, US**

72 Inventor/es:

**JUNG, CHANG HO;  
CHEN, NAN y  
CHEN, ZHIQIN**

74 Agente/Representante:

**FORTEA LAGUNA, Juan José**

**ES 2 605 176 T3**

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

**DESCRIPCIÓN**

Procedimiento y aparato para reducir la corriente de fugas en formaciones de memoria

**5 ANTECEDENTES****I. Campo**

10 La presente divulgación se refiere, en general, a la electrónica y, más específicamente, a técnicas para reducir la corriente de fugas en formaciones de memoria.

**II. Antecedentes**

15 La tecnología de fabricación de circuitos integrados (IC) mejora continuamente y, como resultado, el tamaño de los transistores sigue disminuyendo. Esto permite la fabricación de más transistores y circuitos más complicados en un troquel de IC o, alternativamente, la utilización de un troquel más pequeño para un circuito dado. Un tamaño más pequeño de los transistores también da soporte a una velocidad de funcionamiento más rápida y proporciona otros beneficios.

20 Para la tecnología de semiconductor de óxido metálico complementario (CMOS), que es ampliamente utilizada para circuitos digitales y algunos circuitos analógicos, una cuestión importante en la reducción de tamaño de los transistores es la corriente de fugas. Una geometría de transistores más pequeños da como resultado un campo eléctrico (campo E) más alto, que tensiona un transistor y provoca la ruptura de óxido. Para disminuir el campo E, a menudo se utiliza un menor voltaje de fuente de alimentación para los transistores de geometría más pequeña. Desafortunadamente, el menor voltaje de la fuente de alimentación también aumenta el retardo de los transistores, que no es deseable para los circuitos de alta velocidad. Para reducir el retardo y mejorar la velocidad de funcionamiento, se reduce el voltaje de umbral ( $V_t$ ) de los transistores. El voltaje de umbral es el voltaje al que se encienden los transistores. Sin embargo, el menor voltaje de umbral y la geometría de transistores más pequeña dan como resultado una mayor corriente de fugas, que es la corriente que atraviesa un transistor cuando está apagado.

30 La corriente de fugas es más problemática a medida que la tecnología CMOS se reduce a escalas más pequeñas. Esto se debe a que la corriente de fugas aumenta a un ritmo elevado con respecto a la disminución de tamaño de los transistores. Por otra parte, la corriente de fugas es una cuestión importante para los dispositivos portátiles, tales como teléfonos celulares, asistentes digitales personales (PDA), ordenadores portátiles, etc. La corriente de fugas consume energía de la batería y reduce el tiempo de espera para dispositivos portátiles que utilizan baterías.

35 La reducción de la corriente de fugas sin sacrificar demasiado el rendimiento es un reto importante en los diseños de CMOS, especialmente cuando la tecnología de los IC se reduce a escalas más pequeñas. La reducción de la corriente de fugas es especialmente retardadora para las formaciones de memoria, que se utilizan comúnmente en muchos dispositivos electrónicos. Una formación de memoria tiene muchas filas y muchas columnas de celdas de memoria para almacenar datos, y puede tener muchas vías de corriente de fugas. Cada vía de corriente de fugas debería abordarse con el fin de lograr una corriente de fugas baja para la formación de memoria.

45 El documento US2004223396 divulga un dispositivo de memoria de semiconductores dinámico, capaz de reducir la corriente de espera. En una modalidad de espera, en la que solo se realiza una operación de actualización, una señal de precarga / eculización se activa solo durante un periodo predeterminado antes de que se active una líneas de palabras, con el fin de precargar un par de líneas de bits, a un voltaje que sea la mitad de un voltaje de línea inmediatamente antes de que se active la líneas de palabras. En la modalidad de espera, el par de líneas de bits está aislado eléctricamente de un regulador que genera un voltaje que es la mitad del voltaje de línea, a excepción del periodo predeterminado anterior, evitando de este modo el flujo de la corriente de fugas entre los mismos, incluso si se produce un defecto en el que se cortocircuita la línea de palabras con las líneas de bits.

50 En el documento US2004145959, los datos que indican si existe o no un defecto de cortocircuito en un bloque de memoria, se han programado en un circuito de programa de fusible. De acuerdo a los datos de programa de fusible y a una señal de instrucción de modalidad, la relación de correspondencia, entre una señal de selección de bloque y una correspondiente señal de instrucción de aislamiento de línea de bits, es conmutada mediante un circuito que genera la señal de instrucción de aislamiento de línea de bits en una modalidad específica. Se hace posible aislar el bloque de memoria, en el que existe una vía de corriente de fugas, de una correspondiente banda amplificadora de detección en una modalidad de funcionamiento específica. El consumo de corriente, al menos en un estado de espera, se reduce.

60 En el documento US2004042325, en el cual se basa el preámbulo, se enciende una pluralidad de p-MOSFET conectados a una línea de fuente de alimentación para precargar las líneas de bits. Una señal de cancelación de precarga, generada por un circuito NOR y un inversor, realiza el control de precarga para apagar los p-MOSFET, para fijar las líneas de bits en un estado flotante durante el periodo de una modalidad de espera, o encender los p-MOSFET para precargar las líneas de bits durante el periodo de una modalidad de lectura o modalidad de escritura.

65

**RESUMEN**

5 Las técnicas para la reducción de la corriente de fugas en formaciones de memoria se describen en el presente documento. Una formación de memoria comprende múltiples filas y múltiples columnas de celdas de memoria. Las líneas de bits están acopladas a las columnas de celdas de memoria, y las líneas de palabras están acopladas a las filas de celdas de memoria. Las líneas de bits tienen trayectos desconectados a una fuente de alimentación y flotan durante una modalidad de espera para la formación de memoria. Las líneas de bits se pueden hacer flotar apagando todos los transistores acoplados entre la fuente de alimentación y las líneas de bits.

10 Las líneas de bits se pueden acoplar a (i) circuitos de precarga utilizados para precargar las líneas de bits con el valor lógico alto antes de cada operación de lectura o escritura, (ii) transistores de paso utilizados para acoplar las líneas de bits a los amplificadores de detección para las operaciones de lectura y (iii) transistores de aumento en los controladores utilizados para controlar las líneas de bits para las operaciones de escritura. Los circuitos de precarga, los transistores de paso y los transistores de aumento pueden ser todos apagados durante la modalidad de espera.

15 Las líneas de palabras pueden fijarse en un nivel lógico predeterminado para desconectar las celdas de memoria de las líneas de bits durante la modalidad de espera. Las celdas de memoria pueden desconectarse de la fuente de alimentación mediante al menos un interruptor de cabecera durante la modalidad de espera, por ejemplo, si no se necesita la retención de datos por parte de las celdas de memoria.

20 Se describen en más detalle a continuación diversos aspectos y características de la divulgación.

**BREVE DESCRIPCIÓN DE LOS DIBUJOS**

25 La FIG. 1 muestra un diagrama de bloques de un dispositivo de memoria.

Las FIGs. 2 y 3 muestran diagramas esquemáticos de dos diseños de una formación de memoria y un circuito de entrada / salida (E/S).

30 La FIG. 4 muestra un diagrama esquemático de un controlador de líneas de palabras.

La FIG. 5 muestra un proceso para poner una formación de memoria en una modalidad de espera.

La FIG. 6 es un diagrama de bloques de un dispositivo inalámbrico.

**DESCRIPCIÓN DETALLADA**

Las técnicas para la reducción de la corriente de fugas en formaciones de memoria se describen en el presente documento. Las formaciones de memoria pueden ser para memoria de acceso aleatorio (RAM), RAM estática (SRAM), RAM dinámica (DRAM), DRAM síncrona (SDRAM), RAM de vídeo (VRAM), RAM gráfica síncrona (SGRAM), memoria de solo lectura (ROM), memoria flash, etc. Las formaciones de memoria pueden ser parte de dispositivos de memoria independientes o pueden estar integradas dentro de otros dispositivos, por ejemplo, procesadores.

45 **La FIG. 1** muestra un diagrama de bloques de un diseño de un dispositivo de memoria 100 con baja corriente de fugas. El dispositivo de memoria 100 incluye un cerrojo de direcciones 110, un decodificador de direcciones y controladores de líneas de palabras 120, una formación de memoria 150, un generador de señales de control 160 y un circuito de E/S 170. La formación de memoria 150 también se conoce como formación nuclear.

50 La formación de memoria 150 incluye M filas y N columnas de celdas de memoria 152, en donde tanto M como N pueden tener cualquier valor. Una celda de memoria es un circuito que puede almacenar un valor de datos y puede implementarse con varios diseños de circuitos. Las M filas de celdas de memoria se seleccionan mediante las M líneas de palabras WL1 a WLM. Las N columnas de celdas de memoria están acopladas a las N líneas de bits diferenciales BL1 y BL1b a BLN y BLNb.

55 El cerrojo de direcciones 110 recibe una dirección de una celda de memoria o un bloque de celdas de memoria a las que acceder, y bloquea la dirección. El decodificador de direcciones 120 recibe la dirección bloqueada y puede generar una dirección de fila en base a la dirección recibida. El decodificador de direcciones 120 puede a continuación realizar pre-decodificación en la dirección de fila y proporcionar señales pre-decodificadas que indican una línea de palabras específica para activar o afirmar. Los controladores de líneas de palabras 120 reciben las señales pre-decodificadas y controlan una línea de palabras específica, según lo indicado por las señales pre-decodificadas, de modo que pueda accederse a la fila deseada de celdas de memoria.

60 El circuito de E/S 170 incluye varios circuitos para la lectura de datos de las celdas de memoria 152 y la escritura de datos en las celdas de memoria. Por ejemplo, el circuito de E/S 170 incluye un amplificador de detección y un almacén temporal de salida de datos para cada línea de bits diferencial, para leer datos de las celdas de memoria acopladas a esa línea de bits. El circuito de E/S 170 incluye además un cerrojo de datos y controladores de entrada de datos para cada línea de bits diferencial, para escribir datos en las celdas de memoria acopladas a esa línea de bits.

El generador de señales de control 160 recibe una señal de reloj externa CLK y genera señales de control utilizadas para controlar el funcionamiento del dispositivo de memoria 100. Por ejemplo, el generador 160 puede generar señales de control utilizadas para operaciones de lectura y escritura.

5 El dispositivo de memoria 100 puede fabricarse con un proceso de CMOS de sub-micrones profundos. La corriente de fugas para el dispositivo de memoria 100 puede provenir de los siguientes orígenes:

- 10 • formación de memoria 150 - incluye celdas de memoria y líneas de bits, y
- circuitos periféricos - incluyen circuitos distintos a la formación de memoria 150, por ejemplo, un generador de señales de control 160, el circuito de E/S 170, etc.

15 La corriente de fugas a través de los circuitos periféricos puede reducirse de varias maneras. En un diseño, los circuitos periféricos pueden implementarse tanto con (i) transistores de  $V_t$  bajo, para las secciones donde se desea un alto rendimiento, como con (ii) transistores de  $V_t$  alto, para las secciones donde se desea una corriente de fugas baja y no sea necesario un rendimiento alto. En otro diseño, pueden utilizarse transistores de  $V_t$  bajo para los circuitos periféricos y pueden utilizarse transistores de  $V_t$  alto como interruptores de pie para conectar o desconectar los circuitos periféricos a la toma a tierra del circuito. En una modalidad funcional / operativa, los interruptores de pie pueden encenderse, y los circuitos periféricos pueden funcionar de manera normal. En una modalidad de espera, los interruptores de pie pueden apagarse, y la corriente de fugas a través de los circuitos periféricos puede estar limitada por la corriente de fugas a través de los interruptores de pie. Se pueden utilizar transistores de  $V_t$  alto para los interruptores de pie, para reducir la corriente de fugas a través de los circuitos periféricos.

25 La corriente de fugas a través de la formación de memoria 150 también puede reducirse de varias maneras. En primer lugar, la fuente de alimentación para las celdas de memoria puede desconectarse con interruptores de cabecera durante la modalidad de espera, lo cual puede reducir la corriente de fugas a través de las celdas de memoria. En segundo lugar, la corriente de fugas a través de las celdas de memoria mediante las líneas de bits se puede reducir mediante flotación de las líneas de bits durante la modalidad de espera, como se describe a continuación.

30 En general, un interruptor de cabecera y/o un interruptor de pie se pueden utilizar para un circuito dado, para reducir la corriente de fugas. Puede ser deseable utilizar interruptores de cabecera para la formación de memoria 150, para mejorar el rendimiento. La intensidad de reducción es un factor importante para el rendimiento de la lectura / escritura. Añadir interruptores de pie en serie con transistores de reducción dentro de las celdas de memoria puede afectar a la intensidad de reducción y mellar el rendimiento. Pueden utilizarse interruptores de cabecera para la formación de memoria, con el fin de minimizar el impacto en la intensidad de reducción. Puede ser deseable utilizar interruptores de pie para circuitos periféricos, ya que los interruptores de pie pueden implementarse con menos área de troquel de IC que los interruptores de cabecera. En general, pueden utilizarse interruptores de cabecera o interruptores de pie, o ambos, para la formación de memoria 150. También pueden utilizarse interruptores de cabecera o interruptores de pie, o ambos, para circuitos periféricos. Para mayor claridad, la siguiente descripción supone que se utilizan interruptores de cabecera para la formación de memoria 150 y que se utilizan interruptores de pie para circuitos periféricos.

35 **La FIG. 2** muestra un diagrama esquemático de una formación de memoria 150a y un circuito de E/S 170a, que es un diseño de la formación de memoria 150 y del circuito de E/S 170, respectivamente, en la FIG. 1. Para mayor claridad, solo se muestra una celda de memoria 152, una línea de palabras  $W_Lm$  y una línea de bits diferencial  $BL_x$  y  $BL_{xb}$  en la FIG. 2, donde  $m \in \{1, \dots, M\}$  y  $x \in \{1, \dots, N\}$ . También para mayor claridad, se muestran los circuitos de lectura / escritura para una sola línea de bits en la FIG. 2.

45 En el diseño mostrado en la FIG. 2, un transistor de efecto de campo de canal P (P-FET) 210 se utiliza como un interruptor de cabecera para la celda de memoria 152. El P-FET 210 tiene su compuerta que recibe una señal de reposo SLP1, su drenaje acoplado a una fuente de alimentación  $V_{ddx}$  y su origen que proporciona un voltaje de alimentación  $V_{ddc}$  a la celda de memoria 152. La señal SLP1 está en un valor lógico bajo cuando el dispositivo de memoria 100 está en la modalidad funcional. En la modalidad de espera, la señal SLP1 puede fijarse en el valor lógico bajo para retener los datos almacenados en la celda de memoria 152, o en el valor lógico alto para reducir la corriente de fugas a través de la celda de memoria 152. De este modo, puede activarse el P-FET 210 durante la modalidad funcional, y puede activarse o desactivarse durante la modalidad de espera, en función de si se desea o no la retención de datos mediante la celda de memoria 152. En general, la formación de memoria 150a puede incluir cualquier número de interruptores de cabecera, por ejemplo, un interruptor de cabecera para toda la formación de memoria, un interruptor de cabecera para cada columna de celdas de memoria, un interruptor de cabecera para cada fila de celdas de memoria, un interruptor de cabecera para cada celda de memoria, un interruptor de cabecera para cada grupo de celdas de memoria, etc. Los interruptores de cabecera pueden implementarse con transistores de  $V_t$  alto para lograr una corriente de fugas baja.

50 En el diseño mostrado en la FIG. 2, para cada línea de bits, el circuito de E/S 170a incluye un circuito de precarga 220, un multiplexor de lectura / escritura (Mux) 230, un circuito de escritura 240 y un circuito de lectura 250. El circuito de precarga 220 precarga las líneas  $BL_x$  y  $BL_{xb}$  con el valor lógico alto antes de cada operación de lectura y escritura. Un multiplexor 230 acopla las líneas  $BL_x$  y  $BL_{xb}$  al circuito de escritura 240 para operaciones de escritura y al circuito de

lectura 250 para operaciones de lectura. Para una operación de escritura, el circuito de escritura 240 controla las líneas BLx y BLxb para escribir un valor de datos de entrada Din en una celda de memoria seleccionada 152. Para una operación de lectura, el circuito de lectura 250 amplifica la diferencia de voltaje entre las líneas BLx y BLxb, que son controladas por una celda de memoria seleccionada. El circuito de lectura 250 detecta a continuación un valor lógico (por ejemplo, alto o bajo) para el voltaje amplificado y proporciona el valor lógico detectado.

El circuito de precarga 220 incluye dos P-FET 222a y 222b de precarga para las líneas BLx y BLxb, respectivamente, y un P-FET 224 de eualización. Los P-FET 222a y 222b tienen sus compuertas acopladas entre sí, y a una señal de precarga, sus orígenes acoplados a la fuente de alimentación Vddx y sus drenajes acoplados a las líneas BLx y BLxb, respectivamente. El P-FET 224 tiene su compuerta acoplada a la señal de precarga, su origen acoplado a la línea BLx y su drenaje acoplado a la línea BLxb. Una línea (ya sea BLx o BLxb) está en el valor lógico bajo y la otra línea (ya sea BLxb o BLx) está en el valor lógico alto antes de una operación de precarga. El P-FET 224 conecta las líneas BLx y BLxb entre sí durante la operación de precarga y permite que tanto el P-FET 222a como el 222b aumenten la línea que se encuentra en el valor lógico bajo hasta el valor lógico alto.

El multiplexor 230 incluye los N-FET 232a y 232b y los P-FET 234a y 234b. Los N-FET 232a y 232b tienen sus compuertas acopladas entre sí, y a una señal de escritura ZW, sus drenajes acoplados a las líneas BLx y BLxb, respectivamente, y sus orígenes acoplados al circuito de escritura 240. Los P-FET 234a y 234b tienen sus compuertas acopladas entre sí, y a una señal de lectura ZR, sus orígenes acoplados a las líneas de BLx y BLxb, respectivamente, y sus drenajes acoplados al circuito de lectura 250.

Para una operación de escritura, la señal ZW está en el valor lógico alto durante un cierto tiempo, y los N-FET 232a y 232b están encendidos y acoplan las líneas BLx y BLxb al circuito de escritura 240. La señal ZR está en el valor lógico alto durante toda la operación de escritura, y los P-FET 234a y 234b están apagados y aíslan el circuito de lectura 250 de las líneas BLx y BLxb. Las líneas BLx y BLxb están inicialmente precargadas con el valor lógico alto, y la línea BLx o BLxb es llevada a partir de entonces a un valor lógico bajo para escribir en la celda de memoria 152. Los N-FET 232a y 232b son mejores en el paso de los valores lógicos bajo / cero que los P-FET.

Para una operación de lectura, la señal ZR está en el valor lógico bajo durante un cierto tiempo, y los P-FET 234a y 234b están encendidos y acoplan las líneas BLx y BLxb al circuito de lectura 250. La señal ZW está en el valor lógico bajo durante toda la operación de lectura, y los N-FET 232a y 232b se apagan y aíslan el circuito de escritura 240 de las líneas BLx y BLxb. Las líneas BLx y BLxb están inicialmente precargadas con el mismo alto voltaje y posteriormente son separadas por la celda de memoria seleccionada 152. Los P-FET 234a y 234b son mejores en el paso de alto voltaje o del valor lógico uno, en cualquiera de las líneas BLx o BLxb, que los N-FET.

El circuito de escritura 240 incluye los controladores 242a y 242b para las líneas BLx y BLxb, respectivamente, lógica del controlador de escritura 248 y un N-FET 249 que se utiliza como un interruptor de pie. Cada controlador 242 incluye un P-FET 244 acoplado en una configuración apilada con un N-FET 246. El N-FET 246a tiene su origen acoplado a una toma a tierra virtual Vssp, recibiendo su compuerta una señal de control Vn1 desde la lógica 248, y su drenaje acoplado al drenaje del P-FET 244a. El P-FET 244a tiene su compuerta que recibe una señal de control Vp1 desde la lógica 248 y su origen acoplado a la fuente de alimentación Vddx. Los FET 244b y 246b están acoplados de la misma manera que los FET 244a y 244b, y reciben las señales de control Vp2 y Vn2, respectivamente, desde la lógica 248. Los drenajes de los FET 244a y 246a están acoplados a la línea BLx, y los drenajes de los FET 244b y 246b están acoplados a la línea BLxb. El N-FET 249 tiene su origen acoplado a la toma a tierra del circuito, recibiendo su compuerta una señal SLP2, y proporcionando su drenaje una toma a tierra virtual Vssp. La señal SLP2 está en el valor lógico alto durante la modalidad funcional y en el valor lógico bajo durante la modalidad de espera, que es lo opuesto a la señal SLP1. El N-FET 249 puede implementarse con un transistor de alto  $V_t$  para lograr una corriente de fugas baja. La lógica 248 recibe los datos Din y la señal SLP2 y genera las señales de Vp1 y Vn1 para los FET 244a y 246a, respectivamente, y las señales de Vp2 y Vn2 para los FET 244b y 246b, respectivamente.

El circuito de lectura 250 incluye un circuito de precarga 252 y un amplificador (Amp) de detección 254. El circuito de precarga 252 precarga las entradas del amplificador de detección 254 con el valor lógico alto antes de cada operación de lectura. El circuito de precarga 252 puede implementarse con tres P-FET acoplados de la misma manera que el circuito de precarga 220. El amplificador de detección 254 detecta la diferencia de voltaje entre las líneas BLx y BLxb y proporciona el valor lógico detectado.

El generador de señales de control 160 puede estar acoplado a un interruptor de pie implementado con un N-FET 260. El N-FET 260 tiene su fuente acoplada a la toma a tierra del circuito, recibiendo su compuerta la señal SLP2, y proporcionando su drenaje una toma a tierra virtual Vssp para el generador 160. El generador 160 puede generar varias señales de control, como la señal ZW para los N-FET 232a y 232b, la señal ZR para los P-FET 234a y 234b, una señal de reloj de controlador de entrada de datos (WCLK), utilizada para operaciones de escritura, y una señal de habilitación de amplificador de detección (SEN) que se utiliza para operaciones de lectura.

El generador de señales de control 160 puede activarse o desactivarse mediante el interruptor de pie implementado con el N-FET 260. Durante la modalidad de espera, el N-FET 260 puede apagarse, la toma a tierra virtual Vssp puede flotar entre la fuente de alimentación Vddx y la toma a tierra del circuito, y las señales de control desde el generador

160 pueden aumentar lentamente hacia la fuente de alimentación Vddx. En consecuencia, los circuitos que confían en que sus señales de control estén en el valor lógico bajo para la desactivación, no pueden recibir el valor lógico bajo durante la modalidad de espera. Por ejemplo, los N-FET 232a y 232b confían en que la señal ZW esté en el valor lógico bajo para apagarse. Dado que la señal ZW puede flotar entre Vddx y la toma a tierra del circuito durante la modalidad de espera, los N-FET 232a y 232b pueden flotar durante la modalidad de espera.

Como se muestra en la FIG. 2, los interruptores de cabecera pueden ser utilizados para las celdas de memoria 152 en la formación de memoria 150. Los interruptores de pie se pueden utilizar para los circuitos periféricos tales como el circuito de escritura 240, el generador de señales de control 160, etc.

Como también se muestra en la FIG. 2, puede haber varias vías de corriente de fugas a través de la celda de memoria 152, mediante las líneas de bits BLx y BLxb. Una primera vía de corriente de fugas puede ser desde el circuito de precarga 220, mediante las líneas de bits y a través de la celda de memoria 152. Una segunda vía de corriente de fugas puede ser desde los controladores 242a y 242b, mediante las líneas de bits y a través de la celda de memoria 152. Una tercera vía de corriente de fugas puede ser desde el circuito de precarga 252, mediante las líneas de bits y a través de la celda de memoria 152. Todas estas vías de corriente de fugas pueden desconectarse por flotación de las líneas de bits durante la modalidad de espera.

La Tabla 1 enumera las acciones a realizar para flotar las líneas de bits BLx y BLxb, para el diseño que se muestra en la FIG. 2.

Tabla 1

Acción	Ajuste de la señal de control
Desactivar el circuito de precarga 220	Fijar la señal de precarga en el valor lógico alto
Desactivar los P-FET 234a y 234b en el multiplexor 230	Fijar la señal ZR en el valor lógico alto
Desactivar los P-FET 244a y 244b en el circuito de escritura 240	Fijar las señales de Vp1 y Vp2 en el valor lógico alto

Durante la modalidad funcional, los P-FET 222a, 222b y 224 dentro del circuito de precarga 220 se encienden antes de cada operación de lectura o escritura para precargar las líneas de bits BLx y BLxb con el valor lógico alto. Una compuerta NAND 226 recibe una señal PRE y la señal SLP2 y genera la señal de precarga para los P-FET 222a, 222b y 224. La señal PRE está en el valor lógico bajo para cada operación de lectura o escritura, y está en el valor lógico alto en otros momentos. Durante la modalidad funcional, la señal de SLP2 está en el valor lógico alto, y la señal de precarga es una versión invertida de la señal PRE. Durante la modalidad de espera, la señal SLP2 está en el valor lógico bajo, la señal de precarga está en el valor lógico alto, y los P-FET 222a, 222b y 224 son apagados por el valor lógico alto en la señal de precarga. De este modo, el circuito de precarga 220 es desactivado por la señal de precarga durante la modalidad de espera.

Durante la modalidad funcional, los P-FET 234a y 234b dentro del multiplexor 230 pueden encenderse para operaciones de lectura y apagarse para operaciones de escritura. Durante la modalidad de espera, los P-FET 234a y 234b pueden desactivarse mediante la aplicación del valor lógico alto en la señal ZR. El generador 160 puede ser capaz de generar el valor lógico alto en la señal ZR, incluso cuando el N-FET 260 está apagado en la modalidad de espera, ya que la fuente de alimentación Vddx está disponible para el generador 160. Dado que los N-FET 234a y 234b pueden apagarse durante la modalidad de espera, tal vez no sea necesario desactivar el circuito de precarga 252. Sin embargo, el circuito de precarga 252 puede ser desactivado durante la modalidad de espera para reducir aún más la corriente de fugas.

Durante la modalidad funcional, los N-FET 232a y 232b dentro del multiplexor 230 pueden encenderse para operaciones de escritura y apagarse para las operaciones de lectura. Los P-FET 244a y 244b dentro del circuito de escritura 240 pueden encenderse durante una fase de precarga de un ciclo de escritura para llevar las líneas BLx y BLxb al valor lógico alto. Durante una fase de escritura del ciclo de escritura, el controlador 242a lleva la línea BLx al valor lógico bajo o alto, en función del valor Din, y el controlador 242b lleva la línea BLxb al valor lógico alto o bajo, en función del valor Din. Durante la modalidad de espera, los N-FET 232a y 232b pueden flotar debido a que el valor lógico bajo no es alcanzable por la señal ZW con el N-FET 260 apagado. Los P-FET 244a y 244b dentro del circuito de escritura 240 pueden apagarse durante la modalidad de espera para asegurar que no haya ninguna vía de corriente de fugas desde los controladores 242a y 242b, mediante las líneas de bits BLx y BLxb, a través de la celda de memoria 152. La lógica 248 puede ser capaz de generar el valor lógico alto en las señales de Vp1 y Vp2 para los P-FET 244a y 244b, respectivamente, incluso cuando el N-FET 249 está apagado en la modalidad de espera, ya que la fuente de alimentación Vddx está disponible para la lógica 248.

La FIG. 3 muestra un diagrama esquemático de una formación de memoria 150b y un circuito de E/S 170b, que es otro diseño de la formación de memoria 150 y del circuito de E/S 170, respectivamente, en la FIG. 1. Para mayor claridad, solo una celda de memoria 152, una línea de palabras WLM, una línea de bits diferencial BLx y BLxb, y circuitos de

lectura / escritura para una línea de bits, se muestran en la FIG. 3.

En el diseño mostrado en la FIG. 3, el P-FET 210 se utiliza como un interruptor de cabecera para la celda de memoria 152. La celda de memoria 152 incluye un par de inversores de acoplamiento cruzado 312a y 312b y un par de N-FET 318a y 318b que se utilizan como transistores de paso. Cada inversor 312 está formado por un P-FET 314 y un N-FET 316. El N-FET 316 tiene su origen acoplado a la toma a tierra del circuito, su compuerta acoplada a la compuerta del P-FET 314, y su drenaje acoplado al drenaje del P-FET 314. El P-FET 314 tiene su origen acoplado al voltaje de alimentación V<sub>ddc</sub>. El inversor 312a tiene su salida acoplada al nodo A y su entrada acoplada al nodo B. El inversor 312b tiene su salida acoplada al nodo B y su entrada acoplada al nodo A. El N-FET 318a tiene su drenaje acoplado al nodo A, su compuerta acoplada a la línea de palabras W<sub>Lm</sub>, y su origen acoplado a la línea BL<sub>x</sub>. El N-FET 318b tiene su drenaje acoplado al nodo B, su compuerta acoplada a la línea de palabras W<sub>Lm</sub>, y su origen acoplado a la línea BL<sub>xb</sub>.

Los inversores 312a y 312b almacenan un valor de datos mediante la retroalimentación positiva. Si la celda de memoria 152 almacena el valor lógico alto ("1"), el nodo A está en el valor lógico alto y el nodo B está en el valor lógico bajo. Si la celda de memoria 152 almacena el valor lógico bajo ("0"), el nodo A está en el valor lógico bajo y el nodo B está en el valor lógico alto. Para una lectura de memoria, las líneas BL<sub>x</sub> y BL<sub>xb</sub> son precargadas inicialmente con el valor lógico alto por el circuito de precarga 220, a continuación la línea de palabras W<sub>Lm</sub> se afirma en el valor lógico alto, y los N-FET 318a y 318b se encienden. Si la celda de memoria 152 almacena el valor lógico alto, la línea BL<sub>x</sub> es cargada por el inversor 312a mediante el N-FET 318a, y la línea BL<sub>xb</sub> es descargada por el inversor 312b mediante el N-FET 318b. Lo contrario es cierto si la celda de memoria 152 almacena el valor lógico bajo.

Para una escritura en memoria, las líneas BL<sub>x</sub> y BL<sub>xb</sub> son precargadas inicialmente con el valor lógico alto por el circuito de precarga 220. A continuación, la línea de palabras W<sub>Lm</sub> se afirma en el valor lógico alto, y los N-FET 318a y 318b se encienden. Para escribir el valor lógico alto ("1") en la celda de memoria 152, la línea BL<sub>x</sub> se lleva al valor alto y fuerza al nodo A hacia el valor lógico alto mediante el N-FET 318a, y la línea BL<sub>xb</sub> se lleva al valor bajo y fuerza al nodo B hacia el valor lógico bajo mediante el N-FET 318b. Lo contrario es cierto cuando se escribe el valor lógico bajo en la celda de memoria 152.

Durante la modalidad de espera, el P-FET 210 puede apagarse, y el voltaje de alimentación V<sub>ddc</sub> puede entonces caer hasta un voltaje intermedio, determinado por la corriente de fugas a través del P-FET 210 y la corriente de fugas a través de todas las celdas de memoria acopladas al P-FET 210. Los inversores 312a y 312b se pueden aislar de las líneas de bits BL<sub>x</sub> y BL<sub>xb</sub> llevando la línea de palabras W<sub>Lm</sub> al valor lógico bajo, lo cual luego apagará los N-FET 318a y 318b.

El circuito de E/S 170b incluye el circuito de precarga 220, el multiplexor 230, el circuito de escritura 240 y el circuito de lectura 250 para cada línea de bits. El circuito de escritura 240 incluye los controladores 242a y 242b para las líneas BL<sub>x</sub> y BL<sub>xb</sub>, respectivamente, la lógica de controlador de escritura 248 y el N-FET 249. Dentro de la lógica 248, un inversor 340 recibe los datos Din y proporciona un Din invertido. Una compuerta NAND 342a recibe la salida del inversor 340 y la señal de WCLK en dos entradas y proporciona un Din bloqueado. Una compuerta NAND 342b recibe los datos Din y la señal WCLK en dos entradas y proporciona un Din invertido bloqueado. Una compuerta NAND 344a recibe la salida de la compuerta NAND 342a y la señal de SLP2 en dos entradas y proporciona la señal de Vp1 para el P-FET 244a. Un inversor 346a recibe la salida de la compuerta NAND 342a y proporciona la señal de Vn1 para el N-FET 246a. Una compuerta NAND 344b recibe la salida de la compuerta NAND 342b y la señal SLP2 en dos entradas y proporciona la señal de Vp2 para el P-FET 244b. Un inversor 346b recibe la salida de la compuerta NAND 342b y proporciona la señal de Vn2 para el N-FET 246b.

Durante la modalidad funcional, la señal SLP2 está en el valor lógico alto, la compuerta NAND 342a proporciona el Din bloqueado, la compuerta NAND 344a enciende el P-FET 244a para aumentar la línea BL<sub>x</sub> si Din es el valor lógico alto, y el inversor 346a activa el N-FET 246a para reducir la línea BL<sub>x</sub> si Din es el valor lógico bajo. La compuerta NAND 342b proporciona el Din invertido bloqueado; la compuerta 344b enciende el P-FET 244b para aumentar la línea BL<sub>xb</sub> si Din es el valor lógico bajo, y el inversor 346b enciende el N-FET 246b para reducir la línea BL<sub>xb</sub> si Din es el valor lógico alto. Durante la modalidad de espera, la señal SLP2 está en el valor lógico bajo, la señal de Vp1 de la compuerta NAND 344a está en el valor lógico alto, y el P-FET 244a está apagado. La señal de Vp2 de la compuerta NAND 344b también está en el valor lógico alto, y el P-FET 244b también está apagado. De este modo, las compuertas NAND 344a y 344b apagan los P-FET 244a y 244b durante la modalidad de espera y permiten que los P-FET 244a y 244b se enciendan o apaguen durante la modalidad funcional. Los N-FET 246a y 246b, los inversores 340, 346a y 346b, y las compuertas NAND 342a, 342b, 344a y 344b están todos acoplados a la toma a tierra virtual V<sub>ssp</sub> desde el N-FET 249 y, por lo tanto, flotan durante la modalidad de espera.

**La FIG. 4** muestra un diagrama esquemático de un diseño de un circuito controlador 410 dentro de los controladores de líneas de palabras 120 en la FIG. 1. El circuito controlador 410 controla la línea de palabras W<sub>Lm</sub> en las FIGs. 2 y 3. Dentro del circuito controlador 410, un controlador de líneas de palabras 412 recibe señales pre-decodificadas y controla la línea de palabras W<sub>Lm</sub> cuando es seleccionada por las señales pre-decodificadas. Un P-FET 414 implementa un interruptor de cabecera para el controlador de líneas de palabras 412. Un controlador de líneas de palabras 412 puede incluir múltiples etapas, se pueden utilizar interruptores de pie para todas las etapas excepto para

la etapa final / de salida, y se puede utilizar un interruptor de cabecera para la etapa final / de salida. Un N-FET 416 implementa un transistor de reducción y tiene su origen acoplado a la toma a tierra del circuito, recibiendo su compuerta una señal de SLP2b, y su drenaje acoplado a la línea de palabras WLM. La señal SLP2b es una versión invertida de la señal SLP2. Durante la modalidad funcional, la señal SLP2b está en el valor lógico bajo, el interruptor de cabecera P-FET 414 está activado, y el N-FET de reducción 416 está apagado. Durante la modalidad de espera, la señal SLP2b está en el valor lógico alto, el interruptor de cabecera P-FET 414 está apagado, y el N-FET de reducción 416 está encendido y lleva la línea de palabras WLM al valor lógico bajo.

Las FIGs. 2, 3 y 4 muestran diseños específicos de los diversos bloques dentro del dispositivo de memoria 100. En un diseño, pueden utilizarse interruptores de cabecera y/o interruptores de pie para la formación de memoria 150, para reducir la corriente de fugas durante la modalidad de espera. En este diseño, las celdas de memoria en la formación de memoria 150 pueden implementarse con transistores de bajo  $V_t$  para lograr un alto rendimiento, y los interruptores de cabecera y/o los interruptores de pie se pueden usar para reducir la corriente de fugas. En otro diseño, la formación de memoria 150 puede acoplarse directamente entre la fuente de alimentación Vddx y la toma a tierra del circuito, sin utilizar interruptores de cabecera o interruptores de pie. En este diseño, las celdas de memoria en la formación de memoria 150 pueden implementarse con transistores de  $V_t$  alto para reducir la corriente de fugas. En ambos diseños, las líneas de palabras pueden mantenerse en el valor lógico bajo durante la modalidad de espera, con el fin de reducir la corriente de fugas a través de las celdas de memoria durante la modalidad de espera.

En un diseño, el circuito de precarga 220 puede estar acoplado a la fuente de alimentación Vddx directamente, por ejemplo, como se muestra en las FIGs. 2 y 3. En este diseño, los P-FET 222a, 222b y 224 dentro del circuito de precarga 220 pueden apagarse durante la modalidad de espera mediante la aplicación del valor lógico alto en la señal de precarga. En otro diseño, el circuito de precarga 220 puede estar acoplado a la fuente de alimentación Vddx mediante un interruptor de cabecera, que puede implementarse de la misma manera que el P-FET 210. En este diseño, el interruptor de cabecera para el circuito de precarga 220 puede apagarse durante la modalidad de espera, y la señal de precarga puede estar en cualquier nivel lógico.

En un diseño, los N-FET 234a y 234b dentro del multiplexor 230 están apagados durante la modalidad de espera, como se ha descrito anteriormente. En otro diseño, el circuito de precarga 252 puede desactivarse durante la modalidad de espera, por ejemplo, de la misma manera que el circuito de precarga 220.

Los FET que se apagan durante la modalidad de espera (por ejemplo, los P-FET 222a, 222b y 224 dentro del circuito de precarga 220, los P-FET 234a y 234 dentro del multiplexor 230 y los P-FET 244a y 244b dentro del circuito de escritura 240) pueden implementarse de manera que reduzcan la corriente de fugas. Por ejemplo, estos FET pueden implementarse con transistores de  $V_t$  alto si no se requiere velocidad alta de funcionamiento. Alternativa o adicionalmente, estos FET pueden implementarse con longitudes más largas para reducir la corriente de fugas.

**La FIG. 5** muestra un diseño de un proceso 500 para poner una formación de memoria en una modalidad de espera. La formación de memoria comprende una pluralidad de filas y una pluralidad de columnas de celdas de memoria. Una pluralidad de líneas de bits están acopladas a la pluralidad de columnas de celdas de memoria, y una pluralidad de líneas de palabras están acopladas a la pluralidad de filas de celdas de memoria. Las líneas de bits tienen vías desconectadas a una fuente de alimentación y flotan durante una modalidad de espera para la formación de memoria. Esto puede conseguirse desactivando todos los transistores acoplados entre la fuente de alimentación y las líneas de bits durante la modalidad de espera.

Al menos un interruptor de cabecera, acoplado entre la fuente de alimentación y la formación de memoria, y/o al menos un interruptor de pie, acoplado entre la formación de memoria y la toma a tierra del circuito, se pueden desactivar durante la modalidad de espera (bloque 512). Una pluralidad de circuitos de precarga para la pluralidad de líneas de bits pueden desactivarse durante la modalidad de espera (bloque 514). Una pluralidad de transistores de paso (por ejemplo, los P-FET 234a y 234b), que se usan para acoplar la pluralidad de líneas de bits a una pluralidad de amplificadores de detección para las operaciones de lectura, pueden apagarse durante la modalidad de espera (bloque 516). Los transistores de aumento (por ejemplo, los P-FET 244a y 244b) en una pluralidad de controladores, que se utilizan para controlar la pluralidad de líneas de bits para las operaciones de escritura, pueden también ser apagados durante la modalidad de espera (bloque 518). Las líneas de palabras pueden fijarse en un nivel lógico predeterminado (por ejemplo, el valor lógico bajo) para desconectar las celdas de memoria de la pluralidad de líneas de bits durante la modalidad de espera (bloque 520).

Uno o más circuitos de control, o lógicas (por ejemplo, el generador 160, la compuerta NAND 226 y la lógica 248), se pueden utilizar para generar señales de control para los circuitos de precarga, los transistores de paso para operaciones de lectura, y los transistores de aumento para operaciones de escritura. Los circuitos de control, o lógicas, pueden estar acoplados a la toma a tierra del circuito mediante uno o más interruptores de pie y pueden proporcionar el valor lógico alto para las señales de control durante la modalidad de espera.

Las técnicas y formaciones de memoria descritas en este documento pueden utilizarse para diversas aplicaciones, tales como comunicación inalámbrica, computación, trabajo en red, electrónica personal, etc. Las formaciones de memoria pueden implementarse en dispositivos de memoria independientes o integrarse dentro de procesadores,



procesadores de señales digitales (DSP), procesadores de ordenadores de conjunto de instrucciones reducido (RISC), procesadores de máquina RISC avanzados (ARM), procesadores gráficos, unidades de procesamiento de gráficos (GPU), controladores, microprocesadores, etc. A continuación se describe un ejemplo de uso de las formaciones de memoria para un dispositivo de comunicación inalámbrica.

La FIG. 6 muestra un diagrama de bloques de un dispositivo inalámbrico 600 en un sistema de comunicación inalámbrica. El dispositivo inalámbrico 600 puede ser un teléfono celular, un terminal, un equipo de mano, un PDA, un módem inalámbrico, etc. El sistema de comunicación inalámbrica puede ser un sistema de acceso múltiple por división de código (CDMA), un sistema global para comunicaciones móviles (GSM), etc.

El dispositivo inalámbrico 600 es capaz de proporcionar una comunicación bidireccional a través de una vía de recepción y una vía de transmisión. En la vía de recepción, las señales transmitidas por las estaciones base son recibidas por una antena 612 y suministradas a un receptor (RCVR) 614. El receptor 614 acondiciona y digitaliza la señal recibida y proporciona muestras a una sección digital 620 para su procesamiento adicional. En la vía de transmisión, un transmisor (TMTR) 616 recibe datos que se van a transmitir desde la sección digital 620, procesa y acondiciona los datos, y genera una señal modulada, que se transmite a través de la antena 612 a las estaciones base.

La sección digital 620 incluye diversas unidades de procesamiento, interfaz y memoria, tales como, por ejemplo, un procesador de módem 622, un procesador de vídeo 624, un controlador/procesador 626, un procesador de visualización 628, un ARM/DSP 632, un procesador de gráficos 634, una memoria interna 636 y una interfaz de bus externo (EBI) 638. El procesador de módem 622 realiza el procesamiento para la transmisión y recepción de datos, por ejemplo, codificación, modulación, demodulación y decodificación. El procesador de vídeo 624 realiza el procesamiento de contenido de vídeo (por ejemplo, imágenes fijas, vídeos en movimiento y textos en movimiento) para aplicaciones de vídeo, tales como la cámara de vídeo, la reproducción de vídeo y la videoconferencia. El controlador/procesador 626 puede dirigir el funcionamiento de diversas unidades dentro de la sección digital 620. El procesador de visualización 628 realiza el procesamiento para facilitar la visualización de vídeos, gráficos y textos en una unidad de visualización 630. El ARM/DSP 632 puede realizar diversos tipos de procesamiento para el dispositivo inalámbrico 600. El procesador de gráficos 634 realiza procesamiento de gráficos, por ejemplo, para gráficos, video-juegos, etc. La memoria interna 636 almacena los datos y/o instrucciones para diversas unidades dentro de la sección digital 620. La EBI 638 facilita la transferencia de datos entre la sección digital 636 (por ejemplo, la memoria interna 636) y una memoria principal 640.

Cada uno de los procesadores 622 a 634 puede incluir una memoria integrada, que puede implementarse como se ha descrito anteriormente. La memoria interna 636 y la memoria principal 640 también pueden implementarse como se ha descrito anteriormente. La sección digital 620 puede implementarse con uno o más circuitos integrados específicos de aplicaciones (ASIC) y/o algún otro tipo de IC.

Las técnicas y formaciones de memoria descritas en el presente documento pueden implementarse en varias unidades de hardware, tales como un IC de memoria, un ASIC, un DSP, un dispositivo de procesamiento de señales digitales (DSPD), un dispositivo lógico programable (PLD), una formación de compuertas programables en el terreno (FPGA), un controlador, un procesador y otros dispositivos electrónicos. Las unidades de hardware pueden ser fabricadas en diferentes tecnologías de proceso de IC, tales como CMOS, N-MOS, P-MOS, CMOS bipolar (Bi-CMOS), bipolar, etc. La tecnología CMOS puede fabricar tanto los N-FET como los P-FET en el mismo troquel de IC, mientras que la tecnología N-MOS solo puede fabricar los N-FET y la tecnología P-MOS solo puede fabricar los P-FET. Las unidades de hardware pueden fabricarse con cualquier tecnología de tamaño de dispositivo, por ejemplo, 130 nanómetros (nm), 90 nm, 65 nm, 30 nm, etc.

Un aparato de implementación de las técnicas descritas en el presente documento puede ser una unidad independiente o puede ser parte de un dispositivo. El dispositivo puede ser (i) un IC independiente, (ii) un conjunto de uno o más IC que pueden incluir los IC de memoria para almacenar datos y/o instrucciones, (iii) un ASIC, tal como un módem de estación móvil (MSM), (iv) un módulo que puede estar integrado dentro de otros dispositivos, (v) un teléfono celular, un dispositivo inalámbrico, un equipo de mano o una unidad móvil, (vi) etc.

La anterior descripción de la divulgación se proporciona para permitir que cualquier experto en la técnica realice o use la divulgación. Diversas modificaciones de la divulgación resultarán inmediatamente evidentes para los expertos en la técnica, y los principios genéricos definidos en el presente documento pueden aplicarse a otras variaciones sin apartarse del alcance de la divulgación. Por tanto, la divulgación no pretende limitarse a los ejemplos y diseños descritos en el presente documento, sino que se le ha de conceder el alcance más amplio compatible con los principios y características novedosas divulgados en el presente documento.

**REIVINDICACIONES**

1. Un circuito integrado que comprende:
  - 5 una formación de memoria (150) que comprende una pluralidad de filas y una pluralidad de columnas de celdas de memoria (152);
  - una pluralidad de líneas de bits acopladas a la pluralidad de columnas de celdas de memoria, teniendo las líneas de bits vías desconectadas a una fuente de alimentación durante una modalidad de espera para la formación de memoria; y caracterizado por:
    - 10 al menos un interruptor de cabecera (210) acoplado entre la fuente de alimentación y la formación de memoria, estando el al menos un interruptor de cabecera, durante la modalidad de espera, encendido o apagado, en función de si se desea o no la retención de datos por parte de las celdas de memoria (152).
2. El circuito integrado de la reivindicación 1, que comprende además:
  - 20 una pluralidad de circuitos de precarga (220) para la pluralidad de líneas de bits, estando los circuitos de precarga apagados durante la modalidad de espera.
3. El circuito integrado de la reivindicación 2, que comprende además:
  - 25 un circuito de control configurado para generar una señal de precarga para la pluralidad de circuitos de precarga, estando el circuito de control acoplado a la toma a tierra del circuito mediante un interruptor de pie y proporcionando el valor lógico alto para la señal de precarga durante la modalidad de espera.
4. El circuito integrado de la reivindicación 1, que comprende además:
  - 30 una pluralidad de transistores (234a, 234b) para acoplar la pluralidad de líneas de bits a una pluralidad de amplificadores de detección (254) para las operaciones de lectura, estando la pluralidad de transistores apagados durante la modalidad de espera.
5. El circuito integrado de la reivindicación 4, que comprende además:
  - 35 un generador de señales de control (160), configurado para generar una señal de control para la pluralidad de transistores, estando el generador de señales de control acoplado a la toma a tierra del circuito mediante un interruptor de pie (260), y proporcionando el valor lógico alto para la señal de control durante la modalidad de espera.
6. El circuito integrado de la reivindicación 1, que comprende además:
  - 40 una pluralidad de controladores para controlar la pluralidad de líneas de bits para operaciones de escritura, teniendo los controladores transistores de aumento que están apagados durante la modalidad de espera.
7. El circuito integrado de la reivindicación 6, que comprende además:
  - 45 una lógica de control configurada para generar señales de control para los transistores de aumento en la pluralidad de controladores, estando la lógica de control acoplada a la toma a tierra del circuito mediante un interruptor de pie, y proporcionando el valor lógico alto para las señales de control durante la modalidad de espera.
8. El circuito integrado de la reivindicación 1, que comprende además:
  - 55 una pluralidad de líneas de palabras acopladas a la pluralidad de filas de celdas de memoria, estando las líneas de palabras configuradas para desconectar las celdas de memoria de la pluralidad de líneas de bits durante la modalidad de espera.
9. El circuito integrado de la reivindicación 8, que comprende además:
  - 60 un circuito controlador configurado para fijar la pluralidad de líneas de palabras en un nivel lógico predeterminado durante la modalidad de espera, para desconectar las celdas de memoria de la pluralidad de líneas de bits.
10. El circuito integrado de la reivindicación 1, que comprende además:
  - 65 una pluralidad de transistores acoplados entre la fuente de alimentación y la pluralidad de líneas de bits,

estando los transistores apagados durante la modalidad de espera, para desconectar las líneas de bits de la fuente de alimentación.

- 5 11. El circuito integrado de la reivindicación 10, en el que la pluralidad de transistores se implementan con longitudes más largas que los transistores en las celdas de memoria, para reducir la corriente de fugas cuando se apagan durante la modalidad de espera.
12. Un procedimiento, que comprende:
- 10 la lectura de datos desde una pluralidad de columnas de celdas de memoria, a través de una pluralidad de líneas de bits durante una modalidad funcional;
- la escritura de datos a la pluralidad de columnas de celdas de memoria, a través de la pluralidad de líneas de bits durante la modalidad funcional; y caracterizado por:
- 15 la desconexión de la pluralidad de líneas de bits de una fuente de alimentación durante una modalidad de espera, encendiendo o apagando al menos un interruptor de cabecera acoplado entre la fuente de alimentación y las celdas de memoria durante la modalidad de espera, donde el encendido o el apagado depende de si se desea o no la retención de datos mediante las celdas de memoria.
- 20 13. El procedimiento de la reivindicación 12, en el que la desconexión de la pluralidad de líneas de bits comprende:
- desactivar una pluralidad de circuitos de precarga para la pluralidad de líneas de bits durante la modalidad de espera; o
- 25 desactivar una pluralidad de transistores, utilizados para acoplar la pluralidad de líneas de bits a una pluralidad de amplificadores de detección para las operaciones de lectura, durante la modalidad de espera;
- o
- desactivar los transistores de aumento en una pluralidad de controladores, utilizados para controlar la pluralidad de líneas de bits para las operaciones de escritura, durante la modalidad de espera.
- 30

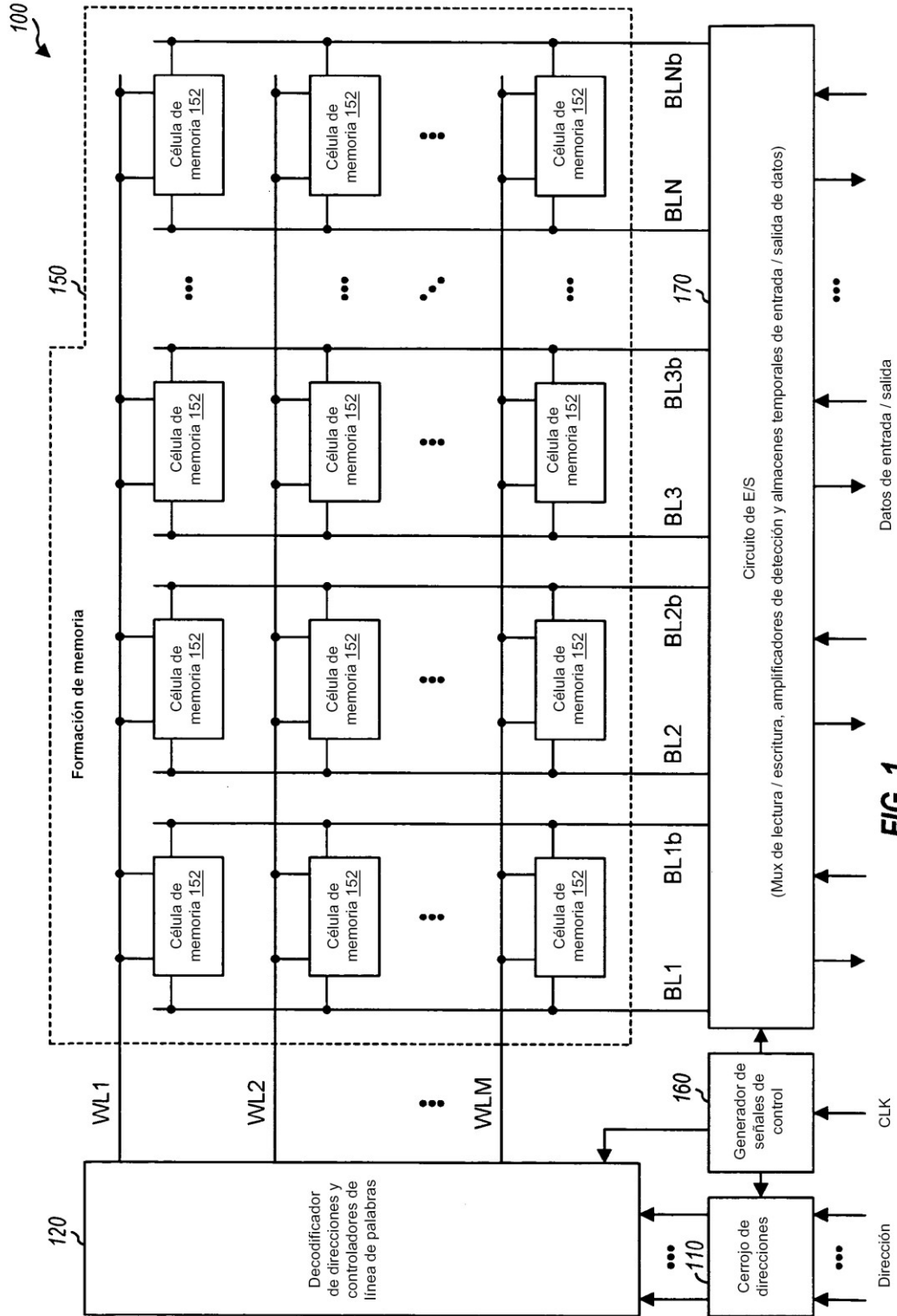


FIG. 1

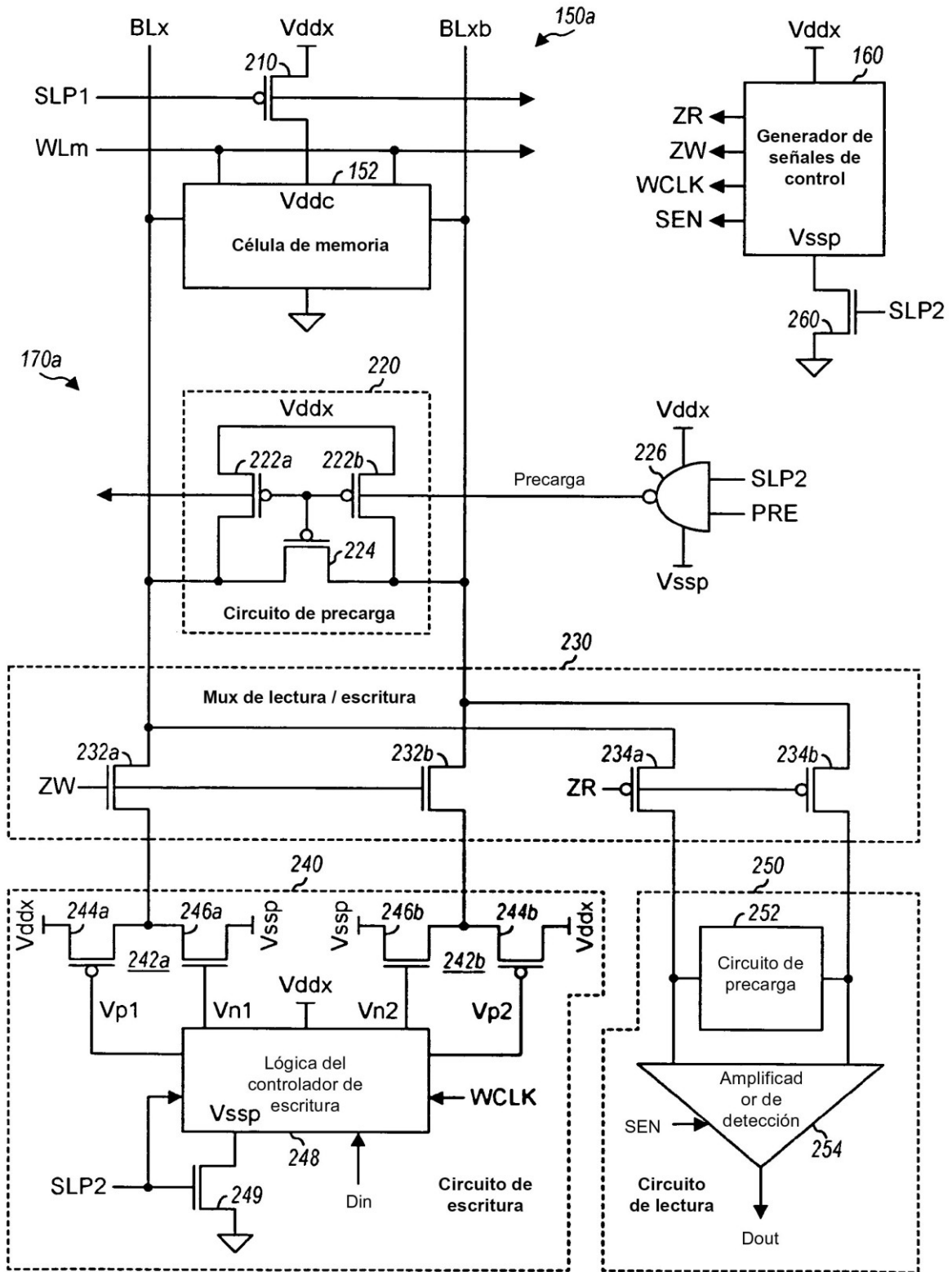


FIG. 2

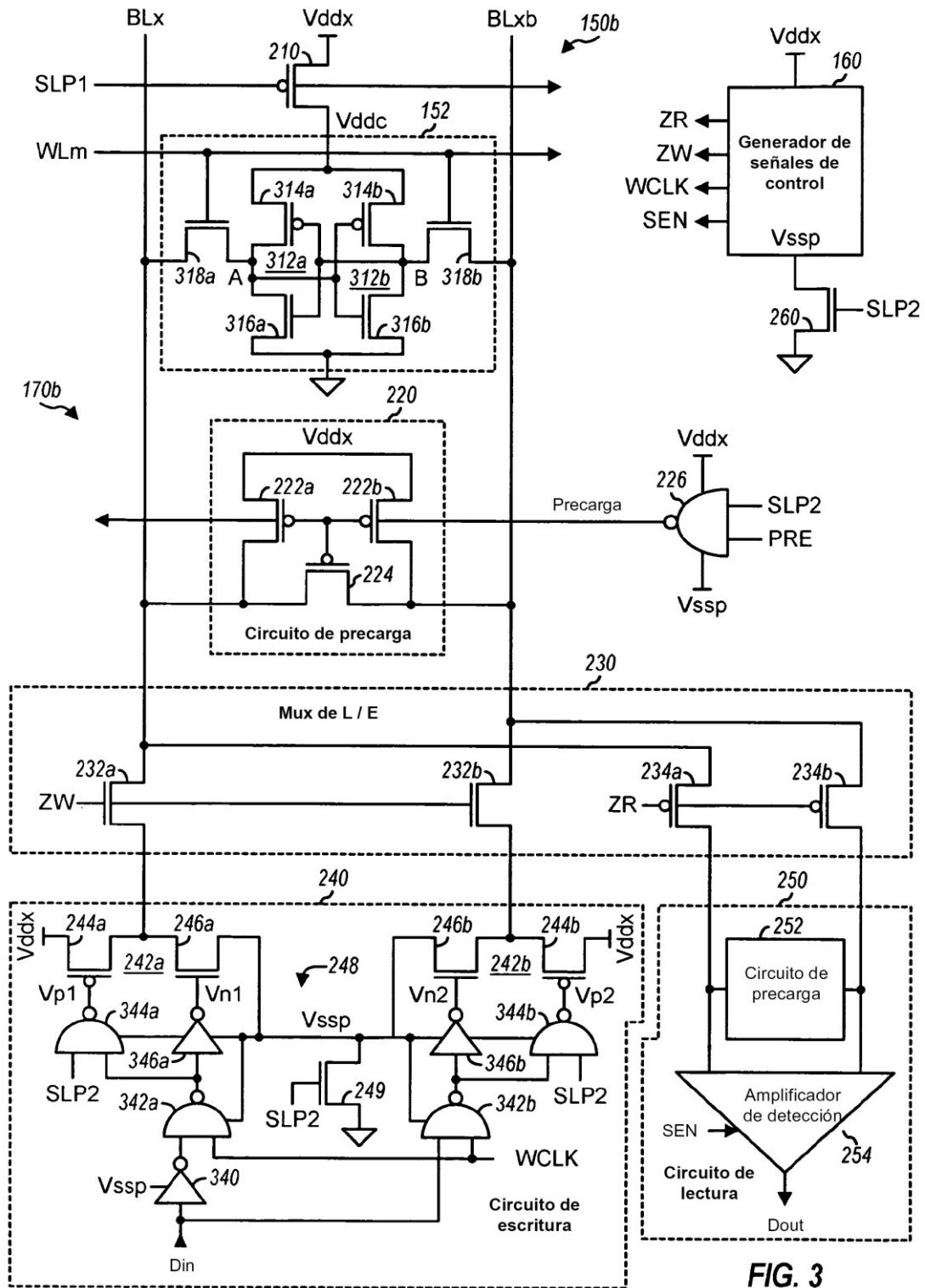


FIG. 3

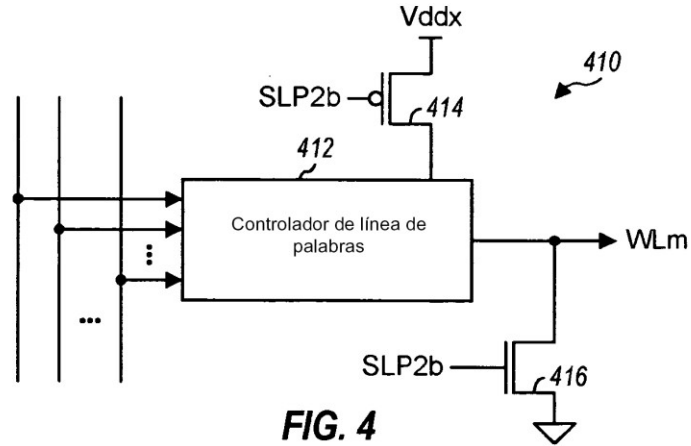


FIG. 4

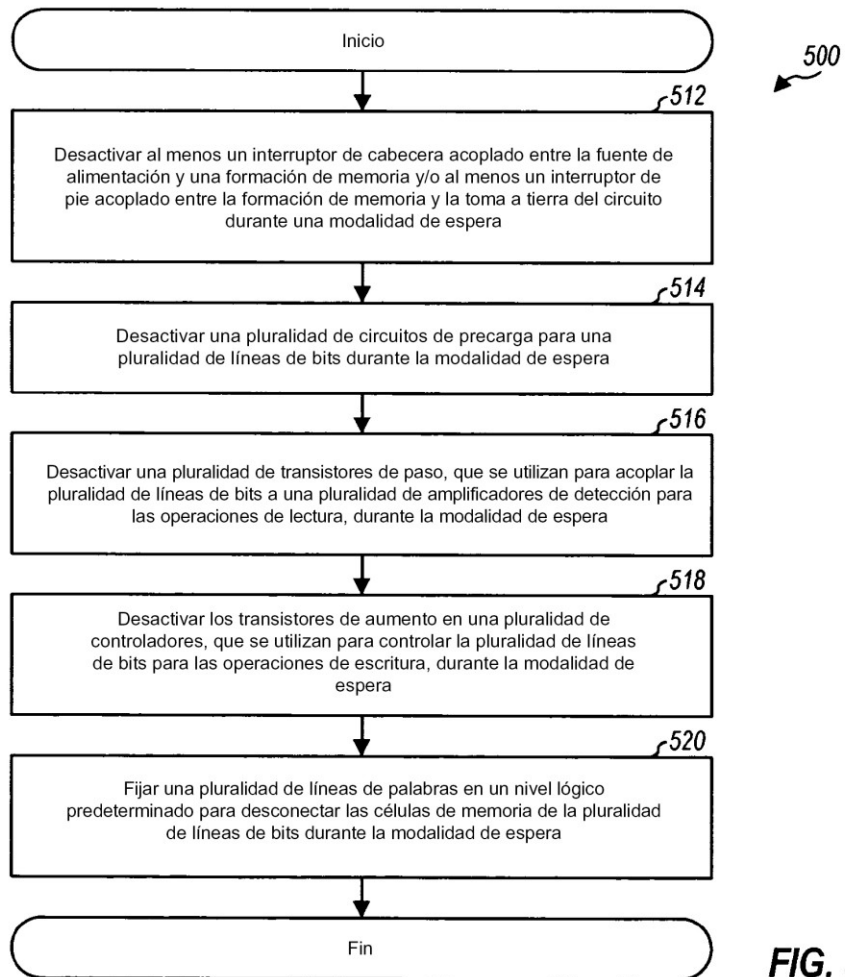


FIG. 5

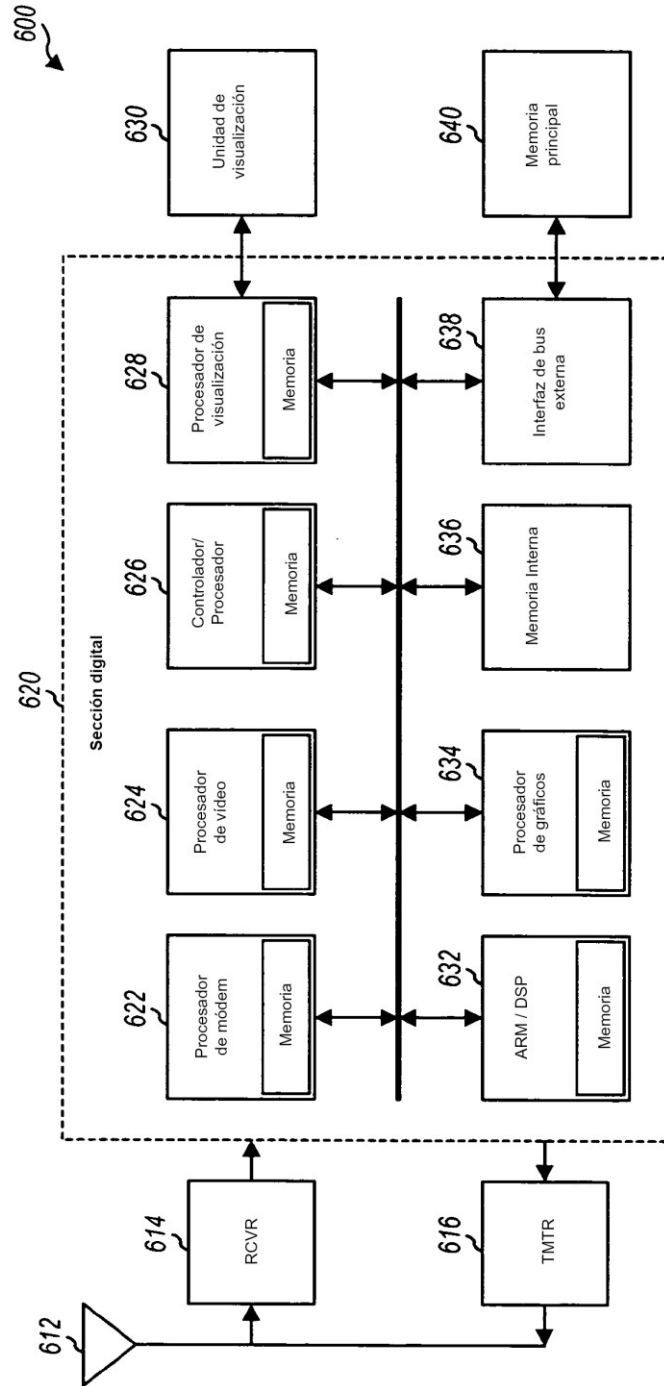


FIG. 6