

19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 608 038**

51 Int. Cl.:

**H04B 1/00** (2006.01)

**H04B 1/40** (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **09.08.2013 PCT/US2013/054416**

87 Fecha y número de publicación internacional: **13.02.2014 WO14026158**

96 Fecha de presentación y número de la solicitud europea: **09.08.2013 E 13750476 (7)**

97 Fecha y número de publicación de la concesión europea: **19.10.2016 EP 2883308**

54 Título: **Interruptor de antena multi-banda con reducción de capacitancia en estado de desactivación**

30 Prioridad:

**09.08.2012 US 201213570908**

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

**05.04.2017**

73 Titular/es:

**QUALCOMM INCORPORATED (100.0%)  
5775 Morehouse Drive  
San Diego, CA 92121, US**

72 Inventor/es:

**AHN, MINSIK;  
LEE, CHANG-HO y  
HADJICHRISTOS, ARISTOTELE**

74 Agente/Representante:

**FORTEA LAGUNA, Juan José**

ES 2 608 038 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

## DESCRIPCIÓN

Interruptor de antena multi-banda con reducción de capacitancia en estado de desactivación

5

## ANTECEDENTES

## Campo

La presente solicitud se refiere en general al funcionamiento y al diseño de circuitos electrónicos y, más particularmente, al funcionamiento y al diseño de interruptores de antena.

## Antecedentes

Un interruptor de antena multi-banda convencional funciona para recibir señales que tienen varios niveles de potencia desde una antena y dirigir estas señales al circuito de procesamiento apropiado. Aumentar el número de desplazamientos de interruptor de antena hace que los cables tengan una pérdida de inserción alta a alta frecuencia debido a una gran capacitancia que aparece en las rutas de los interruptores que se encuentran en el estado de desactivación. Además, cada ruta de interruptor puede necesitar gestionar un nivel de potencia de señal diferente; sin embargo, todos los interruptores en un interruptor de antena convencional están normalmente diseñados para gestionar la más alta potencia de señal esperada, lo cual aumenta el coste y el tamaño del circuito.

20

En consecuencia, divulga un interruptor de antena multi-banda que tiene reducción de capacitancia en un estado de desactivación para baja pérdida de inserción, un tamaño de circuito reducido y un menor coste.

25

## BREVE DESCRIPCIÓN DE LOS DIBUJOS

Los aspectos anteriores descritos en el presente documentos se harán más fácilmente evidentes por referencia a la siguiente descripción cuando se toma en conjunción con los dibujos adjuntos, en los que:

30

La FIG. 1 muestra un interruptor de antena multi-banda convencional;

La FIG. 2 muestra un ejemplo de modo de realización de un nuevo interruptor de antena multi-banda;

35

La FIG. 3 muestra un ejemplo de modo de realización de un interruptor que ilustra su capacitancia en el estado de desactivación asociada;

La FIG. 4 muestra un ejemplo de modo de realización de un controlador;

40

La FIG. 5 muestra un ejemplo de procedimiento para el funcionamiento de un interruptor de antena que tiene múltiples etapas para reducir la capacitancia en el estado de desactivación; y

La FIG. 6 muestra un ejemplo de modo de realización de un aparato de interruptor de antena.

45

## DESCRIPCIÓN DETALLADA

La descripción detallada expuesta a continuación, en relación con los dibujos adjuntos, está concebida como una descripción de ejemplos de modo de realización de la invención, y no está concebida para representar los únicos modos de realización en los que la invención puede llevarse a la práctica. La expresión "ejemplo de" usada a lo largo de esta descripción se refiere a "que sirve como ejemplo, instancia o ilustración", y no debe interpretarse necesariamente como preferido o ventajoso con respecto a otros ejemplos de modo de realización. La descripción detallada incluye detalles específicos con el objetivo de proporcionar un entendimiento exhaustivo de los ejemplos de modos de realización de la invención. A los expertos en la técnica les resultará evidente que los ejemplos de modo de realización de la invención pueden llevarse a la práctica sin estos detalles específicos. En algunos casos, se muestran estructuras y dispositivos ya conocidos en forma de diagrama de bloques con el fin de evitar oscurecer la novedad de los ejemplos de modo de realización presentados en el presente documento.

50

55

La FIG. 1 muestra un interruptor de antena multi-banda **100** convencional. El interruptor de antena **100** comprende una pluralidad de interruptores individuales **102**, con cada interruptor teniendo una conexión a una antena **104**. Las salidas **106** de los interruptores **102** están conectadas a varios circuitos de transmisión y recepción (no mostrados).

60

Durante el funcionamiento, uno de los interruptores está activado o "cerrado" para permitir la conexión de la antena **104** a uno de los circuitos de transmisión/recepción. Debido a la configuración del interruptor **100**, todos los interruptores individuales **102** están generalmente diseñados para gestionar la potencia más alta en el sistema. Esto significa que cada interruptor comprende un dispositivo de alta tensión de ruptura que puede ser grande y costoso. Además, cuando un interruptor se cierra, los interruptores abiertos restantes proporcionan una capacitancia de

65

estado desactivado. La configuración en paralelo de los interruptores **102** significa que la capacitancia de estado de desactivación de los interruptores abiertos **102** se combina para formar un valor de capacitancia grande que aparece en el puerto de la antena y, por lo tanto, da como resultado una pérdida de inserción alta.

5 **La FIG. 2** muestra un ejemplo de modo de realización de un nuevo interruptor de antena multi-banda **200**. Por ejemplo, el interruptor **200** es adecuado para su uso en un dispositivo inalámbrico. El interruptor **200** comprende unos interruptores de primera etapa **224** acoplados a una antena **202** y unos interruptores de segunda etapa **226** acoplados a los interruptores de primera etapa **224** para formar una pluralidad de rutas de señal conectadas a la antena **202**. Por ejemplo, los interruptores de primera etapa **224** incluyen un grupo de interruptores de primera etapa **204** que comprenden tres interruptores de primera etapa (SW\_CM1, SW\_CM2, SW\_CM3) acoplados a la antena **202**. Los interruptores de segunda etapa **226** incluyen tres grupos de interruptores de segunda etapa **206**, **208**, y **210** que comprenden una pluralidad de interruptores de segunda fase en cada grupo. Por ejemplo, el grupo **206** incluye interruptores (SW\_CM1\_1, SW\_CM1\_2, SW\_CM1\_3, SW\_CM1\_4), el grupo **208** incluye interruptores (SW\_CM2\_1, SW\_CM2\_2, SW\_CM2\_3), y el grupo **210** incluye interruptores (SW\_CM3\_1, SW\_CM3\_2, SW\_CM3\_3).

15 Los segundos grupos de interruptores **206**, **208**, y **210** tienen unas salidas de conmutación **212**, **214**, y **216**, respectivamente, conectadas a los diversos circuitos de transmisión y recepción (no mostrados). En un ejemplo de modo de realización, los interruptores en los grupos de interruptores de segunda etapa **206**, **208**, y **210** están acoplados a los interruptores en el grupo de interruptores de primera etapa **204** con el fin de reducir la capacitancia de estado desactivado en el puerto de la antena **228**. Cabe señalar que el interruptor **200** puede estar configurado para incluir cualquier número de grupos de interruptores de primera etapa acoplados a cualquier número de grupos de interruptores de segunda etapa.

20 Se proporciona un controlador **218** que funciona para controlar el interruptor **200**. El controlador **218** recibe una señal de control de la antena **220** desde otra entidad en el dispositivo inalámbrico, tal como un procesador de banda base. En un ejemplo de modo de realización, la señal de control de antena **220** se utiliza por el controlador **218** para generar cuatro señales de control que comprenden una señal de control de etapa 1 (Etapa1\_g1) y tres señales de control de etapa 2 (Etapa2\_g1, Etapa2\_g2, y Etapa2\_g3). Las cuatro señales de control están conectadas para controlar el funcionamiento de los interruptores en los grupos de interruptores **204**, **206**, **208** y **210**, como se ilustra en la **FIG. 2**. En un ejemplo de modo de realización, cada señal de control comprende múltiples bits de control y cada bit se utiliza para abrir o cerrar un interruptor correspondiente. El controlador **218** puede configurarse para generar cualquier número de señales de control para controlar cualquier número de grupos de interruptores que puedan utilizarse en el interruptor **200**.

25 Durante el funcionamiento, uno o más de los interruptores de primera etapa **224** y uno o más de los interruptores de segunda etapa **226** se activan o "cierran" para proporcionar una o más trayectorias de señal entre la antena **202** y la circuitería de transmisión/recepción seleccionada en el dispositivo inalámbrico. Debido a la configuración del interruptor **200**, los restantes interruptores en estado de desactivación (o abiertos) se combinan para producir un valor de capacitancia reducido que hace que el interruptor **200** que tenga pérdidas de inserción bajas. Por ejemplo, cuando los interruptores seleccionados de los interruptores de primera etapa **224** y los interruptores de segunda etapa **226** están cerrados, los interruptores abiertos restantes en las rutas de señal no relacionados se combinan para producir una menor capacitancia en estado de desactivación que el interruptor de la antena multi-banda convencional mostrado en la **FIG. 1**. Por ejemplo, si los interruptores SW\_CM1 y SW\_CM1\_1 en la ruta **222** están cerrados y los interruptores restantes están abiertos, la capacitancia total en el estado de desactivación en el puerto de la antena **228** puede determinarse a partir de la combinación en paralelo de las capacitancias A, B, y C mostradas a continuación, que se pueden expresar como (A/B//C).

35 A. La capacitancia de los interruptores no cerrados restantes en el grupo **206** combinada en paralelo (denominado, SW\_CM1\_XX)

40 B. La capacitancia del interruptor de primera etapa SW\_CM2 combinada en serie con la capacitancia de los interruptores no cerrados del grupo **208** combinada en paralelo (denominado, SW\_CM2\_XX)

45 C. La capacitancia del interruptor de primera etapa SW\_CM3 combinada en serie con la capacitancia de los interruptores no cerrados de grupo **210** (denominado SW\_CM3\_XX).

50 El resultado de la capacitancia en estado de desactivación anterior es más bajo que el interruptor convencional **100**, que tiene una capacitancia en estado de desactivación igual a  $[(n-1)*(SW\_CMX\_XX)]$ , donde n es igual al número total de desplazamientos de interruptor en el puerto de la antena. En diversos ejemplos de modo de realización, la configuración del interruptor **200** se puede extender a interruptores de antena que tienen un mayor número de desplazamientos de interruptor, tal como SP14T o 16T.

55 En un ejemplo de modo de realización, los interruptores individuales en el grupo de interruptores de primera etapa **204** están diseñados para gestionar la potencia más alta en el sistema, lo cual significa que cada interruptor en el grupo de interruptores de primera etapa **204** comprende un dispositivo de alta tensión de ruptura. Sin embargo, los grupos de interruptores de segunda etapa **206**, **208**, y **210** comprenden tanto dispositivos de alta tensión de ruptura

(alta potencia) como de baja tensión de ruptura (baja potencia) para una mayor eficiencia. Por ejemplo, los interruptores en el grupo de interruptores de segunda etapa **206** tienen salidas **212** que están acopladas a las rutas de señal de alta potencia y, por lo tanto, comprenden dispositivos de alta tensión de ruptura. Sin embargo, los interruptores en los grupos de interruptores de segunda etapa **208, 210** tienen salidas **214, 216** que están acopladas a las rutas de señal baja potencia y, por lo tanto, estos interruptores comprenden dispositivos de baja tensión de ruptura para conservar el tamaño y el coste. De este modo, el interruptor **200** proporciona una reducción del coste y del tamaño del circuito, ya que al menos un grupo de interruptores (es decir, los grupos **208** y **210** de este ejemplo) se puede configurar con dispositivos de baja tensión de rotura que tienen menor tamaño y menor coste que los dispositivos de mayor tamaño normalmente utilizados en los interruptores de antena convencionales. Cabe señalar que en base a la potencia de señal esperada de las rutas de señal formadas por el interruptor **200**, se puede utilizar cualquier combinación de dispositivos de alta tensión de ruptura y baja tensión de ruptura para ahorrar espacio y reducir los costes.

Por lo tanto, en general, la capacitancia total en estado de desactivación del interruptor **200** se determina a partir de una combinación de la capacitancia en paralelo de las capacitancias asociadas con los interruptores abiertos de una pluralidad de ramas de interruptores, donde cada rama de interruptores incluye un interruptor de primera etapa y todos los interruptores de segunda etapa a los que el interruptor de primera etapa está conectado en serie. Por ejemplo, la rama de interruptores **230** incluye un interruptor de primera etapa (SW\_CM3) y unos interruptores de segunda etapa (SW\_CM3\_1, SW\_CM3\_2, SW\_CM3\_3). Así pues, cada rama de interruptores tiene una capacitancia determinada a partir de sus interruptores abiertos y la capacitancia total en estado de desactivación del interruptor se determina a partir de una combinación de capacitancia en paralelo de las capacitancias asociadas con todas las ramas de interruptores.

Además, el tamaño y el coste del interruptor **200** se pueden reducir dado que uno o más interruptores pueden comprender dispositivos de baja tensión de ruptura (es decir, dispositivos de 1,8 V) diseñados para señales de potencia más baja. Además, los dispositivos con tensión de ruptura más baja también ofrecen menor resistencia de activación (Ron) que los dispositivos con tensión de ruptura más grande. Por lo tanto, dado que más grupos de interruptores están diseñados para usar dispositivos con tensión de ruptura más baja, la capacitancia en estado de desactivación del interruptor **200** se reduce todavía más.

En un ejemplo de modo de realización, el interruptor de antena **200** comprende un grupo de interruptores de primera etapa (**204**) y tres grupos de interruptores de segunda etapa (**206, 208** y **210**). Sin embargo, debe tenerse en cuenta que son posibles otras disposiciones dentro del alcance de los diversos modos de realización y que estas otras disposiciones pueden proporcionar una capacitancia en estado desactivado todavía más baja. Por lo tanto, las configuraciones de interruptores no se limitan al ejemplo de modo de realización mostrado en la **FIG. 2**, y pueden diseñarse o configurarse para proporcionar cualquier número de grupos de interruptores de primera etapa conectados a cualquier número de grupos de interruptores de segunda etapa. Cada configuración puede diseñarse para reducir las capacitancias en estado de desactivación del interruptor y para utilizar dispositivos de baja tensión de ruptura en su caso para reducir el tamaño y el coste.

Por lo tanto, en diversos ejemplos de modo de realización, el nuevo interruptor de antena multi-banda **200** reduce la capacitancia en estado de desactivación, en comparación con los interruptores de antena convencionales. Además, la configuración del interruptor **200** proporciona rutas de baja potencia que utilizan dispositivos con tensión de ruptura inferior, por lo que la pérdida de inserción baja es más fácil de lograr y ofrece una reducción adicional de la capacitancia en estado de desactivación, así como un tamaño de circuito y un coste reducidos.

La **FIG. 3** muestra un ejemplo de modo de realización de un interruptor **300** que ilustra su capacitancia en estado de desactivación asociada. Por ejemplo, el interruptor **300** comprende un transistor NMOS o PMOS implementado en un circuito integrado para formar un interruptor integrado. Por lo tanto, el interruptor **300** es adecuado para el uso como cualquiera de los interruptores en el interruptor de antena **200** mostrados en la **FIG. 2**. El interruptor **300** comprende una pluralidad de capacitancias internas que aparecen entre los terminales del interruptor. Por ejemplo, los CdS de capacitancia aparecen entre los terminales de origen y de vaciado. La capacitancia total en estado de desactivación (C<sub>TOTAL</sub>) del interruptor **300** se determina a partir de la combinación de las capacitancias internas. Por lo tanto, la capacitancia total en estado de desactivación (C<sub>TOTAL</sub>) de cualquiera de los interruptores individuales del interruptor de antena **200** puede determinarse a partir de la siguiente expresión.

$$C_{TOTAL} = C_{DS} + (C_{GS}/C_{GD}) + (C_{BS}/C_{DB})$$

La **FIG. 4** muestra un ejemplo de modo de realización del controlador **218**. El controlador **218** comprende un procesador **402**, una interfaz de etapa 1 **404**, y una interfaz de etapa 2 **406**, todas acopladas para comunicarse a través de un bus **408**. Debe tenerse en cuenta que el controlador **218** es solo una implementación y que son posibles otras implementaciones.

La interfaz de etapa 1 **404** comprende hardware y/o software de ejecución de hardware que funciona para permitir al controlador **218** seleccionar la apertura o el cierre de los interruptores de etapa 1. Por ejemplo, la interfaz de etapa 1 **404** da salida a la señal de control Etapa1\_g1 que comprende uno o más bits que se pueden utilizar para controlar

uno o más interruptores de etapa 1, respectivamente. La interfaz de etapa 1 **404** se controla mediante la comunicación con el procesador **402** usando el bus **408**.

5 La interfaz de etapa 2 **406** comprende hardware y/o software de ejecución de hardware que funciona para permitir al controlador **218** seleccionar la apertura o el cierre de los interruptores de etapa 2. Por ejemplo, la interfaz de etapa 2 **406** da salida a las señales de control Etapa2\_g1, Etapa2\_g2 y Etapa2\_g3, que comprenden uno o más bits que se pueden utilizar para controlar uno o más grupos de interruptores de etapa 2, respectivamente. La interfaz de etapa 2 **406** se controla mediante el funcionamiento del procesador **402** usando el bus **408**.

10 El procesador **402** comprende una CPU, un procesador, una matriz de puertas, lógica de hardware, elementos de memoria y/o software de ejecución de hardware. Por ejemplo, el procesador **402** ejecuta instrucciones almacenadas o incorporadas en una memoria interna. El procesador **402** funciona para controlar la interfaz de etapa 1 **404** y la interfaz de etapa 2 **406** para llevar a cabo las funciones descritas en el presente documento.

15 En un ejemplo de modo de realización, el procesador **402** recibe la señal de control de la antena **220** de un procesador de banda base u otra entidad y funciona para controlar la interfaz de etapa 1 **404** y la interfaz de etapa 2 **406** en base a la señal de control de la antena **220** para generar las señales de control de interruptor Etapa1\_g1 Etapa2\_g1, Etapa2\_g2, y Etapa2\_g3 con el fin de cerrar y abrir los interruptores apropiados para permitir una ruta de la señal de antena deseada al tiempo que reduce la capacitancia en estado de desactivación asociada con los interruptores abiertos. Debe tenerse en cuenta que el controlador **218** no se limita a la implementación mostrada en la **FIG. 4** y en otros ejemplos de modo de realización el controlador funciona para generar más o menos señales de control de las etapas 1 y 2 según sea necesario en base a la configuración del interruptor de la antena.

20 **La FIG. 5** muestra un ejemplo de procedimiento **500** para el funcionamiento de un interruptor de antena que tiene múltiples etapas para reducir la capacitancia en estado de desactivación. Por ejemplo, el procedimiento **500** es adecuado para el uso por el controlador **218** mostrado en la **FIG. 2**. En una implementación, el procesador **402** ejecuta uno o más conjuntos de códigos o instrucciones para controlar el controlador **218** para realizar las funciones descritas a continuación.

30 En el bloque **502**, una señal de control de la antena es recibida por el procesador **402**. En un ejemplo de modo de realización, el procesador **402** recibe la señal de control de la antena **220** de un procesador de banda base en un dispositivo. El procesador **402** utiliza la señal de control de antena para determinar los ajustes de control de interruptor para cada etapa y grupo de interruptores de la antena **200**. Por ejemplo, la señal de control de antena indica qué rutas de señales se deben activar y/o desactivar. El procesador **402** se comunica con la interfaz de etapa 1 **404** y la interfaz de etapa 2 **406** para activar y/o desactivar los interruptores correspondientes de las etapas 1 y 2 para activar y desactivar las rutas de señal correspondientes.

35 En el bloque **504**, las señales de control de la etapa 1 se generan para abrir o cerrar los interruptores de etapa 1 apropiados. Por ejemplo, la interfaz de etapa 1 **404** emite la señal de Etapa1\_g1 que está acoplada para activar/desactivar los interruptores de etapa 1.

40 En el bloque **506**, las señales de control de la etapa 2 se generan para abrir o cerrar los interruptores de etapa 2 apropiados. Por ejemplo, la interfaz de etapa 2 **406** emite las señales Etapa2\_g1, Etapa2\_g2 y Etapa2\_g3 que se acoplan para activar/desactivar los interruptores de etapa 2.

45 Por lo tanto, el procedimiento **500** proporciona un procedimiento para el funcionamiento de un interruptor de antena que tenga múltiples etapas para reducir la capacitancia en estado desactivado para proporcionar una pérdida de inserción baja. Cabe señalar que el procedimiento **500** es solo una implementación y que las operaciones del procedimiento **500** puede reorganizarse o modificarse de otra forma, de tal manera que sean posibles otras implementaciones.

50 **La FIG. 6** muestra un ejemplo de modo de realización de un aparato de interruptor de antena **600**. Por ejemplo, el aparato **600** es adecuado para uso como el interruptor de antena **200** mostrado en la **FIG. 2**. En un aspecto, el aparato de conmutación **600** se implementa mediante uno o más módulos configurados para proporcionar las funciones tal como se describe en el presente documento. Por ejemplo, en un aspecto, cada módulo comprende hardware y/o software de ejecución de hardware.

55 El aparato **600** comprende un primer módulo que comprende un medio (**602**) para generar una señal de control de interruptor de primera etapa y una señal de control de interruptor de segunda etapa, que en un aspecto comprende el controlador **218**.

60 El aparato **600** comprende también un segundo módulo que comprende medios (**604**) para conmutar una pluralidad de interruptores de primera etapa conectados a una antena utilizando la señal de control de interruptor de primera etapa, que en un aspecto comprende uno o más de los interruptores de primera etapa **224**.

65 El aparato **600** comprende también un tercer módulo que comprende medios (**606**) para conmutar una pluralidad de

interruptores de segunda etapa conectados a la pluralidad de interruptores de primera etapa utilizando la señal de control de interruptor de segunda etapa, con cada interruptor de primera etapa conectado en serie a uno o más interruptores de segunda etapa para formar una pluralidad de rutas de señal conmutables conectados a una antena, que en un aspecto comprende uno o más de los interruptores de segunda etapa **226**.

Los expertos en la técnica entenderán que la información y las señales pueden representarse o procesarse usando cualquiera de una diversidad de tecnologías y técnicas diferentes. Por ejemplo, los datos, las instrucciones, los comandos, la información, las señales, los bits, los símbolos y los chips que pueden haber sido mencionados a lo largo de la descripción anterior pueden representarse mediante tensiones, corrientes, ondas electromagnéticas, campos o partículas magnéticas, campos o partículas ópticos, o cualquier combinación de los mismos. Se observa, además, que los tipos y las tecnologías de transistor pueden sustituirse, reorganizarse o modificarse de otro modo para lograr los mismos resultados. Por ejemplo, los circuitos mostrados utilizando transistores PMOS pueden modificarse para usar transistores NMOS y viceversa. Por lo tanto, los amplificadores descritos en este documento se pueden realizar usando una variedad de tipos y tecnologías de transistores y no se limitan a los tipos y tecnologías de transistores ilustrados en los dibujos. Por ejemplo, se pueden utilizar tipos de transistores tales como BJT, GaAs, MOSFET o cualquier otra tecnología de transistor.

Los expertos en la técnica apreciarán además que los diversos bloques lógicos, módulos, circuitos y pasos de algoritmo ilustrativos descritos en relación con los modos de realización dados a conocer en el presente documento pueden implementarse como hardware electrónico, software informático o combinaciones de ambos. Para ilustrar claramente esta intercambiabilidad de hardware y software, anteriormente se han descrito diversos componentes, bloques, módulos, circuitos y pasos ilustrativos, generalmente, en lo que respecta a su funcionalidad. Si tal funcionalidad se implementa como hardware o software depende de la aplicación particular y de las limitaciones de diseño impuestas sobre todo el sistema. Los expertos en la técnica pueden implementar la funcionalidad descrita de diferentes maneras para cada aplicación particular, pero no debe interpretarse que tales decisiones de implementación suponen un apartamiento del alcance de los ejemplos de modos de realización de la invención.

Los diversos bloques lógicos, módulos y circuitos ilustrativos descritos en relación con los modos de realización dados a conocer en el presente documento pueden implementarse o realizarse con un procesador de propósito general, con un procesador de señales digitales (DSP), con un circuito integrado de aplicación específica (ASIC), con una matriz de puertas de campo programable (FPGA) o con otro dispositivo de lógica programable, lógica de transistor o de puertas discretas, componentes de hardware discretos, o con cualquier combinación de los mismos diseñada para realizar las funciones descritas en el presente documento. Un procesador de propósito general puede ser un microprocesador pero, como alternativa, el procesador puede ser cualquier procesador, controlador, micro-controlador o máquina de estados convencional. Un procesador también puede implementarse como una combinación de dispositivos informáticos, por ejemplo, una combinación de un DSP y un microprocesador, una pluralidad de microprocesadores, uno o más microprocesadores junto con un núcleo de DSP o cualquier otra configuración de este tipo.

Las etapas de un procedimiento o algoritmo descrito en relación con los modos de realización divulgados en el presente documento pueden realizarse directamente en hardware, en un módulo de software ejecutado por un procesador o en una combinación de los dos. Un módulo de software puede residir en memoria de acceso aleatorio (RAM), memoria flash, memoria de solo lectura (ROM), memoria ROM eléctricamente programable (EPROM), memoria ROM programable eléctricamente borrable (EEPROM), registros, un disco duro, un disco extraíble, un CD-ROM o en cualquier otra forma de medio de almacenamiento conocida en la técnica. Un ejemplo de medio de almacenamiento está acoplado con el procesador de modo que el procesador pueda leer información de, y escribir información en, el medio de almacenamiento. Como alternativa, el medio de almacenamiento puede estar integrado en el procesador. El procesador y el medio de almacenamiento pueden residir en un ASIC. El ASIC puede residir en un terminal de usuario. Como alternativa, el procesador y el medio de almacenamiento pueden residir como componentes discretos en un terminal de usuario.

En uno o más ejemplos de modos de realización, las funciones descritas pueden implementarse en hardware, software, firmware o en cualquier combinación de los mismos. Si se implementan en software, las funciones, como una o más instrucciones o código, pueden almacenarse en, o transmitirse por, un medio legible por ordenador. Los medios legibles por ordenador incluyen tanto medios de almacenamiento informáticos no transitorios como medios de comunicación, incluyendo cualquier medio que facilite la transferencia de un programa informático de un lugar a otro. Un medio de almacenamiento no transitorio puede ser cualquier medio disponible al que pueda accederse mediante un ordenador. A modo de ejemplo, y no de manera limitativa, tales medios legibles por ordenador pueden comprender RAM, ROM, EEPROM, CD-ROM u otro almacenamiento de disco óptico, almacenamiento de disco magnético u otros dispositivos de almacenamiento magnético, o cualquier otro medio que pueda usarse para transportar o almacenar código de programa deseado en forma de instrucciones o estructuras de datos y al que pueda accederse mediante un ordenador. Además, cualquier conexión puede denominarse de manera adecuada un medio legible por ordenador. Por ejemplo, si el software se transmite desde una sede de la Red, un servidor u otro origen remoto, usando un cable coaxial, un cable de fibra óptica, un par trenzado, una línea de abonado digital (DSL) o tecnologías inalámbricas tales como infrarrojos, radio y microondas, entonces el cable coaxial, el cable de fibra óptica, el par trenzado, la DSL o las tecnologías inalámbricas tales como infrarrojos, radio y microondas, se incluyen

5 en la definición de medio. Los discos, como se usan en el presente documento, incluyen el disco compacto (CD), el disco de láser, el disco óptico, el disco versátil digital (DVD), el disco flexible y el disco Blu-ray, donde algunos discos normalmente reproducen datos de manera magnética, mientras que otros discos reproducen los datos de manera óptica con láser. Las combinaciones de lo anterior también deberían incluirse dentro del alcance de los medios legibles por ordenador.

10 Se proporciona la descripción de los ejemplos de modo de realización divulgados para permitir que cualquier experto en la técnica realice o use la presente invención. Diversas modificaciones de estos ejemplos de modo de realización resultarán fácilmente evidentes a los expertos en la técnica, y los principios genéricos definidos en el presente documento pueden aplicarse a otros modos de realización sin apartarse del alcance de la invención, como se define en las reivindicaciones adjuntas. Por tanto, la invención no pretende limitarse a los ejemplos de modo de realización mostrados en el presente documento, sino que se le concede el alcance más amplio compatible con los principios y características novedosas divulgados en el presente documento.

**REIVINDICACIONES**

1. Un aparato (200) que comprende:
  - 5 una pluralidad de interruptores de primera etapa (224) conectados a una antena (202); y una pluralidad de interruptores de segunda etapa (226) conectados a la pluralidad de interruptores de primera etapa, estando cada interruptor de primera etapa conectado en serie a uno o más interruptores de segunda etapa para formar una pluralidad de rutas de señal conmutables (222) conectadas a la antena (202), teniendo la pluralidad de rutas de señal conmutables al menos una ruta de señal de baja potencia que incluye un interruptor de segunda etapa seleccionado que tiene una tensión de ruptura menor que un interruptor de primera etapa seleccionado que está conectado al interruptor de segunda etapa seleccionado.
  - 10
  - 15 2. El aparato (200) de la reivindicación 1, en el que la pluralidad de rutas de señal conmutables comprenden una o más rutas de señal inconexas que tienen uno o más valores de capacitancia, respectivamente, combinándose el uno o más valores de capacitancia para formar una capacitancia total en el estado de desactivación del aparato.
  - 20 3. El aparato (200) de la reivindicación 1, que comprende además un controlador (218) configurado para generar señales de control de conmutación que se acoplan a los interruptores de primera y segunda etapa, estando las señales de control del interruptor configuradas para abrir o cerrar cualquiera de los interruptores de primera y segunda etapa para activar o desactivar rutas de señal conmutables seleccionadas.
  - 25 4. El aparato (200) de la reivindicación 3, estando el controlador configurado para generar las señales de control de conmutación desde una señal de control de antena recibida.
  - 30 5. El aparato (200) de la reivindicación 1, estando los interruptores de primera y segunda etapa configurados como interruptores integrados, que incluyen uno o más transistores seleccionados de un conjunto que comprende transistores PMOS y NMOS.
  - 35 6. El aparato (200) de la reivindicación 1, en el que la pluralidad de interruptores de primera etapa incluyen dos interruptores de primera etapa que están conectados en serie a dos grupos de interruptores de segunda etapa (206, 214), respectivamente, teniendo cada grupo de interruptores de segunda etapa una porción seleccionada de los interruptores de segunda etapa.
  - 40 7. El aparato (200) de la reivindicación 1, con una capacitancia total en estado de desactivación del aparato determinada a partir de una combinación de valores de capacitancia asociados con una pluralidad de ramas de interruptores del aparato, teniendo cada rama de interruptores un interruptor de primera etapa seleccionado conectado en serie a uno o más interruptores de segunda etapa.
  - 45 8. Un procedimiento (500) que comprende:
    - 50 generar (502) una señal de control de interruptor de primera etapa y una señal de control de interruptor de segunda etapa; conmutar una (504) pluralidad de interruptores de primera etapa (224) conectados a una antena (202) utilizando la señal de control de interruptor de primera etapa; y conmutar una pluralidad de interruptores de segunda etapa (226) conectados a la pluralidad de interruptores de primera etapa utilizando la señal de control de interruptor de segunda etapa, estando cada interruptor de primera etapa conectado en serie a uno o más interruptores de segunda etapa para formar una pluralidad de rutas de señal conmutable (222) conectadas a la antena, en el que dicha conmutación comprende la conmutación de la pluralidad de interruptores de primera y segunda etapa para permitir que al menos una ruta de señal de baja potencia incluya un interruptor de segunda etapa seleccionado que tiene una tensión de ruptura menor que un interruptor de primera etapa seleccionado que está conectado al interruptor de segunda etapa seleccionado.
    - 55 9. El procedimiento (500) de la reivindicación 8, comprendiendo la generación (502) la generación de la señal de control de interruptor de primera etapa y de la señal de control de interruptor de segunda etapa a partir de una señal de control de antena.
    - 60 10. El procedimiento (500) de la reivindicación 8, que comprende además la conmutación de la pluralidad de interruptores de primera y segunda etapa para formar una o más rutas de señal no relacionadas que tienen uno o más valores de capacitancia, respectivamente, combinándose el uno o más valores de capacitancia para formar una capacitancia en estado de desactivación total asociada con la pluralidad de interruptores de primera y segunda etapa.
    - 65

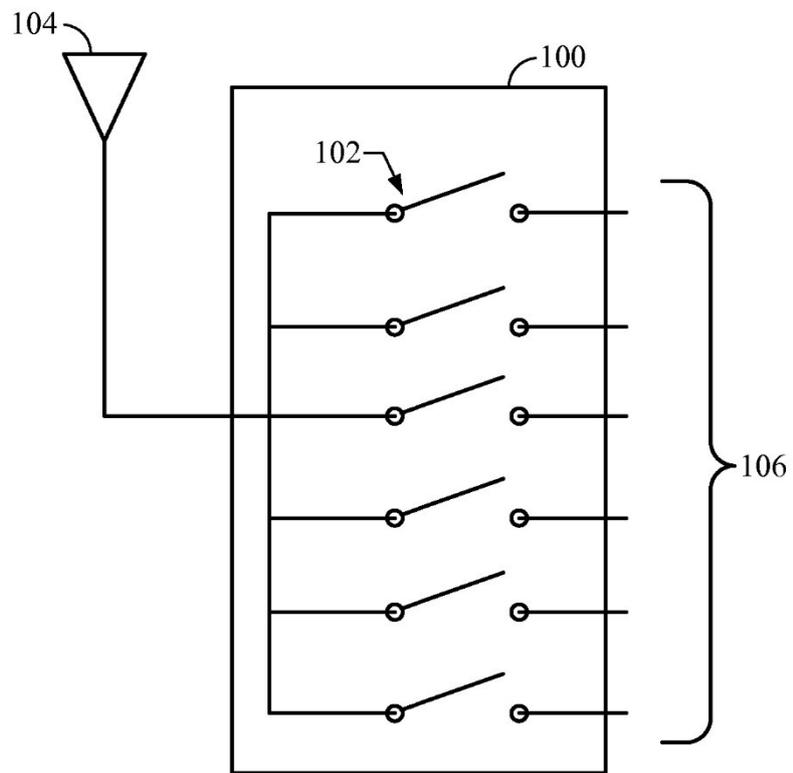


FIG. 1  
Técnica anterior

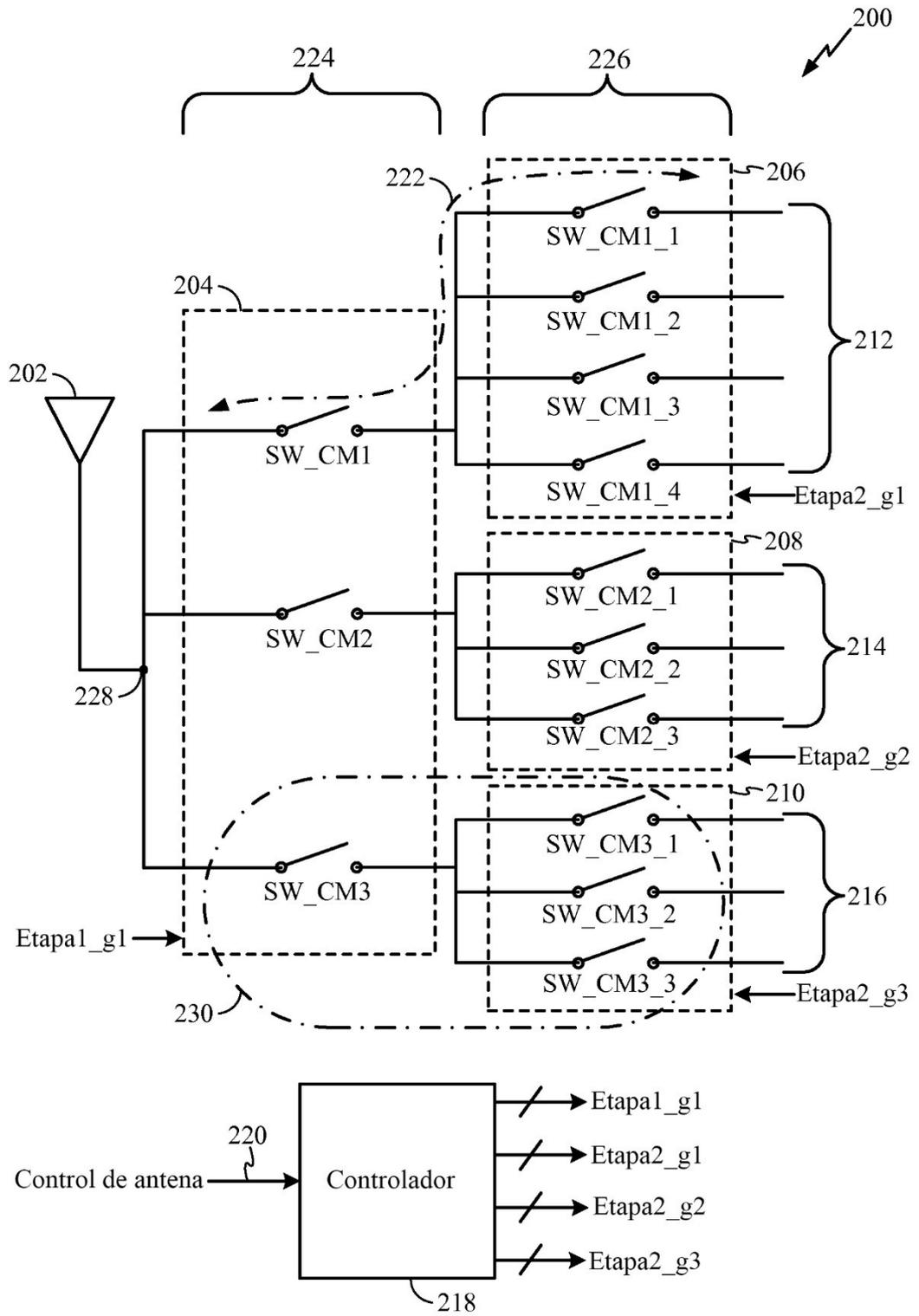


FIG. 2

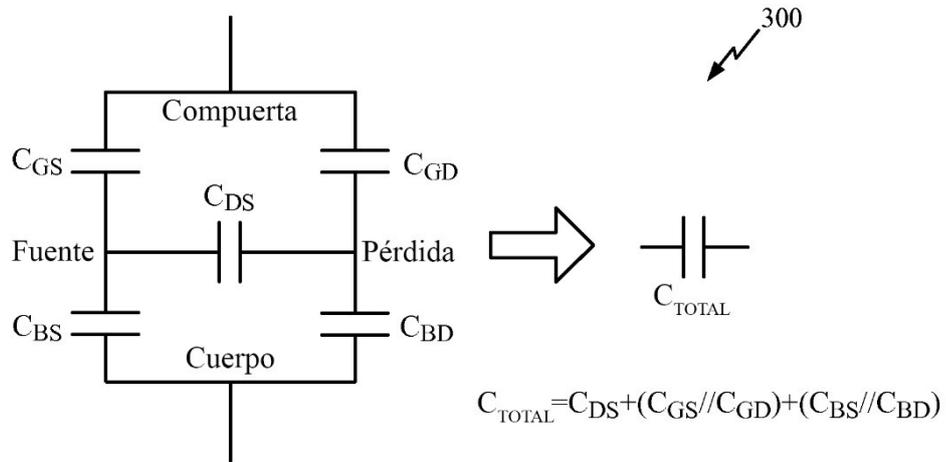


FIG. 3

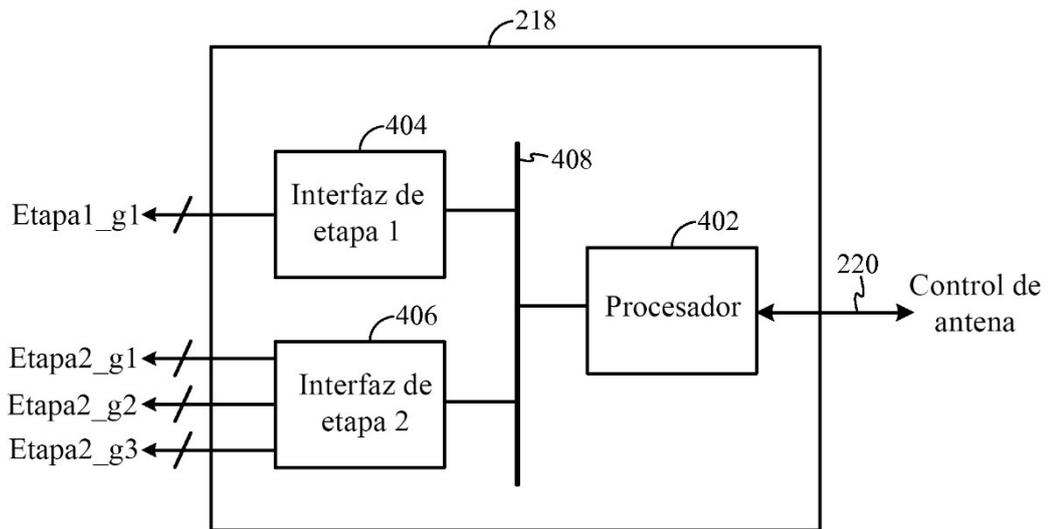


FIG. 4

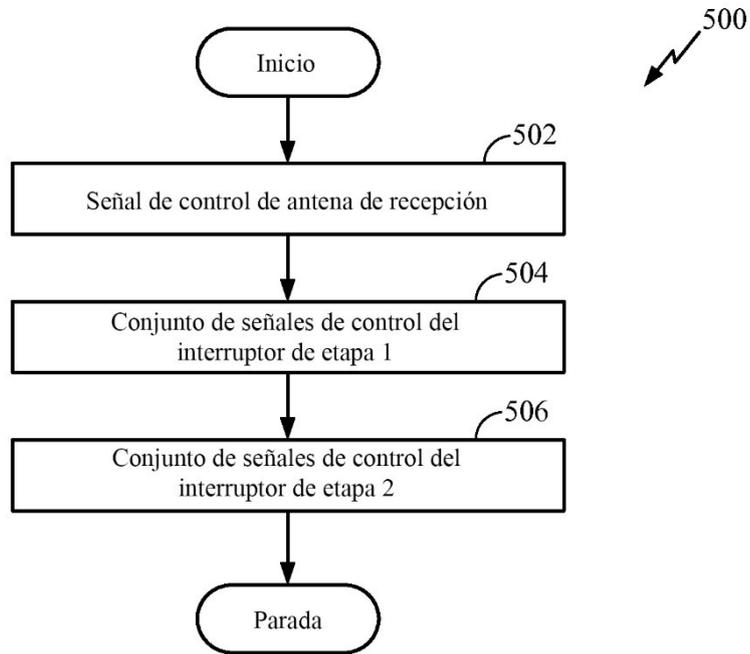


FIG. 5

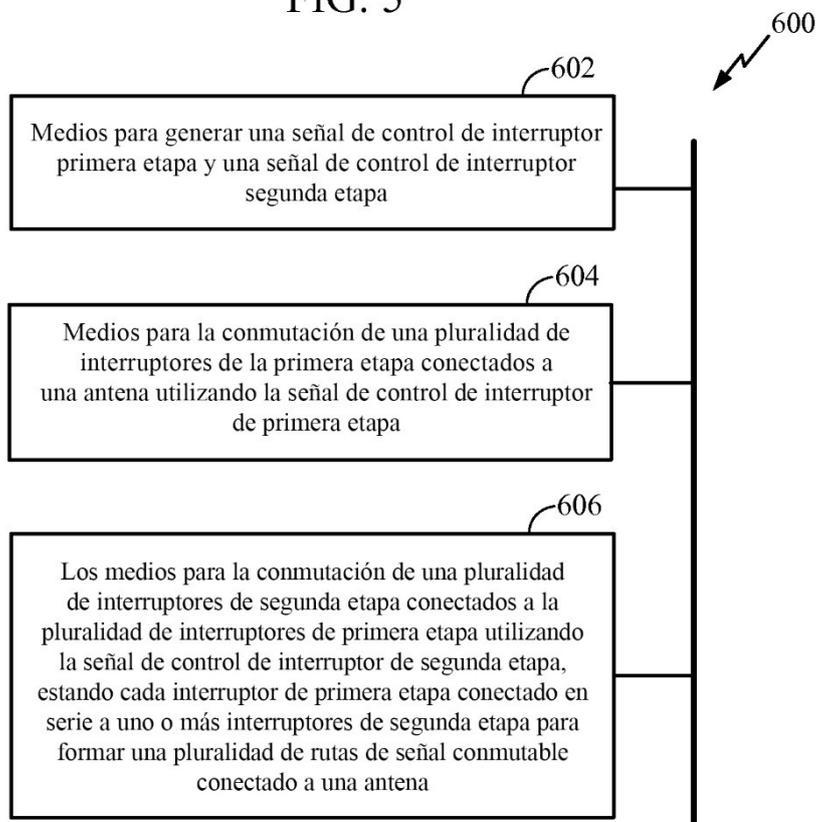


FIG. 6