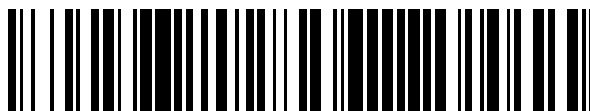


19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 609 527**

51 Int. Cl.:

<b>H04N 19/503</b>	(2014.01)
<b>H04N 19/184</b>	(2014.01)
<b>H04N 19/58</b>	(2014.01)
<b>H04N 19/169</b>	(2014.01)
<b>H04N 19/105</b>	(2014.01)
<b>H04N 19/176</b>	(2014.01)
<b>H04N 19/70</b>	(2014.01)
<b>H04N 19/463</b>	(2014.01)
<b>H04N 19/174</b>	(2014.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

- 86 Fecha de presentación y número de la solicitud internacional: **18.12.2013 PCT/EP2013/077229**
- 87 Fecha y número de publicación internacional: **24.07.2014 WO14111222**
- 96 Fecha de presentación y número de la solicitud europea: **18.12.2013 E 13814110 (6)**
- 97 Fecha y número de publicación de la concesión europea: **12.10.2016 EP 2946556**

54 Título: **Descodificador y codificador y procedimientos para codificar una secuencia de vídeo**

30 Prioridad:

**16.01.2013 US 201361753158 P**

45 Fecha de publicación y mención en BOPI de la traducción de la patente:  
**20.04.2017**

73 Titular/es:

**TELEFONAKTIEBOLAGET LM ERICSSON (PUBL)  
(100.0%)  
164 83 Stockholm, SE**

72 Inventor/es:

**SAMUELSSON, JONATAN y  
SJÖBERG, RICKARD**

74 Agente/Representante:

**DE ELZABURU MÁRQUEZ, Alberto**

**ES 2 609 527 T3**

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

## DESCRIPCIÓN

Descodificador y codificador y procedimientos para codificar una secuencia de vídeo

### Campo técnico

5 Las realizaciones de la presente memoria se refieren a la codificación de vídeo. En particular, se describe un descodificador y un procedimiento en el mismo para descodificar un tren de bits para obtener una secuencia de vídeo, así como un codificador y un procedimiento en el mismo para codificar una secuencia de vídeo. Además, se describen programas informáticos y productos de programas informáticos correspondientes.

### Antecedentes

10 Con las tecnologías de codificación de vídeo, a menudo se desea comprimir una secuencia de vídeo para obtener una secuencia de vídeo codificada. La secuencia de vídeo puede haberse capturado, por ejemplo, mediante una videocámara. Uno de los objetivos de la compresión de la secuencia de vídeo consiste en reducir un tamaño, por ejemplo, en bits, de la secuencia de vídeo. De este modo, la secuencia de vídeo codificada requerirá menos memoria cuando se almacena y/o menos ancho de banda cuando se transmite, por ejemplo, desde la videocámara. A menudo se utiliza un dispositivo llamado codificador para llevar a cabo la compresión, o codificación, de la  
15 secuencia de vídeo. Por tanto, la videocámara puede comprender el codificador. La secuencia de vídeo codificada se puede transmitir desde la videocámara a un dispositivo de visualización, como un televisor (TV) o similar. Para que el televisor sea capaz de descomprimir, o descodificar, la secuencia de vídeo codificada, puede comprender un dispositivo llamado descodificador. Esto significa que el descodificador se utiliza para descodificar la secuencia de vídeo codificada recibida. En otras situaciones, el codificador puede estar comprendido en una estación de base  
20 radioeléctrica de un sistema de comunicación celular y el descodificador puede estar comprendido en un dispositivo inalámbrico, como un teléfono móvil o similar, y viceversa.

Una tecnología de codificación de vídeo conocida se denomina Codificación de Vídeo de Alta Eficiencia (HEVC, por sus siglas en inglés), que constituye un nuevo estándar de codificación de vídeo, que actualmente está desarrollando el Equipo Conjunto de Colaboración para la Codificación de Vídeo (JCT-VC, por sus siglas en inglés).  
25 JCT-VC es un proyecto colaborativo creado entre el Grupo de Expertos de Imagen en Movimiento (MPEG, por sus siglas en inglés) y el Sector de Normalización de las Telecomunicaciones de la Unión Internacional de Telecomunicaciones (UIT-T).

HEVC es un códec híbrido que utiliza múltiples imágenes de referencia para la predicción inter. HEVC incluye un proceso de marcado de imágenes en el que se pueden marcar imágenes de referencia como “usada como  
30 referencia a corto plazo”, “usada como referencia a largo plazo” y “no usada como referencia”. Si se marca como “no usada como referencia”, la imagen no se puede seguir utilizando para la predicción inter. El proceso de marcado en HEVC se controla mediante Conjuntos de Imágenes de Referencia (RPS, por sus siglas en inglés). Un RPS es un conjunto de identificadores de imagen que identifica imágenes de referencia. El conjunto se envía en cada rebanada y las imágenes de referencia se mantendrán en la Memoria Intermedia de Imagen Descodificada (DPB, por sus  
35 siglas en inglés) si están presentes en el RPS. Una rebanada es una región espacialmente diferenciada de un cuadro que se codifica con independencia de cualquier otra región del mismo cuadro. La parte RPS de la sintaxis de la cabecera del segmento de la rebanada se muestra en la tabla 1.

Las imágenes en HEVC se identifican mediante sus valores de Recuento de Orden de Imágenes (POC, por sus siglas en inglés), también conocidos como valores de POC completo. Cada rebanada contiene una palabra código, pic-order-cnt-lsb, que será la misma para todas las rebanadas de una imagen. pic-order\_cnt-lsb también se conoce como los bits menos significativos (lsb, por sus siglas en inglés) del POC completo, ya que es una palabra código de longitud fija y solo se señalan los bits menos significativos del POC completo. Tanto el codificador como el descodificador realizan un seguimiento del involucramiento del POC, de manera que se pueden asignar valores de POC completo a cada imagen que se codifica/descodifica.

45 Las imágenes de corto plazo se indican en el RPS mediante un par de números, el POC de la imagen de referencia y una marca: used\_by\_curr\_pic\_lx\_flag. El descodificador conoce el POC de las imágenes de referencia de la DPB y puede compararlos con los valores de POC recibidos en el RPS. La marca used\_by\_curr\_pic\_lx\_flag indica si la imagen de referencia se usa o no como referencia para la imagen actual.

Las imágenes de largo plazo se indican generalmente en el RPS mediante la parte del bit menos significativo (lsb) del valor de POC de la imagen de referencia. No obstante, el estándar HEVC dispone de una palabra de código opcional, delta\_poc\_msb\_cycle\_lt\_minus1, que proporciona otro modo posible de referenciar imágenes de largo plazo. La parte de imagen de largo plazo de la sintaxis de la cabecera de la rebanada de HEVC se muestra al final de la tabla 1.

Tabla 1 – Sintaxis de cabecera de rebanada de RPS

slice_segment_header( ) {	Descriptor
...	
if( !IdrPicFlag ) {	
<b>pic_order_cnt_lsb</b>	u(v)
<b>short_term_ref_pic_set_sps_flag</b>	u(1)
if( !short_term_ref_pic_set_sps_flag )	
short_term_ref_pic_set( num_short_term_ref_pic_sets )	
else	
<b>short_term_ref_pic_set_idx</b>	u(v)
if( long_term_ref_pics_present_flag ) {	
if( num_long_term_ref_pics_sps > 0 )	
<b>num_long_term_sps</b>	ue(v)
<b>num_long_term_pics</b>	ue(v)
for( i = 0; i < num_long_term_sps + num_long_term_pics; i++ ) {	
if( i < num_long_term_sps )	
<b>lt_idx_sps[ i ]</b>	u(v)
else {	
<b>poc_lsb_lt[ i ]</b>	u(v)
<b>used_by_curr_pic_lt_flag[ i ]</b>	u(l)
}	
<b>delta_poc_msb_present_flag[ i ]</b>	u(1)
if( delta_poc_msb_present_flag[ i ] )	
<b>delta_poc_msb_cycle_lt[ i ]</b>	ue(v)
}	
}	
}	

Si delta\_poc\_msb\_present\_flag es igual a 0, la imagen de largo plazo se indica únicamente mediante la parte lsb de su POC. Si delta\_poc\_msb\_present\_flag es igual a 1, la imagen de largo plazo se indica mediante el POC completo, es decir, la parte de lsb del POC y un ciclo de msb del POC usado para calcular la parte de msb del POC. Un delta\_poc\_msb\_present\_flag igual a 1 permite que dos imágenes de largo plazo compartan los mismos lsb del POC. Actualmente, el estándar HEVC exige que delta\_poc\_msb\_present\_flag sea igual a 1 siempre que existan al menos dos imágenes de referencia en la DPB con los mismos lsb del POC. Esto queda restringido por la siguiente frase del borrador de la especificación de la HEVC, en la que DeltaPocLt es una lista que contiene todos los lsb de POC de imágenes de largo plazo del RPS:

10 delta\_poc\_msb\_present\_flag[ i ] será igual a 1 cuando haya más de una imagen de referencia en la memoria intermedia de imágenes descodificadas con módulo de recuento de orden de imágenes MaxPicPrderCntLsb igual a

PocLsbLt[ i ].

Esta restricción estipula que, cuando una imagen de largo plazo se está indicando mediante un RPS y existe más de una imagen de referencia en la memoria intermedia de imágenes descodificadas con los mismos lsb del POC que dicha imagen de largo plazo, la indicación de imagen de largo plazo incluirá el señalamiento del ciclo de msb del POC, es decir delta\_poc\_msb\_present\_flag será igual a 1 para esa indicación de imagen de largo plazo del RPS.

Un tren de datos de HEVC consiste en una o más Secuencias de Vídeo Codificadas (CVS, por sus siglas en inglés). Una secuencia de vídeo codificada comienza, en orden de descodificación, con una primera imagen cuyo tipo de imagen no utiliza ninguna otra imagen para la predicción y para el que todas las imágenes que están presentes en la DPB están marcadas como “no usada como referencia”, de manera que ninguna imagen de una CVS utiliza imágenes de otra CVS como referencia. Una CVS consiste en una serie de unidades de acceso dispuestas en secuencia en un tren de unidades NAL (véase más adelante) y utilizan solo un Conjunto de Parámetros de Secuencia (SPS, por sus siglas en inglés). SPS se define como un tipo especial de unidad NAL, por ejemplo SPS\_NUT. El SPS contiene información que es válida para la totalidad de una secuencia de vídeo codificada, tal como un tamaño de imagen o unos parámetros de ventana de recorte que se aplican a las imágenes cuando son emitidas por el descodificador.

HEVC define unas subcapas temporales. Para cada imagen, la variable TemporalId, calculada a partir del elemento de sintaxis nuh\_temporal\_id\_plus1, en la cabecera de la unidad NAL, indica a qué subcapa temporal pertenece la imagen. Una subcapa temporal inferior no puede depender de una subcapa temporal superior y un proceso de extracción de subtrenes de bits requiere que cuando una o más de las subcapas temporales más altas se eliminen de un tren de bits, el tren de bits restante sea un tren de bits que cumpla con la norma. Como ejemplo, las subcapas temporales inferiores se pueden asociar con una tasa de visualización, o tasa de bits, inferior a una tasa de visualización, o tasa de bits, correspondiente a una subcapa temporal superior. Se entenderá que las subcapas temporales permiten la extracción de subtrenes de bits atendiendo únicamente a las cabeceras de las unidades NAL; no es necesario descodificar otras partes del tren de bits.

En HEVC, las imágenes codificadas están encapsuladas en una o más unidades de Capa de Abstracción de Red (NAL, por sus siglas en inglés), que forman parte de una unidad de acceso. Las unidades NAL se clasifican como unidades de Capa de Codificación de Vídeo (VCL, por sus siglas en inglés) o unidades NAL no VCL, tales como los SPS mencionados anteriormente, en función de si contienen muestras de imágenes codificadas o contienen otros datos asociados, respectivamente. En la norma HEVC, se requiere que todas las unidades NAL VCL de la misma imagen tengan el mismo tipo de unidades NAL, que indica propiedades relativas a la imagen codificada y puede afectar al proceso de descodificación. Los tipos de unidades NAL: TRAIL\_N, TSA\_N, STSA\_N, RASL\_N y RADL\_N se utilizan para indicar que esta imagen no es usada como referencia por ninguna imagen de la misma subcapa temporal. En el presente texto, esas imágenes se denominan imágenes de Subcapa Temporal No-Referencial (NRTSL). Los tipos de unidades NAL RSV\_VCL\_N10, RSV\_VCL\_N12, o RSV\_VCL\_N14 se reservan para utilizarlos en futuras versiones de la especificación HEVC, pero actualmente ya se requiere que tengan las propiedades de las imágenes NRTSL y, por tanto, se pueden considerar imágenes NRTSL aunque aún no esté permitido utilizar estos tipos de unidades NAL en trenes de bits que cumplan con la norma. En el presente texto, todos los demás tipos de imágenes se denominan imágenes de Subcapa Temporal de Referencia (RTSL).

Para una imagen NRTSL X, si la subcapa temporal a la que pertenece X es la subcapa temporal más alta que se descodifica, será posible eliminar X, es decir, todas las unidades NAL que contienen la imagen X, del tren de bits sin afectar a la descodificabilidad del resto del tren de bits. No obstante, la DPB puede contener diferentes imágenes cuando la imagen Y que sucede a X en el orden de descodificación se va a descodificar dependiendo de si X se descodificó o fue descartada. Podría darse el caso de que, cuando se elimina una imagen X, la DPB pudiera contener dos imágenes de referencia de largo plazo en la DPB con los mismos lsb del POC cuando se descodifica Y, pero no habría sido así si se hubiera recibido X. Por lo tanto, el codificador puede haber utilizado delta\_poc\_msb\_present\_flag igual a 0 para un caso para el que eso sea válido cuando X está presente en el tren de bits pero viole la restricción mencionada anteriormente cuando se ha eliminado X. El procedimiento de descodificación para este caso no está definido. Por tanto, para este caso, no es posible eliminar X del tren de bits sin afectar a la descodificabilidad del resto del tren.

Se puede producir la misma situación cuando se eliminan imágenes individuales de subcapas temporales superiores.

Considérese el siguiente ejemplo:

Se usan 8 bits para pic\_order\_cnt\_lsb. Esto significa que los valores de lsb del POC se encuentran en el intervalo de 0 a 255, inclusive. El POC de la imagen X es 257 y ambas imágenes con POC 0 y 256 son imágenes de largo plazo que están presentes en la DPB marcadas como “usada como referencia de largo plazo”. Ambas imágenes de referencia de largo plazo tendrán un valor de lsb del POC igual a 0. Suponemos que solo la imagen con POC 0 está presente en el RPS de la imagen X, es decir, la imagen con POC 256 se eliminará de la DPB. HEVC contiene la restricción:

$\text{delta\_poc\_msb\_present\_flag}[i]$  será igual a 1 cuando haya más de una imagen de referencia en la memoria intermedia de imágenes descodificadas con módulo de recuento de orden de imágenes  $\text{MaxPicOrderCntLsb}$  igual a  $\text{PocLsbLt}[i]$ .

De este modo, la imagen X debe señalar  $\text{delta\_poc\_msb\_present\_flag}$  igual a 1 para la imagen con POC 0.

- 5 Cuando se haya descodificado el RPS de la imagen X, solo habrá una imagen en la DPB con valor de  $\text{lsb}$  del POC igual a 0.

10 Asumamos que la imagen Y sucede a X en el orden de descodificación, tiene un POC 258 e indica en su RPS que la imagen de largo plazo con POC igual a 0 se mantendrá como imagen de referencia en la DPB. Cuando se descodifica Y, solo habrá una imagen en la DPB con valor de  $\text{lsb}$  del POC igual a 0. De este modo, no se requiere que  $\text{delta\_poc\_msb\_present\_flag}$  sea igual a 1 para esa imagen del RPS de la imagen Y.

15 Si X era una imagen NRTSL en la misma subcapa temporal que Y, o si X se codificó en una subcapa temporal más alta que Y, entonces sería posible eliminar X sin afectar a la descodificabilidad de Y. No obstante, si se elimina la imagen X, habrá dos imágenes de referencia de largo plazo en la DPB con un valor de  $\text{lsb}$  del POC igual a 0 y, debido a que  $\text{delta\_poc\_msb\_present\_flag}$  es igual a 0 para la imagen de referencia de largo plazo con valor de  $\text{lsb}$  del POC igual a 0 en el RPS de Y, no se define en el proceso de descodificación cuál de estas imágenes se mantiene como imagen de referencia en la DPB. Por tanto, el resto del tren de bits no es descodificable y se inutiliza la finalidad del tipo de imagen NRTSL y la estructuración en capas temporales.

20 Rickard Sjöberg et. al., en "Overview of HEVC High-level syntax and reference picture management", IEEE *Transactions on circuits and systems for video technology*, IEEE Service Center, Piscataway, NJ, EE. UU., vol. 22, n.º 12, 1 de diciembre de 2012, págs. 1858-1870, ISSN:1051-8215, DOI: 10.1109/TCSVT.2012.2223052, describe, en líneas, generales cómo se llevan a cabo las operaciones de RPS (Conjunto de Imágenes de Referencia) y DPB (Memoria Intermedia de Imágenes Descodificadas).

## Resumen

25 Un objeto puede consistir en cómo mejorar la codificación de trenes de bits que cumplen con la norma HEVC. De acuerdo con un primer aspecto, el objeto se logra mediante un procedimiento, realizado por un codificador, para codificar una secuencia de vídeo. Cuando se codifica una imagen actual de la secuencia de vídeo, el codificador lleva a cabo las siguientes operaciones. El codificador calcula una indicación a una imagen de referencia anterior. La imagen de referencia anterior se sitúa antes de la imagen actual en el orden de descodificación. La imagen de referencia anterior es, con respecto a la imagen actual, una imagen de referencia inmediatamente anterior, en el orden de descodificación, con una identidad temporal igual a cero. El codificador crea un primer conjunto de indicadores a imágenes anteriores. El primer conjunto comprende la indicación a la imagen de referencia anterior, un segundo conjunto de indicadores a todas las imágenes de referencia incluidas en un primer Conjunto de Imágenes de Referencia (RPS) de la imagen de referencia anterior, y un tercer conjunto de indicadores a todas las imágenes que suceden a la imagen de referencia anterior en el orden de descodificación y preceden a la imagen actual en el orden de descodificación. Cuando una imagen de referencia de largo plazo de un segundo RPS de la imagen actual posee unos bits menos significativos de un recuento de orden de imágenes, para lo cual más de una imagen de las indicadas en el primer conjunto comparten el mismo valor de los bits menos significativos del recuento de orden de imágenes que la imagen de referencia de largo plazo, el codificador establece una marca para la imagen de referencia de largo plazo. La marca indica la utilización de un ciclo de recuento de orden de imágenes y unos bits menos significativos del recuento del orden de imágenes para indicar la imagen de referencia de largo plazo del segundo RPS.

45 De acuerdo con un segundo aspecto, el objeto se logra mediante un codificador configurado para codificar una secuencia de vídeo. El codificador está configurado del modo que se muestra a continuación para codificar una imagen actual de la secuencia de vídeo. Por consiguiente, el codificador está configurado para calcular una indicación a una imagen de referencia anterior. La imagen de referencia anterior se sitúa antes de la imagen actual en el orden de descodificación. La imagen de referencia anterior es, con respecto a la imagen actual, una imagen de referencia inmediatamente anterior, en el orden de descodificación, con una identidad temporal igual a cero. Además, el codificador está configurado para crear un primer conjunto de indicadores a imágenes anteriores. El primer conjunto comprende la indicación a la imagen de referencia anterior, un segundo conjunto de indicadores a todas las imágenes de referencia incluidas en un primer RPS de la imagen de referencia anterior, y un tercer conjunto de indicadores a todas las imágenes que suceden a la imagen de referencia anterior en el orden de descodificación y preceden a la imagen actual en el orden de descodificación. Además, el codificador está configurado para establecer una marca para la imagen de referencia de largo plazo, cuando una imagen de referencia de largo plazo de un segundo RPS de la imagen actual posee unos bits menos significativos de un recuento de orden de imágenes, para lo cual más de una de las imágenes indicadas en el primer conjunto comparten el mismo valor de bits menos significativos del recuento de orden de imágenes que la imagen de referencia de largo plazo. La marca indica la utilización de un ciclo de recuento de orden de imágenes y unos bits menos significativos del recuento de orden de imágenes para indicar la imagen de referencia de largo plazo del segundo RPS.

De acuerdo con un tercer aspecto, el objeto se logra mediante un procedimiento, realizado por un descodificador, para descodificar un tren de bits con el fin de obtener una secuencia de vídeo. Cuando se descodifica una imagen actual del tren de bits, el descodificador lleva a cabo las siguientes operaciones. El descodificador obtiene, a partir del tren de bits, unos bits menos significativos de un recuento de orden de imágenes para una imagen de referencia de largo plazo incluida en un conjunto de imágenes de referencia de la imagen actual. El descodificador obtiene una marca para dicha imagen de referencia de largo plazo. La marca indica si se debe utilizar o no un ciclo de recuento de orden de imágenes. Cuando la marca indica que no se utiliza el ciclo de recuento de orden de imágenes y los bits menos significativos coinciden con más de una imagen de referencia contenidas en una memoria intermedia de imágenes descodificadas del descodificador, el descodificador concluye que el tren de bits es un tren de bits que no cumple con la norma.

De acuerdo con un cuarto aspecto, el objeto se logra mediante un descodificador configurado para descodificar un tren de bits para obtener una secuencia de vídeo. El descodificador está configurado del siguiente modo para descodificar una imagen actual a partir del tren de bits. Por consiguiente, el descodificador está configurado para obtener, a partir del tren de bits, unos bits menos significativos de un recuento de orden de imágenes para una imagen de referencia de largo plazo incluida en un conjunto de imágenes de referencia de la imagen actual. Además, el descodificador está configurado para obtener una marca para dicha imagen de referencia de largo plazo. La marca indica si se debe utilizar o no un ciclo de recuento de orden de imágenes. Además, el descodificador está configurado para concluir que el tren de bits es un tren de bits que no cumple con la norma, cuando la marca indica que no se utiliza el ciclo de recuento de orden de imágenes y los bits menos significativos coinciden con más de una imagen de referencia contenidas en una memoria intermedia de imágenes descodificadas del descodificador.

De acuerdo con un quinto aspecto, el objeto se logra mediante un procedimiento, realizado por un codificador, para codificar una secuencia de vídeo. Cuando se codifica una imagen actual de la secuencia de vídeo y para cada imagen de referencia de largo plazo de un RPS de la imagen actual, el codificador lleva a cabo las siguientes operaciones. El codificador almacena un respectivo recuento de orden de imágenes de cada una de dichas imágenes de referencia de largo plazo en una lista de recuentos de orden de imágenes. Cuando la lista incluye un recuento de orden de imágenes distinto del respectivo recuento de orden de imágenes y cuando el recuento del orden de imágenes posee unos bits menos significativos que son iguales a los bits menos significativos del respectivo recuento de orden de imágenes, el codificador establece una marca para cada una de dichas imágenes de referencia de largo plazo. La marca indica la utilización de un ciclo de recuento de orden de imágenes y unos bits menos significativos del recuento del orden de imágenes para indicar la imagen de referencia de largo plazo del RPS de la imagen actual.

De acuerdo con un sexto aspecto, el objeto se logra mediante un codificador configurado para codificar una secuencia de vídeo. El codificador está configurado del modo que se muestra a continuación para codificar una imagen actual de la secuencia de vídeo y para cada una de las imágenes de referencia de largo plazo de un RPS de la imagen actual. Por consiguiente, el codificador está configurado para almacenar un respectivo recuento del orden de imágenes de cada una de dichas imágenes de referencia de largo plazo en una lista de recuentos de orden de imágenes. Además, el codificador está configurado para establecer una marca para cada una de dichas imágenes de referencia de largo plazo, cuando la lista incluye un recuento de orden de imágenes que es diferente del respectivo recuento de orden de imágenes y cuando el recuento de orden de imágenes posee unos bits menos significativos que son iguales a los bits menos significativos del respectivo recuento del orden de imágenes. La marca indica la utilización de un ciclo de recuento del orden de imágenes y unos bits menos significativos del recuento del orden de imágenes para indicar la imagen de referencia de largo plazo en el RPS de la imagen actual.

De acuerdo con un séptimo aspecto, el objeto se logra mediante un programa informático que comprende unas unidades de código legibles por ordenador que, cuando se ejecutan en un codificador, hacen que el codificador lleve a cabo los procedimientos descritos en la presente memoria.

De acuerdo con un octavo aspecto, el objeto se logra mediante un producto de programa informático, que comprende un medio legible por ordenador y un programa informático, tal como se menciona en el párrafo anterior, almacenado en el medio legible por ordenador.

De acuerdo con un noveno aspecto, el objeto se logra mediante un programa informático que comprende unas unidades de código legibles por ordenador que, al ejecutarse en un descodificador, hacen que el descodificador lleve a cabo los procedimientos descritos en la presente memoria.

De acuerdo con un décimo aspecto, el objeto se logra mediante un producto de programa informático, que comprende un medio legible por ordenador y un programa informático, tal como se menciona en el párrafo anterior, almacenado en el medio legible por ordenador.

Gracias a que el codificador comprueba cuidadosamente cuándo establecer la marca, se evitan las ambigüedades en lo referente a las indicaciones de la imagen de largo plazo en HEVC, cuándo se han eliminado las capas temporales. De este modo, al menos una de las realizaciones de la presente memoria proporciona la capacidad de eliminar imágenes del tren de bits sin afectar a la descodificabilidad del tren cuando la imagen es de un tipo o pertenece a una subcapa tal que debería ser posible eliminarla.

**Breve descripción de los dibujos**

Los diversos aspectos de las realizaciones descritas en la presente memoria, incluidas sus características y ventajas particulares, se entenderán fácilmente gracias a la siguiente descripción detallada y los dibujos adjuntos, en los que:

- 5 la figura 1 es una vista general esquemática de un sistema ejemplar en el que se pueden aplicar las realizaciones de la presente memoria,
- la figura 2 es un diagrama de bloques que ilustra la relación entre el recuento de orden de imágenes, orden de descodificación y conjunto de imágenes de referencia,
- la figura 3 es un esquema de señalización y diagrama de flujo esquemático combinados que ilustran realizaciones de los procedimientos cuando se llevan a cabo en el sistema de acuerdo con la figura 1,
- 10 la figura 4 es un diagrama de flujo que ilustra realizaciones del procedimiento del codificador,
- la figura 5 es otro diagrama de flujo que ilustra realizaciones del procedimiento del codificador,
- la figura 6 es un diagrama de bloques que ilustra realizaciones del codificador,
- la figura 7 es otro diagrama de bloques que ilustra realizaciones del codificador,
- la figura 8 es otro diagrama de bloques que ilustra realizaciones del codificador,
- 15 la figura 9 es un diagrama de flujo que ilustra realizaciones del procedimiento del descodificador,
- la figura 10 es un diagrama de bloques que ilustra realizaciones del descodificador,
- la figura 11 es otro diagrama de bloques que ilustra realizaciones del descodificador, y
- la figura 12 es otro diagrama de bloques que ilustra realizaciones del descodificador.

**Descripción detallada**

- 20 A lo largo de la siguiente descripción, se han usado números de referencia similares para indicar elementos, unidades, módulos, circuitos, nodos, partes, elementos o características similares, donde corresponda. En las figuras, algunas características que aparecen en algunas realizaciones pueden venir indicadas por líneas discontinuas.
- 25 La figura 1 ilustra una situación en la que las realizaciones de la presente memoria se aplican en un sistema ejemplar 100. El sistema comprende un descodificador 50 y un codificador 80.
- El descodificador 50 y/o el codificador 80 pueden venir incluidos en módulos conectables al televisor, reproductores/grabadores de vídeo, tales como videocámaras, reproductores de Blu-Ray, reproductores de DVD, centros multimedia, reproductores multimedia y similares.
- 30 La figura 2 ilustra las relaciones entre el Recuento de Orden de Imágenes (POC), orden de descodificación y Conjunto de Imágenes de Referencia (RPS). Para descodificar una imagen, se utilizan 201-207 algunas de las denominadas imágenes de referencia como imágenes de referencia. Como ejemplo, para la descodificación de imagen con POC = 1, se utilizan 201, 202 las imágenes POC = 0 y POC = 2 como imágenes de referencia. Un Conjunto de Imágenes de Referencia (RPS) incluye valores de POC de estas imágenes de referencia, por ejemplo, RPS = [0, 2]. Obsérvese que el RPS puede comprender más imágenes que las indicadas aquí para la imagen POC = 1.
- 35 Los valores de POC se refieren a un orden en el que se deben emitir las imágenes de una secuencia de vídeo codificada o visualizarlas cuando se muestran a un observador, por ejemplo, un usuario, una persona, un detector y similares. El valor de POC se indica en una cabecera de rebanada de una imagen actual.
- 40 El orden de descodificación hace referencia a un orden en el que se deben descodificar las imágenes de una secuencia de vídeo codificada. En la figura 2, las imágenes “b” requieren que las imágenes “B” se descodifiquen antes de que se puedan descodificar las imágenes “b”.
- Atendiendo a la figura 2, la imagen con POC = 1 es una imagen anterior a la imagen con POC = 2 con respecto al POC, u orden de emisión, ya que  $1 < 2$ . No obstante, la imagen “B” con POC = 2 es una imagen anterior a la imagen “b” con POC = 1 con respecto al orden de descodificación, tal como se describe anteriormente.
- 45 El Conjunto de Imágenes de Referencia (RPS) se refiere a qué imágenes deben mantenerse marcadas como imágenes de referencia. Esto significa que, para una imagen actual, su descodificación no tiene que utilizar todas las imágenes de referencia contenidas en la DPB, por ejemplo, algunas imágenes pueden marcarse como imágenes de referencia para un uso posterior. Por tanto, para una imagen con POC = 1, tenemos que el RPS es [0, 2], ya que las

flechas de la figura 2 indican que es necesario descodificar las imágenes con POC = 0 y POC = 2 antes de poder descodificar la imagen con POC = 1. En la práctica, el RPS de la imagen con POC = 1 también debe incluir POC = 4, ya que esa imagen se utiliza cuando se descodifica la imagen con POC = 3.

5 Además, se ilustra una primera capa temporal t0 con identidad temporal igual a cero. También se muestran capas temporales t1 y t2 cada vez más altas. Una finalidad de las capas temporales es la de dividir las imágenes en capas, de manera que se pueda eliminar una capa temporal superior, por ejemplo, de un tren de bits, sin afectar a la descodificabilidad de las imágenes pertenecientes a capas inferiores. Por consiguiente, se define que una capa temporal inferior no puede utilizar una imagen en una capa temporal superior como imagen de referencia.

10 La figura 3 ilustra procedimientos ejemplares en el descodificador 50 y el codificador 80, que se muestran en la figura 1. Así, el codificador 80 lleva a cabo un procedimiento para codificar una secuencia de vídeo, y el descodificador 50 lleva a cabo un procedimiento para descodificar un tren de bits 310 para obtener una secuencia de vídeo. La secuencia de vídeo también puede estar comprendida en el tren de bits 310, por ejemplo, en forma de secuencia de vídeo codificada. El tren de bits puede ser un tren de bits que cumple con la norma HEVC.

15 Las acciones 301 a 304 se pueden llevar a cabo cuando se codifica una imagen actual de la secuencia de vídeo. Las acciones 305 a 307 se pueden llevar a cabo cuando se descodifica una imagen actual a partir del tren de bits.

#### Acción 301

20 Para tener la posibilidad de utilizar una indicación en la acción 302, el codificador 80 calcula la indicación a una imagen de referencia anterior. La imagen de referencia anterior se sitúa antes de la imagen actual en el orden de descodificación. La imagen de referencia anterior es, con respecto a la imagen actual, una imagen de referencia inmediatamente anterior, en el orden de descodificación, que posee una identidad temporal igual a cero.

En algunos ejemplos, la indicación a la imagen de referencia anterior puede ser la propia imagen de referencia anterior, que en ocasiones se indica como prevTid0Pic. Por lo tanto, la indicación puede ser la imagen anterior en el orden de descodificación que posee un TemporalId igual a 0 y no es una imagen RASL, una imagen RADL o una imagen no referencial de subcapa.

25 La identidad temporal de la imagen de referencia anterior puede venir indicada en una unidad NAL anterior de la imagen de referencia anterior.

#### Acción 302

Para mantener un seguimiento de qué valores POC se han utilizado, el codificador 80 crea un primer conjunto de indicadores a imágenes anteriores. El primer conjunto comprende:

30 la indicación a la imagen de referencia anterior,

un segundo conjunto de indicadores a todas las imágenes de referencia incluidas en un primer RPS de la imagen de referencia anterior, y

un tercer conjunto de indicadores a todas las imágenes que suceden a la imagen de referencia anterior, indicadas mediante la indicación, en el orden de descodificación, y preceden a la imagen actual en el orden de descodificación.

35 Se entenderá que la expresión "indicador a" puede significar que el indicador señala a alguna imagen.

El primer conjunto de imágenes de referencia puede estar comprendido en una cabecera de rebanada anterior de la imagen de referencia anterior.

#### Acción 303

40 La acción 303 se lleva a cabo cuando una imagen de referencia de largo plazo de una segunda RPS de la imagen actual posee unos bits menos significativos de un recuento de orden de imágenes, para lo cual más de una imagen de las indicadas en el primer conjunto comparten el mismo valor de los bits menos significativos del recuento de orden de imágenes que la imagen de referencia de largo plazo. De este modo, cuando se lleva a cabo esta acción, el codificador 80 establece una marca para la imagen de referencia de largo plazo. Esto significa, por ejemplo, que el codificador 80 asigna a la marca un valor de uno. La marca indica la utilización de un ciclo de recuento de orden de imágenes y unos bits menos significativos del recuento de orden de imágenes para indicar la imagen de referencia de largo plazo del segundo RPS. El segundo RPS puede comprender la imagen de referencia de largo plazo o un elemento que señala a la misma. Por lo tanto, en algunos ejemplos, la imagen de referencia de largo plazo puede ser una indicación de imagen de referencia de largo plazo.

50 En ocasiones, la marca se puede denominar delta\_poc\_msb\_present\_flag. Además, el ciclo de recuento de orden de imágenes se puede denominar delta\_poc\_msb\_cycle\_lt.

El recuento de orden de imágenes puede indicar el orden en que se deben emitir las imágenes de la secuencia de



vídeo, por ejemplo, para un dispositivo de visualización como un televisor o similar.

5 Cuando una imagen de referencia de largo plazo del segundo RPS de la imagen actual posee unos bits menos significativos de un recuento de orden de imágenes, para lo cual, ninguna o una de las imágenes indicadas en el primer conjunto comparten el mismo valor de los bits menos significativos del recuento de orden de imágenes que la imagen de referencia de largo plazo, el codificador 80 borra la marca, por ejemplo, asigna un valor de cero a la marca.

Acción 304

10 Para informar al descodificador 50 acerca del ciclo de recuento de orden de imágenes, el codificador 80 puede codificar el ciclo de recuento de orden de imágenes en la unidad NAL actual de la imagen actual. De este modo, el tren de bits 310 puede comprender el ciclo de recuento de orden de imágenes.

Acción 305

15 Para poder llevar a cabo la acción 307, el descodificador 50 obtiene, a partir del tren de bits, unos bits menos significativos de un recuento de orden de imágenes para una imagen de referencia de largo plazo incluida en un conjunto de imágenes de referencia de la imagen actual. En relación con la acción 305, se utiliza el recuento de orden de imágenes del RPS para indicar qué imágenes se deben mantener como imágenes de referencia en la DPB. El recuento de orden de imágenes indica el orden en el que se deben emitir las imágenes de la secuencia de vídeo.

Los bits menos significativos se pueden obtener a partir de la unidad NAL actual.

Acción 306

20 Además, para poder llevar a cabo la acción 307, el descodificador 50 obtiene una marca para dicha imagen de referencia de largo plazo. La marca indica si se debe utilizar o no un ciclo de recuento de orden de imágenes. La marca puede haberse codificado en el tren de bits mediante el codificador 80.

25 Cada imagen del tren de bits puede comprender al menos una unidad NAL. Cada imagen se puede descodificar a partir de una rebanada comprendida en dicha al menos una unidad NAL. La rebanada puede comprender una cabecera de rebanada. La cabecera de rebanada puede comprender la marca. La imagen actual de la secuencia de vídeo se puede descodificar a partir de una rebanada actual, provista de una cabecera de rebanada actual. La rebanada actual se puede descodificar a partir de una unidad NAL actual. En algunos ejemplos, cada una de dichas imágenes comprende una pluralidad de unidades NAL. De este modo, puede haber una pluralidad de rebanadas para cada una de dichas imágenes.

30 Acción 307

35 Cuando la marca indica que no se utiliza el ciclo de recuento de orden de imágenes y los bits menos significativos, obtenidos en la acción 305, coinciden con más de una imagen de referencia contenidas en una memoria intermedia de imágenes descodificadas del descodificador 50, el descodificador 50 concluye que el tren de bits es un tren de bits que no cumple con la norma, por ejemplo, con la norma HEVC. La memoria intermedia de imágenes descodificadas puede comprender imágenes descodificadas antes, en el orden de descodificación, que la imagen actual.

40 De acuerdo con algunas de las primeras realizaciones, suponemos que prevTid0Pic es la imagen RTSL anterior en el orden de descodificación con un TemporalId igual a 0, es decir, la subcapa temporal más baja. Como ejemplo, prevTid0Pic puede ser la imagen anterior en el orden de descodificación cuyo TemporalId es igual a 0 y que no es una imagen RASL, una imagen RADL o una imagen no referencial de subcapa.

45 En estas primeras realizaciones se impone una restricción al tren de bits. La restricción se aplica cuando hay, al menos, dos imágenes con el mismo valor de lsb del POC en el conjunto de imágenes consistente en: prevTid0Pic, las imágenes del RPS de prevTid0Pic, y todas las imágenes que suceden a prevTid0Pic en el orden de descodificación y preceden a la imagen actual en el orden de descodificación. Además, cuando se aplique la restricción, implicará que elementos de sintaxis como el ciclo de msb del POC, utilizado para calcular el valor de POC completo, se debe señalar para las imágenes de largo plazo con el mismo valor de lsb del POC que se incluye en el RPS de la imagen actual.

50 Otra forma válida de expresar la restricción es que una imagen de referencia de largo plazo Z se debe señalar con delta\_poc\_msb\_present\_flag igual a 1 cuando hay al menos dos imágenes con lsb del POC iguales a los lsb del POC de Z en el conjunto de imágenes consistente en: prevTid0Pic, las imágenes del RPS de prevTid0Pic, y todas las imágenes que suceden a prevTid0Pic en el orden de descodificación y preceden a la imagen actual en el orden de descodificación.

Una manera de formular la restricción es la siguiente:

Suponemos que prevTid0Pic es la imagen anterior en el orden de decodificación cuyo nal\_unit\_type no es igual a TRAIL\_N, TSA\_N, STSA\_N, RADL\_N, ni a RASL\_N y su TemporalId es igual a 0.

Supongamos que setOfPreviousPictures es el conjunto consistente en:

- prevTid0Pic

5 - todas las imágenes del RPS de prevTid0Pic

- todas las imágenes que suceden a prevTid0Pic en el orden de decodificación y preceden a la imagen actual en el orden de decodificación.

delta\_poc\_msb\_present\_flag[ i ] será igual a 1 cuando haya más de una imagen en el setOfPreviousPictures con un módulo de recuento de orden de imágenes MaxPicOrderCntLsb igual a PocLsbLt[ i ].

10 Otra posibilidad consiste en deducir prevTid0Pic del siguiente modo:

Supongamos que prevTid0Pic es la imagen de referencia anterior en el orden de decodificación cuyo TemporalId es igual a 0.

Otra posibilidad es la de definir PrevTidPic globalmente, por ejemplo, del siguiente modo:

15 Se establece un PrevTid0Pic igual a la imagen anterior en el orden de decodificación cuyo nal\_unit\_type no es igual a TRAIL\_N, TSA\_N, STSA\_N, RADL\_N, RASL\_N, RSV\_VCL\_N10, RSV\_VCL\_N12 o RSV\_VCL\_N14 y cuyo TemporalId es igual a 0.

La restricción se formula entonces del siguiente modo:

Supongamos que setOfPreviousPictures es el conjunto consistente en:

- PrevTid0Pic

20 - todas las imágenes del RPS de PrevTid0Pic

- todas las imágenes que suceden a PrevTid0Pic en el orden de decodificación y preceden a la imagen actual en el orden de decodificación.

delta\_poc\_msb\_present\_flag[ i ] será igual a 1 cuando haya más de una imagen de referencia en el setOfPreviousPictures con un módulo de recuento de orden de imágenes MaxPicOrderCntLsb igual a PocLsbLt[ i ].

25 Un codificador puede estar configurado para utilizar la realización de acuerdo con las siguientes etapas:

1. El codificador almacena (o calcula) la información relativa a qué imagen es la PrevTid0Pic, es decir, la imagen anterior en el orden de decodificación cuyo nal\_unit\_type no es igual a TRAIL\_N, TSA\_N, STSA\_N, RADL\_N, RASL\_N, RSV\_VCL\_N10, RSV\_VCL\_N12 o RSV\_VCL\_N14 y cuyo TemporalId es igual a 0.

30 2. Se crea un conjunto, setOfPreviousPictures, consistente en PrevTid0Pic, todas las imágenes del RPS de PrevTid0Pic y todas las imágenes que suceden a PrevTid0Pic en el orden de decodificación y preceden a la imagen actual en el orden de decodificación.

35 3. Siempre que el codificador desea señalar una imagen de referencia de largo plazo del RPS que tiene unos lsb del POC para los que hay más de una imagen en setOfPreviousPictures con los mismos lsb del POC, entonces se señala un delta\_poc\_msb\_present\_flag igual a 1 para esa imagen, es decir el ciclo de msb del POC se señala para esa imagen.

Expresado de otro modo, un codificador puede estar configurado para utilizar la realización de acuerdo con las siguientes etapas:

40 1. El codificador almacena (o calcula) la información relativa a qué imagen es la PrevTid0Pic, es decir, la imagen anterior en el orden de decodificación que es una imagen no referencial en su subcapa temporal y cuyo TemporalId es igual a 0.

2. Se crea un conjunto, setOfPreviousPictures, consistente en PrevTid0Pic, todas las imágenes del RPS de PrevTid0Pic y todas las imágenes que suceden a PrevTid0Pic en el orden de decodificación y preceden a la imagen actual en el orden de decodificación.

45 3. Siempre que el codificador desea señalar una imagen de referencia de largo plazo del RPS que tiene unos lsb del POC para los que hay más de una imagen en setOfPreviousPictures con los mismos lsb del POC, entonces se señala delta\_poc\_msb\_present\_flag como igual a 1 para esa imagen, es decir el ciclo de msb del POC se señala para esa imagen.

Otra posibilidad consiste en definir PrevTid0Pic del siguiente modo:

Se establece un PrevTid0Pic igual a la imagen de referencia de la subcapa temporal anterior en el orden de descodificación y cuyo TemporalId es igual a 0.

Entonces, se define una Subcapa Temporal de Referencia (RTSL, por sus siglas en inglés) como una imagen cuyo `nal_unit_type` no es igual a TRAIL\_N, TSA\_N, STSA\_N, RADL\_N, RASL\_N, RSV\_VCL\_N10, RSV\_VCL\_N12 o RSV\_VCL\_N14.

Un descodificador puede utilizar la realización de acuerdo con las siguientes etapas:

1. El descodificador recibe una rebanada y analiza sintácticamente los elementos de sintaxis de la cabecera del segmento de la rebanada, incluidos los elementos de sintaxis relacionados con el RPS.

2. Si hay dos imágenes de referencia en la DPB, tales como una imagen de referencia de corto plazo y otra de largo plazo, dos imágenes de referencia de largo plazo o similar, con los mismos lsb del POC y el actual RPS contiene una entrada con `PocLsbLt[ i ]` igual a esos lsb del POC y `delta_poc_msb_present_flag` es igual a 0, el descodificador concluye que el tren de bits no cumple con la norma HEVC y puede interpretarlo como bits erróneos, pérdida de datos o un tren de bits o codificador que no cumple con la norma. Puede informar sobre el error, llevar a cabo una ocultación del error o tomar otras medidas basadas en el conocimiento de que el tren de bits no cumple con la norma. El descodificador concluye además que el tren de bits no fue creado a partir de un tren de bits que cumplía con la norma mediante la eliminación de una o más imágenes individuales de capas temporales superiores o mediante la eliminación de una imagen NRTSL de la misma capa temporal que la imagen actual.

En algunas de las segundas realizaciones, el codificador está configurado para llevar a cabo las siguientes etapas:

1. Para cada imagen actual que se va a codificar, se llevan a cabo las siguientes etapas:
  - a. Para cada imagen A que se utiliza como imagen de referencia de largo plazo, se llevan a cabo las siguientes etapas:
    - i. el codificador almacena el valor del POC de A en una lista:
 

`usedLongTermPocValues`.
    - ii. Si hay un valor de POC en `usedLongTermPocValues` que sea diferente al valor de POC de A, pero con unos lsb del POC iguales a los lsb del POC de A, entonces se determina que A se señala con un ciclo de msb del POC.
  - b. El RPS de la imagen actual se señala con un `delta_poc_msb_present_flag` establecido en función de lo que se ha determinado en la etapa a.ii.

Este procedimiento también se ilustra en la figura 5.

En una versión de la realización, la lista `usedLongtermPocValues` se reinicia (se vacía) cuando el codificador comienza a codificar una nueva CVS, es decir, no para cada nueva imagen.

En otra versión de la realización, existe una restricción del tren de bits que requiere que cuando se utilizan dos imágenes diferentes con los mismos lsb del POC en la misma secuencia de vídeo codificada como imágenes de referencia de largo plazo, entonces se debe señalar el ciclo de msb del POC para dichas imágenes.

En el actual diseño de la HEVC, la eliminación de imágenes de subcapas temporales superiores o la eliminación de imágenes individuales no referenciales de la subcapa temporal (NRTSL) de la misma subcapa temporal pueden crear un tren de bits que no sea descodificable debido a que no se define qué imagen de largo plazo se debe marcar como “no usada como referencia” cuando hay dos imágenes de largo plazo en la DPB con los mismos lsb del POC y el RPS actual solo contiene una referencia a una de ellas y `delta_poc_msb_present_flag` es igual a 0 para esta referencia.

El concepto básico de las realizaciones consiste en reforzar una restricción de tal manera que la eliminación de imágenes que son imágenes no referenciales de una subcapa temporal no afecta a la descodificabilidad del resto del tren de bits. Esto se logra de acuerdo con unas realizaciones descritas a continuación.

De acuerdo con un primer aspecto, un codificador está configurado para aplicar una restricción de manera que la eliminación de imágenes que son imágenes no referenciales de una subcapa temporal no afecta a la descodificabilidad del resto del tren. Se entiende que el término “descodificabilidad” hace referencia a la posibilidad de descodificar.

También se proporciona un receptor que comprende el codificador.

De acuerdo con un segundo aspecto, un procedimiento en un codificador para aplicar una restricción de manera que la eliminación de imágenes que son imágenes no referenciales de una subcapa temporal no afecta a la

descodificabilidad del resto del tren.

El codificador y/o el descodificador se pueden incorporar en un dispositivo tal como una videocámara o un dispositivo de renderizado.

5 Otro aspecto más de las realizaciones define un programa informático para codificar una imagen. El programa informático comprende unos medios de código, tales como archivos de texto o binarios del programa informático, que al ser ejecutados por un procesador hacen que el procesador lleve a cabo una o más de las realizaciones de la presente memoria.

Otro aspecto de las realizaciones se refiere a un producto de programa informático que comprende un medio legible por ordenador y un programa informático almacenado en el medio legible por ordenador.

10 De acuerdo con otro aspecto, se proporciona un descodificador. El descodificador está configurado para recibir información relacionada con la restricción y para utilizar la restricción cuando se descodifica la imagen.

Las realizaciones se aplican a un descodificador, un codificador y a cualquier elemento que opere en un tren de bits, tal como un nodo de red o un elemento de red consciente de los medios (MANE, por sus siglas en inglés).

15 Las realizaciones no se limitan a la HEVC, sino que se pueden aplicar a cualquier ampliación de la HEVC, tal como una ampliación escalable o una ampliación multivisión o a una norma de codificación de vídeo diferente.

En la figura 4, se muestra un diagrama de flujo esquemático ejemplar del procedimiento en el codificador 80. Tal como se ha mencionado, el codificador 80 lleva a cabo un procedimiento para codificar una secuencia de vídeo.

Tal como se ha mencionado, la secuencia de vídeo se puede codificar en un tren de bits, que puede ser un tren de bits que cumpla con HEVC.

20 Cada imagen del tren de bits puede comprender al menos una unidad NAL, en donde cada imagen puede estar codificada en al menos una rebanada comprendida en dicha al menos una unidad NAL. La al menos una rebanada puede comprender una cabecera de rebanada. La cabecera de rebanada puede comprender la marca. La imagen actual de la secuencia de vídeo puede estar codificada en al menos una rebanada actual. La al menos una rebanada actual está codificada en una unidad NAL actual.

25 Cuando se codifica una imagen actual de la secuencia de vídeo, se pueden llevar a cabo las siguientes acciones en cualquier orden que resulte adecuado.

Acción 401

30 El codificador 80 calcula una indicación a una imagen de referencia anterior. Tal como se ha mencionado, la imagen de referencia anterior está situada antes de la imagen actual en el orden de descodificación. La imagen de referencia anterior es, con respecto a la imagen actual, una imagen de referencia inmediatamente anterior, en el orden de descodificación, con una identidad temporal igual a cero. Esta acción es similar a la acción 301.

Acción 402

El codificador 80 crea un primer conjunto de indicadores a imágenes anteriores. El primer conjunto comprende:

la indicación a la imagen de referencia anterior,

35 un segundo conjunto de indicadores a todas las imágenes de referencia incluidas en un primer conjunto de imágenes de referencia, "RPS", de la imagen de referencia anterior, y

un tercer conjunto de indicadores a todas las imágenes que suceden a la imagen de referencia anterior en el orden de descodificación y preceden a la imagen actual en el orden de descodificación.

40 El primer conjunto de imágenes de referencia puede estar comprendido en una cabecera de rebanada anterior de la imagen de referencia anterior. Esta acción es similar a la acción 302.

Acción 403

45 El codificador 80 establece una marca para la imagen de referencia de largo plazo. La marca indica la utilización de un ciclo de recuento de orden de imágenes y unos bits menos significativos del recuento de orden de imágenes para indicar la imagen de referencia de largo plazo del segundo RPS. La acción 403 se lleva a cabo cuando una imagen de referencia de largo plazo de un segundo RPS de la imagen actual posee unos bits menos significativos de un recuento de orden de imágenes, para lo cual, más de una imagen de las indicadas en el primer conjunto comparten el mismo valor de los bits menos significativos del recuento de orden de imágenes que la imagen de referencia de largo plazo. El recuento de orden de imágenes puede indicar el orden en que se deben emitir las imágenes de la secuencia de vídeo. Esta acción es similar a la acción 303.

Acción 404

El codificador 80 puede codificar el ciclo de recuento de orden de imágenes en la unidad NAL actual de la imagen actual. Esta acción es similar a la acción 304.

5 En la figura 5, se muestra un diagrama de flujo esquemático ejemplar del procedimiento de acuerdo con las segundas realizaciones en el codificador 80. Tal como se ha mencionado, el codificador 80 lleva a cabo un procedimiento para codificar una secuencia de vídeo.

Las siguientes acciones se pueden llevar a cabo en cualquier orden que resulte adecuado.

Acción 501

10 El codificador 80 puede reiniciar la lista cuando la imagen actual puede ser una primera imagen de la secuencia de vídeo, por ejemplo una CVS.

Cuando se codifica una imagen actual de la secuencia de vídeo, se pueden llevar a cabo las siguientes acciones para cada imagen de referencia de largo plazo del Conjunto de Imágenes de Referencia, "RPS", de la imagen actual:

Acción 502

15 El codificador 80 almacena un respectivo recuento de orden de imágenes de cada una de dichas imágenes de referencia de largo plazo en una lista para recuentos de orden de imágenes. Esta acción es similar a la anterior etapa 1.a.i.

Acción 503

20 El codificador 80 establece una marca para cada una de dichas imágenes de referencia de largo plazo, cuando la lista incluye un recuento de orden de imágenes distinto del respectivo recuento de orden de imágenes y cuando el recuento del orden de imágenes posee unos bits menos significativos que son iguales a los bits menos significativos del respectivo recuento de orden de imágenes. La marca indica la utilización de un ciclo de recuento de orden de imágenes y unos bits menos significativos del recuento del orden de imágenes para indicar la imagen de referencia de largo plazo del RPS de la imagen actual. La acción es similar a la etapa anterior 1.a.ii.

25 La figura 6 es un diagrama de bloques esquemático de un codificador 601 configurado para codificar una imagen de acuerdo con una realización. El codificador comprende una unidad de restricción 602, configurada para aplicar la restricción de acuerdo con cualquiera de las realizaciones descritas. Además, el codificador comprende una unidad de emisión 603 configurada para generar y emitir el tren de bits.

30 Ahora más detalladamente, en referencia a la figura 7, se ilustra más detalladamente el codificador 80 configurado para codificar una secuencia de vídeo. El codificador 80 está configurado para, cuando codifica una imagen actual de la secuencia de vídeo, calcular una indicación a una imagen de referencia anterior. La imagen de referencia anterior se sitúa antes de la imagen actual en el orden de descodificación. La imagen de referencia anterior es, con respecto a la imagen actual, una imagen de referencia inmediatamente anterior, en el orden de descodificación, con una identidad temporal igual a cero.

35 Además, el codificador 80 está configurado para, cuando codifica una imagen actual de la secuencia de vídeo, crear un primer conjunto de indicadores a imágenes anteriores. El primer conjunto comprende:

la indicación a la imagen de referencia anterior,

un segundo conjunto de indicadores a todas las imágenes de referencia incluidas en un primer conjunto de imágenes de referencia, "RPS", de la imagen de referencia anterior, y

40 un tercer conjunto de indicadores a todas las imágenes que suceden a la imagen de referencia anterior en el orden de descodificación y preceden a la imagen actual en el orden de descodificación.

45 Además, el codificador 80 está configurado para, cuando codifica una imagen actual de la secuencia de vídeo, establecer una marca para la imagen de referencia de largo plazo, cuando una imagen de referencia de largo plazo de un segundo RPS de la imagen actual posee unos bits menos significativos de un recuento de orden de imágenes, para lo cual más de una de las imágenes indicadas en el primer conjunto comparten el mismo valor de los bits menos significativos del recuento de orden de imágenes que la imagen de referencia de largo plazo. La marca indica la utilización de un ciclo de recuento de orden de imágenes y unos bits menos significativos del recuento de orden de imágenes para indicar la imagen de referencia de largo plazo del segundo RPS.

El codificador 80 también puede estar configurado para codificar el ciclo del recuento de orden de imágenes en la unidad NAL actual de la imagen actual.

50 Cada imagen del tren de bits puede comprender al menos una unidad NAL, en donde cada imagen puede estar

codificada en al menos una rebanada comprendida en dicha al menos una unidad NAL. La al menos una rebanada puede comprender una cabecera de rebanada. La cabecera de rebanada puede comprender la marca. La imagen actual de la secuencia de vídeo puede estar codificada en al menos una rebanada actual. La al menos una rebanada actual puede estar codificada en una unidad NAL actual.

5 La identidad temporal de la imagen de referencia anterior puede venir indicada en una unidad NAL anterior de la imagen de referencia anterior.

El primer conjunto de imágenes de referencia puede estar comprendido en una cabecera de rebanada anterior de la imagen de referencia anterior.

10 El recuento de orden de imágenes puede indicar el orden en que se deben emitir las imágenes de la secuencia de vídeo.

El tren de bits puede ser un tren de bits que cumpla con la norma HEVC.

Además, de acuerdo con las segundas realizaciones, el codificador 80 está configurado para codificar una secuencia de vídeo.

15 El codificador 80 está configurado para, cuando codifica una imagen actual de la secuencia de vídeo y para cada imagen de referencia de largo plazo de un RPS de la imagen actual, almacenar un respectivo recuento de orden de imágenes de cada una de dichas imágenes de referencia de largo plazo en una lista para recuentos de orden de imágenes.

20 Además, el codificador 80 está configurado para, cuando codifica una imagen actual de la secuencia de vídeo y para cada imagen de referencia de largo plazo de un RPS de la imagen actual, establecer una marca para cada una de dichas imágenes de referencia de largo plazo, cuando la lista incluye un recuento de orden de imágenes que es diferente del respectivo recuento de orden de imágenes y cuando el recuento de orden de imágenes posee unos bits menos significativos que son iguales a los bits menos significativos del respectivo recuento de orden de imágenes. La marca indica la utilización de un ciclo de recuento de orden de imágenes y unos bits menos significativos del recuento de orden de imágenes para indicar la imagen de referencia de largo plazo del RPS de la imagen actual.

25 El codificador 80 también puede estar configurado para reiniciar la lista cuando la imagen actual puede ser una primera imagen de la secuencia de vídeo.

30 De este modo, el codificador 80 descrito en la presente memoria se podría llevar a la práctica, por ejemplo, mediante uno o más de entre un procesador 82, o circuito de procesamiento, y un *software* adecuado con un almacenamiento adecuado o una memoria 84 para el mismo, un dispositivo lógico programable (PLD) u otro(s) componente(s) electrónico(s), como se muestra en la figura 7. Además, el codificador 80 comprende preferiblemente una entrada o unidad de entrada 81 configurada para recibir las imágenes del tren de vídeo. Un correspondiente emisor o unidad de emisión 83 está configurada para emitir las representaciones codificadas de las rebanadas, preferiblemente en forma de unidades NAL.

35 El codificador de la figura 7 con sus unidades incluidas se podría incorporar en un equipo físico. Existen numerosas variantes de circuitería que se pueden utilizar y combinar para obtener las funciones de las unidades del codificador. Dichas variantes están englobadas en las reivindicaciones. Algunos ejemplos particulares de incorporación del codificador en equipos físicos son la incorporación en un equipo procesador de señales digitales (DSP, por sus siglas en inglés) y tecnología de circuitos integrados, incluidos circuitos electrónicos de uso general y circuitos específicos para una aplicación concreta.

40 La figura 7 también ilustra un programa informático 85 que comprende unidades de código legibles por ordenador que, al ejecutarse en el codificador 80, hacen que el codificador 80 lleve a cabo el procedimiento de acuerdo con la figura 3, 4 o 5.

45 Por último, la figura 7 ilustra un producto de programa informático 86 que comprende un medio legible por ordenador 87 y el programa informático 85 que se describe en el párrafo anterior almacenado en el medio legible por ordenador 87.

El medio legible por ordenador puede ser una memoria, una memoria de bus serial universal (USB, por sus siglas en inglés), un disco DVD, un disco Blu-Ray, un módulo de software que se recibe como un tren de datos, una memoria Flash, un disco duro, etc.

50 Haciendo referencia ahora a la figura 8, un codificador 62 de acuerdo con las realizaciones de la presente memoria puede, por ejemplo, estar situado en un transmisor 60 en una videocámara, por ejemplo, en un dispositivo móvil. El transmisor 60 comprende entonces una entrada o unidad de entrada 61 configurada para recibir imágenes de un tren de vídeo que se va a codificar. Las imágenes se codifican mediante el codificador 62 tal como se describe en la presente memoria. Las imágenes codificadas se emiten desde el transmisor 60 mediante un emisor o unidad de emisión 63 en forma de tren de bits codificado, tal como unidades NAL o paquetes de datos que contienen dichas

unidades NAL.

En la figura 9, se muestra un diagrama de flujo esquemático ejemplar de un procedimiento, llevado a cabo por el descodificador 50, para descodificar un tren de bits con el fin de obtener una secuencia de vídeo.

5 Cuando se descodifica una imagen actual del tren de bits, se pueden llevar a cabo las siguientes acciones en cualquier orden que resulte adecuado.

Acción 901

10 El descodificador 50 obtiene, a partir del tren de bits, unos bits menos significativos de un recuento de orden de imágenes para una imagen de referencia de largo plazo incluida en un conjunto de imágenes de referencia de la imagen actual. Los bits menos significativos se pueden obtener a partir de la unidad NAL actual. Esta acción es similar a la acción 305.

Acción 902

El descodificador 50 obtiene una marca para dicha imagen de referencia de largo plazo. La marca indica si se debe utilizar o no un ciclo de recuento de orden de imágenes. Esta acción es similar a la acción 306.

15 Cada imagen del tren de bits puede comprender al menos una unidad NAL, en donde cada imagen se puede descodificar a partir de una rebanada comprendida en dicha al menos una unidad NAL. La rebanada puede comprender una cabecera de rebanada. La cabecera de rebanada puede comprender la marca. La imagen actual de la secuencia de vídeo se puede descodificar a partir de una rebanada actual, provista de una cabecera de rebanada actual. La rebanada actual se puede descodificar a partir de una unidad NAL actual.

Acción 903

20 El descodificador 50 concluye que el tren de bits es un tren de bits que no cumple con la norma, cuando la marca indica que no se utiliza el ciclo de recuento de orden de imágenes y los bits menos significativos coinciden con más de una de las imágenes de referencia contenidas en una memoria intermedia de imágenes descodificadas del descodificador 50. La memoria intermedia de imágenes descodificadas puede comprender imágenes descodificadas antes, en el orden de descodificación, que la imagen actual. La conclusión incluye la conclusión de que no se cumple con la norma HEVC. Esta acción es similar a la acción 307.

30 La figura 10 es un diagrama de bloques esquemático simplificado de un descodificador 1001 de acuerdo con las realizaciones. El descodificador comprende una unidad de entrada 1002 configurada para recibir el tren de bits con la restricción que se estipula en cualquiera de las realizaciones descritas anteriormente. El descodificador también comprende una unidad de descodificación 1003 que está configurada para utilizar esta restricción cuando se descodifica la imagen.

La figura 11 muestra un diagrama de bloques del descodificador 50 configurado para descodificar un tren de bits para obtener una secuencia de vídeo.

35 El descodificador 50 está configurado para, cuando descodifica una imagen actual a partir del tren de bits, obtener a partir del tren de bits unos bits menos significativos de un recuento de orden de imágenes para una imagen de referencia de largo plazo incluida en un conjunto de imágenes de referencia de la imagen actual.

Además, el descodificador 50 está configurado para, cuando descodifica la imagen actual a partir del tren de bits, obtener una marca para dicha imagen de referencia de largo plazo. La marca indica si utilizar o no un ciclo de recuento de orden de imágenes.

40 Además, el descodificador 50 está configurado para, cuando descodifica la imagen actual a partir del tren de bits, concluir que el tren de bits es un tren de bits que no cumple con la norma, cuando la marca indica que el ciclo de recuento de orden de imágenes no se utiliza y los bits menos significativos coinciden con más de una de las imágenes de referencia contenidas en una memoria intermedia de imágenes descodificadas del descodificador 50.

El recuento de orden de imágenes indica el orden en el que se deben emitir las imágenes de la secuencia de vídeo.

45 Cada imagen del tren de bits puede comprender al menos una unidad NAL, en donde cada imagen se puede descodificar a partir de una rebanada comprendida en dicha al menos una unidad NAL. La rebanada puede comprender una cabecera de rebanada. La cabecera de rebanada puede comprender la marca. La imagen actual de la secuencia de vídeo se puede descodificar a partir de una rebanada actual, provista de una cabecera de rebanada actual. La rebanada actual se puede descodificar a partir de una unidad NAL actual.

Los bits menos significativos se pueden obtener a partir de la unidad NAL actual.

50 La memoria intermedia de imágenes descodificadas puede comprender imágenes descodificadas antes, en el orden de descodificación, que la imagen actual.

El descodificador 50 también puede estar configurado para concluir que no se cumple con la norma HEVC.

El descodificador de la figura 11 con sus unidades incluidas se podría incorporar en un equipo físico. Existen numerosas variantes de elementos de circuitería que se pueden utilizar y combinar para obtener las funciones de las unidades del descodificador. Dichas variantes están englobadas en las realizaciones. Algunos ejemplos particulares de incorporación del descodificador en equipos físicos son la incorporación en un equipo procesador de señales digitales (DSP) y tecnología de circuitos integrados, incluidos circuitos electrónicos de uso general y circuitos específicos para una aplicación concreta.

Como otra posibilidad, el descodificador 50 descrito en la presente memoria se podría llevar a la práctica, por ejemplo, mediante uno o más de un procesador 52, circuito de procesamiento, y un *software* adecuado con un almacenamiento adecuado o una memoria 54 para el mismo, un dispositivo lógico programable (PLD) u otro(s) componente(s) electrónico(s), como se muestra en la figura 11. Además, el descodificador 50 comprende preferiblemente una entrada o unidad de entrada 51 configurada para recibir las representaciones codificadas de las imágenes, por ejemplo en forma de unidades NAL (Capa de Abstracción de Red). Un correspondiente emisor o unidad de emisión 53 está configurado para emitir las imágenes descodificadas.

Típicamente, la memoria intermedia de imágenes de referencia es una parte integrada del descodificador 50. La memoria 54 puede contener la memoria intermedia de imágenes de referencia además de otras cosas necesarias para la descodificación.

La figura 11 también ilustra un programa informático 55 que comprende unas unidades de código legibles por ordenador que, al ejecutarse en el descodificador 50, hacen que el descodificador 50 lleve a cabo el procedimiento ilustrado en las figuras 3 y 9.

Por último, la figura 11 ilustra un producto de programa informático 56 que comprende un medio legible por ordenador 57 y el programa informático 55 que se describe en el párrafo anterior almacenado en el medio legible por ordenador 57.

El medio legible por ordenador puede ser una memoria, una memoria de bus serial universal (USB), un disco DVD, un disco Blu-Ray, un módulo de *software* que se recibe como un tren de datos, una memoria Flash, un disco duro, etc.

Haciendo referencia ahora a la figura 12, un codificador 32 de acuerdo con las realizaciones de la presente memoria puede, por ejemplo, estar situado en un receptor 30, por ejemplo, en una videocámara, un módulo o un dispositivo de visualización, por ejemplo, en un dispositivo móvil. El receptor 30 comprende entonces una entrada o unidad de entrada 31 configurada para recibir un tren de vídeo codificado, como por ejemplo paquetes de datos o unidades NAL. Las representaciones codificadas de las unidades NAL son descodificadas por el descodificador 32 tal como se describe en la presente memoria. El descodificador 32, preferiblemente, comprende o está conectado con una memoria intermedia de imágenes de referencia 34 que almacena temporalmente imágenes ya descodificadas que se van a utilizar como imágenes de referencia para otras imágenes del tren de vídeo. Las imágenes de un conjunto de imágenes de referencia se pueden almacenar en la memoria intermedia de imágenes de referencia. Las imágenes descodificadas se emiten desde el receptor 30, por ejemplo desde la memoria intermedia de imágenes de referencia 34, por medio de un emisor o unidad de emisión 33. Estas imágenes para emitir se envían para ser visualizadas por un usuario en una pantalla o dispositivo de visualización del receptor 30 o conectados con el mismo, incluso mediante una conexión inalámbrica. Las imágenes para emitir también se pueden almacenar en disco o transcodificarlas sin visualización.

Las realizaciones no se limitan a la HEVC, sino que se pueden aplicar a cualquier ampliación de HEVC, tal como una ampliación escalable o ampliación multivisión o a un códec de vídeo diferente. Las realizaciones se pueden aplicar a vídeo en 2D y en 3D.

Se debe entender que la elección de unidades o módulos que interactúan, así como la denominación de las unidades tienen el único fin de servir de ejemplo, y se pueden configurar de una pluralidad de maneras alternativas para lograr ejecutar las acciones del procedimiento descrito.

También se debe entender que las unidades o módulos descritos en la presente memoria descriptiva se deben considerar como entidades lógicas y no necesariamente como entidades físicas independientes. Se observará que el alcance de la tecnología descrita en la presente memoria engloba por completo otras realizaciones que pueden resultar obvias para los expertos en la técnica, y, por consiguiente, que el alcance de la presente memoria descriptiva no debe quedar restringido.

Una referencia a un elemento en singular no debe interpretarse como “uno y solo uno” a menos que se especifique lo contrario de manera explícita, sino más bien como “uno y más”. Todos los elementos equivalentes desde el punto de vista estructural y funcional a los elementos de las realizaciones descritas anteriormente que son conocidos por los expertos en la técnica se incorporan en la presente memoria a modo de referencia y, por tanto, se entiende que quedan englobados en la misma. Además, no es necesario que un dispositivo o procedimiento aborde todos y cada uno de los problemas que se pretenden resolver mediante la tecnología descrita en la presente memoria, para que



queden englobados en la presente memoria.

5 En la descripción anterior, a modo de explicación y no de limitación, se exponen detalles específicos tales como arquitecturas, interfaces, técnicas, etc. particulares, con el fin de proporcionar una comprensión exhaustiva de la tecnología descrita. No obstante, para los expertos en la técnica resultará evidente que la tecnología descrita se puede llevar a la práctica en otras realizaciones y/o combinaciones de realizaciones que se apartan de estos detalles específicos. Es decir, los expertos en la técnica podrán idear diversas configuraciones que, aunque no se describen de manera explícita ni se muestran en la presente memoria, encarnan los principios de la tecnología descrita. En algunos casos, se omiten las descripciones detalladas de dispositivos, circuitos y procedimientos sobradamente conocidos, a fin de no restar claridad, entrando en detalles innecesarios, a la descripción de la tecnología descrita.

10 Todas las afirmaciones de la presente memoria en las que se expresan principios, aspectos y realizaciones de la tecnología descrita, así como ejemplos específicos de la misma, englobarán elementos equivalentes tanto estructurales como funcionales de la misma. Además, dichos elementos equivalentes incluirán tanto elementos equivalentes conocidos como elementos equivalentes desarrollados en el futuro, por ejemplo, cualquier elemento desarrollado que lleve a cabo la misma función, independientemente de la estructura.

15 De este modo, por ejemplo, los expertos en la técnica observarán que los diagramas de bloques de la presente memoria pueden representar vistas conceptuales de circuitos ilustrativos u otras unidades funcionales que encarnan los principios de la tecnología. De modo similar, se observará que cualquier diagrama de flujo, diagrama de transición de estado, pseudocódigo, y similares representan diversos procesos que se pueden representar sustancialmente en un medio legible por ordenador y ejecutar así mediante un ordenador o procesador, ya se muestre o no de manera explícita dicho ordenador o procesador.

20

Las funciones de los diversos elementos que incluyen bloques funcionales se pueden proporcionar a través del uso de equipos físicos tales como circuitos y/o un equipo físico capaz de ejecutar un *software* en forma de instrucciones codificadas almacenadas en un medio legible por ordenador. De este modo, se debe entender que dichas funciones y bloques funcionales ilustrados se incorporan en un equipo físico y/o en un ordenador, y, por tanto, en una máquina.

25

De este modo, por ejemplo, el experto en la técnica observará que los diagramas de bloques de la presente memoria pueden representar vistas conceptuales de circuitos ilustrativos u otras unidades funcionales que encarnan los principios de la tecnología. De modo similar, se observará que cualquier diagrama de flujo, diagrama de transición de estado, pseudocódigo, y similares representan diversos procesos que se pueden representar sustancialmente en un medio legible por ordenador y ejecutar mediante un ordenador o procesador, ya se muestre o no de manera explícita dicho ordenador o procesador.

30

Las realizaciones descritas anteriormente se deben considerar como unos pocos ejemplos ilustrativos de la presente invención. Los expertos en la técnica entenderán que se pueden realizar diversas modificaciones, combinaciones y cambios en las realizaciones sin alejarse del alcance de la presente invención. En particular, se pueden combinar en otras configuraciones diferentes soluciones parciales de las diferentes realizaciones, siempre que sea técnicamente posible.

35

Tal como se emplea en la presente memoria, el término “establecer” usado junto con, por ejemplo, una marca, puede significar que a la marca se le asigna un valor de uno.

40 Tal como se emplea en la presente memoria, el término “borrar” usado junto con, por ejemplo, una marca, puede significar que a la marca se le asigna un valor de cero.

**REIVINDICACIONES**

- 5 1. Un procedimiento, llevado a cabo por un codificador (80), para codificar una secuencia de vídeo en un tren de bits, en donde el tren de bits es un tren de bits que cumple con la norma de Codificación de Vídeo de Alta Eficiencia "HEVC", en donde el procedimiento se **caracteriza por**, cuando se codifica una imagen actual de la secuencia de vídeo:
- calcular* (301) una indicación a una imagen de referencia anterior, en donde la imagen de referencia anterior se sitúa antes de la imagen actual en el orden de descodificación, en donde la imagen de referencia anterior es, con respecto a la imagen actual, una imagen de referencia inmediatamente anterior, en el orden de descodificación, con una identidad temporal igual a cero;
- 10 *crear* (302) un primer conjunto de indicadores a imágenes anteriores, en donde el primer conjunto comprende:
- la indicación de la imagen de referencia anterior,
- un segundo conjunto de indicadores a todas las imágenes de referencia incluidas en un primer conjunto de imágenes de referencia, "RPS", de la imagen de referencia anterior, y
- 15 un tercer conjunto de indicadores a todas las imágenes que suceden a la imagen de referencia anterior en el orden de descodificación y preceden a la imagen actual en el orden de descodificación; y
- cuando una imagen de referencia de largo plazo de un segundo RPS de la imagen actual posee unos bits menos significativos de un recuento de orden de imágenes, para lo cual más de una de las imágenes indicadas en el primer conjunto comparten el mismo valor de los bits menos significativos del recuento de orden de imágenes que la imagen de referencia de largo plazo, *establecer* (303) una marca para la imagen de referencia de largo plazo, en donde la marca indica la utilización de un ciclo de recuento de orden de imágenes y unos bits menos significativos del recuento del orden de imágenes para indicar la imagen de referencia de largo plazo del segundo RPS.
- 20 *establecer* (303) una marca para la imagen de referencia de largo plazo, en donde la marca indica la utilización de un ciclo de recuento de orden de imágenes y unos bits menos significativos del recuento del orden de imágenes para indicar la imagen de referencia de largo plazo del segundo RPS.
2. Un procedimiento llevado a cabo por un descodificador (50) que cumple con la Codificación de Vídeo de Alta Eficiencia "HEVC", para descodificar un tren de bits a fin de obtener una secuencia de vídeo, en donde el procedimiento está **caracterizado por**, cuando se descodifica una imagen actual a partir del tren de bits:
- 25 *obtener* (305), a partir del tren de bits, unos bits menos significativos de un recuento de orden de imágenes para una imagen de referencia de largo plazo incluida en un conjunto de imágenes de referencia de la imagen actual;
- obtener* (306) una marca para dicha imagen de referencia de largo plazo, en donde la marca indica si se debe utilizar o no un ciclo de recuento de orden de imágenes;
- 30 cuando la marca indica que el ciclo de recuento de orden de imágenes no se utiliza y los bits menos significativos coinciden con más de una imagen de referencia contenida en una memoria intermedia de imágenes descodificadas del descodificador (50), *concluir* (307) que el tren de bits es un tren de bits que no cumple con la norma.
3. El procedimiento según la reivindicación 2, en donde la conclusión incluye la conclusión de que no se cumple con la Codificación de Vídeo de Alta Eficiencia, "HEVC".
- 35 4. Un codificador (80) configurado para codificar una secuencia de vídeo en un tren de bits, en donde el tren de bits es un tren de bits que cumple con la Codificación de Vídeo de Alta Eficiencia "HEVC", en donde el codificador (80) está **caracterizado por que** está configurado para, cuando codifica una imagen actual de la secuencia de vídeo:
- calcular* una indicación a una imagen de referencia anterior, en donde la imagen de referencia anterior está situada antes de la imagen actual en el orden de descodificación, en donde la imagen de referencia anterior es, con respecto a la imagen actual, una imagen de referencia inmediatamente anterior, en el orden de descodificación, con una identidad temporal igual a cero;
- 40 *crear* un primer conjunto de indicadores a imágenes anteriores, en donde el primer conjunto comprende:
- la indicación a la imagen de referencia anterior,
- un segundo conjunto de indicadores a todas las imágenes de referencia incluidas en un primer conjunto de imágenes de referencia, "RPS", de la imagen de referencia anterior, y
- 45 un tercer conjunto de indicadores a todas las imágenes que suceden a la imagen de referencia anterior en el orden de descodificación y preceden a la imagen actual en el orden de descodificación; y
- cuando una imagen de referencia de largo plazo de un segundo RPS de la imagen actual posee unos bits menos significativos de un recuento de orden de imágenes, para lo cual más de una de las imágenes indicadas en el primer conjunto comparten el mismo valor de bits menos significativos del recuento de orden de imágenes que la imagen de
- 50 *calcular* una indicación a una imagen de referencia anterior, en donde la imagen de referencia anterior está situada antes de la imagen actual en el orden de descodificación, en donde la imagen de referencia anterior es, con respecto a la imagen actual, una imagen de referencia inmediatamente anterior, en el orden de descodificación, con una identidad temporal igual a cero;
- crear* un primer conjunto de indicadores a imágenes anteriores, en donde el primer conjunto comprende:
- la indicación a la imagen de referencia anterior,
- un segundo conjunto de indicadores a todas las imágenes de referencia incluidas en un primer conjunto de imágenes de referencia, "RPS", de la imagen de referencia anterior, y
- un tercer conjunto de indicadores a todas las imágenes que suceden a la imagen de referencia anterior en el orden de descodificación y preceden a la imagen actual en el orden de descodificación; y
- cuando una imagen de referencia de largo plazo de un segundo RPS de la imagen actual posee unos bits menos significativos de un recuento de orden de imágenes, para lo cual más de una de las imágenes indicadas en el primer conjunto comparten el mismo valor de bits menos significativos del recuento de orden de imágenes que la imagen de

referencia de largo plazo, establecer una marca para la imagen de referencia de largo plazo, en donde la marca indica la utilización de un ciclo de recuento de orden de imágenes y unos bits menos significativos del recuento de orden de imágenes para indicar la imagen de referencia de largo plazo del segundo RPS.

- 5 5. El codificador (80) según la reivindicación anterior, en donde cada imagen del tren de bits comprende al menos una unidad NAL, en donde cada imagen se codifica en al menos una rebanada comprendida en dicha al menos una unidad NAL, en donde la al menos una rebanada comprende una cabecera de rebanada, en donde la cabecera de rebanada comprende la marca, en donde la imagen actual de la secuencia de vídeo se codifica en al menos una rebanada actual, en donde la al menos una rebanada actual se codifica en una unidad NAL actual.
- 10 6. El codificador (80) según la reivindicación 5, en donde el codificador (80) también está configurado para codificar el ciclo de recuento de orden de imágenes en la unidad NAL actual de la imagen actual.
7. El codificador (80) según una cualquiera de las reivindicaciones 4-6, en donde la identidad temporal de la imagen de referencia anterior se indica en una unidad NAL anterior de la imagen de referencia anterior.
8. El codificador (80) según una cualquiera de las reivindicaciones 4-7, en donde el primer conjunto de imágenes de referencia está comprendido en una cabecera de rebanada anterior de la imagen de referencia anterior.
- 15 9. El codificador (80) según una cualquiera de las reivindicaciones 4-8, en donde el recuento de orden de imágenes indica el orden en el que se deben emitir las imágenes de la secuencia de vídeo.
10. El descodificador (50) que cumple con la Codificación de Vídeo de Alta Eficiencia "HEVC", configurado para descodificar un tren de bits para obtener una secuencia de vídeo, en donde el descodificador (50) está **caracterizado por que** está configurado para, cuando descodifica una imagen actual a partir del tren de bits:
- 20 obtener, a partir del tren de bits, unos bits menos significativos de un recuento de orden de imágenes para una imagen de referencia de largo plazo incluida en un conjunto de imágenes de referencia de la imagen actual;
- obtener una marca para dicha imagen de referencia de largo plazo, en donde la marca indica si se debe utilizar o no un ciclo de recuento de orden de imágenes;
- 25 cuando la marca indica que el ciclo de recuento de orden de imágenes no se utiliza y los bits menos significativos coinciden con más de una de las imágenes de referencia contenidas en una memoria intermedia de imágenes descodificadas del descodificador (50), concluir que el tren de bits es un tren de bits que no cumple con la norma.
11. El descodificador (50) según la reivindicación anterior, en donde el recuento de orden de imágenes indica el orden en el que se deben emitir las imágenes de la secuencia de vídeo.
- 30 12. El descodificador (50) según una cualquiera de las reivindicaciones 10-11, en donde cada imagen del tren de bits comprende al menos una unidad NAL, en donde cada imagen se descodifica a partir de una rebanada comprendida en dicha al menos una unidad NAL, en donde la rebanada comprende una cabecera de rebanada, en donde la cabecera de rebanada comprende la marca, en donde la imagen actual de la secuencia de vídeo se descodifica a partir de una rebanada actual, provista de una cabecera de rebanada actual en donde la rebanada actual se descodifica a partir de una unidad NAL actual.
- 35 13. El descodificador (50) según la reivindicación anterior, en donde los bits menos significativos se obtienen a partir de la unidad NAL actual.
14. El descodificador (50) según una cualquiera de las reivindicaciones 10-13, en donde la memoria intermedia de imágenes descodificadas comprende imágenes descodificadas antes, en el orden de decodificación, que la imagen actual.
- 40 15. El descodificador (50) según una cualquiera de las reivindicaciones 10-14, en donde el descodificador (50) también está configurado para concluir que no se cumple con la Codificación de Vídeo de Alta Eficiencia, "HEVC".
16. Un programa informático (85) que comprende unidades de código legibles por ordenador que, al ser ejecutadas en un codificador (80), hacen que el codificador (80) lleve a cabo el procedimiento de acuerdo con la reivindicación 1.
- 45 17. Un producto de programa informático (86) que comprende un medio legible por ordenador (87) y un programa informático (85) según la reivindicación 16 almacenado en el medio legible por ordenador (87).
18. Programa informático (55) que comprende unidades de código legibles por ordenador que, al ser ejecutadas en un descodificador (50) hacen que el descodificador (50) lleve a cabo el procedimiento de acuerdo con la reivindicación 2.
- 50 19. Producto de programa informático (56), que comprende un medio legible por ordenador (57) y un programa informático (55) según la reivindicación 18 almacenado en el medio legible por ordenador (57).

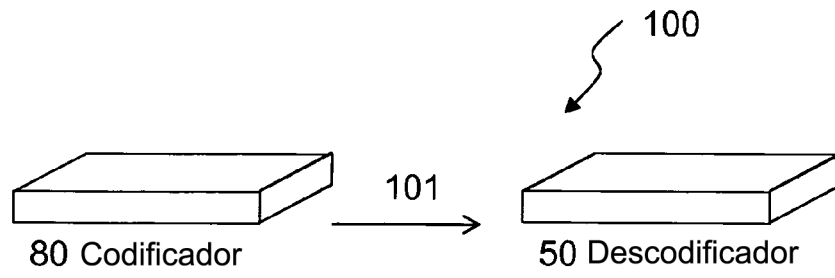


Fig. 1

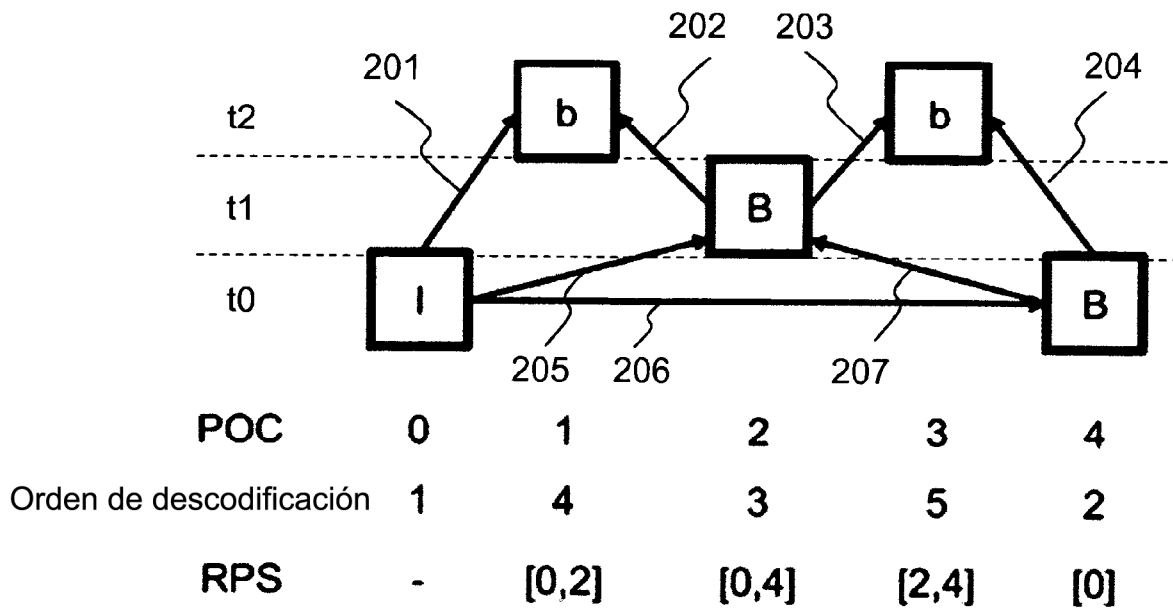


Fig. 2

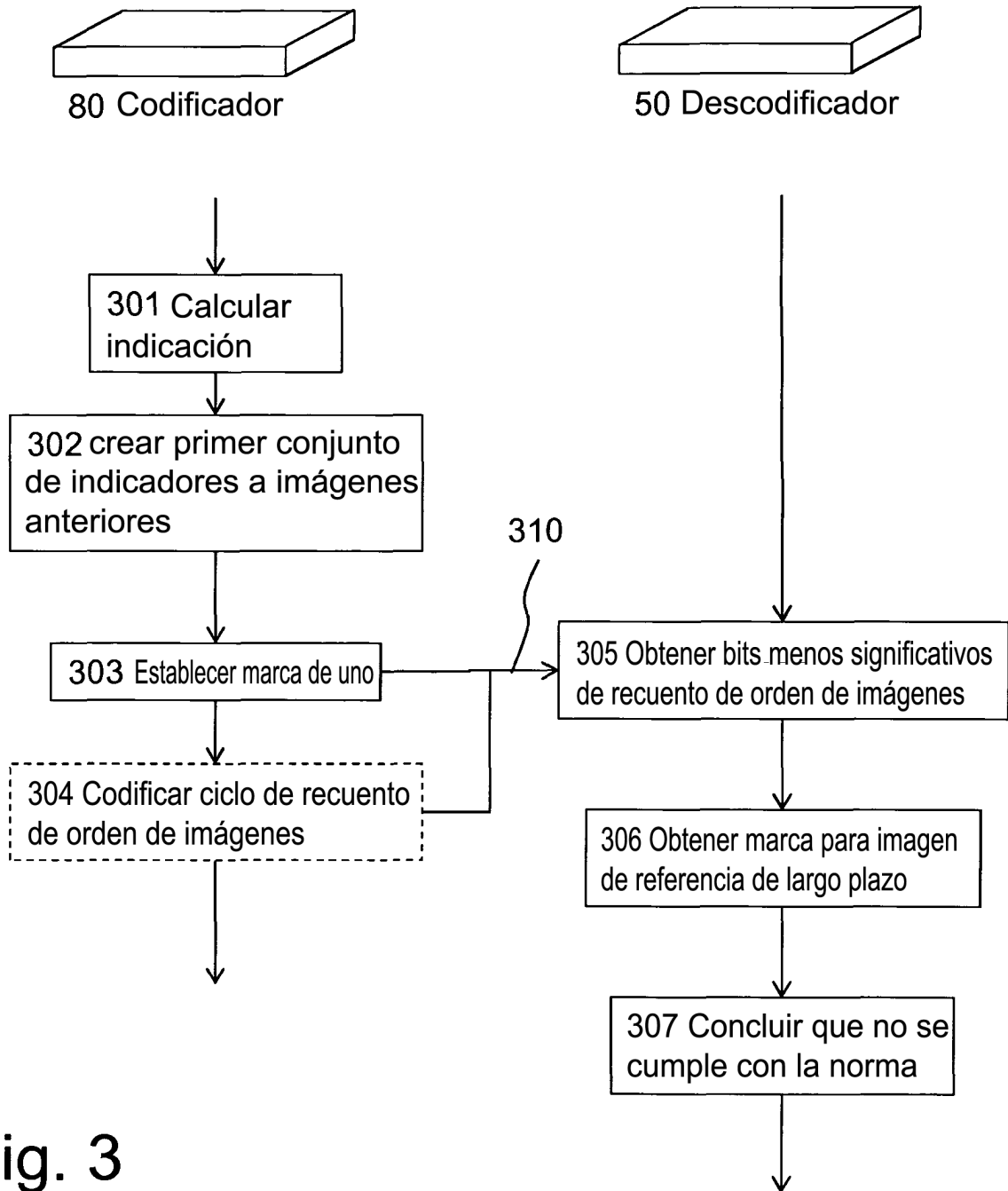


Fig. 3

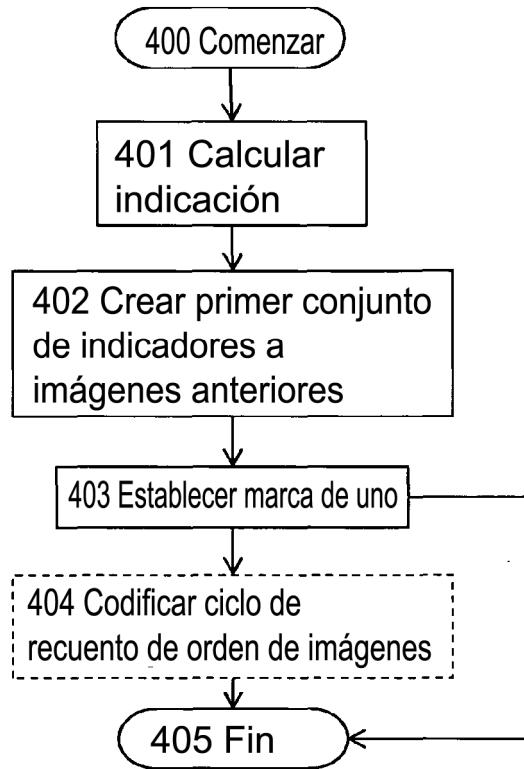


Fig. 4

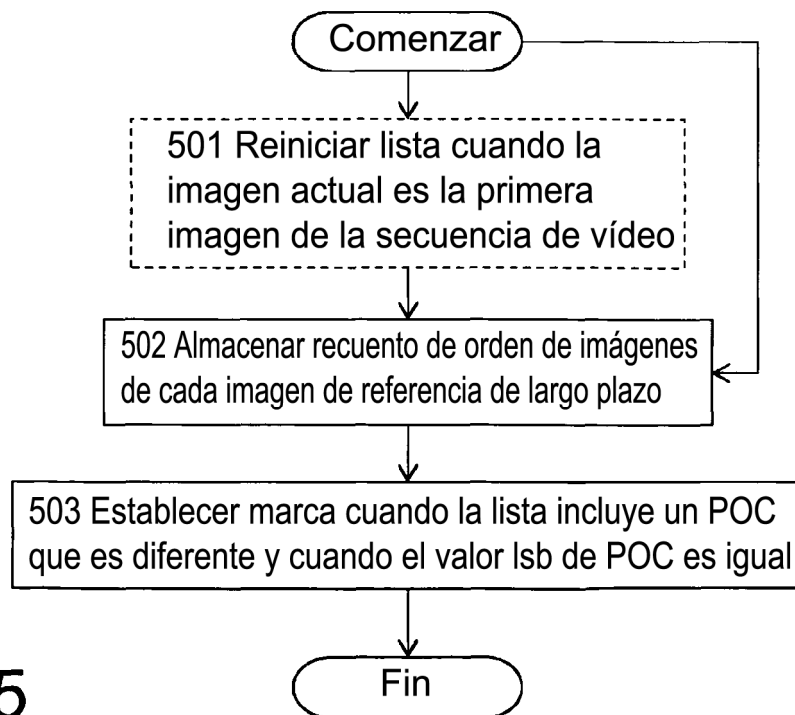


Fig. 5

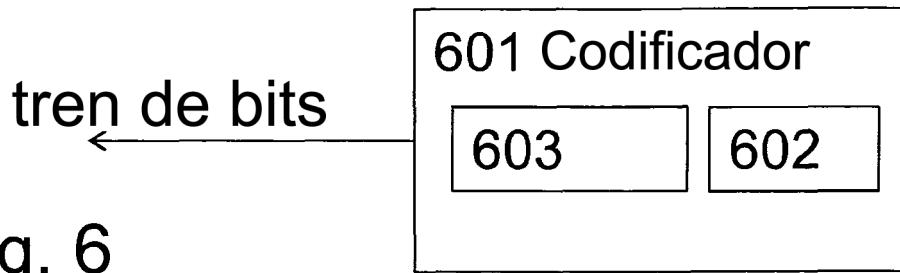


Fig. 6

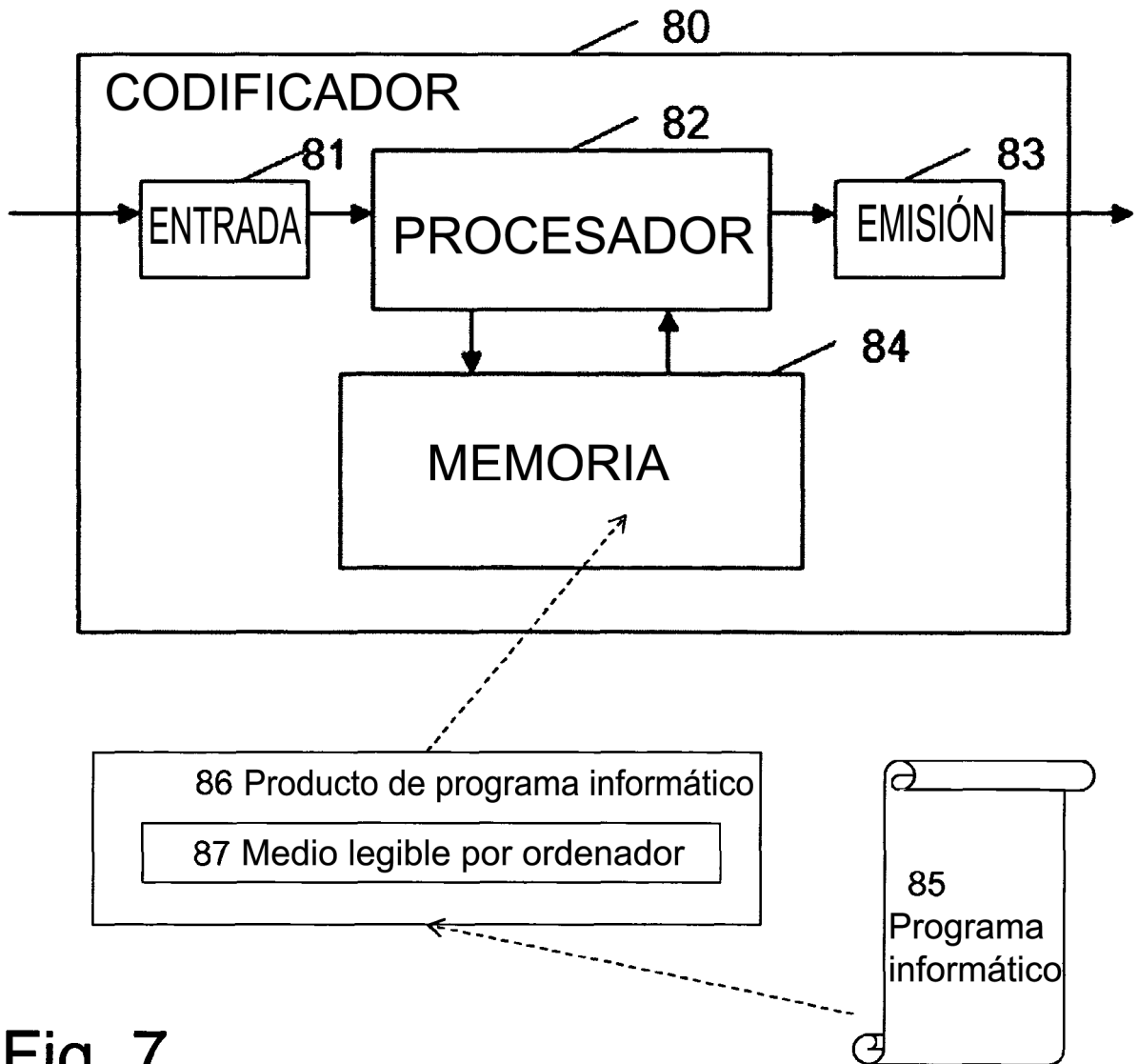


Fig. 7

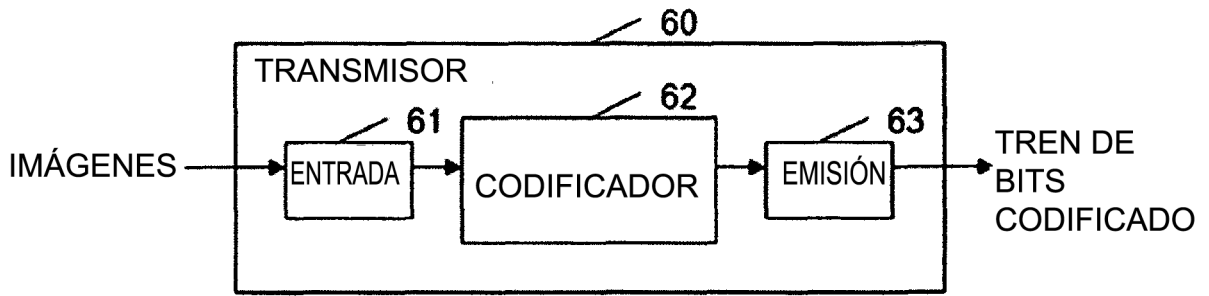


Fig. 8

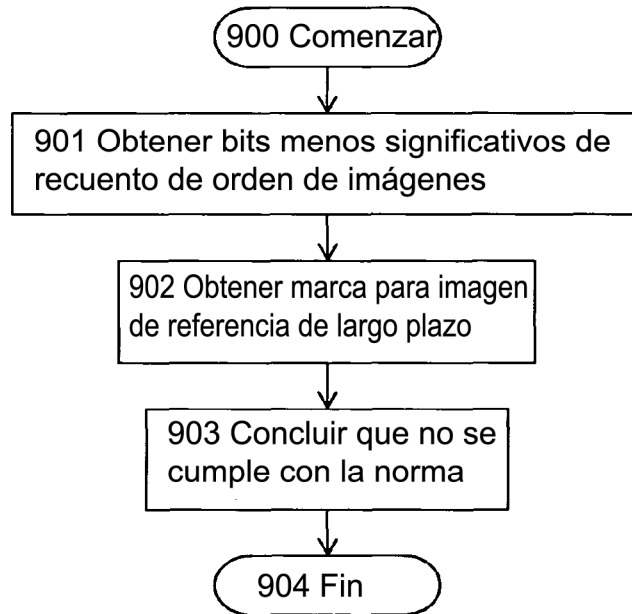


Fig. 9

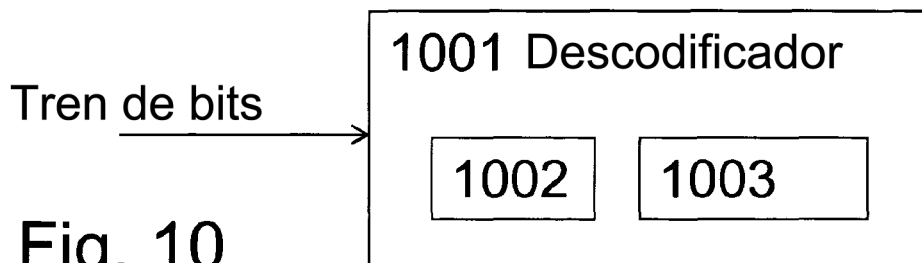


Fig. 10



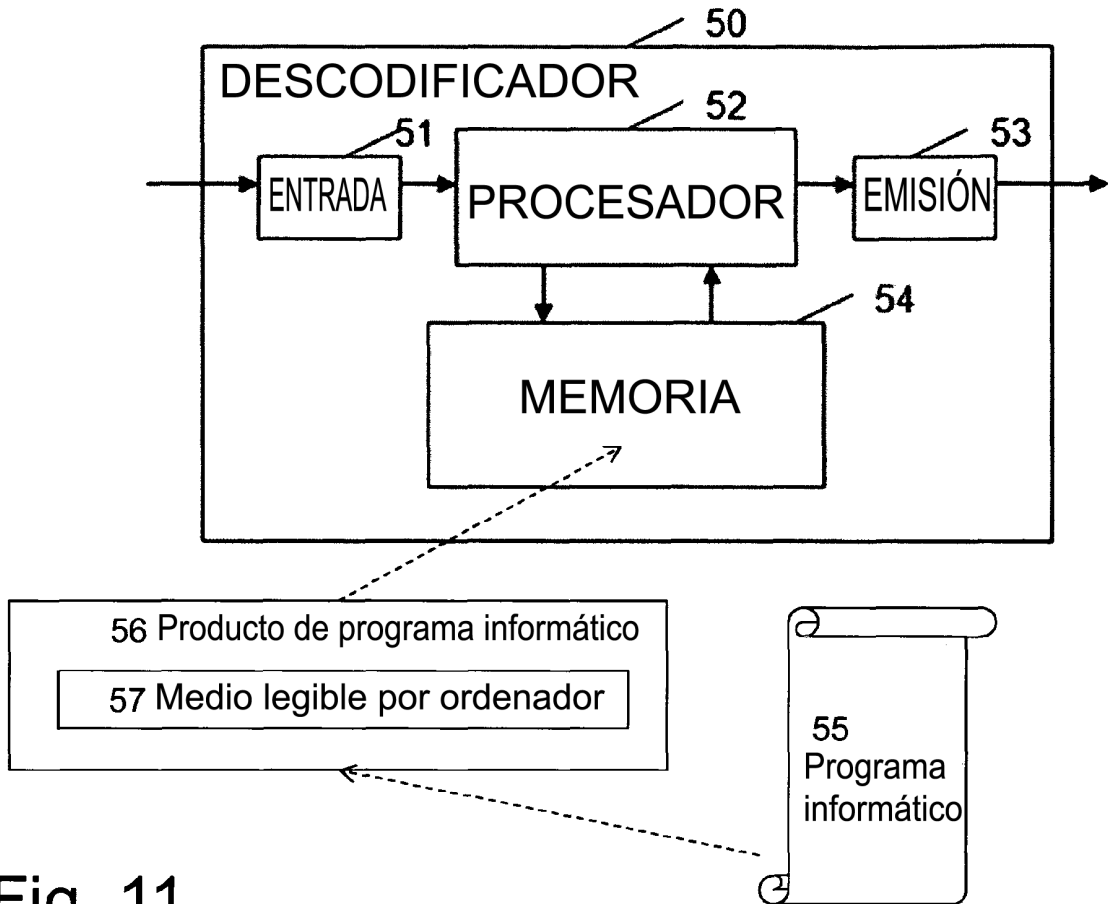


Fig. 11

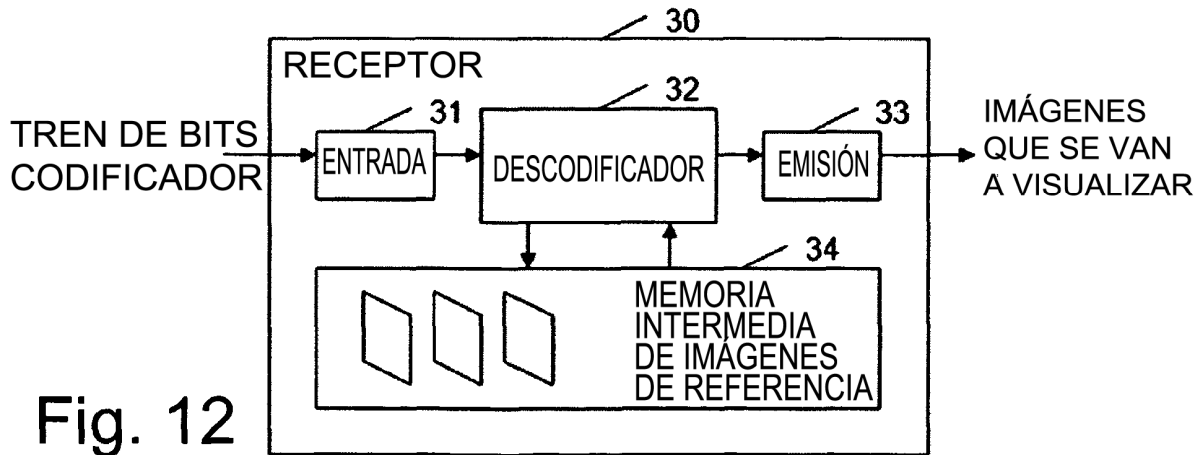


Fig. 12