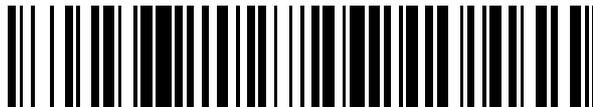


19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 610 133**

51 Int. Cl.:

H03M 13/11 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **26.02.2009** **E 09154641 (6)**

97 Fecha y número de publicación de la concesión europea: **12.10.2016** **EP 2099136**

54 Título: **Procedimiento y aparato para codificación y decodificación de canal en un sistema de comunicación que usa códigos de comprobación de paridad de baja densidad**

30 Prioridad:

26.02.2008 KR 20080017279

11.03.2008 KR 20080022484

18.03.2008 KR 20080025144

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

26.04.2017

73 Titular/es:

SAMSUNG ELECTRONICS CO., LTD. (50.0%)

129, Samsung-ro, Yeongtong-gu

Suwon-si, Gyeonggi-do, 443-742, KR y

POSTECH ACADEMY-INDUSTRY FOUNDATION

(50.0%)

72 Inventor/es:

MYUNG, SEHO;

KWON, HWAN-JOON;

KIM, KYUNG-JOONG;

YANG, KYEONG-CHEOL;

YANG, HYUN-KOO;

KIM, JAE-YOEL y

LEE, HAK-JU

74 Agente/Representante:

CARPINTERO LÓPEZ, Mario

ES 2 610 133 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Procedimiento y aparato para codificación y descodificación de canal en un sistema de comunicación que usa códigos de comprobación de paridad de baja densidad

Antecedentes de la invención

5 Campo de la invención

La presente invención se refiere generalmente a un sistema de comunicación que usa códigos de comprobación de paridad de baja densidad (LDPC) y más en particular a un aparato y procedimiento de codificación/decodificación de canal para generar códigos LDPC que tienen diversas longitudes de palabras clave y tasas de código desde un código LDPC proporcionado en un esquema de modulación de alto orden.

10 Descripción de la técnica relacionada

En los sistemas de comunicación inalámbricos, el rendimiento por enlace disminuye significativamente debido a diversos ruidos en los canales, un fenómeno de debilitamiento y una Interferencia Intersimbólica (ISI). Por tanto, para proporcionar sistemas de comunicaciones digitales de alta velocidad, que necesitan una alta fiabilidad y rendimiento de datos, tal como la comunicación móvil de próxima generación, retransmisión digital r Internet portátil, es importante desarrollar tecnologías para superar los ruidos del canal, el debilitamiento y la ISI. Recientemente, un estudio intensivo de un código de corrección de error se ha realizado como un procedimiento para incrementar la fiabilidad de la comunicación recuperando eficazmente la información distorsionada.

El código LDPC, es decir, un tipo de código de corrección de error, se define generalmente como una matriz de comprobación de paridad, y puede representarse usando un gráfico bipartito, que se denomina gráfico Tanner. El gráfico bipartito significa que los vértices que constituyen el gráfico se dividen en dos tipos diferentes, y el código LDPC se representa con el gráfico bipartito compuesto de vértices, algunos de los cuales se llaman nodos variables y otros que se llaman nodos de comprobación. Los nodos variables se mapean uno a uno en los bits codificados.

La Figura 1 ilustra un ejemplo de una matriz H_1 de comprobación de paridad del código LDPC que tiene 4 filas y 8 columnas.

25 En referencia a la Figura 1, ya que el número de columnas es 8, la matriz H_1 de comprobación de paridad es un código LDPC que genera una palabra clave de longitud 8, y las columnas se mapean en 8 bits codificados.

La Figura 2 ilustra un gráfico Tanner correspondiente a la matriz H_1 de comprobación de paridad de la Figura 1.

En referencia a la Figura 2, el gráfico Tanner del código LDPC incluye 8 nodos x_1 (202), x_2 (204), x_3 (206), x_4 (208), x_5 (210), x_6 (212), x_7 (214) y x_8 (216) variables y 4 nodos 218, 220, 222 y 224 de comprobación. Una columna i ^{enésima} y una fila j ^{enésima} en la matriz H_1 de comprobación de paridad del código LDPC se mapean en un nodo x_i variable y un nodo j ^{enésimo} de comprobación, respectivamente. Además, un valor de 1, es decir, un valor distinto de cero, en el punto donde la columna i ^{enésima} y la fila j ^{enésima} en la matriz H_1 de comprobación de paridad del código LDPC se cruzan entre sí, indica que existe un borde entre el nodo x_i variable y el nodo j ^{enésimo} de comprobación en el gráfico Tanner como se ilustra en la Figura 2.

35 En el gráfico Tanner del código LDPC, un grado del nodo variable y el nodo de comprobación indica el número de bordes conectados a cada nodo respectivo y el grado es igual al número de entradas distintas de cero en la columna o fila correspondiente al nodo pertinente en la matriz de comprobación de paridad del código LDPC. Por ejemplo, en la Figura 2, los grados de los nodos x_1 (202), x_2 (204), x_3 (206), x_4 (208), x_5 (210), x_6 (212), x_7 (214) y x_8 (216) variables son 4, 3, 3, 3, 2, 2, 2 y 2, respectivamente, y los grados de los nodos 218, 220, 222 y 224 de comprobación son 6, 5, 5 y 5, respectivamente. Además, los números de las entradas distintas de cero en las columnas de la matriz H_1 de comprobación de paridad de la Figura 1, que se corresponden con los nodos variables de la Figura 2, coinciden con sus grados 4, 3, 3, 3, 2, 2, 2 y 2, respectivamente, y los números de las entradas distintas de cero en las filas de la matriz H_1 de comprobación de paridad de la Figura 1, que se corresponden con los nodos de comprobación de la Figura 2, coinciden con sus grados 6, 5, 5 y 5 respectivamente.

45 Para expresar el grado de distribución para los nodos del código LDPC, una relación del número nodos variables de grado i con el número total de nodos variables se define como f_i y la relación del número de nodos de comprobación de grado j respecto al número total de nodos de comprobación se define como g_j . Por ejemplo, para el código LDPC correspondiente a las Figuras 1 y 2, $f_2=4/8$, $f_3=3/8$, $f_4=1/8$ y $f_i=0$ para $i \neq 2, 3, 4$; y $g_5=3/4$, $g_6=1/4$ y $g_j=0$ para $j \neq 5,6$. Cuando una longitud del código LDPC, es decir, el número de columnas, se define como N y el número de filas se define como $N/2$, la densidad de las entradas distintas de cero en la matriz de comprobación de paridad total que tiene la distribución anterior de grados se computa como la Ecuación (1) mostrada.

$$\frac{2f_2N + 3f_3N + 4f_4N}{N \cdot N/2} = \frac{5,25}{N} \dots \dots \dots (1)$$

En la ecuación (1), a medida que se incrementa N , la densidad de los 1 en la matriz de comprobación de paridad disminuye. En general, para el código LDPC, debido a que la longitud de palabra clave N es inversamente proporcional a la densidad de las entradas distintas de cero, el código LDPC con una gran N tiene una densidad muy baja de entradas distintas de cero. El término "baja densidad" en el nombre del código LDPC se origina a partir de la anterior relación.

La Figura 3 ilustra esquemáticamente un código LDPC adoptado como la tecnología estándar en la transmisión Satélite de Radiodifusión de Vídeo Digital de segunda generación (DVB-S2), que es uno de los estándares de radiodifusión digital de Europa.

En la Figura 3, N_1 y K_1 indican una longitud de palabra clave y una longitud de información (o longitud de palabra de información) de un código LDPC, respectivamente y $(N_1 - K_1)$ proporciona una longitud de paridad. Además, los números enteros M_1 y q satisfacen $q = (N_1 - K_1) / M_1$. Preferentemente, K_1 / M_1 es un número entero.

En referencia a la Figura 3, una estructura de una parte de paridad, es decir, la columna K_1 enésima hasta la columna $(N_1 - 1)$ enésima, en la matriz de comprobación de paridad, tiene una forma diagonal doble. Por tanto, en cuanto a la distribución de grado sobre columnas correspondiente a la parte de paridad, todas las columnas tienen un grado 2, excepto por la última columna que tiene un grado de 1.

En la matriz de comprobación de paridad, una parte de información, es decir una columna 0 enésima hasta la columna $(K_1 - 1)$ enésima se crea usando las siguientes reglas.

Regla 1: un total K_1 / M_1 grupos de columnas se genera agrupando las columnas K_1 correspondientes a la palabra de información en la matriz de comprobación de paridad en múltiples grupos incluyendo cada uno M_1 columnas. Un procedimiento para formar columnas que pertenece a cada grupo de columnas sigue la Regla 2 a continuación.

Regla 2: primero, se determinan las posiciones de los 1 en cada columna 0 enésima en los grupos de columnas i enésimas (donde $i = 1, \dots, K_1 / M_1$). Cuando un grado de la columna 0 enésima en cada grupo de columnas i enésimas se indica mediante D_i , si las posiciones de filas con 1 se asumen como $R_{i,0}^{(1)}, R_{i,0}^{(2)}, \dots, R_{i,0}^{(D_i)}$, las posiciones de $R_{i,j}^{(k)}$ ($k = 1, 2, \dots, D_i$), de filas con 1 se definen como se muestra en la Ecuación 2, en una columna j enésima (donde $j = 1, 2, \dots, M_1 - 1$) en un grupo de columnas i enésimas.

$$R_{i,j}^{(k)} = R_{i,(j-1)}^{(k)} + q \text{ mod}(N_1 - K_1),$$

$$k = 1, 2, \dots, D_i, \quad i = 1, \dots, K_1 / M_1, \quad j = 1, \dots, M_1 - 1 \quad \dots \dots \dots (2)$$

De acuerdo con las anteriores reglas, puede apreciarse que los grados de columnas que pertenecen al grupo de columnas i enésimas son todos iguales a D_i . Para un mejor entendimiento de una estructura de un código LDPC DVD-S2 que almacena información en el matriz de comprobación de paridad de acuerdo con las anteriores reglas, se proporcionará el siguiente ejemplo más detallado.

Como un ejemplo detallado, para $N_1 = 30$, $K_1 = 15$, $M_1 = 5$, y $q = 3$, tres secuencias para la información de las posiciones de filas con 1 para columnas 0 enésimas en 3 grupos de columnas pueden expresarse como sigue. En este caso, estas secuencias se denominan "secuencias de posición peso-1"

$$R_{1,0}^{(1)} = 0, \quad R_{1,0}^{(2)} = 1, \quad R_{1,0}^{(3)} = 2,$$

$$R_{2,0}^{(1)} = 0, \quad R_{2,0}^{(2)} = 11, \quad R_{2,0}^{(3)} = 13,$$

$$R_{3,0}^{(1)} = 0, \quad R_{3,0}^{(2)} = 10, \quad R_{3,0}^{(3)} = 14.$$

En referencia a la secuencia de posición peso-1 para las columnas 0 enésimas en cada grupo de columnas, solo las secuencias de posición correspondientes pueden expresarse como sigue para cada grupo de columnas. Por ejemplo:

0 1 2
0 11 13
0 10 14.

Es decir, la secuencia de posición peso-1 i enésima en la línea i enésima representa secuencialmente la información de las posiciones de filas con 1 para el grupo de columnas i enésimas.

Es posible generar un código LDPC que tenga el mismo concepto que el del código LDPC DVB-S2 ilustrado en la Figura 4, formando una matriz de comprobación de paridad usando la información correspondiente al ejemplo detallado, y las Reglas 1 y 2.

Se conoce que el código LDPC DVB-S2 diseñado de acuerdo con las Reglas 1 y 2 puede usarse eficazmente durante la codificación usando la forma estructural. Las etapas respectivas en un procedimiento de realización de

codificación LDPC usando la matriz de comprobación de paridad basada en DVB-S2 se describirán a continuación a modo de ejemplo.

5 En la siguiente descripción, como un ejemplo en detalle, se usa un código LDPC DVB-S2 con $N_1=16\ 200$, $K_1=10\ 800$, $M_1=360$ y $q=15$ en un procedimiento de codificación. Por conveniencia, los bits de información de una palabra clave que tienen una longitud de información K_1 se representan como i_0, i_1, \dots, i_{k-1} , y los bits de paridad de una palabra clave que tiene una longitud de paridad (N_1-K_1) se expresan como $(p_0, p_1, \dots, p_{N_1-K_1-1})$.

Etapa 1: un codificador LDPC inicializa bits de paridad como sigue:

$$p_0 = p_1 = \dots = p_{N_1-K_1-1} = 0$$

10 Etapa 2: el codificador LDPC lee la información en filas del código LDPC DVB-S2 donde un 1 se ubica en un grupo de columnas a partir de una secuencia de posición peso-1 $0^{\text{enésima}}$ fuera de las secuencias almacenadas que indican la matriz de comprobación de paridad.

0 2084 1613 1548 1286 1460 3196 4297 2481 3369 3451 4620 2622

$$\begin{aligned} R_{1,0}^{(1)} &= 0, R_{1,0}^{(2)} = 2048, R_{1,0}^{(3)} = 1613, R_{1,0}^{(4)} = 1548, R_{1,0}^{(5)} = 1286, \\ R_{1,0}^{(6)} &= 1460, R_{1,0}^{(7)} = 3196, R_{1,0}^{(8)} = 4297, R_{1,0}^{(9)} = 2481, R_{1,0}^{(10)} = 3369, \\ R_{1,0}^{(11)} &= 3451, R_{1,0}^{(12)} = 4620, R_{1,0}^{(13)} = 2622. \end{aligned}$$

15 El codificador LDPC actualiza particularmente bits de paridad p_x de acuerdo con la Ecuación (3), usando la información de lectura y el primer bit i_0 de información. En este caso, x es un valor de $R_{1,0}^{(k)}$ para $k=1,2,\dots,13$.

$$\begin{aligned} p_0 &= p_0 \oplus i_0, & p_{2084} &= p_{2084} \oplus i_0, & p_{1613} &= p_{1613} \oplus i_0, \\ p_{1548} &= p_{1548} \oplus i_0, & p_{1286} &= p_{1286} \oplus i_0, & p_{1460} &= p_{1460} \oplus i_0, \\ p_{3196} &= p_{3196} \oplus i_0, & p_{4297} &= p_{4297} \oplus i_0, & p_{2481} &= p_{2481} \oplus i_0, & \dots \dots \dots (3) \\ p_{3369} &= p_{3369} \oplus i_0, & p_{3451} &= p_{3451} \oplus i_0, & p_{4620} &= p_{4620} \oplus i_0, \\ p_{2622} &= p_{2622} \oplus i_0 \end{aligned}$$

En la Ecuación (3) $p_x = p_x \oplus i_0$ también puede expresarse como $p_x \leftarrow p_x \oplus i_0$, y \oplus representa la adición binaria.

Etapa 3: el codificador LDPC determina un valor de la Ecuación (4) para los siguientes 359 bits i_m de información (donde $m=1, 2, \dots, 359$) después de i_0

20
$$\{x + (m \bmod M_1) \times q\} \bmod (N_1 - K_1), \quad M_1 = 360, \quad m = 1, 2, \dots, 359 \quad \dots \dots \dots (4)$$

En la Ecuación (4), x es un valor de $R_{1,0}^{(k)}$ para $k=1,2,\dots,13$. Debería apreciarse que la Ecuación 4 tiene el mismo concepto que la Ecuación (2).

25 A continuación, el codificador LDPC realiza una operación similar a la Ecuación (3) usando los valores encontrados en la Ecuación (4). Es decir, el codificador LDPC actualiza bits de paridad $p_{\{x+(m \bmod M_1) \times q\} \bmod (N_1-K_1)}$, para i_m . Por ejemplo, para $m=1$, es decir para i_1 el codificador LDPC actualiza bits de paridad $p_{\{x+q\} \bmod (N_1-K_1)}$ tal como se define en la Ecuación (5).

$$\begin{aligned} p_{15} &= p_{15} \oplus i_1, & p_{2099} &= p_{2099} \oplus i_1, & p_{1628} &= p_{1628} \oplus i_1, \\ p_{1563} &= p_{1563} \oplus i_1, & p_{1301} &= p_{1301} \oplus i_1, & p_{1475} &= p_{1475} \oplus i_1, \\ p_{3211} &= p_{3211} \oplus i_1, & p_{4312} &= p_{4312} \oplus i_1, & p_{2496} &= p_{2496} \oplus i_1, & \dots \dots \dots (5) \\ p_{3384} &= p_{3384} \oplus i_1, & p_{3466} &= p_{3466} \oplus i_1, & p_{4635} &= p_{4635} \oplus i_1, \\ p_{2637} &= p_{2637} \oplus i_1 \end{aligned}$$

En la Ecuación (5), $q=15$. El codificador LDPC realiza el anterior procedimiento para $m=1,2,\dots, 359$, de la misma manera antes descrita.

30 Etapa 4: al igual que en la Etapa 2, el codificador LDPC lee la información de la primera secuencia de posición peso-1 $R_{2,0}^{(k)}$ ($k=1, 2, \dots, 13$) del código LDPC DVB-S2 correspondiente a un bit i_{360} de información número 361, y actualiza un p_x particular, donde x es $R_{2,0}^{(k)}$. El codificador LDPC actualiza $p_{\{x+(m \bmod M_1) \times 3q\} \bmod (N_1-K_1)}$, $m = 361, 362, \dots, 719$, aplicando de manera similar la Ecuación (4) a los siguientes 359 bits $i_{361}, i_{362}, \dots, i_{719}$ de información después de i_{360} .

Etapas 5: el codificador LDPC repite las Etapas 2, 3, y 4 para todos los grupos que tienen 360 bits de información.

Etapas 6: el codificador LDPC determina finalmente los bits de paridad usando la Ecuación (6).

$$p_i = p_i \oplus p_{i-1}, \quad i = 1, 2, \dots, N_1 - K_1 - 1 \quad \dots \dots \dots (6)$$

Los bits de paridad p_i , de la Ecuación (6) han sufrido una codificación LDPC.

5 Tal como se ha descrito antes, DVB-S2 realiza la codificación tal como se describe en las etapas 1 a 6.

Para aplicar el código LDPC al sistema de comunicación actual, el código LDPC debería diseñarse para ser adecuado para la tasa de datos requerida en el sistema de comunicación. En particular, los códigos LDPC que soportan diversas longitudes de palabra clave son necesarios para soportar diversas tasas de datos de acuerdo con los requisitos del sistema en un sistema de comunicación adaptable que emplea Solicitud de Retransmisión Automática Híbrida (HARQ) y Modulación y Codificación Adaptable (AMC), y también en un sistema de comunicación que soporta diversos dispositivos de retransmisión.

10 Sin embargo, como se ha descrito antes, el código LDPC usado en los sistemas DVB-S2 soporta solo dos tipos de longitud de palabra clave debido a su uso limitado, y cada tipo de código LDPC usa una matriz de comprobación de paridad independiente. Por consiguiente, existe en la técnica una necesidad desde hace tiempo de un procedimiento para soportar diversas longitudes de código de palabra clave para incrementar la extensibilidad y flexibilidad del sistema. En particular, en el sistema DVB-S2, la transmisión de datos con varios cientos a miles de bits es necesaria para transmitir información de señalización. Sin embargo, ya que solo están disponibles 16 200 y 64 800 para una longitud del código LDPC DVB-S2, todavía existe la necesidad de soporte de diversas longitudes de palabra clave. Sin embargo, ya que almacenar matrices de comprobación de paridad independientes para respectivas longitudes del código LDPC puede reducir la eficacia de la memoria, también existe la necesidad de un esquema capaz de soportar eficazmente diversas longitudes de palabra clave desde la matriz de comprobación de paridad existente, sin necesitar una nueva matriz de comprobación de paridad.

15 Se aprecia que las fiabilidades de bits incluidas en los símbolos de modulación de alto orden son diferentes cuando la modulación de alto orden se usa en el sistema de comunicación que necesita código LDPC con diversas longitudes, a diferencia de cuando se aplica la modulación de alto orden en el sistema de comunicación que emplea Modulación por Desplazamiento de Fase Binaria (BPSK) o Modulación por Desplazamiento de Fase de Cuadratura (QPSK).

20 Para demostrar la diferencia de fiabilidad en la modulación de alto orden, se realizará ahora una descripción a continuación en cuanto a constelaciones de señal para la Modulación de Amplitud de Cuadratura (QAM), que es la modulación de alto orden usada normalmente en sistemas de comunicación. Un símbolo modulado QAM incluye una parte real y una parte imaginaria, y diversos símbolos de modulación pueden generarse diferenciando magnitudes y signos de sus partes reales y partes imaginarias. La QAM se describirá junto con la modulación QPSK para proporcionar más claramente los detalles de las características QAM.

La Figura 5A ilustra esquemáticamente una constelación de señal para una modulación QPSK convencional.

25 En referencia a la Figura 5A, y_0 determina un signo para una parte real mientras que y_1 determina un signo para una parte imaginaria. Es decir, un signo de la parte real es más (+) para $y_0=0$, y menos (-) para $y_0=1$. Además, un signo de la parte imaginaria es más (+) para $y_1=0$ y menos (-) para $y_1=1$. Ya que y_0 e y_1 son iguales en probabilidad de ocurrencia de errores, ya que son bits de indicación de signos que indican respectivamente signos de la parte real y la parte imaginaria, las fiabilidades de (y_0, y_1) de bits que se corresponden con una señal de modulación son iguales en la modulación QPSK. Para $y_{0,q}$ e $y_{1,q}$, el segundo índice de subíndice q indica una salida $q^{\text{enésima}}$ de bits incluidos en una señal de modulación.

La Figura 5B ilustra esquemáticamente una constelación de señal para una modulación convencional de 16-QAM.

30 En referencia a la Figura 5B, (y_0, y_1, y_2, y_3) corresponden a bits de una señal de modulación. Más específicamente, los bits y_0 e y_2 determinan un signo y una magnitud de la parte real, respectivamente, mientras los bits y_1 e y_3 determinan un signo y una magnitud de la parte imaginaria, respectivamente. Es decir, y_0 e y_1 determinan signos de la parte real y la parte imaginaria de la señal de modulación, mientras que y_2 e y_3 determinan magnitudes de la parte real y la parte imaginaria de la señal de modulación. Ya que la distinción de un signo de una señal modulada es más fácil que la distinción de una magnitud de la señal modulada, y_2 e y_3 son mayores en probabilidad de ocurrencia de errores que y_0 e y_1 . Por tanto, en términos de probabilidad de no ocurrencia de errores (es decir, fiabilidades) de los bits, $y_0=y_1>y_2=y_3$. Es decir, los bits (y_0, y_1, y_2, y_3) , que se incluyen en una señal de modulación QAM, a diferencia de los de una señal de modulación QPSK, tienen diferentes fiabilidades.

En una modulación de 16-QAM, entre 4 bits que constituyen una señal, 2 bits determinan signos de la parte real y la parte imaginaria de la señal y los 2 bits restantes solo necesitan determinar magnitudes de la parte real y la parte imaginaria de la señal. De esta manera, los órdenes de (y_0, y_1, y_2, y_3) y un papel de cada bit se someten a cambios.

La Figura 5C ilustra esquemáticamente una constelación de señal para una modulación convencional de 64-QAM.

De entre $(y_0, y_1, y_2, y_3, y_4, y_5)$, que se corresponden con bits de una señal de modulación, los bits y_0, y_2 e y_4 determinan una magnitud y un signo de la parte real, e y_1, y_3 e y_5 determinan una magnitud y un signo de la parte imaginaria. En este caso, y_0 e y_1 determinan signos de la parte real y la parte imaginaria, respectivamente, y una combinación de y_2 e y_4 y una combinación de y_3 e y_5 determinan magnitudes de la parte real y la parte imaginaria, respectivamente. Como se ha descrito antes, ya que distinguir signos de la señal modulada es más fácil que distinguir magnitudes de la señal modulada, las fiabilidades de y_0 e y_1 son mayores que las fiabilidades de y_2, y_3, y_4 e y_5 .

Los bits y_2 e y_3 se determinan dependiendo de si una magnitud del símbolo modulado es mayor o menor de 4 y los bits y_4 e y_5 se determinan de acuerdo con si la magnitud del símbolo modulado está más cerca de 4 o 0, con 2 centrado entremedias, o más cerca de 4 o de 8 con 6 centrado. Por consiguiente, un intervalo en el que la magnitud se determina mediante y_2 e y_3 es 4, mientras que un intervalo para y_4 e y_5 es 2. Por tanto, y_2 e y_3 son mayores que y_4 e y_5 en fiabilidad. Como resultado, $y_0=y_1>y_2=y_3>y_4=y_5$ en términos de probabilidades de no ocurrencia de errores (es decir, fiabilidades) de los bits.

En la modulación de 64-QAM, de 6 bits que constituyen una señal, 2 bits determinan signos de la parte real y la parte imaginaria de la señal y 4 bits solo necesitan determinar magnitudes de la parte real y la parte imaginaria de la señal. Por consiguiente, los órdenes de $(y_0, y_1, y_2, y_3, y_4, y_5)$ y un papel de cada bit se someten a cambios. Incluso en una constelación de señal de 256-QAM o superior, los papeles y fiabilidades de los bits que constituyen una señal de modulación son diferentes tal como se ha descrito antes. Por consiguiente, una descripción detallada de los mismos se omite en el presente documento.

Tian, y col, *Construction of Rate-Compatible LDPC Codes Utilizing Information Shortening and Parity Puncturing*, *Journal on Wireless Communications and Networking* 2005:5 789-795, desvela la aplicación de acortamiento (y perforación) en asociación con códigos LDPC. Ambas técnicas se implementan, en el lado del transmisor, omitiendo los símbolos de código acortados y perforados cuando se transmite la palabra clave a un receptor. En Tian, y col., el acortamiento corresponde al uso de ceros en lugar de datos de carga útil de un cierto número de bits de información más izquierdos en el proceso de codificación/descodificación.

En resumen, en la modulación BPSK o QPSK, no es necesario considerar un esquema de modulación cuando se determinan patrones de acortamiento y perforación ya que como las fiabilidades de los bits incluidos en un símbolo son iguales, las fiabilidades de los bits de palabras clave también son iguales en una palabra clave LDPC que ha sufrido un acortamiento o perforación. Sin embargo, en la modulación de alto orden tal como 16-QAM, 64-QAM y 256-QAM, ya que los roles y fiabilidades de los bits incluidos en un símbolo son diferentes, cuando un esquema de modulación y un esquema de constelación de señal/mapeo de bits (mapeo de bits en la constelación de señal) se han determinado, la fiabilidad de cada bit de palabra clave en una palabra clave LDPC, después de que sufra el acortamiento o perforación, puede ser diferente de la de la palabra clave LDPC antes de que sufra el acortamiento o perforación.

Por tanto, existe la demanda de un aparato y procedimiento para generar un código LDPC usando acortamiento o perforación en consideración de la modulación de alto orden.

Sumario de la invención

La presente invención se ha diseñado para abordar al menos los problemas y/o desventajas anteriores y proporcionar al menos las ventajas descritas a continuación. Por consiguiente, un aspecto de una realización de la presente invención es proporcionar un procedimiento y aparato de codificación/descodificación de canal para generar, a partir de un código LDPC proporcionado, una palabra clave LDPC con una longitud de palabra clave diferente usando acortamiento o perforación determinados en consideración de una modulación de alto de orden, y codificar una palabra de información para generar una palabra clave para transmitirse por medio de un canal y descodificar dicha palabra clave usando el código LDPC generado en un sistema de comunicación.

Otro aspecto de una realización de la presente invención es proporcionar un procedimiento y aparato de codificación/descodificación para proporcionar un rendimiento óptimo considerando una estructura DVB-S2 en un sistema de comunicación que usa códigos LDPC.

De acuerdo con una realización de la presente invención, se proporciona un procedimiento tal como se define en la reivindicación 1.

De acuerdo con otro aspecto de la realización de la presente invención, se proporciona un aparato como se define en las reivindicaciones independientes del aparato.

Breve descripción de los dibujos

Los anteriores y otros aspectos, características y ventajas de ciertas realizaciones de la presente invención serán más aparentes a partir de la siguiente descripción tomada junto con los dibujos adjuntos, en los que:

la Figura 1 ilustra un ejemplo de una matriz de comprobación de paridad de un código LDPC de longitud 8;
 la figura 2 ilustra un gráfico Tanner para una matriz de comprobación de paridad de un código LDPC de longitud 8;
 la Figura 3 ilustra una estructura esquemática de un código LDPC DVB-S2;
 la Figura 4 ilustra un ejemplo de una matriz de comprobación de paridad de un código LDPC DVB-S2;
 la Figura 5A ilustra esquemáticamente una constelación de señal para una modulación convencional QPSK usada en un sistema de comunicación digital;
 la Figura 5B ilustra esquemáticamente una constelación de señal para una modulación convencional de 16-QAM usada en un sistema de comunicación digital;
 la Figura 5C ilustra esquemáticamente una constelación de señal para una modulación convencional de 64-QAM usada en un sistema de comunicación digital;
 la Figura 6 es un diagrama de bloques de un transceptor en un sistema de comunicación que usa un código LDPC;
 la Figura 7A ilustra un ejemplo de una constelación de señal/mapeo de bits en una modulación de 16-QAM;
 la Figura 7B ilustra un ejemplo de una constelación de señal/mapeo de bits modificada mediante acortamiento en modulación de 16-QAM;
 la Figura 8A ilustra un ejemplo de una constelación de señal/mapeo de bits en modulación de 64-QAM;
 la Figura 8B ilustra un ejemplo de una constelación de señal/mapeo de bits modificada mediante acortamiento en modulación de 64-QAM;
 la Figura 9 ilustra un procedimiento para generar la palabra clave LDPC con una longitud de palabra clave diferente a partir de una matriz de comprobación de paridad de un código LDPC almacenado de acuerdo con una realización de la presente invención;
 la Figura 10 ilustra un diagrama de bloques de un aparato de transmisión para generar una palabra clave LDPC acortada propuesta de acuerdo con una realización de la presente invención;
 la Figura 11 ilustra un diagrama de bloques de un aparato de transmisión para generar una palabra clave LDPC perforada/acortada propuesta de acuerdo con una realización de la presente invención;
 la Figura 12 ilustra un diagrama de bloques de un aparato de recepción que usa un código LDPC referente a un patrón de acortamiento propuesto, de acuerdo con una realización de la presente invención;
 la Figura 13 ilustra un diagrama de bloques de un aparato de recepción que usa un código LDPC referente a un patrón de acortamiento y perforación propuesto, de acuerdo con una realización de la presente invención; y
 la Figura 14 ilustra un diagrama de flujo de una operación de recepción de un aparato de recepción de acuerdo con una realización de la presente invención.

A través de los dibujos, se entenderá que los mismos números de referencia se refieren a los mismos elementos, características y estructuras.

35 **Descripción detallada de realizaciones de la invención**

La siguiente descripción en referencia a los dibujos adjuntos se proporciona para ayudar a tener un entendimiento completo de las realizaciones de la invención como se define mediante las reivindicaciones y sus equivalentes. Esto incluye diversos detalles específicos para ayudar en ese entendimiento, pero estos no deberían interpretarse como limitaciones. Por consiguiente, los expertos en la materia reconocerán que diversos cambios y modificaciones de las realizaciones descritas en el presente documento pueden realizarse sin apartarse del alcance de la presente invención. Además, las descripciones de funciones y construcciones bien conocidas se omiten por claridad y concisión

Además, los términos y palabras usadas en la siguiente descripción y reivindicaciones no se limitan a los significados bibliográficos, sino que se usan mediante el inventor para permitir un entendimiento claro y consistente de la presente invención. Por consiguiente, debería ser aparente para los expertos en la materia que la siguiente descripción de las realizaciones de la presente invención se proporciona por motivos únicamente de ilustración y no con el fin de limitar la invención tal como se define mediante las reivindicaciones y sus equivalentes adjuntos.

La siguiente descripción de las realizaciones de la presente invención proporciona un procedimiento para soportar una palabra clave LDPC con diversas longitudes de palabra clave adecuadas para modulación de alto orden, usando una matriz de comprobación de paridad de un código LDPC estructurado con una forma particular. Además, la descripción de las realizaciones de la presente invención proporciona un aparato para soportar diversas longitudes de palabras clave de acuerdo con la modulación de alto orden en un sistema de comunicación que usa un código LDPC en una forma particular, y un procedimiento para controlar el mismo. En particular, la descripción de las realizaciones de la presente invención proporciona un procedimiento para generar una palabra clave LDPC usando una matriz de comprobación de paridad de un código LDPC determinado, siendo la palabra clave LDPC generada menor que la palabra clave LDPC proporcionada, y un aparato del mismo.

La Figura 6 es un diagrama de bloques de un transceptor en un sistema de comunicación que usa un código LDPC.

En referencia a la Figura 6, un mensaje u se introduce en un codificador 611 LDPC en un transmisor 610 antes de que se transmita a un receptor 630. El codificador 612 LDPC codifica el mensaje de entrada u , y envía la señal c codificada a un modulador 613. El modulador 613 modula la señal c codificada, y transmite la señal s modulada al

receptor 630 sobre un canal 620 inalámbrico. Un desmodulador 631 en el receptor 630 desmodula la señal r recibida, y envía la señal x desmodulada a un decodificador 633 LDPC. El decodificador 633 LDPC decodifica la señal x desmodulada, teniendo como resultado una estimación \underline{u} del mensaje basándose en los datos recibidos a través del canal 620 inalámbrico.

- 5 El codificador 611 LDPC genera una matriz de comprobación de paridad de acuerdo con una longitud de palabra clave requerida por un sistema de comunicación, usando un esquema preestablecido. En particular, de acuerdo con una realización de la presente invención, un codificador LDPC soportará diversas longitudes de palabra clave usando el código LDPC sin la necesidad separada de información adicional almacenada.

- 10 De acuerdo con una realización de la presente invención, un procedimiento de adquisición de diversas longitudes de palabras clave a partir de un código LDPC proporcionado usa acortamiento o perforación. Los procedimientos que optimizan el rendimiento aplicando acortamiento o perforación en una palabra clave LDPC de acuerdo con una tasa de código o una longitud de palabra clave se conocen actualmente. Sin embargo, en la mayoría de los casos, ya que el procedimiento conocido para la determinación de los patrones de acortamiento y perforación realiza el procedimiento de optimización considerando solo la Modulación por Desplazamiento de Fase Binaria (BPSK) o Modulación por Desplazamiento de Fase de Cuadratura (QPSK), solo un patrón de acortamiento y/o perforación optimizado puede existir para un código LDPC determinado.

Sin embargo, los patrones de perforación y acortamiento optimizados cuando se ha determinado un esquema de constelación de señal/mapeo de bits en la modulación de alto orden pueden ser diferente de los de la modulación BPSK o QPSK.

- 20 En la modulación BPSK o QPSK, ya que las fiabilidades de los bits incluidos en un símbolo son iguales, las fiabilidades de los bits de palabra clave en una palabra clave LDPC después de que sufra el acortamiento o perforación también son iguales. Por consiguiente, no existe la necesidad de considerar un esquema de modulación en el procedimiento de determinación de los patrones de acortamiento y perforación. Sin embargo, como se ha descrito antes, en la modulación de alto orden, tal como 16-QAM, 64-QAM y 256-QAM, ya que las fiabilidades de los bits incluidos en el símbolo son diferentes, cuando un esquema de modulación y un esquema de constelación de señal/mapeo de bits se han determinado, la fiabilidad de cada bit de palabra clave en una palabra clave LDPC después de que sufra el acortamiento o perforación puede ser diferente de la de la palabra clave LDPC antes de que sufra el acortamiento o perforación.

- 30 Las Figuras 7A y 7B y las Figuras 8A y 8B ilustran ejemplos de mapeo de bits en los que los bits se mapean en un símbolo de acuerdo con grados de nodos variables en una palabra clave LDPC, para 16-QAM y 64-QAM, respectivamente. Más específicamente, la Figura 7A ilustra un ejemplo de una constelación de señal/mapeo de bits en modulación de 16-QAM y la Figura 7B ilustra un ejemplo de una constelación de señal/mapeo de bits modificado mediante acortamiento en modulación de 16-QAM. Por conveniencia, una palabra clave LDPC se divide en el presente documento en un bloque parcial de 8 o 12 bits.

- 35 En referencia a la Figura 7A, y_0 e y_1 indican la alta fiabilidad de bits que determinan los signos de una parte real y una parte imaginaria en un símbolo 16-QAM, respectivamente. Es decir, la relación de fiabilidad entre los bits es $y_0 = y_1 > y_2 = y_3$. En la Figura 7A, ya que y_1 e y_3 se mapean en una parte de bits de palabra clave LDPC correspondiente a los nodos variables de grado más alto, 1/2 de los nodos variables de grado más alto se mapean en una parte de mayor fiabilidad mientras que el otro 1/2 se conecta a una parte de baja fiabilidad.

- 40 Asumiendo que la mitad de los nodos variables de grado más alto sufren un acortamiento tal como se ilustra en la Figura 7B, cuando los bits de símbolo correspondientes al nodo variable de grado más alto no acortado se consideran en la palabra clave LDPC acortada, 7/8 del nodo variable de grado más alto se mapea en y_3 y el otro 1/8 se mapea en y_1 . Es decir, la relación de bits es muy diferente de la que ocurre antes del acortamiento.

- 45 De manera similar, la Figura 8A ilustra un ejemplo de una constelación de señal/mapeo de bits en una modulación de 64-QAM y la Figura 8B ilustra un ejemplo de una constelación de señal/mapeo de bits modificado mediante acortamiento de una modulación de 64-QAM.

- 50 En la Figura 8A, una relación de fiabilidad entre los bits incluidos en un símbolo es $y_0 = y_1 > y_2 = y_3 > y_4 = y_5$. En este caso, puede apreciarse que 1/3 de nodos variables con el grado más alto en la palabra clave LDPC se mapean en el bit y_5 de fiabilidad más baja. Sin embargo, cuando 2/3 de los nodos variables de grado más alto sufren un acortamiento como se ilustra en la Figura 8B, puede entenderse que 5/6 de los restantes nodos variables de grado más alto no acortados se mapean en el bit y_5 de fiabilidad más baja, por lo que la relación de bits es diferente de la que ocurre antes del acortamiento.

- 55 Cuando el esquema de modulación de alto orden y el esquema de constelación de señal/mapeo de bits se fijan para un código LDPC como se ha descrito antes, el patrón de acortamiento o perforación usado en la modulación BPSK o QPSK, podría no ser adecuado ya que una relación del bit de palabra clave LDPC mapeado en cada bit de un símbolo de modulación es muy diferente de acuerdo con la técnica de acortamiento.

También se conoce que en el caso de un código LDPC, la distribución de grado de una matriz de comprobación de paridad de su código LDPC optimizado es muy diferente de acuerdo con el esquema de modulación. Es decir, la distribución de grado de un código LDPC optimizado para modulación BPSK o QPSK y las distribuciones de grado de códigos LDPC optimizados para 16-QAM, 64-QAM y 256-QAM son diferentes.

5 Por razones similares, es obvio que cuando se asume que se proporciona un código LDPC que tiene una distribución de grado, el patrón de acortamiento o perforación optimizado es diferente de acuerdo con el esquema de modulación de alto orden. Por consiguiente, un patrón de acortamiento debería determinarse considerando un esquema de modulación previsto para encontrar un patrón de acortamiento o perforación optimizado en relación con un código LDPC.

10 El acortamiento se describirá ahora a continuación antes de una descripción de un procedimiento para determinar un patrón de acortamiento o perforación en consideración de un esquema de modulación. El término "acortamiento" como se usa en el presente documento hace referencia a un procedimiento que no transmite sustancialmente una parte especificada de una palabra clave LDPC, después de generar la palabra clave LDPC a partir de una matriz de comprobación de paridad proporcionada en particular mediante la realización de codificación LDPC. Para un mejor entendimiento del acortamiento, una matriz de comprobación de paridad del código LDPC DVB-S2 ilustrado en la
15 Figura 3 se describirá en más detalle a continuación.

Para la matriz de comprobación de paridad del código LDPC DVB-S2 ilustrado en la Figura 3, la longitud total es N_1 , donde los bits ($i_0, i_1, \dots, i_{K_1-1}$) de información de longitud K_1 se corresponden con una parte delantera de la matriz de comprobación de paridad, y los bits ($p_0, p_1, \dots, p_{N_1-K_1-1}$) de paridad de longitud (N_1-K_1) se corresponden con una
20 parte trasera de la matriz de comprobación de paridad. Comúnmente, los bits de información tienen libremente un valor de 0 o 1, y la técnica de acortamiento limita los valores de dicha información en una parte particular que se somete a acortamiento. Por ejemplo, acortar N_s bits de información i_0 a i_{N_s-1} significa comúnmente que $i_0 = i_1 = \dots = i_{N_s-1} = 0$. Es decir, al limitar los valores para N_s bits de información i_0 hasta i_{N_s-1} , a 0, la técnica de acortamiento puede obtener el mismo efecto que al no usar sustancialmente N_s columnas delanteras en la matriz de comprobación de
25 paridad del código LDPC DVB-S2 ilustrado en la Figura 3. El término "acortamiento" se origina actualmente a partir de la operación de limitación antes descrita. Por tanto, aplicar el acortamiento en este caso también significa considerar valores de los bits de información acortados, como 0.

Con respecto a la técnica de acortamiento, cuando el sistema se configura, un transmisor y un receptor pueden
30 compartir o generar la misma información de posición para los bits de información acortados. Por tanto, aunque el transmisor no ha transmitido los bits acortados, el receptor puede realizar la descodificación, sabiendo ya que los bits de información en las posiciones correspondientes de los bits acortados tienen un valor de 0.

En la técnica de acortamiento, ya que una longitud de una palabra clave que el transmisor transmite actualmente es N_1-N_s y una longitud de una palabra de información es K_1-N_s , la tasa de código se convierte en $(K_1 - N_s)/(N_1 - N_s)$ que es siempre menor que la primera tasa de código K_1/N_1 determinada.

35 Generalmente, una técnica de perforación puede aplicarse tanto a los bits de información como a los bits de paridad. Aunque la técnica de perforación y la técnica de acortamiento reducen normalmente las longitudes de palabra clave, la técnica de perforación, a diferencia de la técnica de acortamiento antes descrita, no limita valores de bits particulares.

Más específicamente, la técnica de perforación es simplemente un procedimiento para no transmitir bits de
40 información particulares de una parte particular de bits de paridad generados, de manera que un receptor pueda eliminar los bits correspondientes. Es decir, al no transmitir simplemente bits en N_p posiciones predefinidas en una palabra clave LDPC generada de longitud N_1 , la técnica de perforación obtiene el mismo efecto que el obtenido al transmitir una palabra clave LDPC de longitud (N_1-N_p) . Ya que las columnas correspondientes a los bits perforados en la matriz de comprobación de paridad se usan intactas en un proceso de descodificación, la técnica de
45 perforación es distinta de la técnica de acortamiento.

Además, de acuerdo con una realización de la presente invención, ya que la información de posición para los bits perforados puede compartirse o estimarse en común mediante el transmisor y el receptor cuando el sistema se configura, el receptor puede simplemente eliminar los bits perforados correspondientes, antes de la descodificación.

50 En la técnica de perforación, ya que una longitud de una palabra clave que el transmisor transmite actualmente es N_1-N_p y una longitud de una palabra de información es la constante K_1 , la tasa de código se convierte en $K_1/(N_1-N_p)$, que es siempre mayor que la primera tasa de código K_1/N_1 determinada.

Ahora se realizará una descripción de una técnica de acortamiento y una técnica de perforación adecuadas para el código LDPC DVB-S2. El código LDPC DVB-S2 tal como se ha descrito antes, es un código LDPC que tiene una estructura particular, por lo tanto, en comparación con el código LDPC normal, el código LDPC DVB-S2 puede
55 soportar un acortamiento y perforación más eficaz.

Por conveniencia de este ejemplo, se asume que el código LDPC DVB-S2 tiene una longitud y una longitud de información de N_1 y K_1 respectivamente, y una longitud de palabra clave y una longitud de información de una

palabra clave LDPC que se desea que se obtengan finalmente a partir del código LDPC DVB-S2 usando la técnica de acortamiento y la técnica de perforación son N_2 y K_2 respectivamente.

Si se proporciona una definición de $N_1-N_2=N_\delta$ y $K_1-K_2=K_\delta$, es posible generar la palabra clave LDPC cuya longitud de palabra clave y longitud de información son N_2 y K_2 respectivamente, acortando los bits K_δ y perforando los bits $(N_\delta-K_\delta)$ basándose en la matriz de comprobación de paridad del código LDPC DVB-S2. Para la palabra clave LDPC

generada con $N_\delta > 0$ o $K_\delta > 0$, ya que su tasa de código $\frac{K_1 - K_\Delta}{N_1 - N_\Delta}$ es generalmente diferente de la tasa de código K_1/N_1 del código DVB-S2, su característica algebraica cambia. Para $N_\delta = K_\Delta$, el código LDPC se genera no realizando el acortamiento y perforación o solo realizando el acortamiento.

Sin embargo, en referencia al código LDPC DVB-S2, tal como se describe en las Reglas z y 2, ya que un valor $R_{i,j}^{(k)}$ ($k = 1, 2, \dots, D_i$; $i = 1, \dots, K_1/M_1$; $j = 0, \dots, M_1-1$) corresponde a M_1 columnas, un total de K_1/M_1 grupos de columnas tienen una forma estructural. Por tanto, el código LDPC DVB-S2 es igual a un código LDPC que no usa M_1 columnas, si no usa un valor $R_{i,j}^{(k)}$. El siguiente procedimiento de acortamiento, que se describe en referencia a la Figura 9, se propone considerando tales características.

La Figura 9 ilustra un procedimiento para generar una palabra clave LDPC con una longitud de palabra clave diferente a partir de una matriz de comprobación de paridad de un código LDPC almacenado de acuerdo con una realización de la presente invención.

En referencia a la Figura 9, un codificador LDPC determina un esquema de modulación de transmisión para un símbolo en la etapa 901, y lee la información de grupo de columna de un código LDPC DVB-S2 a usar en una acción de acortamiento de la etapa 903. Es decir, el codificador LDPC lee la información de matriz de comprobación de paridad almacenada. Por tanto, el codificador LDPC determina una longitud de palabra clave N_2 y una longitud de información K_2 basándose en la información de grupo de columna del código LDPC DVB-S2 en la etapa 905. Por tanto, el codificador LDPC realiza un procedimiento de acortamiento de las etapas 907 a 913, en las que el codificador LDPC realiza el acortamiento correspondiente a una longitud de información requerida de una palabra clave LDPC, basándose en la información leída de la matriz de comprobación de paridad almacenada.

Etapa de acortamiento 1: el codificador LDPC determina $A = \left\lfloor \frac{K_2}{M_1} \right\rfloor$ en la etapa 907, donde $\lfloor x \rfloor$ es un número entero máximo que es menor o igual a x .

Etapa de acortamiento 2: el codificador LDPC selecciona una secuencia para $(A+1)$ grupos de columnas de entre $R_{i,0}^{(k)}$ ($i = 1, \dots, K_1/M_1$) grupos de columnas en la etapa 909. Las secuencias seleccionadas se definen como $S_{i,0}^{(k)}$ ($i = 1, \dots, A + 1$). El codificador LDPC considera que no existe la secuencia para los $K_1/M_1 - A - 1$ grupos de columnas restantes excepto para la secuencia parcial $S_{i,0}^{(k)}$ en la secuencia $R_{i,0}^{(k)}$.

Etapa de acortamiento 3: el codificador LDPC determina las posiciones de grupos de columnas del código LDPC DVB-S2 correspondiente a una palabra de información a partir de la secuencia $S_{i,0}^{(k)}$ de $(A + 1)$ grupos de columnas seleccionados en la Etapa de acortamiento 2, generando una palabra clave acortada en relación con el código LDPC DVB-S2 en la etapa 911. Debería apreciarse que la palabra clave LDPC acortada tiene una longitud de información $(A + 1) M_1$, que es siempre mayor o igual a K_2 .

Etapa de acortamiento 4: el codificador LDPC acorta adicionalmente los bits $(A+1) M_1 - K_2$ a partir de la palabra clave acortada LDPC generada en la Etapa de acortamiento 3 en la etapa 913.

En la Etapa de acortamiento 4, el acortamiento adicional se implementa más fácilmente si el procedimiento se realiza secuencialmente desde la parte trasera a la delantera del grupo de bits donde se logra el acortamiento adicional.

Como se ha descrito antes, una realización de la presente invención aplica una técnica de acortamiento eficaz que no usa información de grupos de columnas del código LDPC DVB-S2 dependiendo de las características estructurales del código LDPC DVB-S2, en comparación con una técnica de acortamiento de bit por bit convencional, que se usa normalmente para acortamiento en relación con el código LDPC DVB-S2.

Los criterios de selección de una secuencia de grupos de columnas pueden resumirse como sigue en la Etapa 2 en el procedimiento de acortamiento referente al código LDPC DVB-S2.

5 Criterio 1: el codificador LDPC selecciona una secuencia de patrón de acortamiento referente a grupos de columnas definidos de manera que la distribución de grado óptima que puede obtenerse considerando un esquema de modulación proporcionado para un código LDPC normal con una longitud N_2 y una longitud de información K_2 sea lo más similar posible a una distribución de grado de un código LDPC acortado con una longitud N_2 y una longitud de información K_2 , obtenida realizando el acortamiento en un código LDPC DVB-S2 con una longitud N_1 y una longitud de información K_1 .

10 Criterio 2: el codificador LDPC selecciona una secuencia de patrón de acortamiento referente a grupos de columnas definidos para proporcionar un código que tiene una buena característica de ciclo en el gráfico Tanner entre los códigos seleccionados acortados en el Criterio 1. De acuerdo con una realización de la presente invención, referente a los criterios para una característica de ciclo, el codificador LDPC selecciona una secuencia donde el ciclo de longitud mínima en el gráfico Tanner es lo más grande posible y el número de ciclos de longitud mínima es lo más pequeño posible.

15 La distribución de grado óptima del código LDPC normal en la que se considera el esquema de modulación puede encontrarse en el Criterio 1 usando un procedimiento de análisis de evolución de densidad, donde diversas implementaciones se conocen en la técnica. Sin embargo, ya que el procedimiento de determinación de la distribución de grado que usa el procedimiento de evolución de densidad no es esencial para el entendimiento de la presente invención, una descripción detallada del mismo no se proporcionará.

20 Si el número de todas las posibles secuencias (de patrón de acortamiento) para grupos de columnas no es grande, el codificador LDPC puede seleccionar una secuencia (de patrón de acortamiento) para grupos de columnas que tienen el mejor rendimiento buscando totalmente todas las secuencias independientemente de los Criterios 1 y 2. Sin embargo, los criterios de selección para grupos de columnas, aplicados en la Etapa de acortamiento 2 para el código LDPC DVB-S2, permiten seleccionar eficazmente una secuencia (de patrón de acortamiento) seleccionando un código LDPC que satisfaga ambas condiciones cuando el número de todas las secuencias (de patrón de acortamiento) posibles para el grupo de columnas es demasiado grande.

25 El Criterio 1 y el Criterio 2 se aplican cuando N_2 y K_2 son valores fijos. Sin embargo, si los valores de N_2 y K_2 requeridos en el sistema varían, los patrones de acortamiento utilizados de acuerdo con el valor de K_2 pueden no tener correlación. Es decir, cuando los valores de N_2 y K_2 requeridos en el sistema varían, todos los patrones de acortamiento optimizados de acuerdo con el valor de K_2 deberían almacenarse por separado, para un rendimiento optimizado.

30 Por tanto, para la eficacia del sistema, pueden encontrarse patrones de acortamiento subóptimos, tal como se describirá a continuación, cuando los valores de N_2 y K_2 requeridos en el sistema varían.

Encontrar una secuencia de patrón de acortamiento subóptima

35 Asumiendo que la selección de un grupo de columnas es necesaria para el acortamiento, ya que el número de grupos de columnas seleccionables solo es uno, es posible seleccionar un grupo de columnas que tengan el mejor rendimiento. Cuando la selección de dos grupos de columnas es necesaria para el acortamiento, un grupo de columnas que muestran mejor rendimiento, junto con el grupo de columna ya seleccionado, se seleccionan a partir del grupo de columnas restantes. De manera similar, cuando la selección de i grupos de columnas se necesita para el acortamiento, un grupo de columnas que tienen mejor rendimiento, junto con $(i-1)$ grupos de columnas seleccionados en la etapa previa de acortamiento, se seleccionan a partir de los grupos de columnas restantes.

40 Aunque el anterior procedimiento no garantiza una selección óptima para todos los casos, tiene un rendimiento relativamente estable desde el patrón de acortamiento que tiene una regla regular, independientemente del cambio en el valor de K_2 . Por tanto, el procedimiento antes descrito tiene ventajas de rendimiento relativamente estable y con fácil almacenamiento de patrones de acortamiento.

45 Un código LDPC DVB-S2 que tiene un total de G grupos de columnas correspondientes a bits de información se describirá a continuación a modo de ejemplo. Asumiendo que los órdenes de grupos de columnas, que se someten a "acortamiento" de acuerdo con el procedimiento de determinación de patrones de acortamiento se establece como $B_1, B_2, B_3, \dots, B_x$, cuando solo se almacena la secuencia referente a los órdenes del grupo de columnas, un acortamiento eficaz es posible para una K_2 arbitraria a través de la Etapa de acortamiento 1 hasta la Etapa de acortamiento 4.

50 Para mostrar un ejemplo de la diferencia entre los patrones de acortamiento encontrados de acuerdo con esquemas de modulación respectivos usando los anteriores procedimientos, la Tabla 1A y la Tabla 1B a continuación muestran procedimientos de acortamiento y patrones de acortamiento suboptimizados para modulaciones BPSK/QPSK, 16-QAM y 64-QAM con respecto al código LDPC DVB-S2 con una longitud $N_1=16200$ y una longitud de información $K_1=7200$.

55

Tabla 1A

Variables principales del código LDPC DVB-S2	$N_1 = 16\ 200, K_1 = 7200, M_1 = 360, q = 25$
Intervalo de K_2	Procedimiento de acortamiento
1) $528 \leq K_2 < 7200$	Para un número entero $m = \left\lfloor \frac{7200 - K_2}{360} \right\rfloor$, acortar todos los m grupos de columnas correspondientes a las filas $\pi(0)^{\text{enésima}}, \pi(1)^{\text{enésima}}, \dots, \pi(m-1)^{\text{enésima}}$, y adicionalmente acortar los bits de información $7200 - K_2 - 360m$ a partir de un grupo de columnas correspondiente a una fila $\pi(m)^{\text{enésima}}$. En este caso, π indica una función de permutación que significa un patrón de acortamiento y las relaciones se muestran en el fondo de la tabla. Sin embargo, cuando una parte del grupo de columnas correspondiente a una fila $\pi(18) = 19^{\text{enésima}}$ se acorta, las columnas en las posiciones correspondientes a bits de paridad Bose-Chaudhuri-Hocquenghem (BCH) 168 no sufren acortamiento.
2) $168 \leq K_2 < 528$	Acortar todos los grupos de columnas correspondientes a filas $\pi(0)^{\text{enésima}}, \pi(1)^{\text{enésima}}, \dots, \pi(17)^{\text{enésima}}$, y acortar todas las columnas excepto para columnas en las posiciones correspondientes a bits de paridad BCH 168 a partir de un grupo de columnas correspondientes a una fila $\pi(18) = 19^{\text{enésima}}$. También, adicionalmente acortar los bits de información $528 - K_2$ a partir de un grupo de columnas correspondiente a una fila $\pi(19) = 0^{\text{enésima}}$.

Tabla 1B

Relación entre funciones de permutación suboptimizadas en BPSK/QPSK									
$\pi(0)$	$\pi(1)$	$\pi(2)$	$\pi(3)$	$\pi(4)$	$\pi(5)$	$\pi(6)$	$\pi(7)$	$\pi(8)$	$\pi(9)$
18	17	16	15	14	13	12	11	4	10
$\pi(10)$	$\pi(11)$	$\pi(12)$	$\pi(13)$	$\pi(14)$	$\pi(15)$	$\pi(16)$	$\pi(17)$	$\pi(18)$	$\pi(19)$
9	8	3	2	7	6	5	1	19	0
Relación entre funciones de permutación suboptimizadas en 16QAM									
$\pi(0)$	$\pi(1)$	$\pi(2)$	$\pi(3)$	$\pi(4)$	$\pi(5)$	$\pi(6)$	$\pi(7)$	$\pi(8)$	$\pi(9)$
18	17	16	15	14	13	12	11	4	10
$\pi(10)$	$\pi(11)$	$\pi(12)$	$\pi(13)$	$\pi(14)$	$\pi(15)$	$\pi(16)$	$\pi(17)$	$\pi(18)$	$\pi(19)$
3	9	2	8	7	6	1	5	19	0
Relación entre funciones de permutación suboptimizadas en 64QAM									
$\pi(0)$	$\pi(1)$	$\pi(2)$	$\pi(3)$	$\pi(4)$	$\pi(5)$	$\pi(6)$	$\pi(7)$	$\pi(8)$	$\pi(9)$
4	3	18	17	2	16	15	14	13	12
$\pi(10)$	$\pi(11)$	$\pi(12)$	$\pi(13)$	$\pi(14)$	$\pi(15)$	$\pi(16)$	$\pi(17)$	$\pi(18)$	$\pi(19)$
11	10	9	1	8	7	6	5	19	0

5 En referencia a la Tabla 1A y la Tabla 1B, puede apreciarse que cuando se determina una longitud de bits de información a acortar, el procedimiento de acortamiento se realiza a través de un procedimiento predeterminado independientemente del esquema de modulación, pero las relaciones entre las funciones de permutación que indican patrones de acortamiento optimizados son diferentes de acuerdo con los esquemas de modulación. Es decir, cuando el procedimiento de acortamiento se aplica sin considerar el esquema de modulación, una degradación de rendimiento significativo puede ocurrir de acuerdo con el esquema de modulación.

10

Los patrones de acortamiento suboptimizados mostrados en la Tabla 1B, encontrados en el procedimiento de acortamiento de la Tabla 1A, pueden no ser únicos de acuerdo con condiciones para encontrar los patrones de acortamiento. Por ejemplo, pueden existir varios grupos de columnas que muestran un rendimiento similar en el procedimiento interino antes descrito, es decir, Encontrar una secuencia de patrón de acortamiento subóptima. En este caso, ya que la selección del siguiente grupo de columnas puede diferir de acuerdo con la selección de grupos de columnas, los patrones de acortamiento suboptimizados pueden no ser únicos de acuerdo con la diferencia de rendimiento del procedimiento de acortamiento. Actualmente, los patrones de acortamiento mostrados en la Tabla 1C también proporcionan un rendimiento excelente, similar al rendimiento del procedimiento de acortamiento mostrado en la Tabla 1A.

Tabla 1C

Relación entre funciones de permutación suboptimizadas en BPSK/QPSK (2)									
$\pi(0)$	$\pi(1)$	$\pi(2)$	$\pi(3)$	$\pi(4)$	$\pi(5)$	$\pi(6)$	$\pi(7)$	$\pi(8)$	$\pi(9)$
18	17	16	15	14	13	12	11	4	10
$\pi(10)$	$\pi(11)$	$\pi(12)$	$\pi(13)$	$\pi(14)$	$\pi(15)$	$\pi(16)$	$\pi(17)$	$\pi(18)$	$\pi(19)$
9	8	3	2	7	6	5	1	19	0
Relación entre funciones de permutación suboptimizadas en 16QAM (2)									
$\pi(0)$	$\pi(1)$	$\pi(2)$	$\pi(3)$	$\pi(4)$	$\pi(5)$	$\pi(6)$	$\pi(7)$	$\pi(8)$	$\pi(9)$
18	17	16	15	14	13	12	11	4	10
$\pi(10)$	$\pi(11)$	$\pi(12)$	$\pi(13)$	$\pi(14)$	$\pi(15)$	$\pi(16)$	$\pi(17)$	$\pi(18)$	$\pi(19)$
9	8	7	3	2	1	6	5	19	0
Relación entre funciones de permutación suboptimizadas en 64QAM (2)									
$\pi(0)$	$\pi(1)$	$\pi(2)$	$\pi(3)$	$\pi(4)$	$\pi(5)$	$\pi(6)$	$\pi(7)$	$\pi(8)$	$\pi(9)$
18	17	16	4	15	14	13	12	3	11
$\pi(10)$	$\pi(11)$	$\pi(12)$	$\pi(13)$	$\pi(14)$	$\pi(15)$	$\pi(16)$	$\pi(17)$	$\pi(18)$	$\pi(19)$
10	9	2	8	7	1	6	5	19	0

Los procedimientos de mapeo de bits correspondientes a las constelaciones de señal usadas en las modulaciones de 16-QAM y 64-QAM de la Tabla 1C son los resultados obtenidos aplicando los mismos procedimientos de mapeo de bits ilustrados en las Figuras 7A, 7B, 8A y 8B.

En referencia de nuevo a la Figura 9, después de la etapa 913 cuando se realiza la perforación, el codificador LDPC aplica la perforación en el procedimiento de codificación LDPC en la etapa 915. El procedimiento de perforación se describirá ahora a continuación.

Asumiendo que una longitud de palabra clave y una longitud de información de una palabra clave LDPC son N_2 y K_2 , respectivamente, que la invención desea obtener finalmente esto a partir del código LDPC DVB-S2 cuya longitud de palabra clave y longitud de información son N_1 y K_1 respectivamente, usando la técnica de acortamiento y la técnica de perforación, y que se proporciona una definición de $N_1 - N_2 = N_5$ y $K_1 - K_2 = K_5$, es posible generar la palabra clave LDPC con una longitud de palabra clave y longitud de información de N_2 y K_2 , respectivamente, acortando K_5 bits y perforando $(N_5 - K_5)$ bits basándose en la matriz de comprobación de paridad del código LDPC DVB-S2. Por conveniencia, cuando se asume que la técnica de perforación se aplica solo a la parte de paridad, existe un posible procedimiento para perforar 1 bit desde la parte de paridad cada $(N_1 - K_1) / (N_5 - K_5)$ bits porque la longitud de paridad es $N_1 - K_1$. Sin embargo, otros diversos procedimientos de perforación también están disponibles.

La Figura 10 ilustra un diagrama de bloques de un aparato de transmisión usando un código LDPC acortado de acuerdo con una realización de la presente invención.

En referencia a la Figura 10, un aparato de transmisión incluye un controlador 1010, un aplicador 1020 de patrón de acortamiento, un extractor 1040 de matriz de comprobación de paridad de código LDPC y un codificador 1060 LDPC. El extractor 1040 de matriz de comprobación de paridad de código LDPC extrae una matriz de comprobación de paridad de código LDPC que ha sufrido un "acortamiento". La matriz de comprobación de paridad de código

- LDPC puede extraerse usando una memoria, puede proporcionarse en el aparato de transmisión o puede generarse en el aparato de transmisión. Además, el extractor 1040 de matriz de comprobación de paridad de código LDPC determina un esquema de modulación de transmisión para un símbolo de transmisión, correspondiéndose las columnas de grupos con una palabra de información en la matriz de comprobación de paridad del código LDPC en una pluralidad de grupos de columnas, y ordena los grupos de columnas.
- El aplicador 1020 de patrón de acertamiento determina un intervalo de una palabra de información que se desea obtener a través del acertamiento, y basándose en el intervalo de la palabra de información, realiza un "acertamiento" de grupo de columna por grupo de columna en los grupos de columnas de acuerdo con un patrón de acertamiento determinado en consideración del esquema de modulación determinado.
- El controlador 1010 controla el aplicador 1020 de patrón de acertamiento para determinar un patrón de acertamiento de acuerdo con el esquema de modulación de transmisión y la longitud de información, y el aplicador 1020 de patrón de acertamiento inserta bits que tienen un valor de 0 en posiciones correspondientes a los bits acertados, o no usa las columnas correspondientes a los bits acertados desde una matriz de comprobación de paridad de un código LDPC proporcionado. El patrón de acertamiento puede ser un patrón de acertamiento almacenado en una memoria, generado usando un generador de secuencia (no se muestra) o adquirido usando un algoritmo de análisis de evolución de densidad a partir de una matriz de comprobación de paridad y una longitud de información proporcionada.
- El codificador 1060 LDPC realiza una codificación de la palabra clave LDPC acertada mediante el controlador 1010 y el aplicador 1020 de patrón de acertamiento.
- La Figura 11 ilustra un diagrama de bloques de un aparato de transmisión para un código LDPC DVB-S2 usando tanto acertamiento como perforación. Más específicamente, el aparato de transmisión de la Figura 11 también incluye un aplicador 1180 de patrón de perforación cuando se compara con el aparato de transmisión de la Figura 10.
- En referencia a la Figura 11, el acertamiento se realiza en una fase de entrada del codificador 1060 LDPC, y la perforación se realiza en una fase de salida del codificador 1060 LDPC. El aplicador 1180 de patrón de perforación aplica la perforación a una salida del codificador 1060 LDPC. El procedimiento de aplicar perforación se ha descrito anteriormente en la etapa 915 de la Figura 9.
- La Figura 12 ilustra un diagrama de bloques de un aparato de recepción que usa un código LDPC en el que se aplica el "acertamiento", de acuerdo con una realización de la presente invención. Más específicamente, la Figura 12 ilustra un ejemplo de un aparato de recepción que recibe una señal transmitida de un sistema de comunicación usando el código LDPC DVB-S2 "acertado", y recupera los datos deseados por el usuario desde la señal recibida cuando detecta un esquema de modulación de transmisión y una longitud del código LDPC DVB-S2 "acertado" desde la señal recibida.
- En referencia a la Figura 12, el aparato de recepción incluye un controlador 1210, una unidad 1220 de determinación/estimación de patrón de acertamiento, un desmodulador 1230 y un descodificador 1240 LDPC. El desmodulador 1230 recibe y desmodula una palabra clave LDPC acertada, y proporciona la señal desmodulada a la unidad 1220 de determinación/estimación de patrón de acertamiento y al descodificador 1240 LDPC. La unidad 1220 de estimación/determinación de patrón de acertamiento controlada por el controlador 1210, estima o determina la información sobre un patrón de acertamiento referente al código LDPC a partir de la señal desmodulada, y proporciona la información de posición de los bits acertados al descodificador 1240 LDPC. Determinar o estimar los patrones de acertamiento en la unidad 1220 de determinación/estimación de patrón de acertamiento puede usar los patrones de acertamientos almacenados en la memoria, puede generar patrones de acertamiento usando un generador de secuencia (no se muestra) o puede obtener patrones de acertamiento usando un algoritmo de análisis de evolución de densidad a partir de una matriz de comprobación de paridad y una longitud de información proporcionada.
- El controlador 1210 controla la unidad 1220 de determinación/estimación de patrón de acertamiento para suministrar un patrón de acertamiento al descodificador 1240 LDPC dependiendo del esquema de modulación y la longitud de información. Ya que la probabilidad de que los valores de los bits acertados sea cero es igual a 1 (es decir, 100 %), el descodificador 1240 LDPC determina si permitir o no que los bits acertados tomen parte en su operación de descodificación dependiendo del valor 1 de la probabilidad de que los bits acertados sean iguales a cero.
- Cuando el descodificador 1240 LDPC recibe información sobre una longitud del código LDPC DVB-S2 "acertado" mediante la unidad 1220 de determinación/estimación de patrón de acertamiento, se restauran los datos deseados por el usuario a partir de las señales recibidas.
- La Figura 13 ilustra un diagrama de bloques de un aparato de recepción que usa un código LDPC en el que se aplican el "acertamiento" y perforación, de acuerdo con una realización de la presente invención. Más específicamente, el aparato de recepción ilustrado en la Figura 13 incluye una unidad 1320 de determinación/estimación de patrón de perforación/acertamiento que sustituye a la unidad 1220 de determinación/estimación de patrón de acertamiento en el aparato de recepción ilustrado en la Figura 12.

5 En referencia a la Figura 13, cuando tanto el acortamiento como la perforación se aplican en el aparato de transmisión, la unidad 1320 de determinación/estimación de patrón de acortamiento/perforación en el aparato de recepción puede realizar la determinación o estimación del patrón en el acortamiento primero, realizar la determinación o estimación del patrón en la perforación primero o realizar la determinación o estimación del patrón tanto en el acortamiento como en la perforación.

El descodificador 1240 LDPC debería tener información sobre el acortamiento y la perforación para realizar la descodificación.

La Figura 14 ilustra un diagrama de flujo de una operación de recepción y un aparato de recepción de acuerdo con una realización de la presente invención.

10 En referencia a la Figura 14, un desmodulador 1230 recibe y desmodula una palabra clave LDPC acortada en la etapa 1401. En la etapa 1403, una unidad 1220 de determinación/estimación de patrón de acortamiento determina o estima los patrones de acortamiento/perforación desde la señal desmodulada.

15 La unidad 1220 de determinación/estimación de patrón de acortamiento determina en la etapa 1405 si existe algún bit acortado o perforado. Si no existen bits acortados o perforados, un descodificador 1240 LDPC realiza la descodificación en la etapa 1411. Sin embargo, si existen bits acortados o perforados, la unidad 1220 de determinación/estimación de patrón de acortamiento suministra la información de posición de los bits acortados/perforados al descodificador 1240 LDPC en la etapa 1407.

20 En la etapa 1409, basándose en la información de posición de los bits acortados/perforados, el descodificador 1240 LDPC determina que la probabilidad de que los valores de los bits acortados sea 0 es 1, y determina que los bits perforados son bits eliminados. Por tanto, el descodificador 1240 LDPC realiza la descodificación LDPC en la etapa 1411.

25 Como es aparente a partir de la anterior descripción, las realizaciones de la presente invención pueden generar una palabra clave LDPC separada con una longitud de palabra clave diferente usando información sobre la matriz de comprobación de paridad proporcionada en el sistema de comunicación que usa una modulación de alto orden y un código LDPC.

Además, las realizaciones de la presente invención pueden realizar un acortamiento usando diferentes patrones de acortamiento de acuerdo con esquemas de modulación.

30 Aunque la presente invención se ha mostrado y descrito en referencia a ciertas realizaciones de la misma, los expertos de la materia entenderán que diversos cambios en forma y detalles pueden realizarse en la misma sin apartarse del alcance de la presente invención como se define mediante las reivindicaciones adjuntas.

REIVINDICACIONES

1. Un procedimiento de descodificación y desmodulación de una palabra clave LDPC de comprobación de paridad de baja densidad acortada usando un código LDPC del que se ha derivado la palabra clave LDPC acortada mediante una etapa de acortamiento de acuerdo con un patrón de acortamiento y se ha modulado usando un esquema de modulación de amplitud de cuadratura de 16 QAM, un aparato que incluye un desmodulador, un controlador, una unidad de determinación/estimación de patrón de acortamiento y un descodificador LDPC, teniendo dicha matriz de comprobación de paridad de código LDPC una longitud de N_1 , una parte de información con una longitud de información K_1 , y una parte de paridad con una longitud de paridad de (N_1-K_1) , agrupándose dichas columnas K_1 en dicha parte de información en grupos de columnas, donde cada grupo de columnas comprende M_1 columnas, donde $N_1 = 16\ 200$, $K_1 = 7200$, y $M_1 = 360$, donde la palabra clave LDPC tenía antes del acortamiento una longitud igual a N_1 , tenía K_1 bits de información correspondientes a dicha parte de información de dicho código LDPC, (N_1-K_1) bits de paridad que se corresponden con dicha parte de paridad de dicho código LDPC, y dicha palabra clave LDPC acortada tiene una longitud de información acortada de K_2 , teniendo dicha parte de información una estructura definida por:

$$R_{i,j}^{(k)} = R_{i,(j-1)}^{(k)} + q \text{ mod}(N_1 - K_1),$$

$$k = 1, 2, \dots, D_i, \quad i = 1, \dots, K_1/M_1, \quad j = 1, \dots, M_1 - 1$$

en las que:

- i = índice que indica el grupo de columnas $i^{\text{enésimo}}$,
- j = índice que indica la columna $j^{\text{enésima}}$ en un grupo de columnas;
- $q = (N_1 - K_1)/M_1$;
- D_i = un grado, es decir, un número de entradas distintas de cero, de una columna $0^{\text{enésima}}$ en cada grupo de columnas $i^{\text{enésimo}}$,
- $R_{i,0}^{(1)}, R_{i,0}^{(2)}, \dots, R_{i,0}^{(D_i)}$ = posiciones de filas con un valor de 1 en una columna $0^{\text{enésima}}$ en cada grupo de columnas $i^{\text{enésimo}}$, y
- $R_{i,j}^{(k)} (k = 1, 2, \dots, D_i)$ = posiciones de filas con un valor de 1 en una columna $j^{\text{enésima}}$ en un grupo de columnas $i^{\text{enésimo}}$,

comprendiendo el procedimiento:

- recibir dicha palabra clave LDPC acortada;
- determinar la longitud de información acortada K_2 basándose en al menos una de una pluralidad de las palabras clave LDPC anteriormente recibidas incluyendo dicha palabra clave LDPC acortada;
- desmodular dicha palabra clave LDPC acortada de acuerdo con el esquema de modulación de 16 QAM;

- controlar la unidad de determinación/estimación de patrón de acortamiento para suministrar dicho patrón de acortamiento al descodificador LDPC usando un patrón de acortamiento almacenado en una memoria o generando un patrón de acortamiento usando un generador de secuencia dependiendo del esquema de modulación; y
- descodificar la palabra clave acortada y desmodulada asumiendo a la vez que los bits en posición de bits acortados son 0,
- en el que las posiciones de los bits acortados corresponden a m grupos de columnas $\pi(0), \pi(1), \dots, \pi(m-1)$,

siendo dicho patrón de acortamiento, siendo m un número entero definido por $m = \left\lfloor \frac{7200 - K_2}{360} \right\rfloor$ en la que $528 \leq K_2 < 7200$

en el que $\pi(0), \pi(1), \dots, \pi(m-1)$ se toma a partir de la siguiente tabla con 20 grupos de columnas $\pi(0), \pi(1), \dots, \pi(19)$ ordenados para dicho esquema de modulación de 16 QAM:

$\pi(0)$	$\pi(1)$	$\pi(2)$	$\pi(3)$	$\pi(4)$	$\pi(5)$	$\pi(6)$	$\pi(7)$	$\pi(8)$	$\pi(9)$
18	17	16	15	14	13	12	11	4	10
$\pi(10)$	$\pi(11)$	$\pi(12)$	$\pi(13)$	$\pi(14)$	$\pi(15)$	$\pi(16)$	$\pi(17)$	$\pi(18)$	$\pi(19)$
9	8	7	3	2	1	6	5	19	0

2. Un procedimiento de descodificación y desmodulación de una palabra clave LDPC de comprobación de paridad de baja densidad acortada usando un código LDPC del que se ha derivado la palabra clave LDPC acortada mediante una etapa de acortamiento de acuerdo con un patrón de acortamiento y se ha modulado usando un esquema de modulación de amplitud de cuadratura de 64 QAM, un aparato que incluye un desmodulador, un controlador, una unidad de determinación/estimación de patrón de acortamiento y un descodificador LDPC, teniendo dicha matriz de comprobación de paridad de código LDPC una longitud de N_1 , una parte de información con una longitud de información K_1 , y una parte de paridad con una longitud de paridad de (N_1-K_1) , agrupándose dichas columnas K_1 en dicha parte de información en grupos de columnas, donde cada grupo de columnas comprende M_1 columnas, donde $N_1 = 16\ 200$, $K_1 = 7200$, y $M_1 = 360$, donde la palabra clave LDPC tenía antes del acortamiento una longitud igual a N_1 , tenía K_1 bits de información correspondientes a dicha parte de información de dicho código LDPC, (N_1-K_1) bits de paridad que se corresponden con dicha parte de paridad de dicho código LDPC, y dicha palabra clave LDPC acortada tiene una longitud de información acortada de K_2 , teniendo dicha parte de información una estructura definida por:

$$R_{i,j}^{(k)} = R_{i,(j-1)}^{(k)} + q \text{ mod}(N_1 - K_1),$$

$$k = 1, 2, \dots, D_i, \quad i = 1, \dots, K_1/M_1, \quad j = 1, \dots, M_1 - 1$$

en las que:

i = índice que indica el grupo de columnas $i^{\text{enésimo}}$;

j = índice que indica la columna $j^{\text{enésima}}$ en un grupo de columnas;

$q = (N_1 - K_1)/M_1$;

D_i = un grado, es decir, un número de entradas distintas de cero, de una columna $0^{\text{enésima}}$ en cada grupo de columnas, $i^{\text{enésimo}}$;

$R_{i,0}^{(1)}, R_{i,0}^{(2)}, \dots, R_{i,0}^{(D_i)}$ = posiciones de filas con un valor de 1 en una columna $0^{\text{enésima}}$ en cada grupo de columnas $i^{\text{enésimo}}$, y

$R_{i,j}^{(k)} (k = 1, 2, \dots, D_i)$ = posiciones de filas con un valor de 1 en una columna $j^{\text{enésima}}$ en un grupo de columnas $i^{\text{enésimo}}$,

comprendiendo el procedimiento:

recibir dicha palabra clave LDPC acortada;

determinar la longitud de información acortada K_2 basándose en al menos una de una pluralidad de las palabras clave LDPC anteriormente recibidas incluyendo dicha palabra clave LDPC acortada;

desmodular dicha palabra clave LDPC acortada de acuerdo con el esquema de modulación de 64 QAM;

controlar la unidad de determinación/estimación de patrón de acortamiento para suministrar dicho patrón de acortamiento al descodificador LDPC usando un patrón de acortamiento almacenado en una memoria o generando un patrón de acortamiento usando un generador de secuencia dependiendo del esquema de modulación; y

descodificar la palabra clave acortada y desmodulada asumiendo a la vez que los bits en posición de bits acortados son 0,

en el que las posiciones de los bits acortados corresponden a m grupos de columnas $\pi(0), \pi(1), \dots, \pi(m-1)$,

siendo dicho patrón de acortamiento, siendo m un número entero definido por $m = \left\lfloor \frac{7200 - K_2}{360} \right\rfloor$ en la que

$$528 \leq K_2 < 7200$$

en el que $\pi(0), \pi(1), \dots, \pi(m-1)$ se toma a partir de la siguiente tabla con 20 grupos de columnas $\pi(0), \pi(1), \dots, \pi(19)$ ordenados para dicho esquema de modulación de 64 QAM:

$\pi(0)$	$\pi(1)$	$\pi(2)$	$\pi(3)$	$\pi(4)$	$\pi(5)$	$\pi(6)$	$\pi(7)$	$\pi(8)$	$\pi(9)$
18	17	16	4	15	14	13	12	3	11
$\pi(10)$	$\pi(11)$	$\pi(12)$	$\pi(13)$	$\pi(14)$	$\pi(15)$	$\pi(16)$	$\pi(17)$	$\pi(18)$	$\pi(19)$
10	9	2	8	7	1	6	5	19	0

3. Un aparato dispuesto para descodificar y desmodular una palabra clave LDPC de comprobación de paridad de baja densidad acortada usando un código LDPC del que se ha derivado la palabra clave LDPC acortada mediante

una etapa de acortamiento de acuerdo con un patrón de acortamiento, se ha modulado usando un esquema de modulación de amplitud de cuadratura de 16 QAM y se ha recibido por medio de un canal en un sistema de comunicación, incluyendo el aparato un desmodulador, un controlador, una unidad de determinación/estimación de patrón de acortamiento y un descodificador LDPC,

5 teniendo dicha matriz de comprobación de paridad de código LDPC una longitud de N_1 , una parte de información con una longitud de información K_1 , y una parte de paridad con una longitud de paridad de (N_1-K_1) , agrupándose dichas columnas K_1 en dicha parte de información en grupos de columnas, donde cada grupo de columnas comprende M_1 columnas, donde $N_1 = 16\ 200$, $K_1 = 7200$, y $M_1 = 360$, donde la palabra clave LDPC tenía antes del acortamiento una longitud igual a N_1 , tenía K_1 bits de información correspondientes a dicha parte de información de dicho código LDPC,
 10 LDPC, (N_1-K_1) bits de paridad que se corresponden con dicha parte de paridad de dicho código LDPC, y dicha palabra clave LDPC acortada tiene una longitud de información acortada de K_2 ,
 teniendo dicha parte de información una estructura definida por:

$$R_{i,j}^{(k)} = R_{i,(j-1)}^{(k)} + q \text{ mod}(N_1 - K_1),$$

$$k = 1, 2, \dots, D_i, \quad i = 1, \dots, K_1/M_1, \quad j = 1, \dots, M_1 - 1$$

15 en las que:

i = índice que indica el grupo de columnas $i^{\text{enésimo}}$;

j = índice que indica la columna $j^{\text{enésima}}$ en un grupo de columnas;

$q = (N_1 - K_1) / M_1$;

20 D_i = un grado, es decir, el número de entradas distintas de cero, de una columna $0^{\text{enésima}}$ en cada grupo de columnas, $i^{\text{enésimo}}$;

$R_{i,0}^{(1)}, R_{i,0}^{(2)}, \dots, R_{i,0}^{(D_i)}$ = posiciones de filas con un valor de 1 en una columna $0^{\text{enésima}}$ en cada grupo de columnas $i^{\text{enésimo}}$, y

$R_{i,j}^{(k)} (k = 1, 2, \dots, D_i)$ = posiciones de filas con un valor de 1 en una columna $j^{\text{enésima}}$ en un grupo de columnas $i^{\text{enésimo}}$,

25 estando dispuesto el aparato para determinar la longitud de información acortada K_2 basándose en al menos una de una pluralidad de palabras clave LDPC previamente recibidas incluyendo dicha palabra clave LDPC acortada, estando dispuesto el desmodulador (1230) para recibir y desmodular dicha palabra clave LDPC acortada de acuerdo con el esquema de modulación de 16 QAM,

30 estando dispuesto el controlador para controlar la unidad de determinación/estimación de patrón de acortamiento para suministrar dicho patrón de acortamiento al descodificador LDPC usando un patrón de acortamiento almacenado en una memoria o generando un patrón de acortamiento usando un generador de secuencia dependiendo del esquema de modulación; y

35 estando dispuesto el descodificador LDPC para descodificar la palabra clave acortada y desmodulada asumiendo a la vez que los bits en posición de bits acortados son 0,

en el que las posiciones de los bits acortados corresponden a m grupos de columnas $\pi(0), \pi(1), \dots, \pi(m-1)$,

siendo dicho patrón de acortamiento, siendo m un número entero definido por $m = \left\lfloor \frac{7200 - K_2}{360} \right\rfloor$ en la que

$$528 \leq K_2 < 7200$$

40 en el que $\pi(0), \pi(1), \dots, \pi(m-1)$ se toma a partir de la siguiente tabla con 20 grupos de columnas $\pi(0), \pi(1), \dots, \pi(19)$ ordenados para dicho esquema de modulación de 16 QAM:

$\pi(0)$	$\pi(1)$	$\pi(2)$	$\pi(3)$	$\pi(4)$	$\pi(5)$	$\pi(6)$	$\pi(7)$	$\pi(8)$	$\pi(9)$
18	17	16	15	14	13	12	11	4	10
$\pi(10)$	$\pi(11)$	$\pi(12)$	$\pi(13)$	$\pi(14)$	$\pi(15)$	$\pi(16)$	$\pi(17)$	$\pi(18)$	$\pi(19)$
9	8	7	3	2	1	6	5	19	0

4. Un aparato dispuesto para descodificar y modular una palabra clave LDPC de comprobación de paridad de baja densidad acertada usando un código LDPC del que se ha derivado la palabra clave LDPC acertada mediante una etapa de acertamiento de acuerdo con un patrón de acertamiento, se ha modulado usando un esquema de modulación de amplitud de cuadratura de 64 QAM y se ha recibido por medio de un canal en un sistema de comunicación, incluyendo el aparato un desmodulador, un controlador, una unidad de determinación/estimación de patrón de acertamiento y un descodificador LDPC,

10 teniendo dicha matriz de comprobación de paridad de código LDPC una longitud de N_1 , una parte de información con una longitud de información K_1 , y una parte de paridad con una longitud de paridad de (N_1-K_1) , agrupándose dichas columnas K_1 en dicha parte de información en grupos de columnas, donde cada grupo de columnas comprende M_1 columnas, donde $N_1 = 16\ 200$, $K_1 = 7200$, y $M_1 = 360$, donde la palabra clave LDPC tenía antes del acertamiento una longitud igual a N_1 , tenía K_1 bits de información correspondientes a dicha parte de información de dicho código LDPC, (N_1-K_1) bits de paridad que se corresponden con dicha parte de paridad de dicho código LDPC, y dicha palabra clave LDPC acertada tiene una longitud de información acertada de K_2 , teniendo dicha parte de información una estructura definida por:

$$R_{i,j}^{(k)} = R_{i,(j-1)}^{(k)} + q \text{ mod}(N_1 - K_1),$$

$$k = 1, 2, \dots, D_i, \quad i = 1, \dots, K_1/M_1, \quad j = 1, \dots, M_1 - 1$$

en las que:

i = índice que indica el grupo de columnas $i^{\text{enésimo}}$;

j = índice que indica la columna $j^{\text{enésima}}$ en un grupo de columnas;

$q = (N_1 - K_1)/M_1$;

D_i = un grado, es decir, el número de entradas distintas de cero, de una columna $0^{\text{enésima}}$ en cada grupo de columnas $i^{\text{enésimo}}$;

$R_{i,0}^{(1)}, R_{i,0}^{(2)}, \dots, R_{i,0}^{(D_i)}$ = posiciones de filas con un valor de 1 en una columna $0^{\text{enésima}}$ en cada grupo de columnas $i^{\text{enésimo}}$; y

$R_{i,j}^{(k)} (k = 1, 2, \dots, D_i)$ = posiciones de filas con un valor de 1 en una columna $j^{\text{enésima}}$ en un grupo de columnas $i^{\text{enésimo}}$;

estando dispuesto el aparato para determinar la longitud de información acertada K_2 basándose en al menos una de una pluralidad de palabras clave LDPC previamente recibidas incluyendo dicha palabra clave LDPC acertada, estando dispuesto el desmodulador (1230) para recibir y desmodular dicha palabra clave LDPC acertada de acuerdo con el esquema de modulación de 64 QAM,

estando dispuesto el controlador para controlar la unidad de determinación/estimación de patrón de acertamiento para suministrar dicho patrón de acertamiento al descodificador LDPC usando un patrón de acertamiento almacenado en una memoria o generando un patrón de acertamiento usando un generador de secuencia dependiendo del esquema de modulación; y

estando dispuesto el descodificador LDPC para descodificar la palabra clave acertada y desmodulada asumiendo a la vez que los bits en posición de bits acertados son 0,

en el que las posiciones de los bits acertados corresponden a m grupos de columnas $\pi(0), \pi(1), \dots, \pi(m-1)$,

siendo dicho patrón de acertamiento, siendo m un número entero definido por $m = \left\lfloor \frac{7200 - K_2}{360} \right\rfloor$ en la que

$528 \leq K_2 < 7200$;

en el que $\pi(0), \pi(1), \dots, \pi(m-1)$ se toma a partir de la siguiente tabla con 20 grupos de columnas $\pi(0), \pi(1), \dots, \pi(19)$ ordenados para dicho esquema de modulación de 64 QAM:

$\pi(0)$	$\pi(1)$	$\pi(2)$	$\pi(3)$	$\pi(4)$	$\pi(5)$	$\pi(6)$	$\pi(7)$	$\pi(8)$	$\pi(9)$
18	17	16	4	15	14	13	12	3	11
$\pi(10)$	$\pi(11)$	$\pi(12)$	$\pi(13)$	$\pi(14)$	$\pi(15)$	$\pi(16)$	$\pi(17)$	$\pi(18)$	$\pi(19)$
10	9	2	8	7	1	6	5	19	0

$$H_1 = \begin{bmatrix} 1 & 1 & 1 & 1 & 1 & 1 & 0 & 0 \\ 1 & 1 & 0 & 1 & 0 & 1 & 1 & 0 \\ 1 & 1 & 1 & 0 & 0 & 0 & 1 & 1 \\ 1 & 0 & 1 & 1 & 1 & 0 & 0 & 1 \end{bmatrix}$$

FIG.1

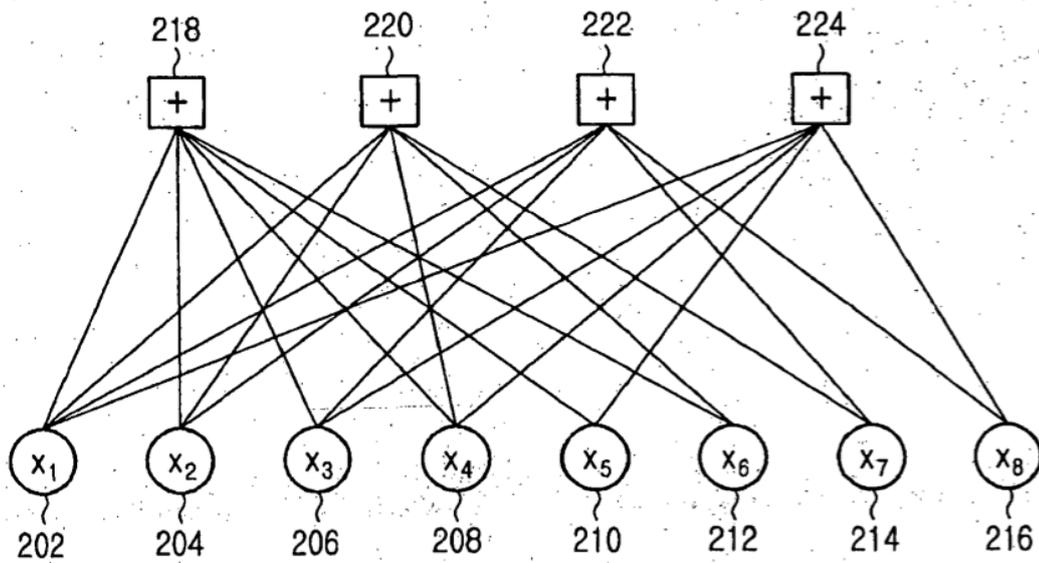


FIG.2

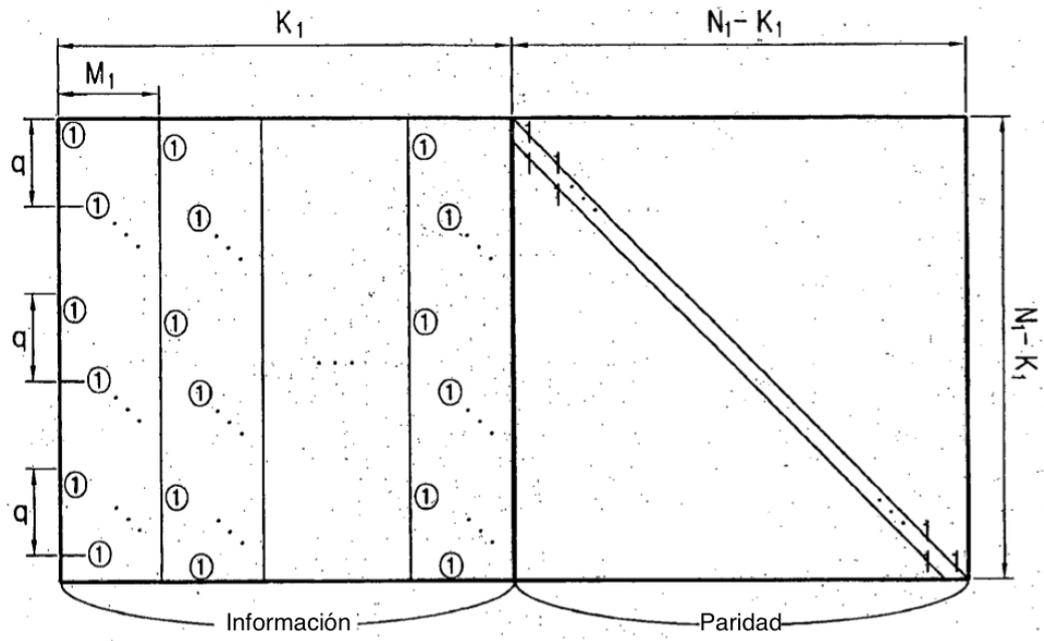


FIG.3

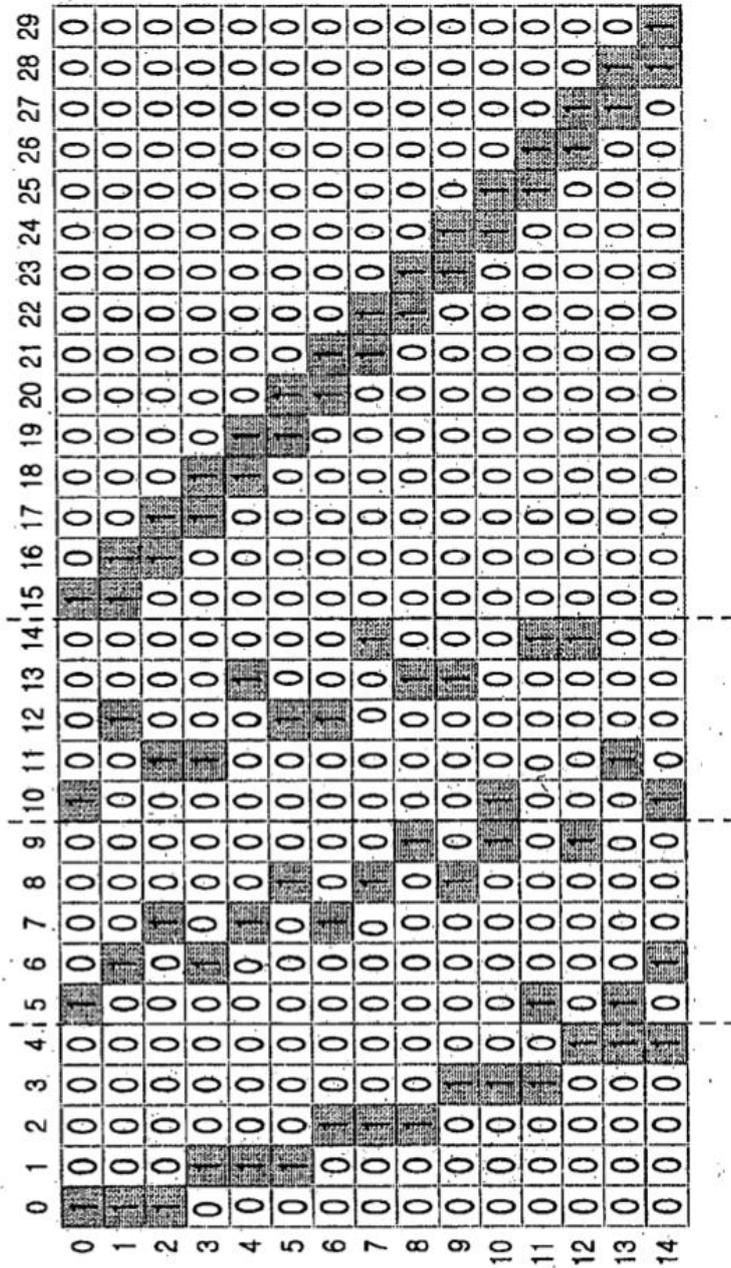


FIG. 4

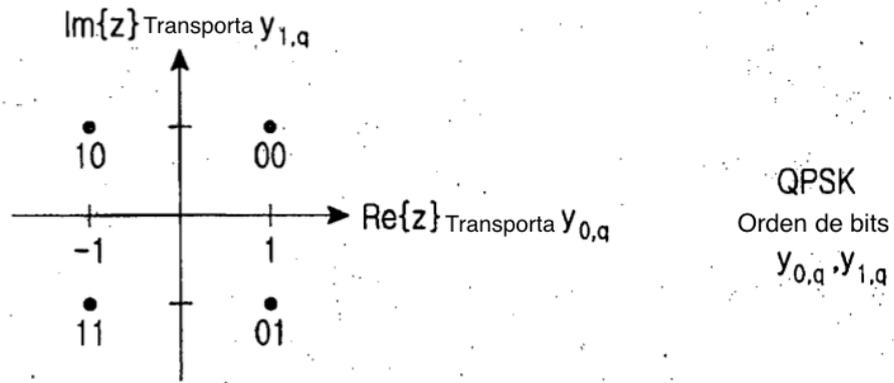


FIG.5A

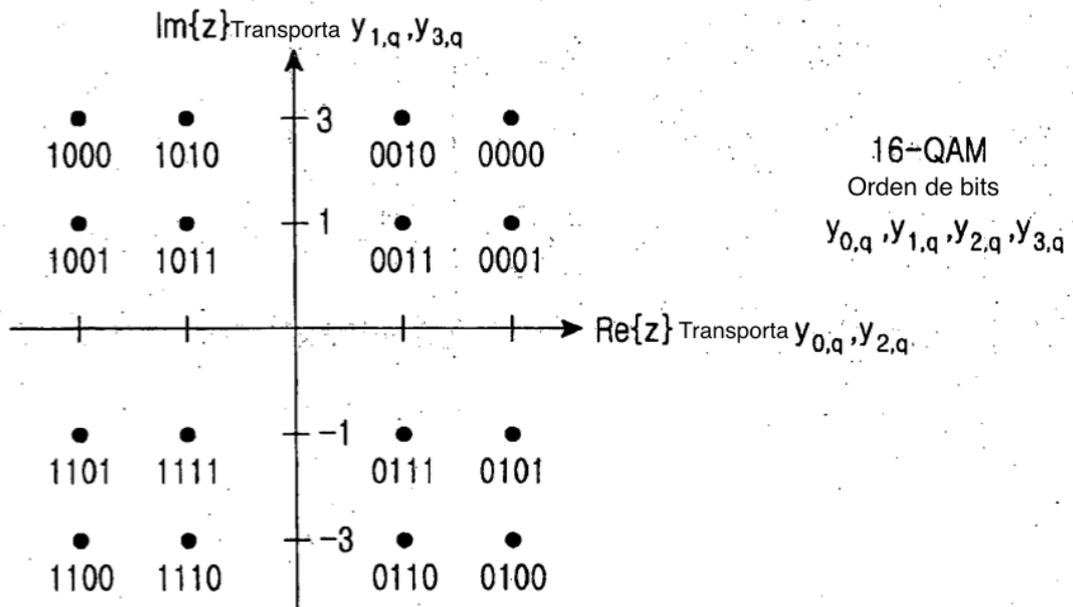


FIG.5B

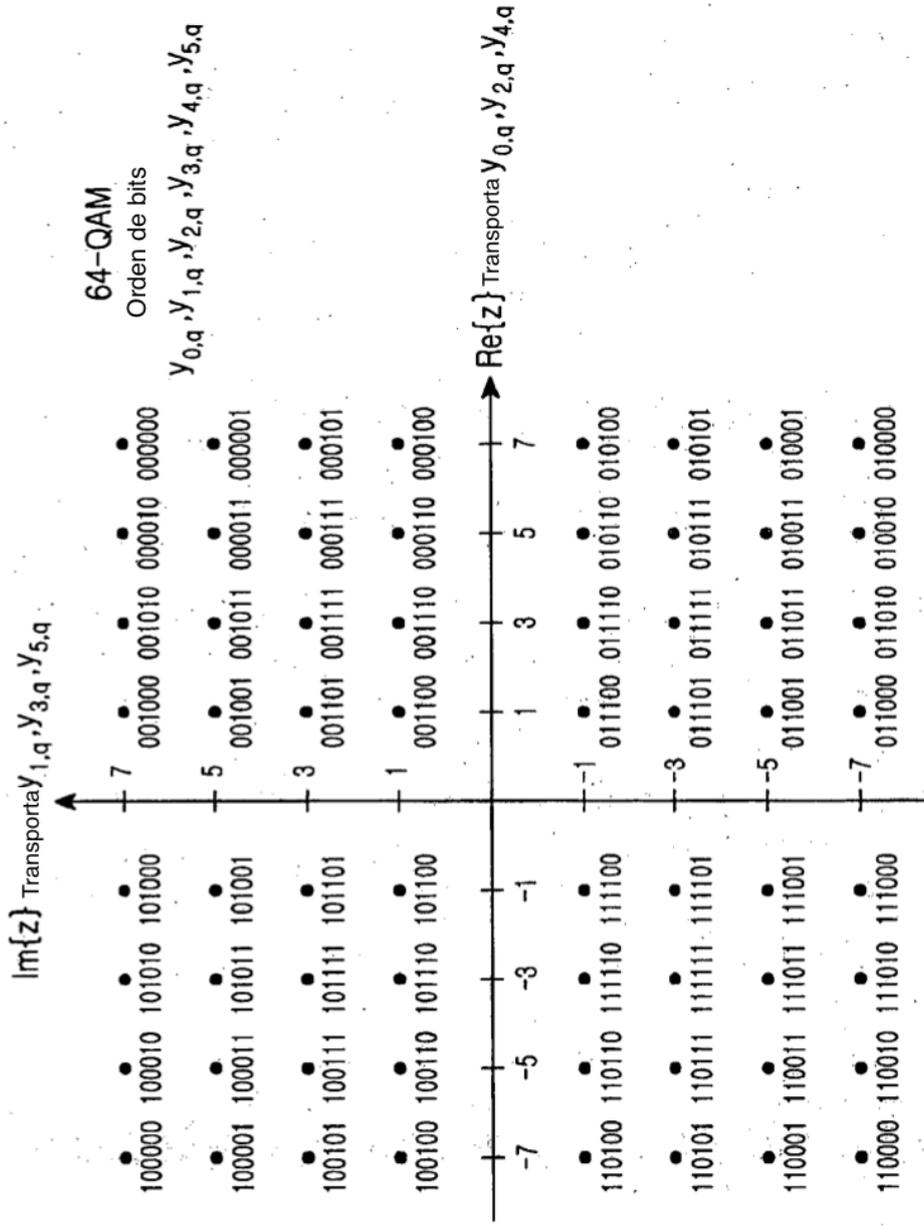


FIG.5C

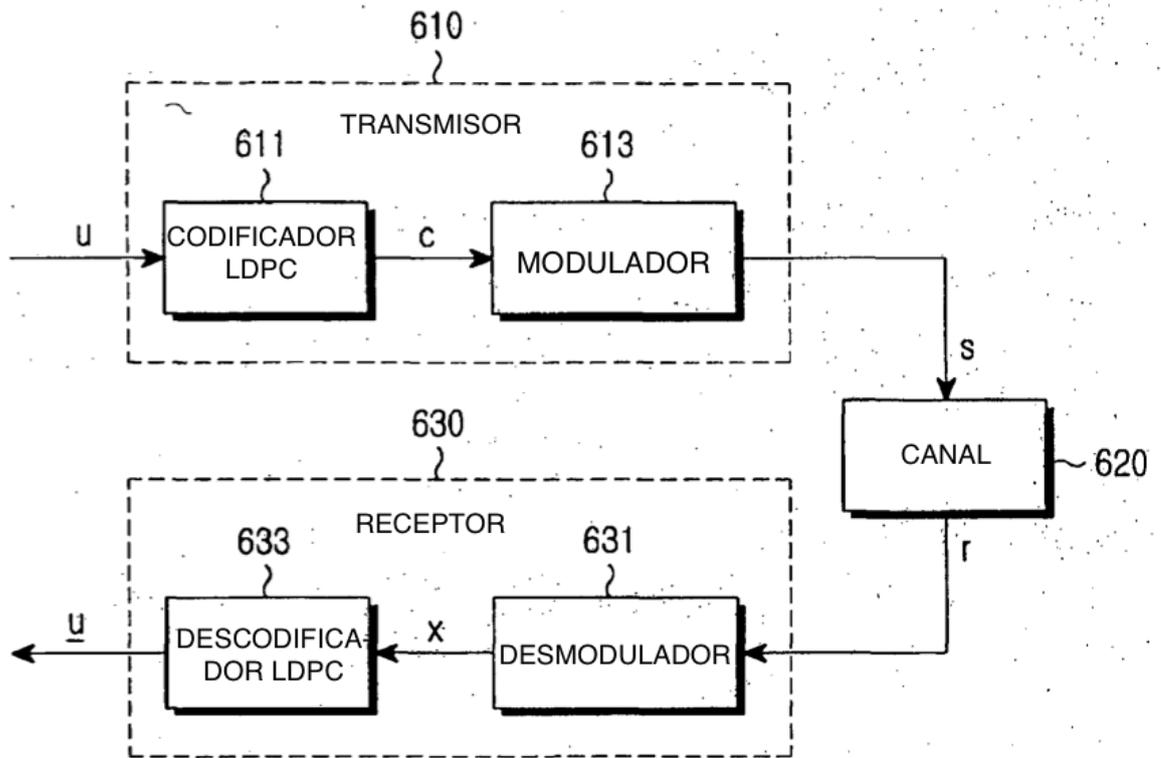


FIG.6

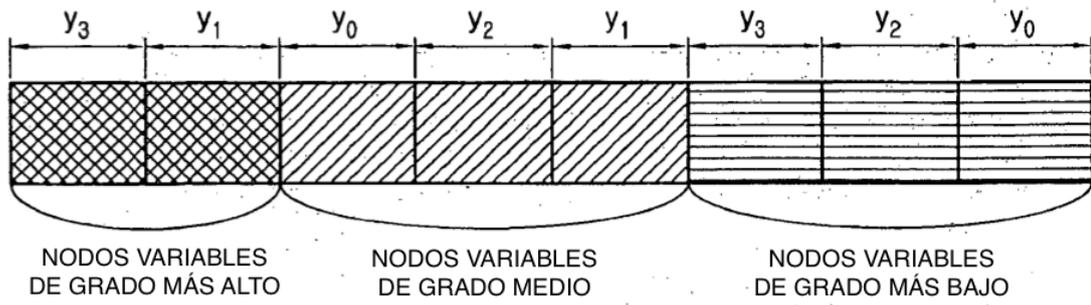


FIG.7A

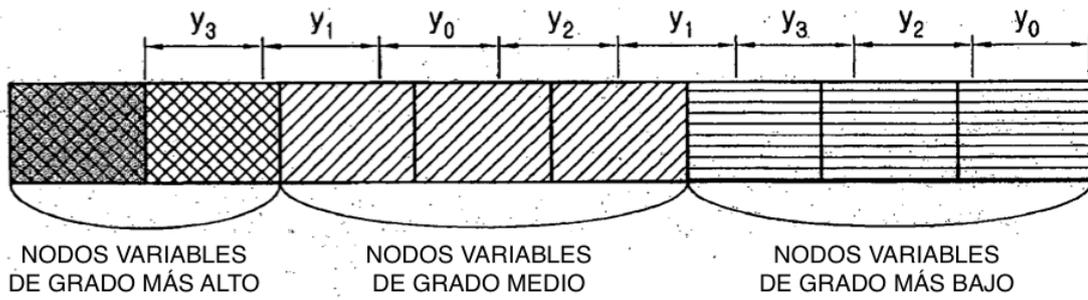


FIG.7B

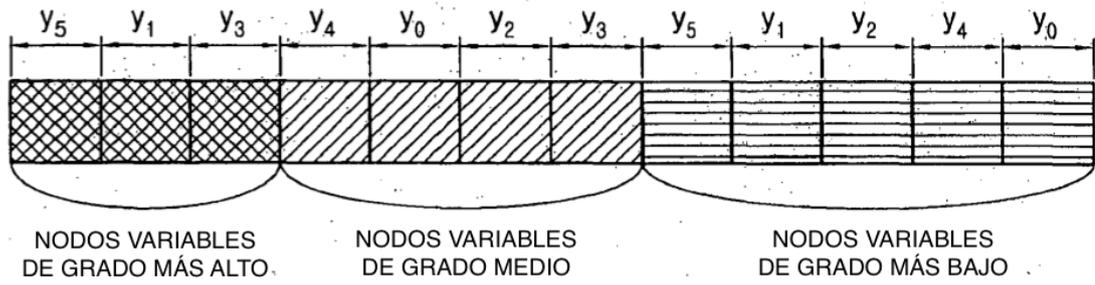


FIG.8A

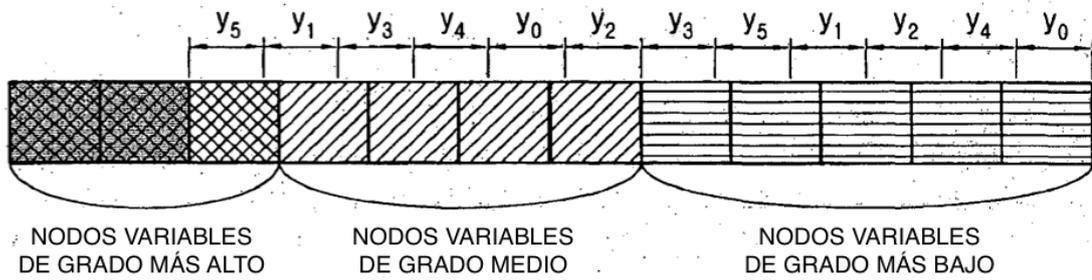


FIG.8B

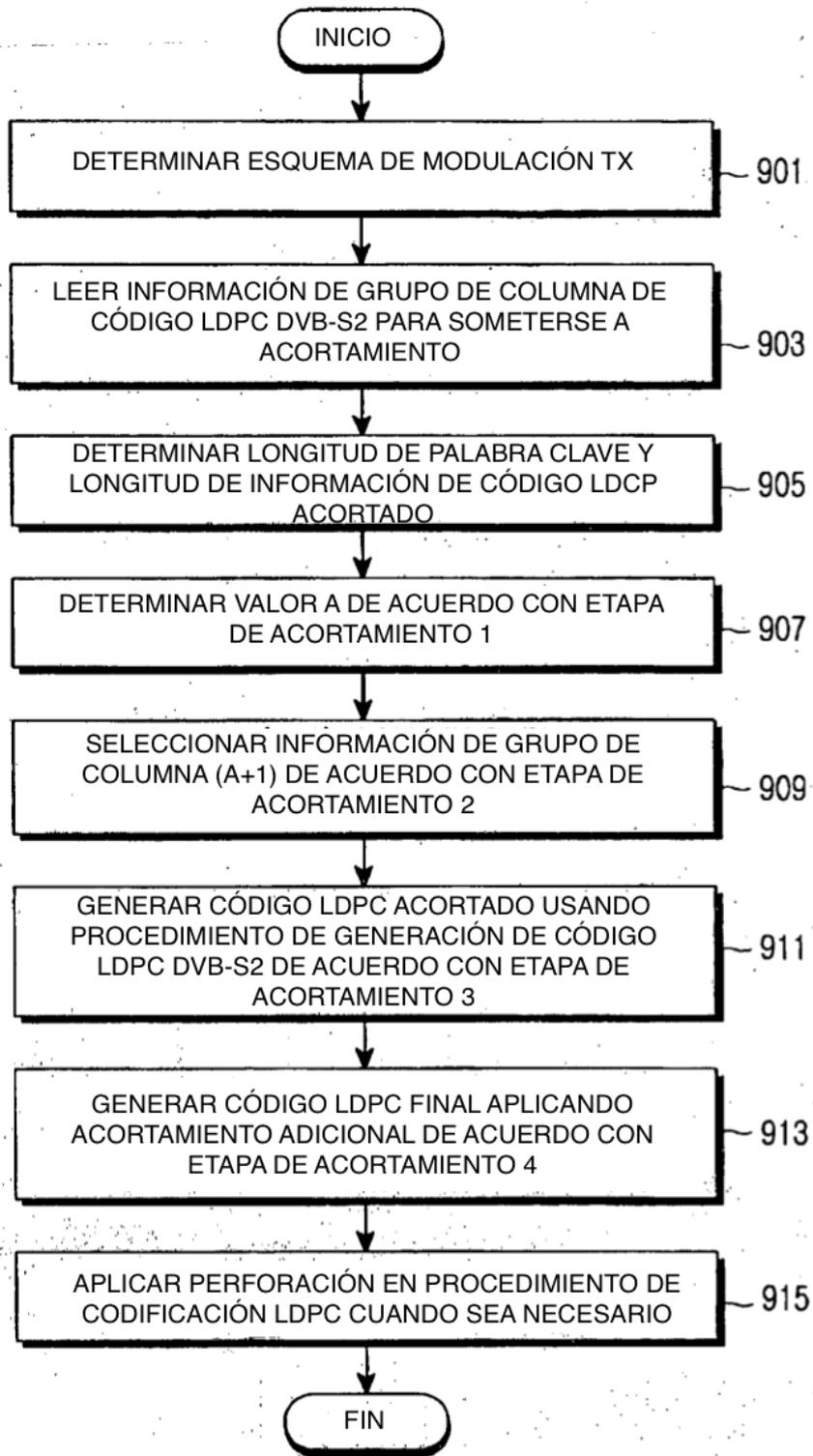


FIG.9

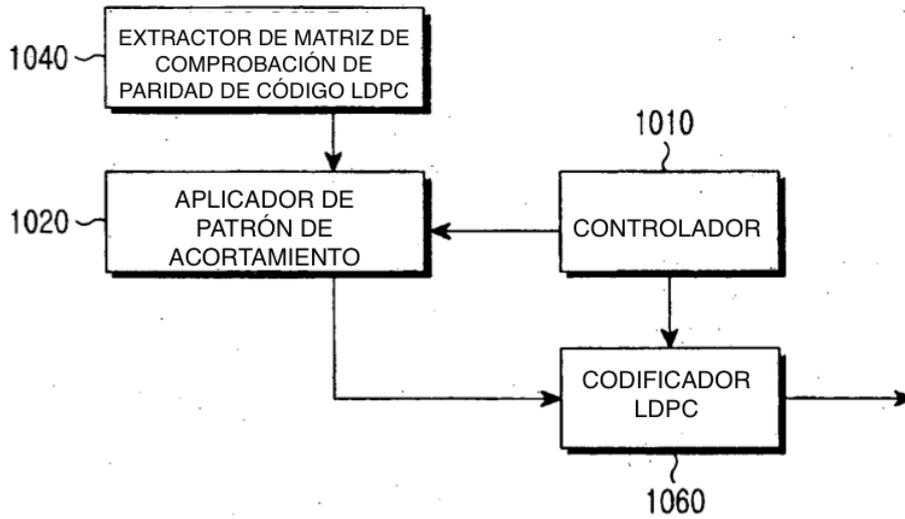


FIG.10

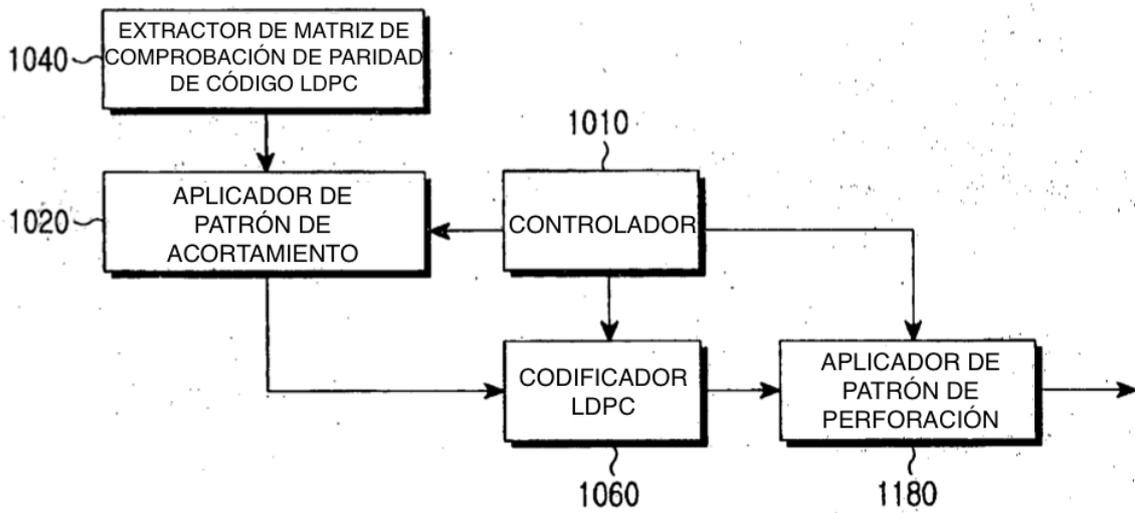


FIG.11

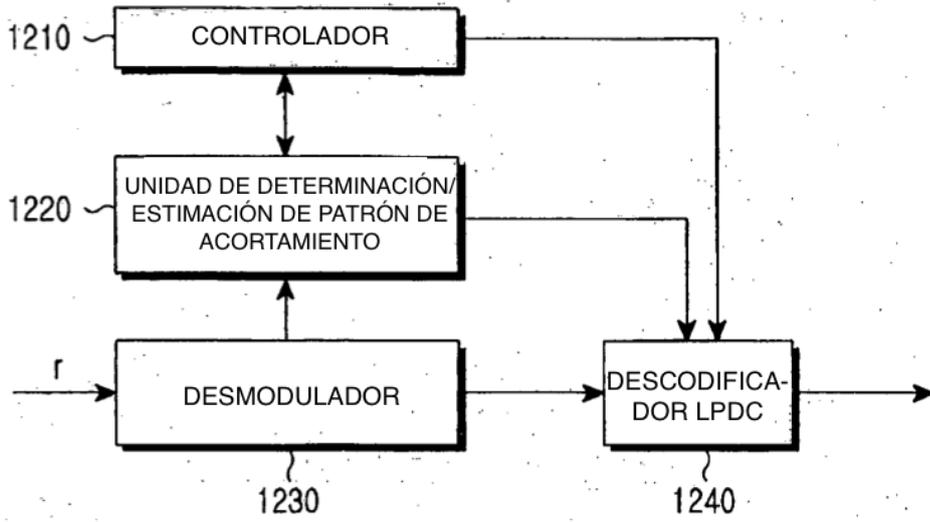


FIG.12

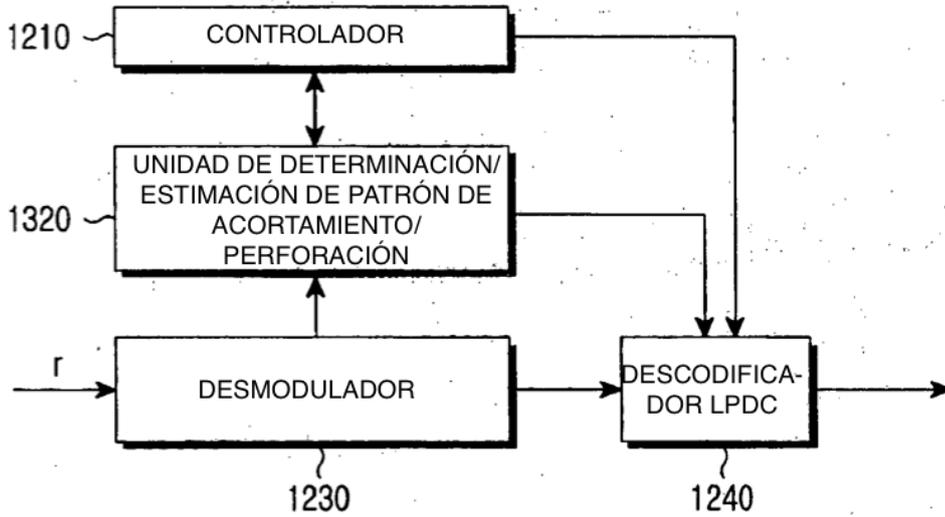


FIG.13

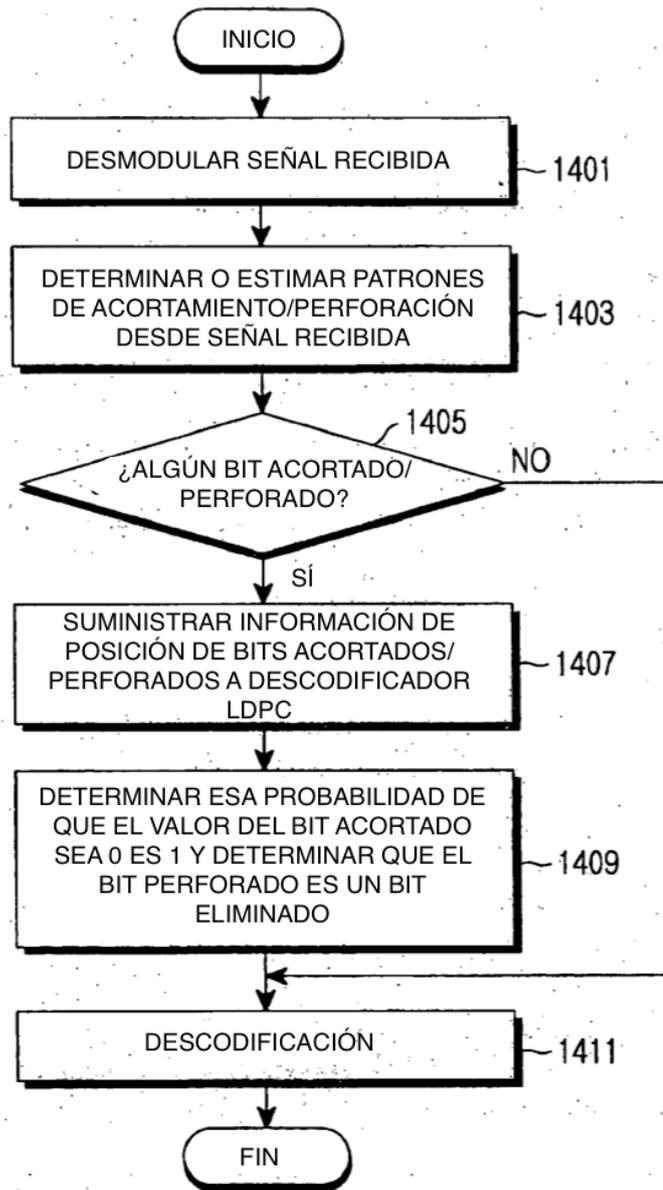


FIG.14