

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 610 978**

51 Int. Cl.:

G06F 13/38 (2006.01)

G06F 13/28 (2006.01)

G06F 13/40 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **02.05.2013 PCT/CN2013/075088**

87 Fecha y número de publicación internacional: **06.11.2014 WO14176775**

96 Fecha de presentación y número de la solicitud europea: **02.05.2013 E 13792568 (1)**

97 Fecha y número de publicación de la concesión europea: **19.10.2016 EP 2811413**

54 Título: **Sistema informático, método de acceso y aparato para un dispositivo de punto final de interconexión de componentes periféricos exprés**

45 Fecha de publicación y mención en BOPI de la traducción de la patente:
04.05.2017

73 Titular/es:

**HUAWEI TECHNOLOGIES CO., LTD. (100.0%)
Huawei Administration Building Bantian,
Longgang District
Shenzhen, Guangdong 518129, CN**

72 Inventor/es:

DU, GE

74 Agente/Representante:

LEHMANN NOVO, María Isabel

ES 2 610 978 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Sistema informático, método de acceso y aparato para un dispositivo de punto final de interconexión de componentes periféricos exprés.

5

CAMPO DE LA INVENCION

La presente invención se refiere al campo de las tecnologías informáticas y en particular, a un método para acceder a un dispositivo de punto final exprés de interconexión de componentes periféricos, un sistema informático y un aparato.

10

ANTECEDENTES DE LA INVENCION

Un denominado exprés de interconexión de componentes periféricos (Peripheral Component Interconnect Express, PCIe) es un bus de conexión del sistema de alto rendimiento utilizado en una plataforma de cálculo y de comunicaciones. Un bus de PCIe se utiliza ampliamente en un sistema de interconexión de una unidad central de procesamiento (central processing unit, CPU) y un dispositivo periférico y funciona como un canal de servicio básico en un dispositivo de cálculo y memorización. Pueden existir múltiples tipos de dispositivos periféricos que se interconectan con una unidad CPU por intermedio de un bus de PCIe, tal como un dispositivo de tarjeta de interfaz de red o un disco de estado sólido (Solid State Disk, SSD). Dichos dispositivos se denominan dispositivos de punto final PCIe en este documento.

15

20

Un bus de conexión de PCIe se utiliza ampliamente como una interfaz de bus de conexión de un servidor o de un sistema de memorización. Durante el funcionamiento normal de un sistema, un dispositivo de punto final PCIe necesita añadir o retirarse en una condición de no desactivación debido a una demanda de expansión de capacidad en línea y de mantenimiento, es decir, una demanda de cambio rápido *hot swap*. La demanda *hot swap* de PCIe actual cumple el proceso operativo siguiente: un operador inicia una demanda de *hot swap* pulsando un botón; después de tener conocimiento de un evento *hot swap*, un controlador de *hot swap* notifica a todas las unidades de control que pueden acceder al dispositivo de punto final PCIe para interrumpir el acceso al dispositivo de punto final PCIe, y desinstala los recursos del dispositivo de punto final PCIe en el que necesita realizarse la operación de *hot swap*; y luego, el dispositivo de punto final PCIe se desconecta y el operador retira el dispositivo de punto final PCIe.

25

30

Se requiere una notificación anticipada para el *hot swap* actual de un dispositivo de punto final PCIe con el fin de garantizar el funcionamiento normal del sistema. Sin embargo, en los últimos años, el bus de conexión de PCIe se desarrolla gradualmente desde una interconexión intrasistema a una interconexión intersistemas y aumentan las aplicaciones, tales como los cables externos. Los cables se desconectan de forma anormal con facilidad y por lo tanto, una condición de que un dispositivo de punto final PCIe esté fuera de línea de modo anormal sin que ocurra ninguna notificación anticipada. Además, un escenario operativo en el que un usuario utiliza un disco de estado sólido SSD para la conexión directa a un sistema se produce cada vez más ampliamente. El usuario puede insertar directamente o retirar el disco SSD sin necesidad de una notificación anticipada debido a un factor de hábito del usuario. Para la condición citada de que el dispositivo de punto final PCIe esté fuera de línea de modo anormal y de forma repentina, si la unidad CPU ha iniciado instrucciones de lectura y escritura para el dispositivo de punto final PCIe, las instrucciones pertinentes permanecerán en un estado de espera para realizarse; y cuando las instrucciones para acceder al dispositivo de punto final PCIe desde la unidad CPU se acumulan continuamente a un determinado grado, la unidad CPU considera que el sistema completo tiene una condición anómala e informa de un error de excepción de control de máquina (Machine check exception, MCE). En consecuencia, se causa una reposición operativa del sistema completo.

35

40

45

SUMARIO DE LA INVENCION

50

La presente invención establece un método para acceder a un dispositivo de punto final exprés de interconexión de componentes periféricos, un sistema informático y un aparato, para evitar una reposición generada por un procesador después de que un dispositivo de punto final PCIe esté fuera de línea de modo anormal.

55

En un primer aspecto de la idea inventiva, la presente invención da a conocer un sistema informático, que incluye:

un procesador; y

60

un bus de conexión de PCIe exprés de interconexión de componentes periféricos para la conexión a un dispositivo de punto final PCIe, en donde:

el sistema informático incluye, además, un mandatario de acceso y el mandatario de acceso conecta el procesador y el dispositivo de punto final PCIe;

65

el procesador está configurado para adquirir una instrucción operativa, en donde la instrucción operativa proporciona instrucciones al procesador para acceder al dispositivo de punto final PCIe utilizando el mandatario de acceso; y

para enviar una demanda de acceso al mandatario de acceso en conformidad con la instrucción operativa, en donde la demanda de acceso proporciona instrucciones al mandatario de acceso para acceder al dispositivo de punto final PCIe; y

5 el mandatario de acceso está configurado para enviar, después de recibir la demanda de acceso enviada por el procesador, un mensaje de respuesta de la demanda de acceso al procesador haciendo caso omiso de si el acceso al dispositivo de punto final PCIe es satisfactorio o no lo es;

10 el procesador está configurado, además, para determinar que una tarea correspondiente a la demanda de acceso está completa después de recibir el mensaje de respuesta e interrumpir una temporización iniciada para la tarea;

15 el mandatario de acceso está configurado, además, para acceder al dispositivo de punto final PCIe en conformidad con la demanda de acceso, enviar un primer mensaje de notificación o un segundo mensaje de notificación al procesador, en donde el primer mensaje de notificación indica que el acceso al dispositivo de punto final PCIe es satisfactorio, indicando el segundo mensaje de notificación que el acceso al dispositivo de punto final PCIe ha fallado;

20 el procesador está configurado, además, para adquirir un resultado de acceso cuando se recibe el primer mensaje de notificación o para realizar un procesamiento posterior para un fallo del acceso cuando se recibe el segundo mensaje de notificación.

25 Haciendo referencia al primero aspecto de la idea inventiva, en una primera posible manera de puesta en práctica, el sistema informático incluye: un módulo de control de un dispositivo de punto final PCIe, configurado para generar la instrucción operativa en conformidad con una interfaz preestablecida para acceder al dispositivo de punto final PCIe, en donde la interfaz preestablecida para el acceso al dispositivo de punto final PCIe; y

el procesador está específicamente configurado para adquirir la instrucción operativa generada por el módulo de control del dispositivo de punto final PCIe.

30 Con referencia al primer aspecto de la idea inventiva, en una segunda manera posible de puesta en práctica, el sistema informático incluye además: un módulo de control de un dispositivo de punto final PCIe y un sistema operativo de host, en donde:

35 el módulo de control del dispositivo de punto final PCIe está configurado para solicitar al sistema operativo de host con el fin de acceder al dispositivo de punto final PCIe;

40 el sistema operativo de host recibe en respuesta a la solicitud por el módulo de control del dispositivo de punto final PCIe, y genera la instrucción operativa en conformidad con la interfaz preestablecida para acceder al dispositivo de punto final PCIe y la interfaz preestablecida para acceder al dispositivo de punto final PCIe apunta hacia el mandatario de acceso; y

el procesador está configurado concretamente para adquirir la instrucción operativa generada por el sistema operativo de host.

45 En un segundo aspecto de la idea inventiva, se da a conocer un método para acceder a un dispositivo de punto final PCIe exprés de interconexión de componentes periféricos, en donde el dispositivo de punto final PCIe se conecta a un procesador de un sistema informático por intermedio de un bus de conexión de PCIe, que incluye:

50 adquirir, por el procesador, una instrucción operativa, en donde la instrucción operativa proporciona instrucciones al procesador para acceder al dispositivo de punto final PCIe utilizando un mandatario de acceso;

55 enviar, por el procesador, una demanda de acceso al mandatario de acceso en conformidad con la instrucción operativa, en donde la demanda de acceso proporciona instrucciones al mandatario de acceso para el acceso al dispositivo de punto final PCIe; y

60 recibir, por el procesador, un mensaje de respuesta de la demanda de acceso enviada por el mandatario de acceso haciendo caso omiso de si el acceso al dispositivo de punto final PCIe es satisfactorio o no lo es;

determinar, por el procesador, que una tarea correspondiente a la demanda de acceso está completa después de recibir el mensaje de respuesta, e interrumpir una temporización iniciada para la tarea;

65 recibir, por el procesador, un primer mensaje de notificación o un segundo mensaje de notificación enviado por el mandatario de acceso, en donde el primer mensaje de notificación indica que el acceso al dispositivo de punto final PCIe es satisfactorio, el segundo mensaje de notificación indica que el acceso al dispositivo de punto final PCIe ha fallado;

adquirir, por el procesador, un resultado del acceso cuando se recibe el primer mensaje de notificación o realizar, por el procesador, un procesamiento posterior para un fallo de acceso cuando se recibe el segundo mensaje de notificación.

5 Con referencia al segundo aspecto de la idea inventiva, en una primera posible manera de puesta en práctica, el procesador adquiere la instrucción operativa generada por un módulo de control del dispositivo de punto final PCIe en conformidad con una interfaz preestablecida para el acceso al dispositivo de punto final PCIe, en donde la interfaz preestablecida para el acceso al dispositivo de punto final PCIe apunta hacia el mandatario de acceso; de forma alternativa, el procesador adquiere la instrucción operativa generada por un sistema operativo de host en
10 conformidad con la interfaz preestablecida para el acceso al dispositivo de punto final PCIe, en donde la interfaz preestablecida para acceder al dispositivo de punto final PCIe apunta hacia el mandatario de acceso. Con referencia al segundo aspecto o la primera manera posible de puesta en práctica del segundo aspecto, en una segunda manera posible de puesta en práctica, la instrucción operativa proporciona instrucciones concretamente al procesador para acceder al dispositivo de punto final PCIe utilizando un motor de acceso a memoria directa (Direct Memory Access, DMA); y

el procesador envía una demanda de migración de datos al motor DMA en conformidad con la instrucción operativa, en donde la demanda de migración de datos da instrucciones al motor DMA para realizar una migración de datos especificados en una memoria del motor de PCIe a una memoria del sistema informático o para efectuar una migración d datos específicos en la memoria del sistema informático a la memoria del dispositivo de punto final PCIe.

Con referencia a otro posible método de puesta en práctica el segundo aspecto de la idea inventiva, en un quinto método de puesta en práctica posible, el procesamiento posterior del fallo del acceso incluye:

25 determinar, por el procesador, una razón para que el mandatario de acceso haya fallado en acceder al dispositivo de punto final PCIe, y si la razón del fallo del acceso es que el dispositivo de punto final PCIe objeto de acceso está fuera de línea de forma anómala, interrumpir, por el procesador, el acceso al dispositivo de punto final PCIe.

30 En un tercer aspecto de la idea inventiva, se da a conocer un ordenador, que incluye:

un procesador, y

35 una memoria, configurada para memorizar una instrucción de ejecución por ordenador, en donde:

cuando el ordenador esté funcionando, el procesador ejecuta la instrucción de ejecución por ordenador memorizada en la memoria y se comunica con un dispositivo externo del ordenado por intermedio de una interfaz de comunicaciones, de modo que el ordenador ejecute un método para acceder a un dispositivo de punto final PCIe exprés de interconexión de componentes periféricos en conformidad con el segundo aspecto de la idea inventiva.

40 En la presente invención, un procesador ya no accede directamente a un dispositivo de punto final PCIe objeto de acceso sino que completa el acceso utilizando un mandatario de acceso. El mandatario de acceso es capaz de aislar un impacto producido por una condición fuera de línea anómala del dispositivo de punto final PCIe y reenviar un mensaje de respuesta de una demanda de acceso al procesador, de modo que las tareas memorizadas en el procesador no se acumulen debido al tiempo de espera y por lo tanto, el procesador evita una reposición operativa de MCE.

45 En la presente invención, el sistema reserva y asigna una participación específica de recursos a un puerto para acceder a un dispositivo de punto final PCIe, de modo que el procesador no explore el dispositivo de punto final PCIe cuando un dispositivo de punto final PCIe tenga acceso al sistema. Lo que antecede evita una reposición del sistema completo causada por un error de MCE que puede ocurrir cuando el dispositivo de punto final PCIe accede al sistema informático.

55 BREVE DESCRIPCIÓN DE LOS DIBUJOS

Para ilustrar las soluciones técnicas de la presente invención con mayor claridad, a continuación se introducen brevemente los dibujos adjuntos que describen formas de realización de la presente invención. Evidentemente, los dibujos adjuntos en la descripción siguiente ilustran solamente algunas formas de realización de la presente invención.

60 La Figura 1 es un diagrama de composición de un sistema informático en conformidad con una forma de realización de la presente invención;

65 La Figura 2 es un diagrama de composición de módulos de programa incluidos en una memoria en conformidad con una forma de realización de la presente invención;

La Figura 3 es un diagrama de composición de otro sistema informático en conformidad con una forma de realización de la presente invención;

5 La Figura 4 es un diagrama de composición de otro sistema informático en conformidad con una forma de realización de la presente invención;

La Figura 5 es un diagrama de flujo de un método en conformidad con una forma de realización de la presente invención;

10 La Figura 6 es un diagrama de flujo de otro método en conformidad con una forma de realización de la presente invención;

La Figura 7 es un diagrama de flujo de otro método en conformidad con una forma de realización de la presente invención;

15 La Figura 8 es un diagrama de flujo de otro método en conformidad con una forma de realización de la presente invención;

20 La Figura 9 es un diagrama de flujo de otro método en conformidad con una forma de realización de la presente invención;

La Figura 10 es un diagrama de flujo de otro método en conformidad con una forma de realización de la presente invención;

25 La Figura 11 es un diagrama de composición de un aparato para acceder a un dispositivo de punto final PCIe en conformidad con una forma de realización de la presente invención; y

La Figura 12 es un diagrama de composición de un ordenador en conformidad con una forma de realización de la presente invención.

30 DESCRIPCIÓN DETALLADA DE LAS FORMAS DE REALIZACIÓN

La presente invención da a conocer un método para acceder a un dispositivo de punto final expés de interconexión de componentes periféricos, un sistema informático y un aparato. Cuando necesita realizarse una operación de cambio rápido *hot swap* en un dispositivo de punto final PCIe, un sistema no puede ser notificado por anticipado del preprocesamiento y se desconecta directamente una conexión entre el dispositivo de punto final PCIe y un procesador. En este momento operativo, un riesgo de reposición de MCE no ocurre en el procesador. En la presente invención, una condición en la que el dispositivo de punto final PCIe se elimina directamente del sistema o está fuera de línea debido a un fallo se denomina colectivamente una condición de fuera de línea anormal del dispositivo de punto final PCIe.

Arquitectura del sistema en una forma de realización de la presente invención.

45 La Figura 1 es un diagrama de composición de un sistema informático en conformidad con una forma de realización de la presente invención. El sistema informático ilustrado en la Figura 1 incluye una unidad CPU 110, una memoria 120 y un dispositivo de punto final PCIe 130. El dispositivo de punto final PCIe 130 se conecta a la unidad CPU 110 por intermedio de un bus de conexión de PCIe 140 y se puede insertar o retirar desde el sistema informático. El dispositivo de punto final PCIe 130 incluye múltiples tipos, tales como una unidad de procesamiento de gráficos 131, una tarjeta de interfaz de red 132, un disco de estado sólido 133 y un componente de aceleración de vídeo 134. La memoria 120 está configurada para memorizar datos, en donde los datos memorizados pueden ser datos adquiridos por la unidad CPU desde un dispositivo externo o pueden ser, además, datos de programas que permiten el funcionamiento de la unidad CPU. Más concretamente, una o más módulos de programas pueden guardarse en la memoria y la unidad CPU 110 realiza una operación relacionada en conformidad con una instrucción de ejecución del ordenador de un módulo de programa. El dispositivo de punto final PCIe 130 y la unidad CPU 110 en el sistema informático ilustrado en la Figura 1, constituyen un campo de PCIe y todos los dispositivos en el campo de PCIe se conectan a la unidad CPU 110 por intermedio del bus de conexión de PCIe 140 y se controlan por la unidad CPU 110.

60 En la arquitectura del sistema ilustrado en la Figura 1, según se ilustra en la Figura 2, los módulos de programas en la memoria 120 pueden incluir concretamente un módulo de aplicación 121, un módulo de control 122 y un sistema operativo de host, Host Operation System (HOS) 123. El módulo de aplicación 121 genera una demanda de acceso a un dispositivo de punto final PCIe. El módulo de control 122 puede solicitar una interfaz correspondiente del HOS 123 (si una interfaz de acceso se proporciona por el sistema HOS) en conformidad con la demanda del módulo de aplicación para acceder al dispositivo de punto final PCIe. El sistema HOS 123 genera una instrucción operativa en conformidad con la respuesta a la solicitud por el módulo de control, de modo que la unidad CPU acceda o controle el dispositivo de punto final PCIe correspondiente en conformidad con la instrucción operativa. En términos

generales, un dispositivo de punto final PCIe corresponde a un módulo de control (por supuesto, es posible que un módulo de control corresponda a múltiples dispositivos de punto final PCIe en tanto que se asegure que cada dispositivo de punto final PCIe esté provisto de un módulo de control correspondiente). A modo de ejemplo, en conformidad con la arquitectura del sistema ilustrado en la Figura 1, los módulos de control de los dispositivos de punto final PCIe en la memoria 120 pueden incluir un módulo de control 122-1 de la unidad de procesamiento de gráficos, un módulo de control 122-2 de la tarjeta de interfaz de red NIC, un módulo de control 122-3 del disco de estado sólido SSD y un módulo de control 122-4 del componente de aceleración de vídeo.

A modo de ejemplo, si el módulo de aplicación genera una demanda para acceder a un disco de estado sólido SSD, en conformidad con un método actual para acceder al dispositivo de punto final PCIe por la unidad CPU, el módulo de control 122-3 del disco SSD solicita el HOS 123 después de recibir una respuesta a la solicitud por el módulo de aplicación 121; el HOS 123 genera una instrucción operativa para la unidad CPU 110 en conformidad con una interfaz de acceso configurada por defecto, en donde la instrucción operativa incluye una instrucción del SSD 133 para ser objeto de acceso y un requisito operativo relacionado; la unidad CPU 110 envía una demanda de acceso al SSD 133 en conformidad con la instrucción operativa del módulo de control 122-3 del disco SSD, con el fin de requerir el acceso a un registro del SSD 133; si el SSD 133 es fuera de línea de modo anormal, la unidad CPU 110 no recibirá un mensaje de respuesta de la demanda de acceso de la unidad de CPU 110 desde el disco SSD 133 y en este momento, la unidad CPU considera que la tarea de acceso está incompleta; y si dichas tareas incompletas se acumulan en un determinado grado en la unidad CPU, la unidad CPU considera que el sistema completo está en condición anómala e informa de un error de MCE para la reposición.

En esta forma de realización de la presente invención, el método para acceder al dispositivo de punto final PCIe por la unidad CPU es objeto de cambio. La unidad CPU ya no accede directamente al dispositivo de punto final PCIe, sino que accede al dispositivo de punto final PCIe utilizando una tercera parte. Según se ilustra en la Figura 1, un mandatario de acceso 160 se añade recientemente en el sistema en esta forma de realización de la presente invención, en donde el mandatario de acceso 160 se utiliza en lugar de la unidad CPU 110 para acceder al dispositivo de punto final PCIe y aislar un impacto de fuera de línea anormal del dispositivo de punto final PCIe en la unidad CPU 110. Según se ilustra en la Figura 1, la unidad CPU 110 ya no utiliza la línea 1 para acceder al SSD 133, sino que utiliza la línea 2 y la línea 3 (la línea 1 es Line1 según se ilustra en la Figura, la línea 2 es Line2 ilustrada en la Figura, la línea 3 es Line3 ilustrada en la Figura y las líneas de trazados de Line1-3, según se ilustra en la Figura, no son conexiones reales sino que se utilizan solamente para ilustrar visualmente las líneas de flujos de señales entre cada módulo de composición). La unidad CPU 110 adquiere, en primer lugar, la instrucción operativa, en donde la instrucción operativa da instrucciones a la unidad CPU para acceder al SSD 133 utilizando el mandatario de acceso 160. A continuación, la unidad CPU 110 envía la demanda de acceso al mandatario de acceso 160 por intermedio de la línea 2. El mandatario de acceso 160 reenvía un mensaje de respuesta de la demanda de acceso a la unidad CPU 110 por intermedio de la línea 2. Posteriormente, el mandatario de acceso realiza el acceso al dispositivo de punto final PCIe en conformidad con la demanda de acceso, es decir, realiza operaciones de lectura y de escritura en el registro del SSD 133 por intermedio de la línea 3. De este modo, en un aspecto de la idea inventiva, puesto que la unidad CPU 110 no genera una relación de señal directa con el dispositivo de punto final PCIe 130, es invisible para la unidad CPU 110 si el dispositivo de punto final PCIe 130 está fuera de línea, es decir, el dispositivo de punto final PCIe no afecta al procesamiento de servicio de la unidad CPU 110; en otro aspecto de la idea inventiva, el mandatario de acceso 160 dado a conocer por esta forma de realización de la presente invención, es capaz de reenviar un mensaje de respuesta a la unidad CPU 110 después de recibir la instrucción de acceso desde la unidad CPU 110, de modo que el mensaje de respuesta correspondiente pueda recibirse siempre para la demanda de acceso enviada por la unidad CPU 110. Por lo tanto, las tareas de acceso de la unidad CPU 110 no se acumulan debido a la no terminación de las tareas, no se genera ningún error de MCE y se evita que se inicie la reposición del sistema por la unidad CPU.

En esta forma de realización de la presente invención, el método para acceder a un dispositivo de punto final PCIe por la unidad CPU puede cambiarse actualizando o mejorando un módulo de control correspondiente al dispositivo de punto final PCIe. Cuando se pone en práctica reconstruyendo el módulo de control correspondiente al dispositivo de punto final PCIe, se preestablece una interfaz de acceso en el módulo de control correspondiente al dispositivo de punto final PCIe, en donde la interfaz de acceso preestablecida apunta al mandatario de acceso; y cuando el módulo de control correspondiente al dispositivo de punto final PCIe determina que se necesita acceder al dispositivo de punto final PCIe, el módulo de control del dispositivo de punto final PCIe genera una instrucción operativa de la unidad CPU en conformidad con la interfaz de acceso preestablecida, en donde la instrucción operativa proporciona instrucciones a la unidad CPU para acceder al dispositivo de punto final PCIe utilizando el mandatario de acceso.

Además, el cambio del método para acceder a un dispositivo de punto final PCIe por la unidad CPU puede tener otro método de puesta en práctica. A modo de ejemplo, el cambio se pone en práctica modificando el HOS. Un interfaz de acceso se preestablece en el HOS, en donde la interfaz de acceso preestablecida apunta hacia el mandatario de acceso. Cuando se determina que se requiere el acceso al dispositivo de punto final PCIe, el módulo de control del dispositivo de punto final PCIe solicita todavía al HOS para acceder al dispositivo de punto final PCIe. Después de que el HOS reciba la instrucción de solicitud enviada por el módulo de control del dispositivo de punto final PCIe, puesto que la interfaz para acceder al dispositivo de punto final PCIe configurado en el HOS ha sido preestablecida

para ser el mandatario de acceso, el HOS genera la instrucción operativa, en donde la instrucción operativa proporciona instrucciones a la unidad CPU para acceder al dispositivo de punto final PCIe utilizando el mandatario de acceso.

5 A continuación se describen las funciones y formas de puesta en práctica detalladas del mandatario de acceso en conformidad con esta forma de realización de la presente invención. El mandatario de acceso en conformidad con esta forma de realización de la presente invención incluye una función de aislamiento y una función de mandataria de acceso. Funcionando como un módulo aislante, el mandatario de acceso necesita asegurar su independencia respecto al dispositivo de punto final PCIe y también necesita asegurar su independencia respecto a la unidad CPU.
 10 Para mantener la independencia respecto al dispositivo de punto final PCIe, necesita asegurarse que el mandatario de acceso no se elimina directamente con el dispositivo de punto final PCIe y por lo tanto, el mandatario de acceso y el dispositivo de punto final PCIe necesitan pertenecer a diferentes dispositivos en ajustes físicos; para mantener la independencia respecto a la unidad CPU, se asegura principalmente que el mandatario de acceso tiene un procesador independiente. Cuando el procesador del mandatario de acceso es independiente de la unidad CPU del sistema, aun cuando el dispositivo de punto final PCIe sea eliminado directamente, un impacto sobre el módulo del mandatario de acceso no afectará a la unidad CPU. Funcionando como un módulo de mandatario, el mandatario de acceso necesita poner en práctica el acceso al dispositivo de punto final PCIe y reenviar un mensaje de respuesta de una demanda de acceso recibida desde la CPU, en donde el mensaje de respuesta de la demanda de acceso puede ser una respuesta de confirmación, una respuesta de rechazo o una respuesta de fallo operativo. Sin embargo, haciendo caso omiso de cualquier caso de un mensaje de respuesta, el mensaje indica a la unidad CPU que la demanda de acceso enviada por la CPU ha sido recibida. La unidad CPU determina que una tarea actual está completa después de recibir el mensaje de respuesta y puede desconectar una temporización iniciada para la tarea. De este modo, un mecanismo de desconexión del tiempo de espera de la tarea de la unidad CPU se mantiene en condición normal y otros mensajes memorizados en la CPU no se acumulan debido al tiempo de espera, con lo que se evita una reposición de MCE generada por la unidad CPU.
 25

Sobre la base de la consideración de las funciones del mandatario de acceso, el mandatario de acceso en el sistema puede establecerse también en múltiples formas. En la arquitectura del sistema ilustrada en la Figura 1, el mandatario de acceso 160 se establece en el sistema informático como un dispositivo independiente y recientemente añadido y el mandatario de acceso se conectan a la unidad CPU y al dispositivo de punto final PCIe por intermedio del bus de conexión de PCIe. Además, el mandatario de acceso 160 puede empaquetarse también con el dispositivo existente en el campo de PCIe para su puesta en práctica. A modo de ejemplo, el mandatario de acceso 160 se empaqueta con la unidad CPU como firmware.
 30

El mandatario de acceso en esta forma de realización de la presente invención puede ponerse en práctica utilizando un hardware existente. A modo de ejemplo, el mandatario de acceso se pone en práctica utilizando un motor de acceso a memoria directa (Direct Memory Access, DMA). El mandatario de acceso puede ponerse en práctica también utilizando un nuevo hardware. A modo de ejemplo, un módulo de software que tiene una función de mandatario de acceso está instalado en un dispositivo de hardware que tiene un procesador independiente.
 35

Puesto que el mandatario de acceso en esta forma de realización de la presente invención necesita reenviar el mensaje de respuesta de la demanda de acceso a la unidad CPU, durante la puesta en práctica específica, existen diferentes maneras para poner en práctica la función del mandatario de acceso. Una de las maneras de puesta en práctica es que una relación de conexión entre el mandatario de acceso y la unidad CPU se asegura que esté en un estado de retención, es decir, la relación de conexión entre ambos no estará desconectada, o el mandatario de acceso no es susceptible de una operación *hot swap* para la unidad CPU. A modo de ejemplo, un dispositivo de hardware en el que el mandatario de acceso se carga, o un dispositivo de hardware que se utiliza para realizar el mandatario de acceso se suelda en una placa de circuito impreso PCB que se conecta a la CPU, o una interfaz para conectar el dispositivo de hardware en el que se carga el mandatario de acceso o el dispositivo de hardware que se utiliza para poner en práctica el mandatario de acceso y el procesador se fijan utilizando un conector.
 40
 45
 50

La Figura 3 ilustra un sistema informático en conformidad con otra forma de realización de la presente invención.

En el sistema informático ilustrado en la Figura 3, con la excepción de una unidad CPU, un bus de conexión de PCIe y un dispositivo de punto final PCIe que se ilustra en la Figura 1, se incluye, además, un intercambiador de PCIe 150. Un puerto de flujo ascendente del intercambiador de PCIe 150 se conecta a la unidad CPU 110 por intermedio de un bus de conexión de PCIe 140 y un puerto de flujo descendente proporciona un puerto de PCIe para cada dispositivo de punto final PCIe, en donde cada puerto de PCIe se conecta a cada dispositivo de punto final PCIe por intermedio del bus de conexión de PCIe 140. El intercambiador de PCIe 150 está configurado para enrutar datos, en flujo descendente, a un puerto de PCIe correspondiente y datos de rutas de flujo ascendente desde cada puerto de PCIe independiente hacia la unidad CPU 110. En la forma de realización ilustrada en la Figura 3, un mandatario de acceso recientemente añadido 160 se establece dentro del intercambiador de PCIe 150, y el mandatario de acceso 160 en esta forma de realización se pone en práctica utilizando un motor DMA. El dispositivo de punto final PCIe 130 se conecta al intercambiador de PCIe 150 por intermedio del bus de conexión de PCIe 140. Puesto que el intercambiador de PCIe 150 y el dispositivo de punto final PCIe 130 pertenecen a diferentes dispositivos, la eliminación directa de cualquier dispositivo de punto final PCIe no causa la eliminación del intercambiador de PCIe
 55
 60
 65

150 desde el sistema, es decir, se asegura que el mandatario de acceso 160 no se elimine con la retirada del dispositivo de punto final PCIe, con lo que se pone en práctica la independencia del mandatario de acceso 160 y la del dispositivo de punto final PCIe 130. Además, en esta forma de realización, puesto que el motor DMA tiene un procesador independiente, si cualquier dispositivo de punto final PCIe se retira directamente incluso queda afectado el acceso al dispositivo de punto final PCIe desde el DMA, el DMA aísla el impacto. Haciendo caso omiso de si el acceso al dispositivo de punto final PCIe es satisfactorio o no lo es, se asegura que el DMA reenvíe, a la unidad CPU 110, un mensaje de respuesta de una demanda de acceso enviada por la unidad CPU 110, con lo que se evita un problema de una reposición de MCE iniciada por la unidad CPU.

Se sigue utilizando, a modo de ejemplo, que un módulo de aplicación genera una demanda para acceder a un disco de estado sólido SSD 133. La unidad CPU 110 adquiere una instrucción operativa generada por un módulo de control 122-3 del disco de estado sólido SSD, en donde la instrucción operativa proporciona instrucciones a la unidad CPU 110 para acceder al disco de estado sólido SSD 133 utilizando el DMA. La unidad CPU 110 envía una demanda de migración de datos al DMA en conformidad con la instrucción operativa del módulo de control 122-3 del disco de estado sólido SSD, en donde la demanda de migración de datos da instrucciones al motor DMA para realizar una migración de datos específicos en una memoria del dispositivo de punto final PCIe hacia una memoria del sistema informático o efectuar una migración de datos específicos en una memoria del sistema informático hacia una memoria del dispositivo de punto final PCIe. Después de recibir la demanda de migración de datos de la unidad CPU 110, el DMA reenvía un mensaje de respuesta de la demanda de migración de datos a la unidad CPU 110, realiza la migración de datos en el disco de estado sólido SSD 133, y después de que se complete la migración de datos, reenvía un mensaje de notificación de terminación de acceso a la unidad CPU 110, con el fin de dar instrucciones a la unidad CPU 110 para adquirir un resultado del acceso.

Además, puesto que el DMA en esta forma de realización de la presente invención está incorporado en el intercambiador de PCIe 150, el intercambiador de PCIe 150 puede soldarse, además, en una placa de circuito impreso PCB que se conecta a la CPU 110 o una interfaz para conectar el intercambiador de PCIe 150 y la unidad CPU 110 se fija utilizando un conector. Lo que antecede asegura que el DMA incorporada en el intercambiador de PCIe 150 no es eliminado del sistema y por lo tanto, se asegura que el DMA sea siempre capaz de reenviar un mensaje de respuesta de una demanda de acceso hacia la unidad CPU.

La Figura 4 ilustra un sistema informático en conformidad con otra forma de realización de la presente invención.

En la forma de realización ilustrada en la Figura 4, es diferente de la forma de realización ilustrada en la Figura 3 por cuanto que un mandatario de acceso 160 se añade recientemente en una unidad CPU 110, en donde el mandatario de acceso 160 puede ponerse en práctica utilizando un motor DMA. El mandatario de acceso 160 se establece dentro de la unidad CPU 110, es decir, se asegura que el mandatario de acceso 160 no sea eliminado por la retirada de un dispositivo de punto final PCIe, con lo que se pone en práctica la independencia del mandatario de acceso 160 y la del dispositivo de punto final PCIe 130. Además, en esta forma de realización, puesto que el motor DMA tiene un procesador independiente, si cualquier dispositivo de punto final PCIe se elimina directamente e incluso está afectado el acceso al dispositivo de punto final PCIe desde el DMA, el DMA aísla el impacto de modo que no resulte afectada la unidad CPU 110. Haciendo caso omiso de si el acceso al dispositivo de punto final PCIe es satisfactorio o no lo es, se asegura que el DMA reenvíe, a la unidad CPU 110, un mensaje de respuesta de una demanda de acceso enviada por la CPU 110, con lo que se evita un problema de una reposición de MCE iniciada por la unidad CPU. Un método de acceso detallado, en esta forma de realización, es coherente con los descritos en las formas de realización ilustradas en la Figura 1 y en la Figura 3 y por lo tanto, no se proporcionan aquí más detalles.

Un método para acceder a un dispositivo de punto final PCIe en las formas de realización de la presente invención puede ponerse en práctica en un sistema informático ilustrado en la Figura 1, en la Figura 3 o Figura 4. Sin embargo, lo que se ilustra en la Figura 1, Figura 3 y Figura 4 es solamente un ejemplo que se aplica a las formas de realización de la presente invención pero no es una limitación específica sobre una aplicación de la presente invención. Otras formas de realización del sistema o escenarios operativos de aplicación no se describen en este documento de solicitud. Además, los ajustes operativos de un mandatario de acceso en un sistema ilustrado en la Figura 1, Figura 3 o Figura 4 son solamente ejemplos. Los expertos en esta técnica puede establecer, además, el mandatario de acceso recientemente añadido en la forma de realización de la presente invención hacia otra posición en el sistema o utilizar otros medios técnicos para la puesta en práctica en conformidad con el principio técnico de las formas de realización de la presente invención.

La unidad CPU 110 ilustrada en la Figura 1, Figura 3 o Figura 4 es también solamente un ejemplo. A modo de ejemplo, puede ser, además, un circuito integrado específico. Sin importar en qué forma lo haga, pone en práctica una función de procesador en un sistema informático. El sistema informático en las formas de realización de la presente invención puede ser un servidor informático o puede ser un servidor que gestiona rutas, tales como un conmutador. Una forma de puesta en práctica detallada del sistema informático no está limitada en esta forma de realización de la presente invención.

Proceso para acceder a un dispositivo de punto final PCIe

A continuación se describe un proceso para acceder a un dispositivo de punto final PCIe en conformidad con una forma de realización de la presente invención, en donde el proceso se pone en práctica mediante un mandatario de acceso recientemente añadido en un sistema informático. Según se ilustra en la Figura 5, un proceso para acceder a un dispositivo de punto final PCIe en esta forma de realización de la presente invención incluye:

5 S501: Una unidad CPU adquiere una instrucción operativa, en donde la instrucción operativa proporciona instrucciones a la unidad CPU para acceder al dispositivo de punto final PCIe utilizando el mandatario de acceso en el sistema informático.

10 Más concretamente, la instrucción operativa puede generarse por un módulo de control del dispositivo de punto final PCIe. Puesto que el módulo de control del dispositivo de punto final PCIe ha preestablecido una interfaz para acceder al dispositivo de punto final PCIe como el mandatario de acceso, cuando un módulo de aplicación de la capa superior genera una demanda para acceder a un dispositivo de punto final PCIe, el módulo de control del dispositivo de punto final PCIe genera una instrucción operativa para acceder al dispositivo de punto final PCIe, en donde la instrucción operativa proporciona instrucciones a la unidad CPU para acceder al dispositivo de punto final PCIe objeto de acceso utilizando el mandatario de acceso en el sistema informático. Como alternativa, la instrucción operativa puede generarse también por un sistema HOS en el sistema informático. El sistema HOS ha preestablecido la interfaz para acceder al dispositivo de punto final PCIe como el mandatario de acceso. Cuando el módulo de aplicación de capa superior genera una demanda para acceder al dispositivo de punto final PCIe, el módulo de control del dispositivo de punto final PCIe solicita el HOS y el HOS genera la instrucción operativa en conformidad con la interfaz de acceso preestablecida, en donde la instrucción operativa proporciona instrucciones a la unidad CPU para acceder al dispositivo de punto final PCIe para ser objeto de acceso utilizando el mandatario de acceso en el sistema informático.

25 S502: La unidad CPU envía una demanda de acceso al mandatario de acceso en conformidad con la instrucción operativa, en donde la demanda de acceso proporciona instrucciones al mandatario de acceso para acceder al dispositivo de punto final PCIe.

30 S503: El mandatario de acceso reenvía un mensaje de respuesta de la demanda de acceso a la unidad CPU después de recibir la demanda de acceso enviada por la CPU.

35 El mensaje de respuesta de la demanda de acceso puede ser una respuesta de confirmación, una respuesta de rechazo o una respuesta de fallo operativo. Sin embargo, haciendo caso omiso de cualquier clase de un mensaje de respuesta, el mensaje indica a la unidad CPU que la demanda de acceso enviada por la CPU ha sido recibida. La unidad CPU determina que una tarea actual está completa después de recibir el mensaje de respuesta y puede desconectar la temporización iniciada para la tarea. De este modo, un mecanismo de desconexión del tiempo de espera de la tarea de la unidad CPU se mantiene normal.

40 En el proceso, una unidad CPU no accede directamente a un dispositivo de punto final PCIe objeto de acceso pero completa el acceso utilizando mandatario de acceso. El mandatario de acceso es capaz de aislar un impacto producido por la condición de fuera de línea anormal del dispositivo de punto final PCIe y el mandatario de acceso reenvía un mensaje de respuesta de una demanda de acceso a la unidad CPU, de modo que las tareas memorizadas en la CPU no se acumulen debido al tiempo de espera, con lo que se evita una reposición de MCE para la unidad CPU.

45 Además, según se ilustra en la Figura 6, en otra forma de realización del proceso de la presente invención, un proceso para que un mandatario de acceso tenga acceso a un dispositivo de punto final PCIe incluye:

50 S601-S603: Estas etapas son las mismas que las etapas S501-S503 y por lo tanto, no se proporcionan aquí detalles adicionales.

S604: El mandatario de acceso inicia una operación de acceso al dispositivo de punto final PCIe en conformidad con la demanda de acceso procedente de la unidad CPU.

55 S605: El mandatario de acceso determina si la operación de acceso iniciada para el dispositivo de punto final PCIe se realiza de forma satisfactoria; si la operación de acceso es satisfactoria, se realiza la etapa 606; y si la operación de acceso falla, se realiza la etapa 608.

60 S606: El mandatario de acceso envía un primer mensaje de notificación de la terminación del acceso a la unidad CPU.

S607: La unidad CPU adquiere un resultado del acceso después de recibir el primer mensaje de notificación.

65 La unidad CPU puede notificar, además, a un módulo de capa superior de la terminación del acceso en conformidad con el resultado del acceso.

S608: El mandatario de acceso envía un segundo mensaje de notificación de un fallo del acceso a la unidad CPU.

S609: La unidad CPU realiza un procesamiento posterior para el fallo del acceso después de recibir el segundo mensaje de notificación.

5 Más concretamente, el procesamiento posterior para un fallo de acceso incluye: determinar una razón para que el mandatario de acceso falle en su acceso al dispositivo de punto final PCIe; si la razón del fallo del acceso es que el dispositivo de punto final PCIe es accedido en una posición fuera de línea anormal, interrumpir, por la CPU, el acceso al dispositivo de punto final PCIe; y si la razón del fallo de acceso es que falla el mandatario de acceso, la reposición, por la CPU, del mandatario de acceso, o el envío de una notificación que indique que el mandatario de acceso está en condición defectuosa, con el fin de rectificar dicha condición del mandatario de acceso.

10 Después de interrumpir el acceso al dispositivo de punto final PCIe, la unidad CPU puede notificar, además, al módulo de la capa superior la interrupción del acceso al dispositivo de punto final PCIe.

15 El proceso describe un método para acceder a un dispositivo de punto final PCIe en esta forma de realización de la presente invención. En el método, un mandatario de acceso, en lugar de la unidad CPU, accede al dispositivo de punto final PCIe y reenvía un mensaje de respuesta de una demanda de acceso a la unidad CPU, con lo que se evita una reposición del sistema completo causada por un error de MCE que se genera por la CPU. Además, cuando el mandatario de acceso falla al acceder al dispositivo de punto final PCIe, el mandatario de acceso notifica a la unidad CPU un mensaje de un fallo de acceso. La CPU realiza un diagnóstico de fallo y cuando se determina que el fallo del acceso es causado por condición fuera de línea anormal del dispositivo de punto final PCIe, que ha de accederse, interrumpe el acceso al dispositivo de punto final PCIe objeto de acceso, con lo que se evita un uso innecesario de recursos que se origina cuando el sistema sigue realizando un acceso repetido que no puede ser satisfactorio.

20 En combinación con la forma de realización del sistema informático ilustrado en la Figura 3 o Figura 4, cuando un mandatario se pone en práctica utilizando un motor DMA, un módulo de aplicación de la capa superior genera una demanda de operación de lectura para un SSD, un proceso de acceso específico se ilustra en la Figura 7, incluyendo:

25 S701: Una unidad CPU en un sistema informático obtiene una instrucción operativa, en donde la instrucción operativa incluye una interfaz de acceso y un contenido de acceso, la interfaz de acceso apunta al motor DMA, el contenido de acceso indica que un objeto de acceso es el SSD y el acceso es una operación de lectura e indica una dirección origen de la operación de lectura; y el contenido de acceso puede indicar, además, una duración de la operación de lectura, pero, en general, la duración de la operación de lectura puede estar sujeta a una duración por defecto en el sistema.

30 Cuando un punto final de flujo ascendente genera una demanda de operación de lectura para el dispositivo de punto final SSD, un módulo de control del dispositivo SSD recibe en respuesta a la solicitud para el punto final de flujo ascendente, y genera una instrucción operativa para acceder al dispositivo de punto final PCIe en conformidad con una interfaz de acceso preestablecida.

35 Un método de puesta en práctica detallado de la instrucción operativa que se envía por el módulo de control a la unidad CPU puede ser, además, de otra manera. A modo de ejemplo, la instrucción operativa incluye indicaciones de que el objeto de acceso es el SSD y el acceso es una operación de lectura e indica una dirección de inicio de la operación de lectura; además, se añade recientemente una indicación en la instrucción operativa para dar instrucciones para el acceso al SSD a ponerse en práctica haciendo funcionar el motor DMA.

40 S702: La unidad CPU envía una demanda de migración de datos al motor DMA en conformidad con la instrucción operativa, en donde la demanda de migración de datos se utiliza para dar instrucciones al motor DMA para realizar la migración de datos específicos en una memoria del dispositivo de punto final PCIe hacia una memoria del sistema informático.

45 Más concretamente, después de adquirir la instrucción operativa del módulo de control del SSD, la unidad CPU solicita a la memoria del sistema informático una dirección de destino de la operación de lectura y envía la demanda de migración de datos al motor DMA después de adquirir la dirección de destino de la operación de lectura, en donde la demanda de migración de datos indica la dirección origen, la dirección de destino y la duración de la operación de lectura, con el fin de dar instrucciones al motor DMA para efectuar la migración de datos de la duración de la operación de lectura desde la dirección origen de la operación de lectura a la dirección de destino de la operación de lectura.

50 S703: El motor DMA reenvía un mensaje de respuesta de la demanda de migración de datos a la unidad CPU después de recibir la demanda de migración de datos procedente de la unidad CPU, y la CPU no realiza el conteo del tiempo de espera sobre la demanda de migración de datos después de recibir el mensaje de respuesta de la demanda de migración de datos, con el fin de asegurar que otros mensajes memorizados en la CPU no hagan que

la CPU genere una reposición operativa de MCE debido a una acumulación.

S704: El motor DMA inicia una demanda de lectura al dispositivo SSD, en donde la demanda de lectura incluye la dirección origen de la operación de lectura y la operación de lectura se utiliza para demandar un valor de un registro correspondiente a la dirección origen de la operación de lectura a realizar en una memoria caché del motor DMA.

S705: El motor DMA determina si la demanda de lectura se ejecuta de forma satisfactoria; si la demanda de lectura se ejecuta de forma satisfactoria, realizar la etapa 706; y si la demanda de lectura falla en su ejecución, se realiza la etapa 709.

S706: El motor DMA realiza la escritura de datos en su propia memoria caché en la dirección de destino de la operación de lectura en conformidad con una demanda de escritura.

S707: El motor DMA envía un primer mensaje de notificación a la CPU, en donde el primer mensaje de notificación puede ser específicamente la primera interrupción de MSI señalizada por mensaje (Message Signaled Interrupts, MSI) para notificar a la unidad CPU que el acceso está completo.

S708: La unidad CPU efectúa la lectura de los datos desde la dirección de destino de la operación de lectura después de recibir el primer mensaje de interrupción de MSI y puede notificar al módulo de control del dispositivo SSD que el acceso está completo.

S709: El motor DMA envía un segundo mensaje de notificación a la unidad CPU, en donde el segundo mensaje de notificación puede ser específicamente una segunda interrupción de MSI para notificar a la unidad CPU que ha fallado el acceso.

S710: La unidad CPU efectúa el procesamiento posterior para un fallo de acceso después de recibir el segundo mensaje de interrupción de MSI.

Más concretamente, el procesamiento posterior de un fallo de acceso puede incluir: iniciación de un diagnóstico en el motor DMA para determinar si el motor DMA está en condición defectuosa;

si el motor DMA está en condición defectuosa, efectuar la reposición operativa, por la CPU, del motor DMA o enviar una notificación que indique el motor DMA está en condición defectuosa, con el fin de recuperar el fallo del motor DMA; y

si el motor DMA no está en condición defectuosa, determinar que una causa del fallo de acceso es que el dispositivo de SSD está en condición fuera de línea anormal e interrumpir, por la CPU, el acceso al dispositivo de SSD.

Además, la unidad CPU puede, además, dar instrucciones al módulo de control del dispositivo de SSD para interrumpir el acceso al dispositivo de SSD.

En otro aspecto de la idea inventiva, haciendo referencia a la forma de realización de un sistema informático que se ilustra en la Figura 3 o la Figura 4, cuando se pone en práctica un mandatario de acceso utilizando un motor DMA, un módulo de aplicación de la capa superior genera una demanda de operación de escritura para el SSD, un proceso de acceso específico es según se ilustra en la Figura 8, que incluye:

S801: Una unidad CPU adquiere una instrucción operativa generada por un módulo de control del SSD, en donde la instrucción operativa incluye una interfaz de acceso y un contenido de acceso, la interfaz de acceso apunta hacia el motor DMA, y el contenido de acceso indica que un objeto de acceso es el dispositivo de SSD y el acceso es una operación de escritura, e indica una dirección origen y una dirección de destino de la operación de escritura.

Un método de puesta en práctica detallado de la instrucción operativa enviada por el módulo de control a la unidad CPU puede ser, además, de otra manera. A modo de ejemplo, la instrucción operativa incluye indicaciones de que el objeto de acceso es el SSD y el acceso es una operación de escritura e indica la dirección origen y la dirección de destino de la operación de escritura; además, se añade recientemente una indicación en la instrucción operativa para dar instrucciones de acceso al SSD para ponerse en práctica haciendo funcionar el motor DMA.

S802: La unidad CPU envía una demanda de acceso al motor DMA en conformidad con la instrucción operativa del módulo de control del SSD, en donde la demanda de migración de datos se utiliza para dar instrucciones al motor DMA para efectuar la migración de datos específicos en una memoria del sistema informático hacia una memoria del dispositivo de punto final PCIe.

Más concretamente, la unidad CPU envía una demanda de migración de datos al motor DMA después de adquirir la instrucción operativa del módulo de control del SSD, en donde la demanda de migración de datos indica la dirección origen, la dirección de destino y una duración de la operación de escritura, con el fin de dar instrucciones al motor DMA para efectuar la migración de datos de la duración de la operación de escritura desde la dirección origen de la

operación de escritura a la dirección de destino de la operación de escritura.

S803: El motor DMA reenvía un mensaje de respuesta de la demanda de migración de datos a la unidad CPU después de recibir la demanda de migración de datos de la CPU.

S804: El motor DMA inicia una demanda de lectura a la dirección origen de la operación de escritura con el fin de efectuar la lectura de los datos de la dirección origen en una memoria caché del motor DMA.

S805: El motor DMA inicia una demanda de escritura al dispositivo de SSD después que los datos de la dirección origen sean objeto de lectura en su propia memoria caché, en donde la demanda de escritura incluye la dirección de destino de la operación de escritura y la demanda de escritura se utiliza para la escritura de datos en la memoria caché del motor DMA en un registro correspondiente a la dirección de destino.

S806: El motor DMA determina si la demanda de escritura se realiza de forma satisfactoria; si la demanda de escritura se realiza de forma satisfactoria, se realiza la etapa 807; y si la demanda de escritura falla en su ejecución, se realiza la etapa 809.

S807: El motor DMA inicia la primera interrupción de MSI señalizada por mensaje (Message Signaled Interrupts, MSI) a la unidad CPU para notificar a la CPU que el acceso está completo.

S808: La unidad CPU tiene conocimiento de que la operación de escritura está completa después de recibir el primer mensaje de interrupción de MSI y puede notificar, además, al módulo de control del dispositivo de SSD que el acceso está completo.

S809: El motor DMA inicia la segunda interrupción de MSI para la CPU para notificar a la unidad CPU que ha fallado el acceso.

S810: La unidad CPU realiza el procesamiento posterior para un fallo de acceso después de recibir el segundo mensaje de interrupción de MSI.

Más concretamente, el procesamiento posterior de un fallo de acceso puede incluir: iniciación de un diagnóstico en el motor DMA para determinar si el motor DMA está en condición defectuosa;

si el motor DMA está en condición defectuosa, la reposición operativa, por la unidad CPU, del motor DMA o el envío de una notificación que indique que el motor DMA está en condición defectuosa, con el fin de recuperar el fallo del motor DMA; y

si el motor DMA no está en condición defectuosa, determinar que una causa del fallo del acceso es que el dispositivo de SSD está en condición de fuera de línea anormal e interrumpir, por la unidad CPU, el acceso al dispositivo de SSD.

Además, la unidad CPU puede dar instrucciones, además, al módulo de control del dispositivo de SSD para interrumpir el acceso al dispositivo de SSD.

Los procesos ilustrados en la Figura 7 y en la Figura 8 describen procesos del método para un motor DMA para completar la lectura o escritura en un dispositivo de SSD en las formas de realización de la presente invención. En el método de lectura o escritura, el motor DMA, en lugar de la unidad CPU, accede al dispositivo de punto final PCIe y reenvía un mensaje de respuesta de la demanda de acceso a la unidad CPU, de modo que la unidad CPU no genere un error de MCE y se evita así una reposición operativa del sistema completo. Además, cuando el motor DMA falla en la migración de datos desde el dispositivo de SSD, el motor DMA notifica a la unidad CPU un mensaje de un fallo del acceso, la unidad CPU realiza un diagnóstico de fallo y cuando se determina que el fallo del acceso ocurre porque el dispositivo de SSD se elimina directamente desde el sistema o está en condición defectuosa, interrumpir el acceso al dispositivo de SSD, con lo que se evita un uso innecesario de recursos que se origina cuando el sistema sigue realizando un acceso repetido que no puede ser satisfactorio.

Además, en esta forma de realización de la presente invención, un método para que una unidad CPU acceda a un dispositivo de punto final PCIe pueda cambiarse ampliando o mejorando un módulo de control correspondiente al dispositivo de punto final PCIe o un sistema operativo de host. Si el módulo de control correspondiente al dispositivo de punto final PCIe se utiliza para cambiar el método para una CPU para acceder a un dispositivo de punto final PCIe, puede incluirse el proceso siguiente:

S901: El módulo de control del dispositivo de punto final PCIe recibe una instrucción de solicitud de un módulo de aplicación de la capa superior, en donde la instrucción de solicitud indica que el dispositivo de punto final PCIe necesita ser objeto de acceso.

S902: El módulo de control correspondiente al dispositivo de punto final PCIe genera una instrucción operativa en

conformidad con una interfaz preestablecida para acceder al dispositivo de punto final PCIe, en donde la interfaz preestablecida para acceder al dispositivo de punto final PCIe apunta hacia un mandatario de acceso, y la instrucción operativa se utiliza para dar instrucciones a la unidad CPU para acceder al dispositivo de punto final PCIe utilizando el mandatario de acceso.

5 Si un sistema operativo de host está configurado para cambiar el método para una unidad CPU para acceder a un dispositivo de punto final PCIe, puede incluirse el proceso siguiente:

10 S1001: El módulo de control correspondiente al dispositivo de punto final PCIe recibe una instrucción de solicitud de un módulo de aplicación de la capa superior, en donde la instrucción de solicitud indica que el dispositivo de punto final PCIe necesita ser objeto de acceso.

15 S1002: El módulo de control correspondiente al dispositivo de punto final PCIe solicita al sistema operativo de host, en donde la instrucción de solicitud indica que el dispositivo de punto final PCIe necesita ser objeto de acceso.

20 S1003: El sistema operativo de host genera una instrucción operativa en conformidad con una interfaz preestablecida para acceder al dispositivo de punto final PCIe, en donde la interfaz preestablecida para acceder al dispositivo de punto final PCIe apunta hacia un mandatario de acceso, y la instrucción operativa se utiliza para dar instrucciones a la unidad CPU para acceder al dispositivo de punto final PCIe utilizando el mandatario de acceso.

Aparato en una forma de realización de la presente invención

25 Según se ilustra en la Figura 11, un aparato para acceder a un dispositivo de punto final PCIe exprés de interconexión de componentes periféricos, dado a conocer en una forma de realización de la presente invención, incluye:

un módulo de recepción 1101, configurado para recibir una instrucción de solicitud, en donde la instrucción de solicitud indica que el dispositivo de punto final PCIe necesita ser objeto de acceso; y

30 un módulo de generación 1102, configurado para generar, en conformidad con una interfaz preestablecida para el acceso al dispositivo de punto final PCIe, una instrucción operativa para acceder al dispositivo de punto final PCIe, en donde la interfaz preestablecida para acceder al dispositivo de punto final PCIe apunta hacia un mandatario de acceso, y la instrucción operativa se utiliza para dar instrucciones a la unidad CPU para acceder al dispositivo de punto final PCIe utilizando el mandatario de acceso.

35 Más concretamente, el aparato de acceso puede ser un módulo de control del dispositivo de punto final PCIe o un sistema operativo de host del sistema informático.

40 La Figura 12 es un diagrama de composición estructural de un ordenador en conformidad con una forma de realización de la presente invención. El ordenador en esta forma de realización de la presente invención puede incluir:

45 un procesador 1201, una memoria 1202, un bus de conexión del sistema 1204 y una interfaz de comunicaciones 1205. La unidad CPU 1201, la memoria 1202 y la interfaz de comunicaciones 1205 se conectan y completan las comunicaciones entre sí utilizando el bus de conexión del sistema 1204.

50 El procesador 1201 puede ser una unidad central de procesamiento de núcleo único o de múltiples núcleos o un circuito integrado específico, o estar configurado como uno o más circuitos integrados en esta forma de realización de la presente invención.

La memoria 1202 puede ser una memoria RAM a alta velocidad o puede ser una memoria no volátil (non-volatile memory) tal como al menos una memoria de disco magnético.

55 La memoria 1202 está configurada para memorizar una instrucción de ejecución por ordenador 1203. Más concretamente, la instrucción de ejecución por ordenador 1203 puede incluir un código de programa.

Cuando funciona el ordenador, el procesador 1201 procesa la instrucción de ejecución por ordenador 1203 y puede ejecutarse un proceso del método ilustrado en cualquiera de las Figuras 5 a 10.

60 El sistema informático para acceder a un dispositivo de punto final PCIe

65 Cuando un dispositivo de punto final PCIe se elimina desde un sistema informático, es posible que se inserte en el sistema informático de nuevo con posterioridad. Además, existe también una condición de que un nuevo dispositivo de punto final PCIe necesite conectarse a un sistema informático en estado de ejecución. A modo de ejemplo, habida cuenta de la popularidad de un dispositivo de SSD, un fenómeno en el que un usuario inserta o elimina directamente un dispositivo de SSD tiene lugar con cada vez más frecuencia. En la técnica anterior, cuando el

dispositivo de punto final PCIe es activado y se conecta al sistema, una unidad CPU inicia un proceso de exploración y asignación de recursos para el dispositivo de punto final PCIe; en un proceso en donde la unidad CPU efectúa una exploración del dispositivo de punto final PCIe recientemente activado, si el dispositivo de punto final PCIe es eliminado directamente desde el sistema, es posible que la unidad CPU informe de un error de MCE, lo que origina una reposición operativa del sistema. Para evitar este problema, esta forma de realización de la presente invención establece una nueva solución para asignar recursos a un dispositivo de punto final PCIe, de modo que la unidad CPU no necesite explorar o asignar recursos para el dispositivo de punto final PCIe recientemente activado cuando el dispositivo de punto final PCIe es recientemente activado y se conecta al sistema.

Durante la iniciación del sistema informático, un sistema de entrada-salida básico (Basic Input-Output System, BIOS) necesita reservar recursos para cada dispositivo en el sistema. Para el dispositivo de punto final PCIe, el sistema BIOS explora cada puerto para acceder a un dispositivo de punto final PCIe. Cuando se encuentra un dispositivo de punto final PCIe mediante exploración, el sistema BIOS efectúa la lectura de un registro correspondiente del dispositivo de punto final PCIe y reserva recursos, en correspondencia, conforme a un requisito del dispositivo de punto final PCIe, a modo de ejemplo, reserva recursos de bus de conexión y recursos de direcciones de memoria. En términos más concretos, el puerto para acceder a un dispositivo de punto final PCIe descrito en esta forma de realización de la presente invención puede ser un puerto de enlace descendente de un intercambiador de PCIe o un puerto de enlace descendente de un denominado puente norte, *northbridge*, en el sistema.

En la solución para asignar recursos a un dispositivo de punto final PCIe dada a conocer en esta forma de realización de la presente invención, un método de reserva de recursos para el sistema BIOS del sistema informático es diferente de existente en la técnica anterior. Durante la iniciación del sistema informático, el sistema BIOS no reserva recursos en conformidad con una demanda real de un dispositivo de punto final PCIe realmente encontrado mediante exploración, sino que reserva una parte específica de recursos para cada puerto con el fin de acceder a un dispositivo de punto final PCIe, en donde la parte específica es mayor que o igual a una cantidad de recursos requerida del dispositivo de punto final PCIe y preferentemente la parte específica puede ser una demanda de cantidad de recursos de un tipo del dispositivo de punto final PCIe que tiene una demanda máxima de cantidad de recursos. A modo de ejemplo, el sistema BIOS explora cada puerto para acceder a un dispositivo de punto final PCIe en el sistema informático, y sin importar si un dispositivo de punto final PCIe se encuentra mediante exploración y sin importar qué tipo de dispositivo de punto final PCIe se encuentra mediante exploración, especifica que cada puerto para acceder a un dispositivo de punto final PCIe puede ser posteriormente objeto de acceso por el tipo de dispositivo de punto final PCIe que tiene una demanda máxima de cantidad de recursos. Si 10 tipos de dispositivos de punto final PCIe pueden utilizarse en el sistema actual, y el dispositivo que tiene una demanda máxima de cantidad de recursos es un dispositivo SSD que requiere recursos de memoria de 10M que no pueden buscarse previamente 3 buses de PCIe, el sistema BIOS reserva, para cada puerto para acceder a un dispositivo de punto final PCIe, 10M recursos que no pueden ser objeto de prebúsqueda y 3 recursos de bus de conexión de PCIe.

En segundo lugar, después de que el sistema BIOS reserve recursos, un módulo de gestión de PCIe del sistema informático permite que todos los dispositivos de punto final PCIe gestionados por una unidad CPU en el sistema informático y el intercambiador de PCIe constituyan un campo de PCIe y configura un árbol de PCIe correspondiente para el campo de PCIe, en donde el árbol de PCIe se utiliza para describir cada capa de relaciones de conexión desde cada dispositivo de punto final PCIe en el campo de PCIe a la unidad CPU y una condición de configuración de recursos de cada dispositivo de punto final PCIe. Puesto que el sistema BIOS ha reservado una parte específica de recursos para cada puerto para acceder a un dispositivo de punto final PCIe, cuando se carga cada puerto para acceder a un dispositivo de punto final PCIe, el módulo de gestión de PCIe no realiza una exploración de una demanda real de cantidad de recursos del dispositivo de punto final PCIe del puerto, sino que asigna recursos en función de la condición de reserva de recursos del sistema BIOS, es decir, asigna una parte específica de recursos reservados por el sistema BIOS a cada puerto para acceder a un dispositivo de punto final PCIe, y registra una condición de asignación de la parte específica de recursos en el árbol de PCIe.

Además, cuando dispositivo de punto final PCIe está en condición defectuosa o está fuera de línea desde el sistema informático, el módulo de gestión de PCIe no libera la parte específica de recursos asignados al dispositivo de punto final PCIe desactivado cuando se determina que el dispositivo de punto final PCIe está fuera de línea. Además, la arquitectura del árbol de PCIe permanece invariable, es decir, la relación de conexión y la configuración de configuración de recursos del dispositivo de punto final PCIe fuera de línea se retienen en el árbol de PCIe. De este modo, puesto que los recursos y la relación de conexión del dispositivo de punto final PCIe han sido configurados en el campo de PCIe, cuando el dispositivo de punto final PCIe es activado y accede al campo de PCIe, el módulo de gestión de PCIe notifica a un módulo de control correspondiente que el dispositivo de punto final PCIe está activado y el dispositivo de punto final PCIe completa el acceso al campo de PCIe del sistema informático. En esta solución, cuando el dispositivo de punto final PCIe está activado, la unidad CPU no necesita explorar el dispositivo de punto final PCIe, evitando así una reposición operativa del sistema completo causado por un error de MCE que puede producirse cuando el dispositivo de punto final PCIe accede al sistema informático.

Los expertos en esta técnica pueden entender que cada aspecto de la idea inventiva de la presente invención o una posible manera de puesta en práctica de cada aspecto puede realizarse específicamente como un sistema, un método o un producto de programa informático. Por lo tanto, cada aspecto de la presente invención o posibles

maneras de puesta en práctica de cada aspecto pueden utilizar formas de una forma de realización de hardware completo, una forma de realización de software completo (incluyendo firmware, software residente y similares) o una forma de realización de combinación de software y hardware, que se denomina colectivamente "circuito", "módulo" o "sistema" en esta descripción. Además, cada aspecto de la presente invención o posibles maneras de puesta en práctica de cada aspecto puede utilizar una forma de un producto de programa informático, en donde el producto de programa informático se refiere a un código estación donante programa legible por ordenador en un soporte legible por ordenador.

El soporte legible por ordenador puede ser un soporte de señal legible por ordenador o un soporte de memoria legible por ordenador. El soporte de memoria legible por ordenador incluye, sin limitación, a un sistema, dispositivo o aparato electrónico, magnético, óptico, electromagnético, de infrarrojos o de semiconductores o cualquiera de sus combinaciones adecuadas, tal como una memoria de acceso aleatorio (RAM), una memoria de solamente lectura, una memoria de solamente lectura programable borrable (EPROM o memoria instantánea), una fibra óptica y una memoria de solamente lectura portátil (CD-ROM).

Un procesador de un ordenador efectúa la lectura del código de programa legible por ordenador memorizado en el soporte legible por ordenador, de modo que el procesador sea capaz de realizar acciones funcionales estipuladas en cada etapa o combinaciones de cada etapa en un diagrama de flujo y un aparato que ponga en práctica acciones funcionales estipuladas en cada bloque o una combinación de bloques en el diagrama de flujo que se genera.

El código de programa legible por ordenador puede ejecutarse completamente en un ordenador de un usuario, ejecutarse parcialmente en el ordenador del usuario, ejecutarse parcialmente en el ordenador del usuario y ejecutarse parcialmente en un ordenador distante cuando funciona como un paquete de software independiente, o ejecutarse completamente en el ordenador distante o un servidor. Conviene señalar que, en algunas soluciones de puesta en práctica alternativa, las funciones indicadas en cada etapa en el diagrama de flujo o en cada bloque de un diagrama de bloques pueden no tener lugar en una secuencia indicada en el diagrama de flujo o en el diagrama de bloques. A modo de ejemplo, sobre la base de las funciones implicadas, dos etapas o dos bloques, indicados uno tras otro, pueden ejecutarse al mismo tiempo en la práctica o a veces, los bloques se ejecutan en una secuencia inversa.

Los expertos en esta técnica pueden tener conocimiento de que, en combinación con los ejemplos descritos en las formas de realización que se dan a conocer en esta especificación, las unidades y las etapas de algoritmos pueden ponerse en práctica mediante equipos electrónicos o una combinación de programas informáticos y equipos electrónicos. Si las funciones se realizan por hardware o software depende de las aplicaciones particulares y de las condiciones de limitaciones de diseño de las soluciones técnicas.

REIVINDICACIONES

1. Un sistema informático que comprende:

5 un procesador (110); y

un bus de interconexión de componentes periféricos exprés PCIe (140), para conectarse a un dispositivo de punto final PCIe (130), en donde:

10 el sistema informático comprende, además, un mandatario de acceso (160) y el mandatario de acceso conecta el procesador y el dispositivo de punto final PCIe;

15 el procesador (110) está configurado para adquirir una instrucción de operación, en donde la instrucción de operación proporciona instrucciones al procesador para acceder al dispositivo de punto final PCIe por intermedio del mandatario de acceso; y enviar una demanda de acceso al mandatario de acceso en conformidad con la instrucción operativa, en donde la demanda de acceso proporciona instrucciones al mandatario de acceso para acceder al dispositivo de punto final PCIe; y

20 el mandatario de acceso (160) está configurado para enviar, después de recibir la demanda de acceso enviada por el procesador, un mensaje de respuesta de la demanda de acceso al procesador haciendo caso omiso de si el acceso al dispositivo de punto final PCIe es satisfactorio o no lo es;

25 el procesador (110) está configurado, además, para determinar que una tarea correspondiente a la demanda de acceso está completa después de recibir el mensaje de respuesta e interrumpir una temporización iniciada para la tarea;

30 el mandatario de acceso (160) está configurado, además, para acceder al dispositivo de punto final PCIe (130) en conformidad con la demanda de acceso, para enviar un primer mensaje de notificación o un segundo mensaje de notificación al procesador (110), en donde el primer mensaje de notificación indica que el acceso al dispositivo de punto final PCIe es satisfactorio, y el segundo mensaje de notificación indica que el acceso al dispositivo de punto final PCIe ha fallado;

35 el procesador (110) está configurado, además, para adquirir un resultado de acceso después de la recepción del primer mensaje de notificación, y para ejecutar un procesamiento posterior para un fallo de acceso después de recibir el segundo mensaje de notificación.

2. El sistema informático según la reivindicación 1, en donde el sistema informático comprende, además:

40 un módulo de control (122) del dispositivo de punto final PCIe (130), configurado para recibir una instrucción de solicitud para acceder al dispositivo de punto final PCIe y para generar la instrucción operativa en conformidad con una interfaz preestablecida para el acceso al dispositivo de punto final PCIe, en donde la interfaz preestablecida para acceder al dispositivo de punto final PCIe apunta hacia el mandatario de acceso; y

45 el procesador (110) está configurado para adquirir la instrucción operativa generada por el módulo de control del dispositivo de punto final PCIe.

3. El sistema informático según la reivindicación 1, que comprende, además: un módulo de control (122) del dispositivo de punto final PCIe (130) y un sistema operativo de host (123), en donde:

50 el módulo de control (122) del dispositivo de punto final PCIe está configurado para recibir una instrucción de solicitud para acceder al dispositivo de punto final PCIe y para solicitar al sistema operativo de host el acceso al dispositivo de punto final PCIe;

55 el sistema operativo de host (123) está configurado para dar respuesta a la solicitud realizada por el módulo de control del dispositivo de punto final PCIe y para generar la instrucción operativa en conformidad con una interfaz preestablecida para el acceso al dispositivo de punto final PCIe, en donde la interfaz preestablecida para acceder al dispositivo de punto final PCIe apunta hacia el mandatario de acceso; y

60 el procesador (110) está configurado para adquirir la instrucción operativa generada por el sistema operativo de host.

4. El sistema informático según la reivindicación 1, en donde el mandatario de acceso (160) se pone en práctica por un motor DMA de acceso a memoria directo;

65 el procesador (110) está configurado para enviar una demanda de migración de datos al motor DMA en conformidad con la instrucción operativa; y

el motor DMA está configurado para, en conformidad con la demanda de migración de datos, efectuar una migración de datos especificados en una memoria del dispositivo de punto final PCIe hacia una memoria del sistema informático o para efectuar una migración de datos especificados en la memoria del sistema informático hacia la memoria del dispositivo de punto final PCIe.

5 **5.** El sistema informático según la reivindicación 1 o 4, en donde:

10 el procesador (110) está configurado, además, para determinar, después de recibir el segundo mensaje de notificación, una razón para que el mandatario de acceso deje de acceder satisfactoriamente al dispositivo de punto final PCIe, e interrumpir el acceso al dispositivo de punto final PCIe (130) si la razón para el fallo del acceso es que el dispositivo de punto final PCIe está fuera de línea de modo anormal.

15 **6.** El sistema informático según la reivindicación 5, que comprende, además, un módulo de gestión de PCIe, en donde:

20 el módulo de gestión de PCIe está configurado para adquirir una notificación que indique que el dispositivo de punto final PCIe está fuera de línea en una condición anormal y para reservar los recursos asignados al dispositivo de punto final PCIe.

7. El sistema informático según cualquiera de las reivindicaciones 1 a 6, en donde el mandatario de acceso está empaquetado con el procesador.

25 **8.** El sistema informático según la reivindicación 1, en donde el mandatario de acceso está soldado en una placa de circuito impreso que se conecta al procesador o el mandatario de acceso (160) está empaquetado con el procesador como *firmware*.

9. El sistema informático según las reivindicaciones 1 a 8, en donde el sistema informático comprende, además:

30 un intercambiador de PCIe (150), en donde un puerto de flujo ascendente del intercambiador de PCIe se conecta al procesador por intermedio del bus de conexión de PCIe y un puerto de flujo descendente del intercambiador de PCIe se conecta al dispositivo de punto final PCIe por intermedio del bus de conexión de PCIe.

35 **10.** El sistema informático según la reivindicación 9, en donde el mandatario de acceso (160) está empaquetado dentro del intercambiador de PCIe (150).

11. El sistema informático según la reivindicación 10, en donde el intercambiador de PCIe está soldado en una placa de circuito impreso que se conecta al procesador.

40 **12.** Un método para acceder a un dispositivo de punto final PCIe de interconexión de componentes periféricos exprés, en donde un procesador de un sistema informático se conecta al dispositivo de punto final PCIe por intermedio de un bus de conexión de PCIe, que comprende:

45 adquirir (501), por el procesador, una instrucción operativa, en donde la instrucción operativa proporciona instrucciones al procesador para acceder al dispositivo de punto final PCIe utilizando un mandatario de acceso;

50 enviar (502), por el procesador, una demanda de acceso al mandatario de acceso en conformidad con la instrucción operativa, en donde la demanda de acceso proporciona instrucciones al mandatario de acceso para acceder al dispositivo de punto final PCIe;

recibir (503), por el procesador, un mensaje de respuesta de la demanda de acceso enviada por el mandatario de acceso haciendo caso omiso de si el acceso al dispositivo de punto final PCIe es satisfactorio o no lo es;

55 determinar, por el procesador, que una tarea correspondiente a la demanda de acceso está completa después de recibir el mensaje de respuesta e interrumpir una temporización iniciada para la tarea;

60 recibir, por el procesador, un primer mensaje de notificación o un segundo mensaje de notificación enviado por el mandatario de acceso, en donde el primer mensaje de notificación indica que el acceso al dispositivo de punto final PCIe es satisfactorio, indicando el segundo mensaje de notificación que el acceso al dispositivo de punto final PCIe ha fallado; y

65 adquirir, por el procesador, un resultado del acceso después de recibir el primer mensaje de notificación y ejecutar, por el procesador, un procesamiento posterior para un fallo del acceso, después de recibir el segundo mensaje de notificación.

13. El método según la reivindicación 12, en donde la etapa de adquirir (501), por el procesador, una instrucción

operativa, comprende:

5 adquirir, por el procesador, la instrucción operativa generada por un módulo de control del dispositivo de punto final PCIe en conformidad con una interfaz preestablecida para acceder al dispositivo de punto final PCIe, en donde la interfaz preestablecida para acceder al dispositivo de punto final PCIe apunta hacia el mandatario de acceso; o

10 adquirir, por el procesador, la instrucción operativa generada por un sistema operativo de host en conformidad con una interfaz preestablecida para acceder al dispositivo de punto final PCIe, en donde la interfaz preestablecida para acceder al dispositivo de punto final PCIe apunta hacia el mandatario de acceso.

14. El método según la reivindicación 12, en donde el mandatario de acceso se pone en práctica por un motor DMA de acceso a memoria directo y la instrucción operativa proporciona instrucciones, concretamente, al procesador, para acceder al dispositivo de punto final PCIe utilizando el motor DMA; y

15 la etapa de enviar, por el procesador, una demanda de acceso al mandatario de acceso en conformidad con la instrucción operativa comprende:

20 enviar, por el procesador, una demanda de migración de datos hacia el motor DMA en conformidad con la instrucción operativa, en donde la demanda de migración de datos proporciona instrucciones al motor DMA para efectuar la migración de datos especificados en una memoria del motor de PCIe hacia una memoria del sistema informático o para efectuar la migración de datos específicos en la memoria del sistema informático hacia la memoria del dispositivo de punto final PCIe.

25 15. El método según la reivindicación 14, en donde la instrucción operativa indica, además, que un tipo de acceso es una operación de lectura e indica una dirección origen de la operación de lectura y una duración de la operación de lectura; y

30 la etapa de enviar, por el procesador, una demanda de migración de datos hacia el motor DMA, en conformidad con la instrucción operativa comprende:

adquirir, por el procesador, una dirección de destino de la oportunidad de lectura asignada por la memoria del sistema informático; y

35 enviar, por el procesador, la demanda de migración de datos hacia el motor DMA, en donde la demanda de migración de datos incluye la dirección origen de la operación de lectura, la dirección de destino de la operación de lectura y la duración de la operación de lectura, con el fin de dar instrucciones al motor DMA para efectuar la migración de datos de la duración de la operación de lectura desde la dirección origen de la operación de lectura a la dirección de destino de la operación de lectura.

40 16. El método según las reivindicaciones 12 a 15, en donde la ejecución, por el procesador, de un procesamiento posterior para un fallo del acceso cuando se recibe el segundo mensaje de notificación comprende:

45 determinar, por el procesador, una razón para que el mandatario de acceso falle en el acceso al dispositivo de punto final PCIe y si la razón del fallo del acceso es que el dispositivo de punto final PCIe está fuera de línea, de modo anormal, interrumpir, por el procesador, el acceso al dispositivo de punto final PCIe.

17. El método según la reivindicación 16 que comprende, además:

50 adquirir una notificación que indica que el dispositivo de punto final PCIe está fuera de línea de modo anormal, y reservar los recursos asignados al dispositivo de punto final PCIe.

18. Un ordenador, que comprende: un procesador (1201), una memoria (1202), un bus de conexión (1204) y una interfaz de comunicaciones (1205), en donde:

55 la memoria (1202) está configurada para memorizar una instrucción de ejecución del ordenador, el procesador se conecta a la memoria por intermedio del bus de conexión, y cuando la instrucción de ejecución del ordenador se ejecuta por el procesador, haría que el ordenador realice todas las etapas del método según se define por cualquiera de las reivindicaciones 12 a 17.

60

65

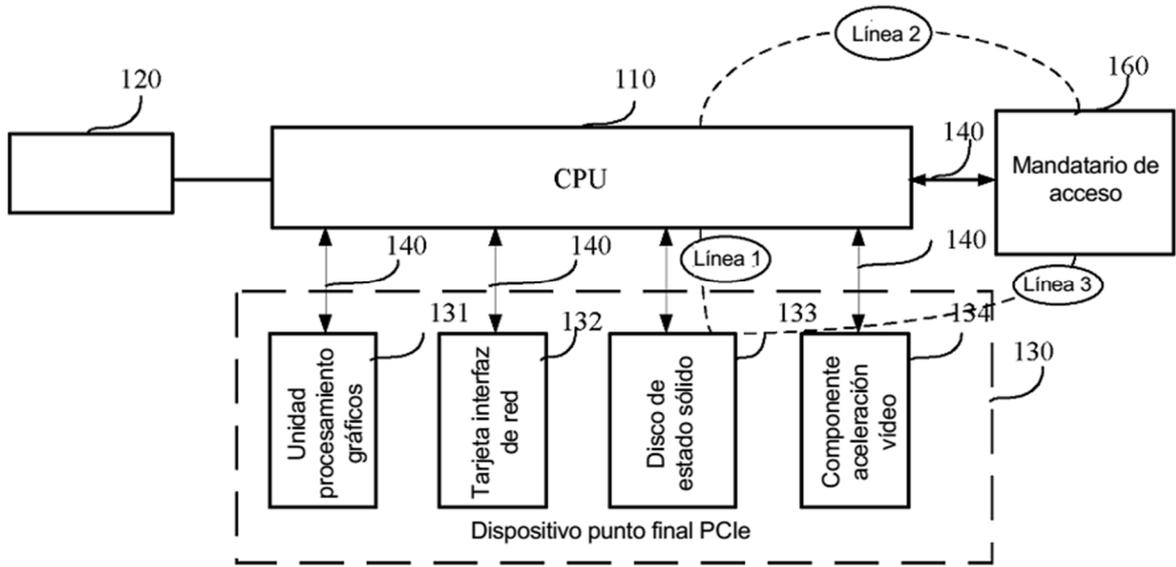


FIG. 1

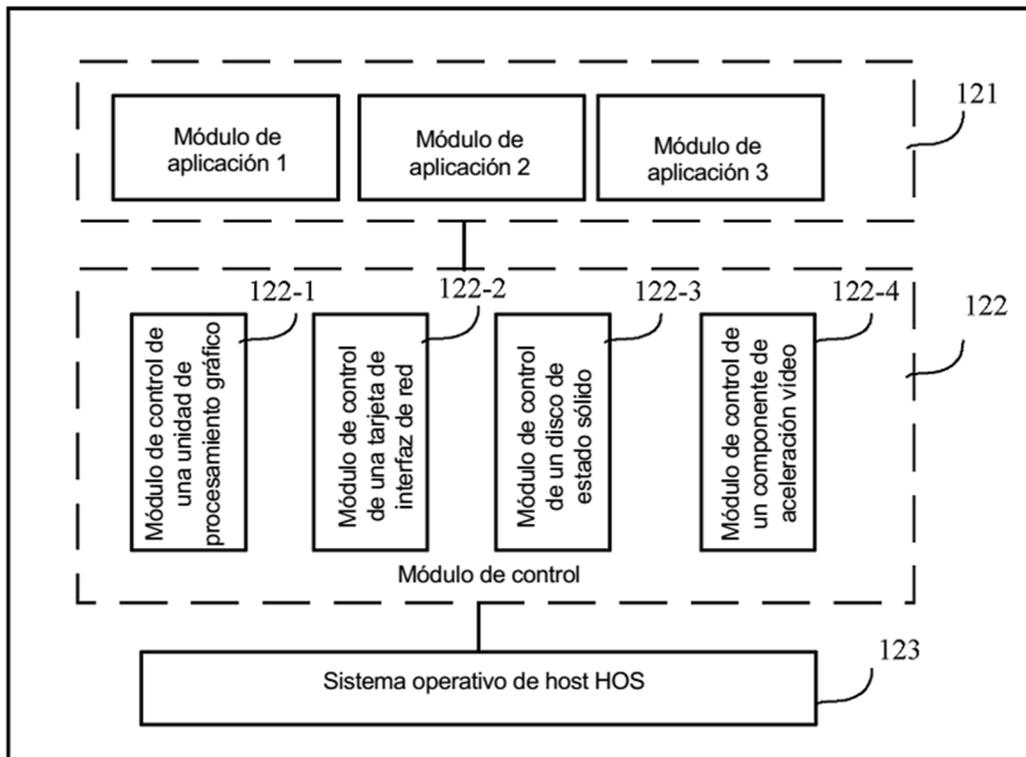


FIG. 2

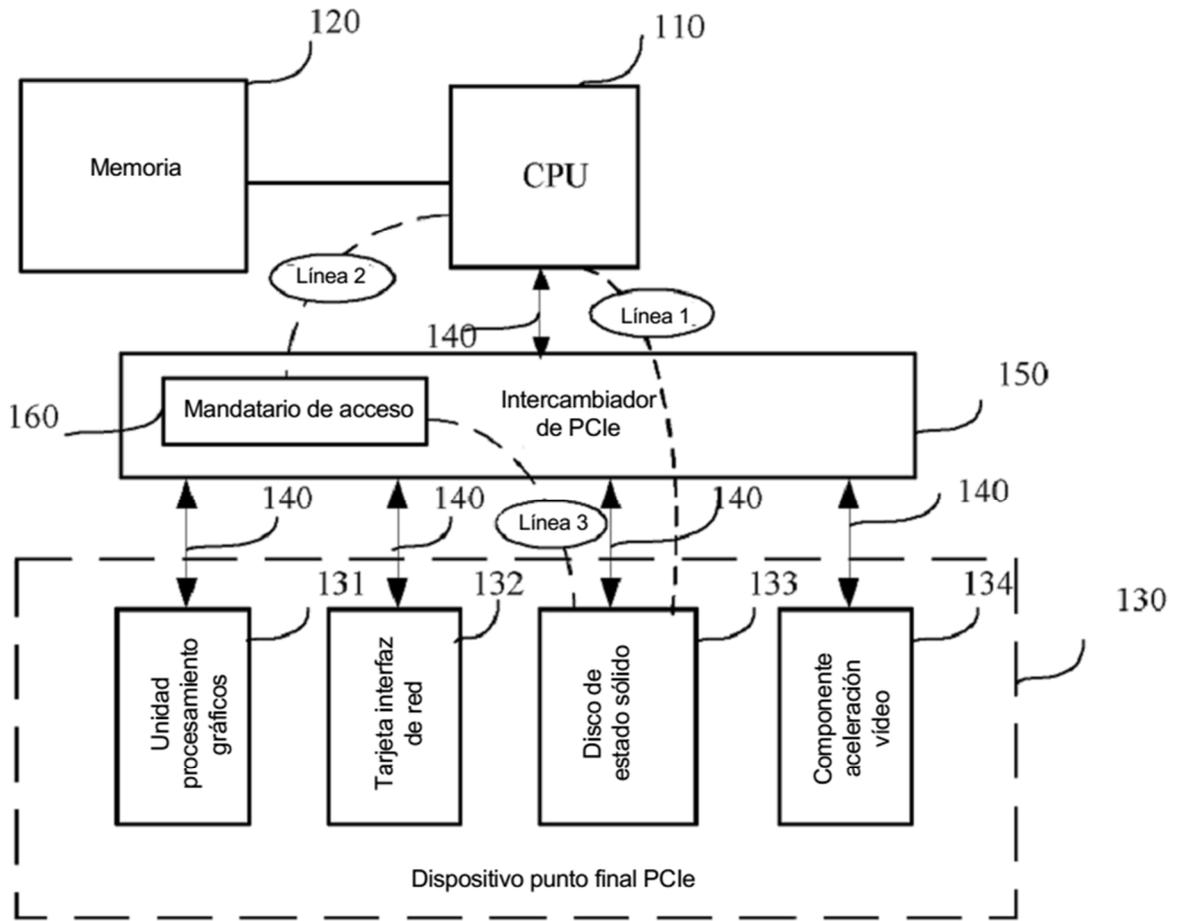


FIG. 3

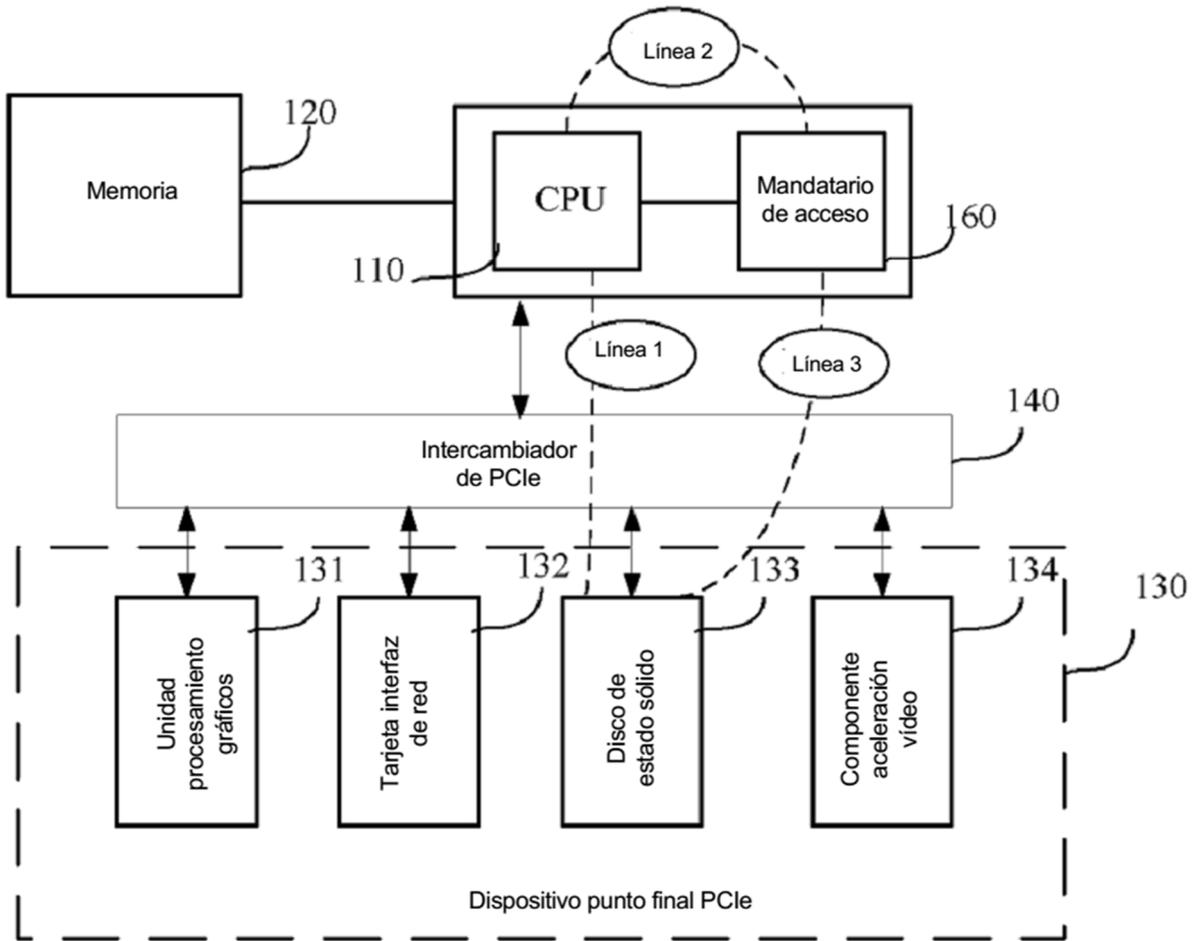


FIG. 4

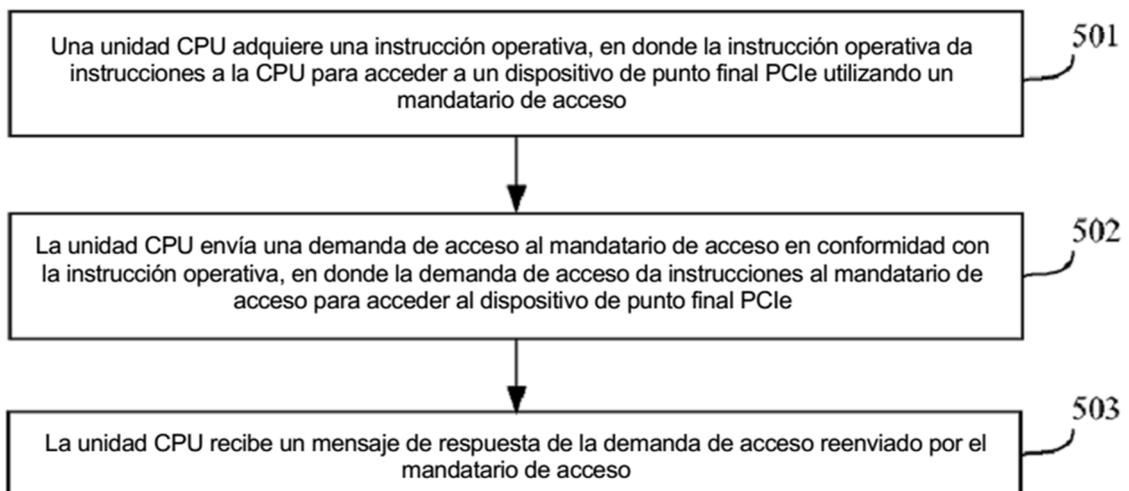


FIG. 5

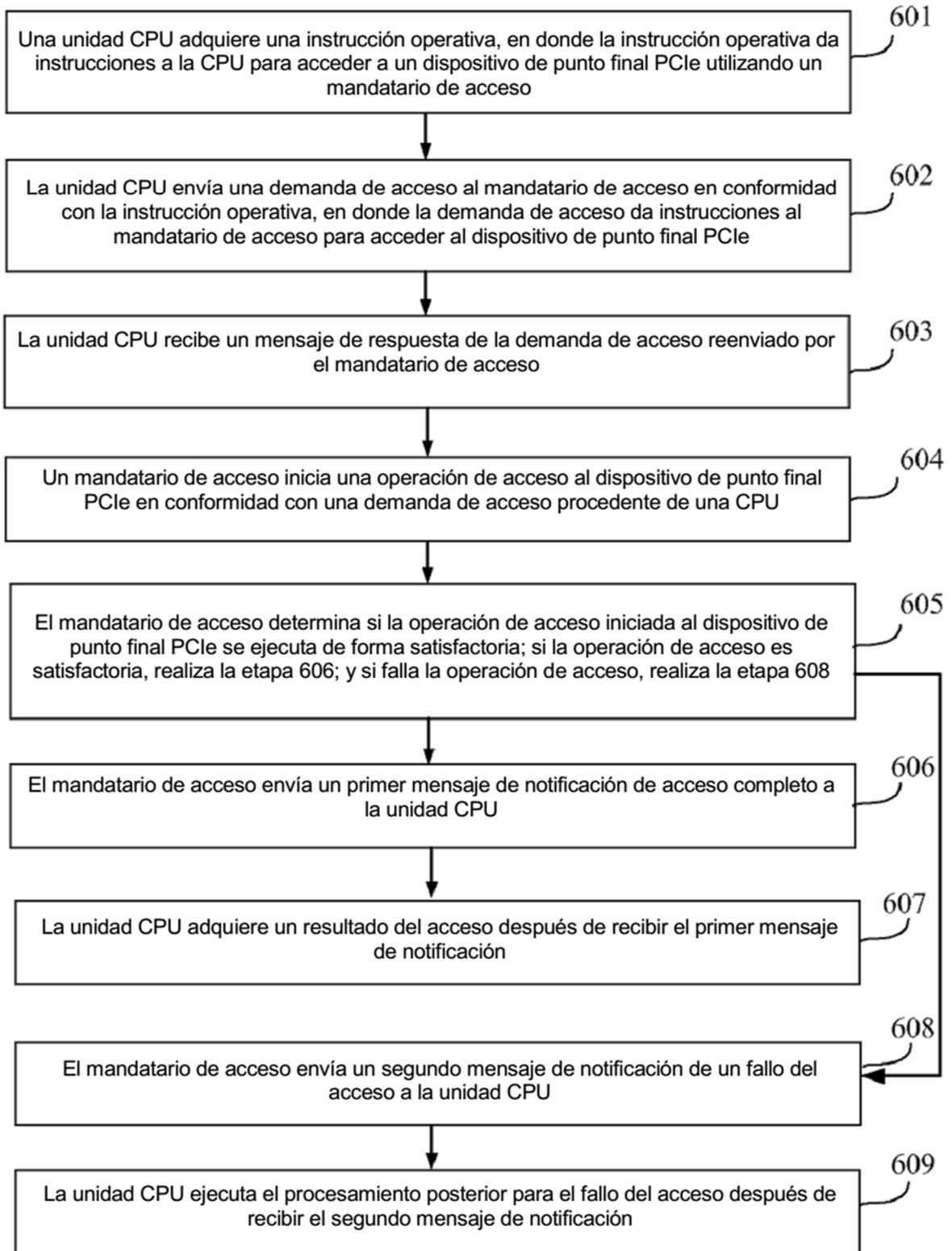


FIG. 6

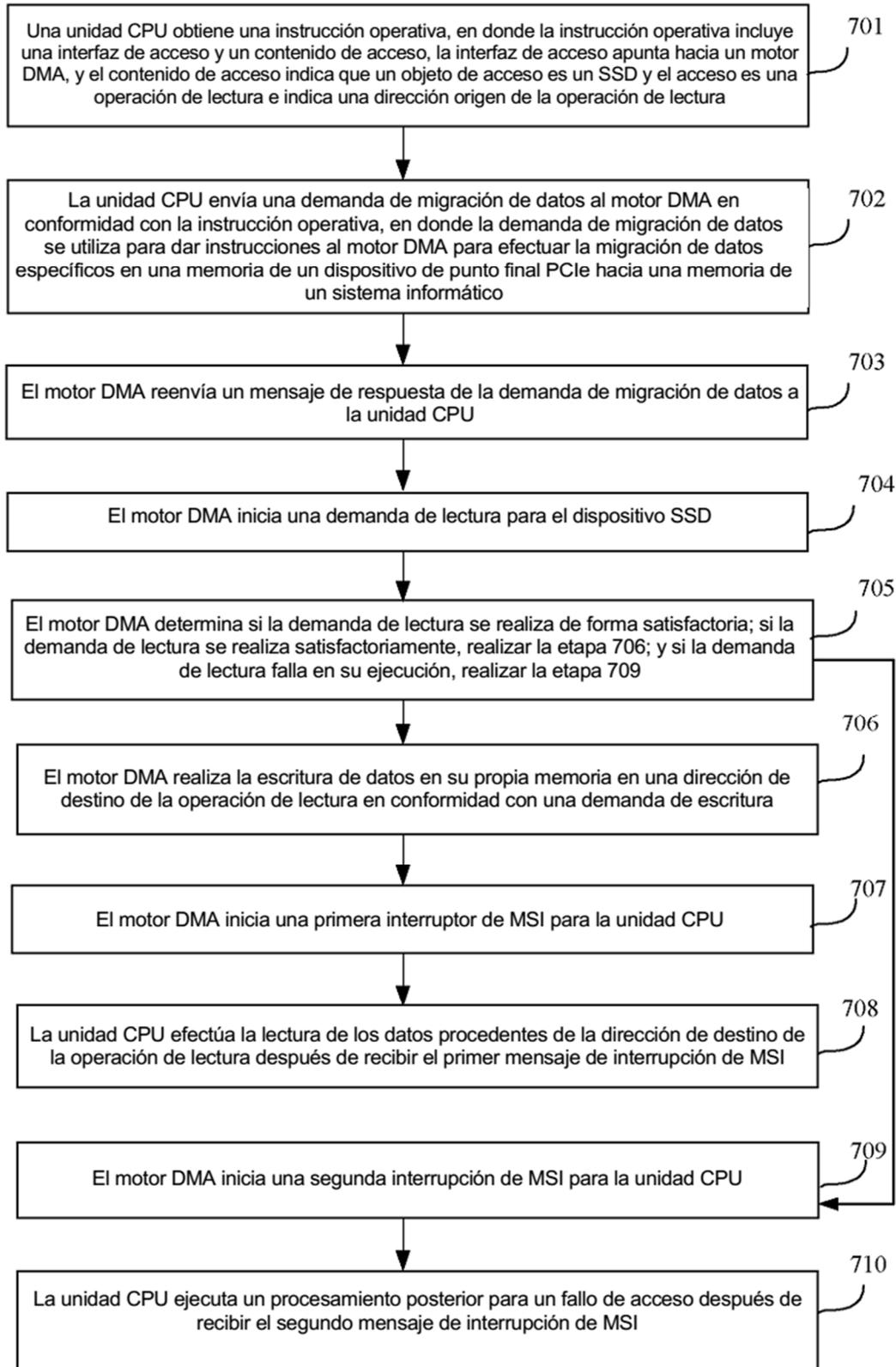


FIG. 7

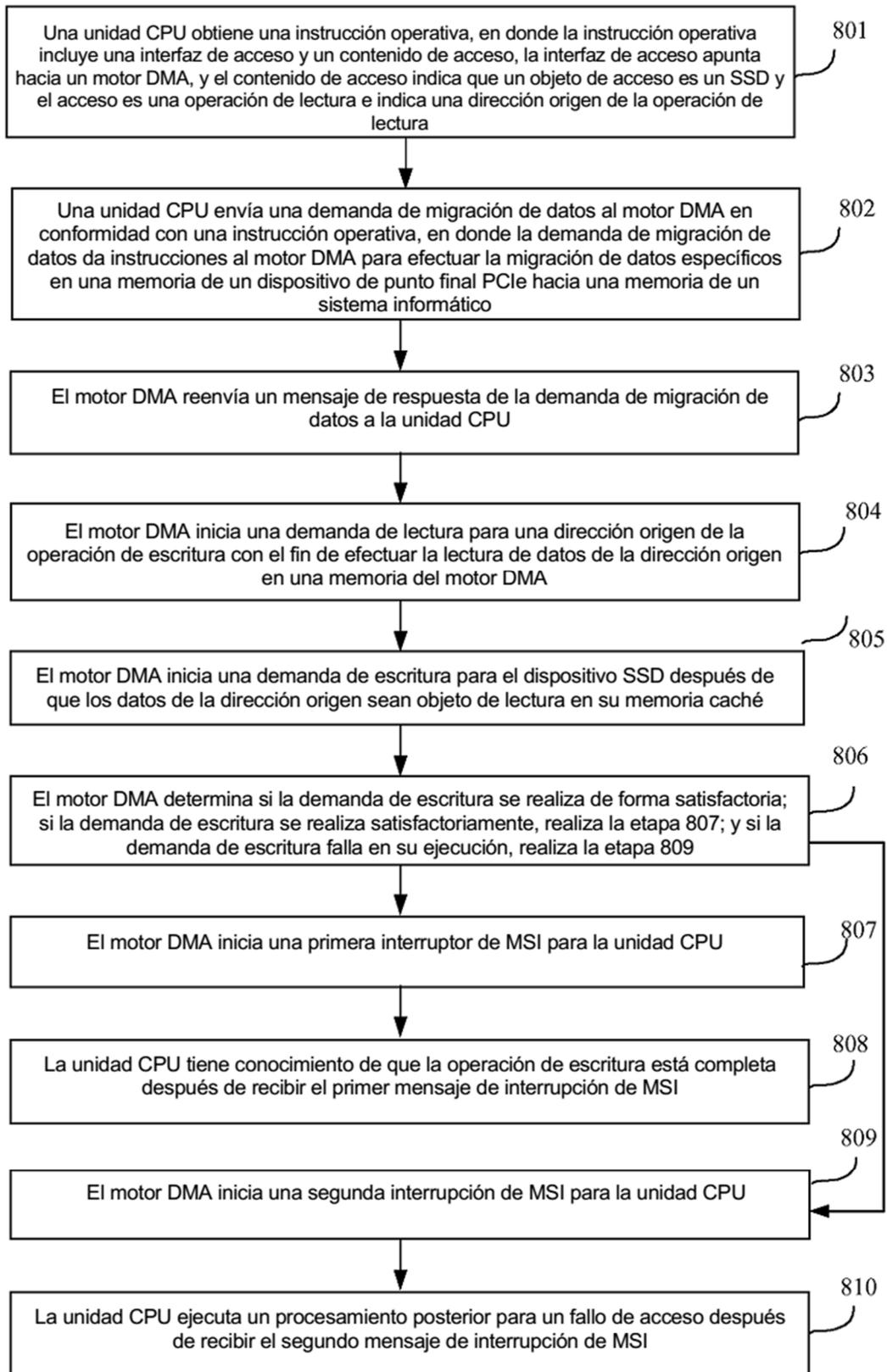


FIG. 8

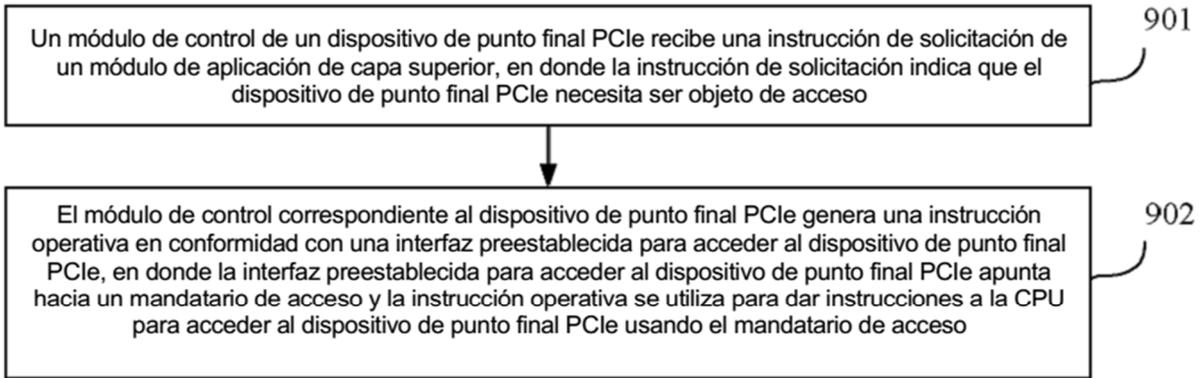


FIG. 9

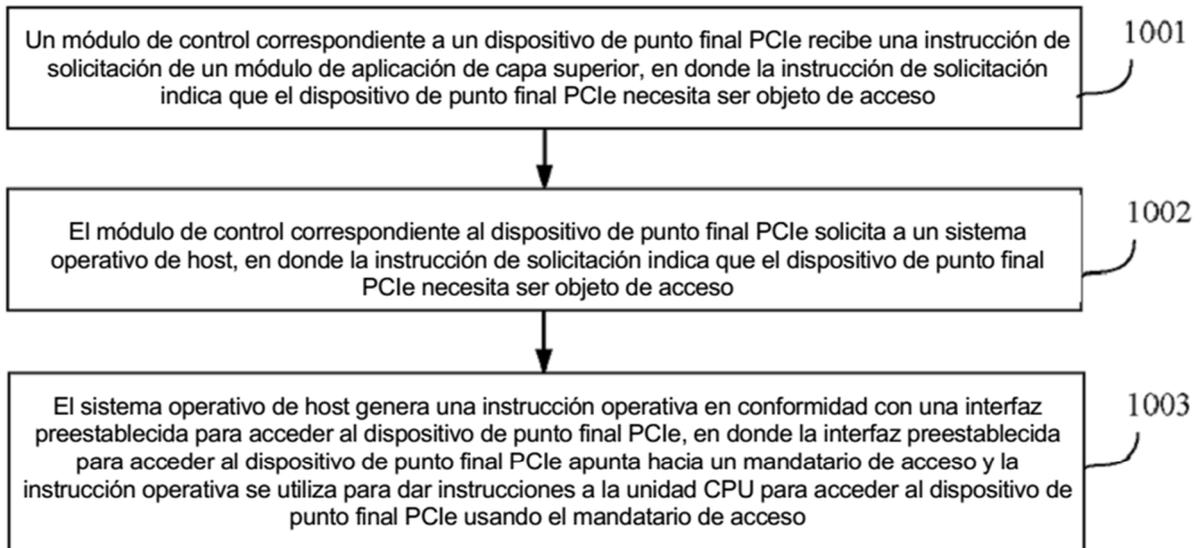


FIG. 10

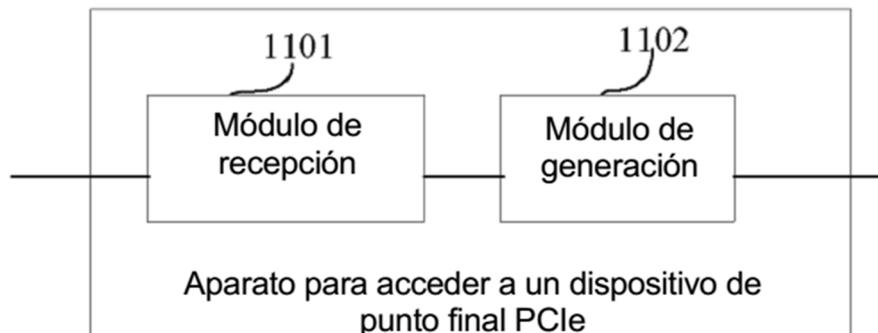


FIG. 11

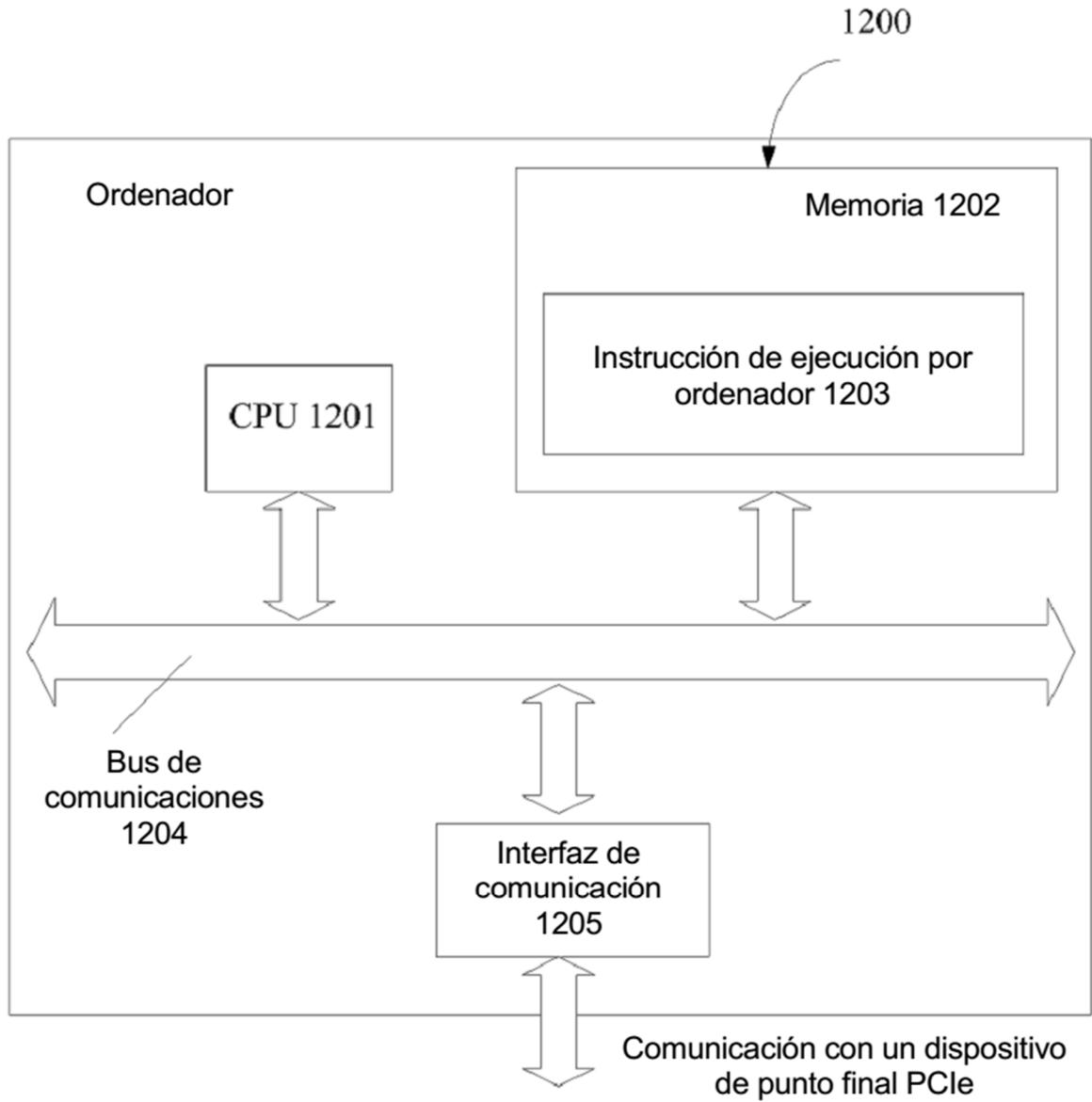


FIG. 12