

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 614 611**

51 Int. Cl.:

H04B 10/61 (2013.01)
H04L 27/227 (2006.01)
H04L 27/22 (2006.01)
H04L 27/00 (2006.01)
H04L 27/38 (2006.01)
H03H 17/02 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **21.04.2010** **E 10305420 (1)**

97 Fecha y número de publicación de la concesión europea: **09.11.2016** **EP 2381596**

54 Título: **Filtro digital paralelo**

45 Fecha de publicación y mención en BOPI de la traducción de la patente:
01.06.2017

73 Titular/es:

ALCATEL LUCENT (100.0%)
148/152 route de la Reine
92100 Boulogne-Billancourt, FR

72 Inventor/es:

CONSTANTINI, CARLO;
LEVEN, ANDREAS;
CUCCHI, SILVIO;
WEISSER, STEFAN;
KANEDA, NORIAKI y
RINALDI, SONIA

74 Agente/Representante:

CARPINTERO LÓPEZ, Mario

ES 2 614 611 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Filtro digital paralelo

Campo técnico

5 La presente invención se refiere al campo del procesamiento de datos digitales. En particular, la presente invención se refiere a un filtro digital paralelo, en particular (pero no exclusivamente) para un receptor óptico coherente para una red de comunicación óptica.

Antecedentes de la técnica

10 En una red de comunicación óptica conocida, los datos digitales se transmiten típicamente en la forma de señales ópticas moduladas. En particular, los datos digitales a ser transmitidos se usan para la modulación en forma digital de una portadora óptica, es decir se varían uno o más parámetros (amplitud y/o fase y/o frecuencia) de la portadora óptica de acuerdo con los datos digitales generando de ese modo una señal óptica modulada. La señal óptica modulada puede expresarse mediante la siguiente ecuación:

$$s(t) = A \cos(2\pi ft - \theta) = I \cos(2\pi ft) + Q \sin(2\pi ft), \quad [1]$$

15 en la que $I = A \cos \theta$ es una componente típicamente denominada en fase, mientras que $Q = A \sin \theta$ es una componente típicamente denominada en cuadratura. A es la amplitud de la señal óptica modulada, f es la frecuencia de la señal óptica modulada y θ es la fase de la señal óptica modulada.

Son conocidos diferentes tipos de modulaciones digitales, tales como por ejemplo modulaciones de fase (PSK, DPSK, QPSK, etc.) en las que θ se varía de acuerdo con los datos digitales a ser transmitidos, y modulaciones amplitud-fase (QAM, etc.) en las que se varían tanto A como θ de acuerdo con los datos digitales a ser transmitidos.

20 Típicamente, los datos digitales a ser transmitidos comprenden una secuencia de símbolos, comprendiendo cada símbolo un número M predefinido de bits. Por ello, puede transmitirse un conjunto discreto de 2^M símbolos S_i ($i = 1, \dots, 2^M$) posibles.

25 De acuerdo con una modulación de fase digital, cada símbolo S_i posible se asocia biunívocamente a un valor θ_i posible de la fase θ , y por lo tanto a un valor $I_i = A \cos \theta_i$ de la componente I en fase y a un valor $Q_i = A \sin \theta_i$ de la componente Q en cuadratura. Por ello, un símbolo S_i posible puede representarse en un plano cartesiano (de aquí en adelante denominado como el plano I-Q) como un punto (I_i, Q_i) cuyas coordenadas cartesianas son $I_i = A \cos \theta_i$ y $Q_i = A \sin \theta_i$. El conjunto de los puntos (I_i, Q_i) ($i = 1, \dots, 2^M$) se denomina típicamente "constelación", y en la descripción presente y en las reivindicaciones se denominará "constelación de referencia". Dado que la amplitud A es constante, todos los puntos (I_i, Q_i) de la constelación de referencia reposan sobre una circunferencia en el plano I-Q.

30 Por ejemplo, suponiendo que la señal óptica modulada $s(t)$ se modula de acuerdo con la conocida modulación de fase digital QPSK, $M=2$ y en consecuencia los símbolos S_i posibles son $2^2=4$, es decir $S_1=00$, $S_2=01$, $S_3=10$, $S_4=11$. Dichos símbolos S_1, S_2, S_3, S_4 posibles se asocian biunívocamente a los valores $\theta_1=45^\circ$, $\theta_2=135^\circ$, $\theta_3=225^\circ$ y $\theta_4=315^\circ$ de la fase θ , respectivamente. Por ello los símbolos S_1, S_2, S_3 y S_4 posibles pueden representarse en el plano I-Q como los puntos $(\sqrt{2}/2, \sqrt{2}/2)$, $(-\sqrt{2}/2, \sqrt{2}/2)$, $(-\sqrt{2}/2, -\sqrt{2}/2)$ y $(\sqrt{2}/2, -\sqrt{2}/2)$, que forman la constelación de referencia para QPSK.

En el lado de recepción, la señal óptica modulada $s(t)$ se desmodula típicamente para la recuperación de los datos digitales originales. Un receptor conocido adecuado para la desmodulación de la señal óptica modulada es el denominado "receptor óptico coherente".

40 Un receptor óptico coherente comprende típicamente un oscilador local que genera una primera portadora óptica de desmodulación $\cos(2\pi ft)$ y una segunda portadora óptica de desmodulación $\sin(2\pi ft)$ que tiene una frecuencia que es sustancialmente igual a la frecuencia f de la señal óptica modulada $s(t)$.

45 El receptor óptico coherente combina típicamente la señal óptica modulada $s(t)$ recibida con la primera portadora óptica de desmodulación $\cos(2\pi ft)$ y con la segunda portadora óptica de desmodulación $\sin(2\pi ft)$, y realiza normalmente una conversión fotoeléctrica de las señales ópticas resultantes, obteniendo de ese modo una componente I' en fase y una componente Q' en cuadratura en la forma de señales eléctricas. Las componentes I' y Q' corresponden a las componentes I y Q , excepto por el ruido y/o distorsión introducida por la propagación de la señal óptica modulada y/o por las anteriores operaciones realizadas por el receptor coherente óptico.

50 A continuación, el receptor óptico coherente realiza típicamente una conversión analógica a digital de la componente I' en fase y de la componente Q' en cuadratura mediante su muestreo a la tasa de símbolos, proporcionando de ese modo muestras I'_k en fase y muestras Q'_k en cuadratura correspondientes (siendo k el índice de la muestra). Cada par de muestras (I'_k, Q'_k) puede representarse en el plano I-Q como un punto (I'_k, Q'_k) cuyas coordenadas cartesianas son I'_k y Q'_k . En la descripción presente y en las reivindicaciones, el conjunto de puntos (I'_k, Q'_k) se

denominará "constelación recibida". Debido al ruido y/o distorsión anteriormente mencionados, los puntos (I'_k, Q'_k) en la constelación recibida forman típicamente "nubes" cuyos baricentros pueden desplazarse con relación a los puntos (I_i, Q_i) correspondientes de la constelación de referencia.

5 A continuación, cada punto (I'_k, Q'_k) se compara típicamente con todos los puntos (I_i, Q_i) de la constelación de referencia, para la determinación del más cercano (es decir aquel que tiene la distancia mínima en el plano I-Q). El símbolo S_i posible correspondiente al más cercano de entre los puntos (I_i, Q_i) de la constelación de referencia se supone entonces que es el símbolo realmente transmitido.

10 Típicamente, la frecuencia de la primera y segunda portadoras ópticas de desmodulación $\cos(2\pi ft)$ y $\sin(2\pi ft)$ generadas en el receptor coherente óptico es ligeramente diferente de la frecuencia de la señal óptica modulada $s(t)$ recibida en el receptor coherente óptico (la diferencia es típicamente del orden de magnitud de unas pocas ppm). En consecuencia, la constelación recibida gira típicamente en el tiempo con relación a la constelación de referencia, es decir las "nubes" giran con relación a los puntos (I_i, Q_i) de la constelación de referencia. La frecuencia de rotación de la constelación recibida es sustancialmente igual a la diferencia entre la frecuencia de la primera y segunda portadoras de desmodulación $\cos(2\pi ft)$ y $\sin(2\pi ft)$ y la frecuencia de la señal óptica modulada $s(t)$ recibida.

15 La rotación de la constelación recibida se compensa típicamente mediante la determinación de la frecuencia de rotación y aplicando una contra-rotación a la constelación recibida, deteniendo sustancialmente de ese modo la rotación de la constelación recibida.

20 El documento FR 2 785 747 divulga un filtro digital con una arquitectura paralela para su uso en un receptor de señal de espectro extendido para el procesamiento de una señal en fase y una señal en cuadratura. El filtro comprende un número P de registros de desplazamiento con medios para resolver una suma ponderada de las muestras almacenadas en los registros, obteniendo de ese modo un número P de sumas ponderadas que pueden recombinarse. El número P puede ser igual a 2.

25 El documento US 4 558 454 divulga un filtro de respuesta parcial digital aplicable en un sistema de transmisión de datos digitales de subportadora (SCA) en FM en el que los datos digitales se modulan en frecuencia sobre una subportadora de FM. El filtro digital de respuesta parcial incluye una memoria digital en la que se almacenan las muestras digitalizadas de la respuesta del canal de respuesta parcial a una entrada representativa de símbolos de datos digitales y medios de adición digital para la suma acumulativamente de las muestras digitalizadas en grupo de modo que produzcan la respuesta del canal de respuesta parcial a un flujo de datos digitales de entrada.

Sumario de la invención

30 Después de que se detiene la constelación recibida, puede estar aún desventajosamente rotada un ángulo α de rotación arbitrario con relación a la constelación de referencia. En otras palabras, las "nubes" de la constelación recibida pueden no estar aún centradas sobre los puntos (I_i, Q_i) correspondientes de la constelación de referencia. Adicionalmente, a pesar de la contra-rotación, el ángulo α de rotación puede variar lentamente con el tiempo. Esto puede perjudicar desventajosamente el rendimiento del receptor coherente óptico, dado que puede inducir a errores cuando cada punto (I'_k, Q'_k) de la constelación recibida se compara con todos los puntos (I_i, Q_i) de la constelación de referencia para de la determinación del más cercano.

Por lo tanto, debería compensarse también la rotación de la constelación recibida en relación a la constelación de referencia mediante la variación lentamente del ángulo α de rotación. Esto puede implementarse mediante la estimación del ángulo α de rotación y la rotación de cada punto (I'_k, Q'_k) de la constelación recibida en $-\alpha$.

40 La estimación del ángulo α de rotación puede realizarse de acuerdo con el conocido algoritmo de Viterbi y Viterbi.

De acuerdo con el algoritmo de Viterbi y Viterbi, cada par de muestras (I'_k, Q'_k) se convierte a una muestra θ'_k angular correspondiente. A continuación, la muestra θ'_k angular se multiplica por 2^M . Esto permite llevar a todas las muestras θ'_k angulares a un mismo cuadrante del plano I-Q. A continuación, cada muestra angular multiplicada se convierte en sus componentes complejas, proporcionando de ese modo una muestra real $X_k = \cos(2^M \cdot \theta'_k)$ y una muestra imaginaria $Y_k = \sin(2^M \cdot \theta'_k)$. A continuación, se calcula una media real XAV sobre un número de muestras reales X_k consecutivas, en tanto que se calcula una media imaginaria YAV sobre las muestras imaginarias Y_k correspondientes. Las medias XAV y YAV se convierten entonces en un ángulo multiplicado por la media correspondiente, que a continuación se divide por 2^M , deduciendo de ese modo un ángulo medio θ'_{AV} . El ángulo medio θ'_{AV} se compara a continuación con los valores θ_i posibles de la fase θ para la determinación del más cercano. Finalmente, se estima el ángulo α de rotación como la diferencia entre el ángulo medio θ'_{AV} y el más cercano de entre los valores θ_i posibles de la fase θ .

En principio, el ángulo α de rotación puede estimarse periódicamente, por ejemplo con un periodo T mayor que el periodo de símbolo. La estimación resultante del ángulo α de rotación puede aplicarse entonces a todos los pares de muestras (I'_k, Q'_k) recibidas durante el periodo T, mediante su resta de todas las muestras θ'_k angulares correspondientes.

Sin embargo, esta solución no permite desventajosamente la compensación de la rotación de la constelación

recibida con una precisión suficiente. Realmente, de acuerdo con esta solución, la estimación del ángulo de rotación se mantiene constante a lo largo de un periodo T completo. Sin embargo, el ángulo α de rotación típicamente no es constante a lo largo de un periodo T debido a que, como se ha mencionado anteriormente, típicamente varía de modo lento en el tiempo de forma continua. Por ello, la solución anterior proporciona una compensación precisa solo sobre el par de muestras (I'_k, Q'_k) recibidas a la mitad del período T. Para pares de muestras (I'_k, Q'_k) recibidas en instantes con distancias crecientes desde la mitad, la precisión de la compensación disminuye desventajosamente.

Puede conseguirse una compensación más precisa mediante la estimación del ángulo α de rotación en cada periodo de símbolo. En particular, puede conseguirse una compensación más precisa mediante el cálculo de las medidas XAV y YAV en cada periodo de símbolo como medias móviles sobre L pares de muestras (I'_k, Q'_k) (siendo L el entero impar igual o mayor que 3), siendo uno de los L pares de muestras (I'_k, Q'_k) el actualmente recibido. La estimación resultante del ángulo α de rotación se aplica entonces solamente al par de muestras (I'_k, Q'_k) actualmente recibido. En el presente documento a continuación, por simplicidad, se hará referencia solamente a la media real XAV. Sin embargo, se aplican las mismas consideraciones también a la media imaginaria YAV.

La operación de cálculo de la media real XAV en cada periodo de símbolo como una media móvil puede expresarse mediante la siguiente ecuación:

$$XAV_k = \frac{1}{L} \cdot \sum_{j=k-L+1}^k X_j \quad [2]$$

Puede conseguirse una estimación particularmente precisa del ángulo α de rotación si la media real XAV_k se calcula sobre el par actualmente recibido (I'_k, Q'_k) , $(L-1)/2$ pares que preceden al actualmente recibido (I'_k, Q'_k) , y $(L-1)/2$ pares que siguen al actualmente recibido (I'_k, Q'_k) .

La operación de la ecuación [2] puede implementarse mediante un filtro digital que tenga la siguiente función de transferencia:

$$H(z) = 1 + z^{-1} + z^{-2} + \dots + z^{-(L-1)} \quad [3]$$

siendo omitida la multiplicación por $1/L$ por simplicidad.

Los presentes inventores han observado que, típicamente, los convertidores analógico a digital del receptor coherente óptico, que muestrea las componentes I' y Q' proporcionando de ese modo en sus salidas los pares (I'_k, Q'_k) , se conectan a la parte digital del receptor óptico coherente por medio de buses paralelo que soportan la transmisión simultánea de un número N de pares (I'_k, Q'_k) en cada periodo de reloj de una señal de reloj que sincroniza la operación del receptor. Dicho periodo de reloj es mucho mayor que un periodo de símbolo. N puede ser igual por ejemplo a 64, 128, 256, etc. El procesamiento sucesivo digital de los pares (I'_k, Q'_k) dentro de la parte digital del receptor se realiza entonces típicamente de acuerdo con un esquema paralelo, es decir en cada ciclo de reloj la parte digital realiza simultáneamente una misma operación sobre N datos.

Por ello, también la compensación del ángulo α de rotación debería realizarse de acuerdo con un esquema paralelo. Por lo tanto, el filtro digital que tiene la función de transferencia [3] debería ser capaz de recibir en paralelo N muestras reales X_k en cada ciclo de reloj, y producir la salida en paralelo de N medias móviles XAV_k en cada ciclo de reloj.

Los presentes inventores han observado que dicho filtro digital es muy difícil de implementar. Realmente, mientras que la implementación de un filtro digital que tenga la función de transferencia [3] no presenta problemas de diseño particulares cuando el filtro digital funciona en serie (es decir, en un ciclo de reloj recibe una única muestra real y produce la salida de una única media real), pueden surgir problemas de diseño complejos en caso de una operación paralelo. Realmente, la complejidad del filtro digital (concretamente, el número de componentes tales como sumadores y elementos de retardo comprendidos en él) puede ser desventajosamente muy alto, especialmente cuando N es igual a 64, 128, 256 o un valor más alto.

A la vista de lo anterior, los presentes inventores han abordado el problema de proporcionar un filtro digital (en particular, pero no exclusivamente, para un receptor óptico coherente) que sea capaz de realizar la operación descrita mediante la ecuación anterior [2] de acuerdo con un esquema paralelo, es decir que sea capaz, en cada ciclo de reloj, de recibir simultáneamente un número N de muestras X_k y producir la salida simultáneamente del mismo número N de medias móviles XAV_k , siendo calculada cada una de las N medias móviles XAV_k sobre L muestras consecutivas de acuerdo con la ecuación [2] anterior.

De acuerdo con un primer aspecto, la presente invención proporciona un filtro digital configurado para recibir una secuencia de muestras digitales, estando configurado el filtro digital para recibir en paralelo N muestras digitales de la secuencia en cada ciclo de reloj de una señal de reloj adecuada para la sincronización de la operación del filtro digital, siendo N un entero mayor que 1, y para calcular una suma de L muestras digitales consecutivas de la secuencia, siendo L un entero impar igual a o mayor que 3 y menor que N, comprendiendo el filtro digital:

- un circuito de integración configurado para calcular una primera integral de la secuencia hasta una primera

muestra digital de las L muestras digitales consecutivas y una última integral de la secuencia hasta una última muestra digital de las L muestras digitales consecutivas; y

- un circuito de diferenciación configurado para calcular la suma como una diferencia entre la última integral y la primera integral,

5 en el que el circuito de integración comprende un módulo de suma acumulativa, un módulo de adición conectado al módulo de suma acumulativa y un primer registro conectado retroactivamente al módulo de adición, en el que:

- el módulo de suma acumulativa se configura para calcular una última suma acumulativa de la última muestra digital y muestras digitales precedentes de la secuencia recibidas dentro de un mismo ciclo de reloj que la última muestra digital;

10 - el primer registro se configura para almacenar una integral retardada calculada sobre muestras digitales de la secuencia recibidas antes del mismo ciclo de reloj; y

- el módulo de adición se configura para calcular la última integral mediante la adición de la última suma acumulativa y la integral retardada.

15 Preferentemente, el módulo de suma acumulativa se configura para recibir en paralelo N muestras digitales de la secuencia de muestras digitales en el mismo ciclo de reloj, y para proporcionar N sumas acumulativas en paralelo, incluyendo las N sumas acumulativas la última suma acumulativa.

Preferentemente, el módulo de adición se configura para recibir en paralelo las N sumas acumulativas y para añadir la integral retardada a cada una de las N sumas acumulativas, proporcionando de ese modo en paralelo N integrales actualmente calculadas, incluyendo las N integrales actualmente calculadas la última integral.

20 Preferentemente, el primer registro se configura para:

- antes de recibir las N integrales actualmente calculadas, almacenar N integrales previamente calculadas, incluyendo las N integrales previamente calculadas la integral retardada y la primera integral; y
- recibir desde el módulo de adición las N integrales actualmente calculadas y almacenarlas, sobrescribiendo de ese modo las N integrales previamente calculadas.

25 Preferentemente, el circuito de diferenciación comprende un segundo registro que coopera con el primer registro, y el primer registro se configura para, tras la recepción de las N integrales actualmente calculadas, enviar las N integrales previamente calculadas al segundo registro, antes de sobrescribirlas.

Preferentemente, el circuito de diferenciación comprende adicionalmente un primer selector y un segundo selector conectado al primer registro y al segundo registro, y:

30 - el primer selector se configura para leer desde el primer registro y el segundo registro N integrales de minuendo seleccionadas de entre las N integrales previamente calculadas y las N integrales actualmente calculadas, incluyendo las N integrales de minuendo la última integral; y

35 - el segundo selector se configura para leer desde el primer registro y el segundo registro N integrales de sustraendo seleccionadas de entre las N integrales previamente calculadas y las N integrales actualmente calculadas, incluyendo las N integrales de sustraendo la primera integral, en la que las N integrales de minuendo se desplazan L-1 con relación a las N integrales de sustraendo.

Preferentemente:

40 - las N integrales de minuendo son una concatenación de las últimas $(N/2)-((L-1)/2)$ integrales de las N integrales previamente calculadas y las primeras $(N/2)+((L-1)/2)$ integrales de las N integrales actualmente calculadas; y

- las N integrales de sustraendo son una concatenación de las últimas $(N/2)+((L-1)/2)$ integrales de las N integrales previamente calculadas y las primeras $(N/2)-((L-1)/2)$ integrales de las N integrales actualmente calculadas.

45 Preferentemente, el circuito de diferenciación comprende adicionalmente un segundo módulo de adición conectado al primer selector y al segundo selector, estando configurado el segundo módulo de adición para calcular N diferencias entre las N integrales de minuendo y las N integrales de sustraendo, incluyendo las N diferencias la diferencia entre la última integral y la primera integral.

De acuerdo con variantes ventajosas, el módulo de suma acumulativa comprende $\log_2(N)-1$ módulos de suma acumulativa adicionales anidados entre sí.

Preferentemente:

50 - el módulo de suma acumulativa comprende N/2 sumadores de entrada, $(N/2)-1$ sumadores de salida y un primer módulo de suma acumulativa adicional interpuesto entre los N/2 sumadores de entrada y los $(N/2)-1$ sumadores de salida; y

- el primer módulo de suma acumulativa comprende N/4 primeros sumadores de entrada adicionales, $(N/4)-1$ primeros sumadores de salida adicionales y un segundo módulo de suma acumulativa adicional interpuesto entre los N/4 primeros sumadores de entrada adicionales y los $(N/4)-1$ primeros sumadores de salida adicionales.

Preferentemente, los módulos de suma acumulativa adicionales incluyen un módulo de suma acumulativa adicional más interior que comprende a su vez un único sumador.

Alternativamente, el módulo de suma acumulativa comprende N sumadores en cascada.

5 De acuerdo con un segundo aspecto, la presente invención proporciona un compensador de rotación para un receptor coherente óptico configurado para recibir una señal óptica modulada, procesar la señal óptica modulada para la generación de una componente en fase y una componente en cuadratura, y muestrear la componente en fase y la componente en cuadratura para la generación de pares de muestras de la componente en fase y de la componente en cuadratura, formando los pares de muestras una constelación recibida que está rotada un ángulo de rotación con relación a una constelación de referencia, comprendiendo el compensador de rotación:

- 10 - un primer módulo de ángulo configurado para recibir en paralelo N pares de muestras y para convertirlas en N muestras angulares correspondientes;
- un circuito de estimación configurado para procesar las N muestras angulares correspondientes para la estimación de N ángulos de rotación;
- 15 - un circuito de compensación configurado para aplicar los N ángulos de rotación a las N muestras angulares correspondientes, proporcionando de ese modo N muestras angulares compensadas; y
- un primer módulo seno-coseno configurado para recibir las N muestras angulares compensadas en paralelo y para convertirlas en N pares correspondientes de muestras compensadas,

en el que el circuito de estimación comprende un filtro digital tal como se ha expuesto anteriormente.

20 De acuerdo con un tercer aspecto, la presente invención proporciona un receptor óptico coherente para una red de comunicación óptica configurado para recibir una señal óptica modulada y para procesar la señal óptica modulada para la generación de una componente en fase y una componente en cuadratura, comprendiendo el receptor óptico coherente un compensador de rotación tal como se ha expuesto anteriormente.

De acuerdo con un cuarto aspecto, la presente invención proporciona una red de comunicación óptica que comprende un receptor coherente óptico tal como se ha expuesto anteriormente.

25 **Breve descripción de los dibujos**

Las realizaciones de la invención se entenderán mejor mediante la lectura de la siguiente descripción detallada, dada a modo de ejemplo y no de limitación, para ser leída con referencia a los dibujos adjuntos, en los que:

- la Figura 1 es un diagrama de bloques de un receptor óptico coherente de acuerdo con una realización preferida de la presente invención;
- 30 - la Figura 2 es un diagrama de bloques del compensador de rotación comprendido en el receptor óptico coherente de la Figura 1, de acuerdo con una realización preferida de la presente invención;
- la Figura 3 es un diagrama de bloques de uno de los filtros digitales comprendido en el compensador de rotación de la Figura 2;
- la Figura 4 es un diagrama de bloques de una implementación posible de un circuito de integración;
- 35 - la Figura 5 es un diagrama de bloques del módulo de suma acumulativa comprendido en el filtro digital de la Figura 3 de acuerdo con una primera variante, en un caso ejemplar en el que $N=8$;
- la Figura 6 es un diagrama de bloques del módulo de suma acumulativa comprendido en el filtro digital de la Figura 3 de acuerdo con una segunda variante, en un caso ejemplar en el que $N=8$; y
- 40 - las Figuras 7a y 7b muestran esquemáticamente la operación del circuito de diferenciación comprendido en el filtro digital de la Figura 3, cuando la longitud del filtro digital es $L = 3$ y $L = 5$, respectivamente.

Descripción detallada de realizaciones preferidas de la invención

La Figura 1 muestra esquemáticamente un receptor RX óptico coherente de acuerdo con una realización preferida de la presente invención.

45 El receptor RX óptico coherente comprende preferentemente una parte analógica AP, un convertidor analógico a digital en fase A/D_I , un convertidor analógico a digital en cuadratura A/D_Q , un compensador RC de rotación y una unidad DU de decisión. El receptor RX óptico coherente puede comprender módulos adicionales, que no se muestran en la Figura 1 y no se describirán dado que no son relevantes para la presente descripción.

50 La parte analógica AP tiene preferentemente una entrada que corresponde sustancialmente a la entrada del receptor RX óptico coherente, y dos salidas. La parte analógica AP se implementa preferentemente como una disposición de componentes ópticos, eléctricos y electrónicos. La implementación física de la parte analógica AP no se describirá en detalle, dado que no es relevante para la presente descripción.

Preferentemente, el convertidor analógico a digital en fase A/D_I , y el convertidor analógico a digital en cuadratura A/D_Q se conectan a las salidas de la parte analógica AP. Las salidas del convertidor analógico a digital en fase A/D_I , y del convertidor analógico a digital en cuadratura A/D_Q se conectan preferentemente a las entradas del compensador

RC de rotación. La unidad DU de decisión tiene dos entradas, que se conectan preferentemente a las salidas del compensador RC de rotación. Las conexiones entre salidas de los convertidores analógico a digital A/D_I, A/D_Q y las entradas del compensador RC de rotación se implementan preferentemente como buses paralelo. De modo similar, las conexiones entre salidas del compensador RC de rotación y entradas de la unidad DU de decisión se implementan preferentemente como buses paralelo.

Cuando se recibe una señal óptica modulada $s(t) = A \cos(2\pi f t - \theta)$ en la entrada del receptor RX óptico coherente, la parte analógica AP la procesa preferentemente para la generación de una componente I' en fase y una componente Q' en cuadratura que corresponden básicamente (excepto por el ruido y/o distorsiones introducidas por la propagación y/o la parte analógica AP en sí) a las componentes I y Q de la señal óptica modulada s(t). Tanto la componente I' en fase como la componente Q' en cuadratura de salida producida por la parte analógica AP están preferentemente en la forma de señales eléctricas analógicas. La operación de la parte analógica AP no se describirá con detalle adicional, dado que no es relevante para la presente descripción.

A continuación, de acuerdo con esta primera realización, el convertidor analógico a digital A/D_I en fase muestrea preferentemente la componente I' en fase, generando de ese modo una secuencia de muestras I'_k de la componente en fase. Sustancialmente al mismo tiempo, el convertidor analógico a digital A/D_Q en cuadratura muestrea preferentemente la componente Q' en cuadratura, generando de ese modo una secuencia de muestras Q'_k de la componente en cuadratura. En el presente documento a continuación, por simplicidad, se supone que el muestreo se realiza a la tasa de símbolos, de modo que cada par de muestras (I'_k, Q'_k) corresponde a un símbolo recibido respectivo.

Como se ha mencionado anteriormente, los pares de muestras (I'_k, Q'_k) pueden representarse en el plano I-Q como puntos (I'_k, Q'_k) que forman la constelación recibida, que está rotada típicamente un ángulo α de rotación que varía lentamente con relación a la constelación de referencia.

Preferentemente, el compensador RC de rotación compensa dicha rotación de acuerdo con el conocido algoritmo de Viterbi y Viterbi mencionado anteriormente, tal como se describirá en detalle en el presente documento a continuación, proporcionando de ese modo en sus salidas pares de muestras compensadas (I''_k, Q''_k). Los pares de muestras compensadas (I''_k, Q''_k) pueden representarse en el plano I-Q como puntos (I''_k, Q''_k) que forman una constelación recibida compensada, que solapan ventajosamente con la constelación de referencia (es decir, las "nubes" de la constelación recibida compensada están sustancialmente centradas alrededor de los puntos respectivos de la constelación de referencia).

A continuación, el compensador RC de rotación envía preferentemente los pares de muestras compensadas (I''_k, Q''_k) a la unidad DU de decisión, que las procesa para recuperar los datos digitales originalmente transmitidos. La operación de la unidad DU de decisión depende del tipo de modulación digital aplicada a la señal óptica modulada s(t), y no se describirá con detalle adicional, dado que no es relevante para la presente descripción.

Se describirá ahora en detalle, con referencia a la Figura 2, el compensador RC de rotación de acuerdo con una realización preferida de la presente invención.

El compensador RC de rotación comprende preferentemente un primer módulo ANGL1 de ángulo, un primer multiplicador M1, un primer módulo SC1 seno-coseno, un primer filtro Fx digital, un segundo filtro Fy digital, un segundo módulo ANGL2 de ángulo, un segundo multiplicador M2, un desencapsulador UW, un sumador S, una línea de retardo D y un segundo módulo SC2 seno-coseno.

El primer módulo ANGL1 de ángulo tiene preferentemente dos entradas que corresponden a las entradas del compensador RC de rotación, y una salida conectada a la entrada del primer multiplicador M1. La salida del primer multiplicador M1 se conecta preferentemente a la entrada del primer módulo SC1 seno-coseno. El primer módulo SC1 seno-coseno tiene preferentemente dos salidas, una conectada a la entrada del primer filtro Fx digital y la otra conectada a la entrada del segundo filtro Fy digital. Las salidas de tanto el primer filtro Fx digital como del segundo filtro Fy digital se conectan preferentemente a la entrada del segundo módulo ANGL2 de ángulo. La salida del segundo módulo ANGL2 de ángulo se conecta preferentemente a la entrada del segundo multiplicador M2. La salida del segundo multiplicador M2 se conecta preferentemente a la entrada del desencapsulador UW. La entrada de la línea de retardo D se conecta preferentemente a la salida del primer módulo ANGL1 de ángulo. Las salidas de la línea de retardo D y del desencapsulador UW se conectan preferentemente a las entradas del sumador S. La salida del sumador S se conecta preferentemente a la entrada del segundo módulo SC2 seno-coseno. El segundo módulo SC2 seno-coseno tiene dos salidas, que corresponden básicamente a las salidas del compensador RC de rotación.

El compensador RC de rotación comprende preferentemente también una entrada de reloj adecuada para la recepción de una señal de reloj desde una unidad de reloj (no mostrada en la Figura 1) comprendida dentro del receptor RX coherente óptico.

Se describirá ahora en detalle la operación del compensador RC de rotación de acuerdo con una realización preferida de la presente invención.

Preferentemente, en cada ciclo de reloj de la señal de reloj anteriormente mencionada, el compensador RC de

rotación recibe preferentemente en paralelo (es decir sustancialmente de modo simultáneo) N pares de muestras (I'_k , Q'_k), siendo N un entero igual a o mayor que 2. Por ejemplo, N puede ser igual a 8, 16, 32, 64, 128, etc. El primer módulo SC1 seno-coseno convierte preferentemente los N pares de muestras (I'_k , Q'_k) en N muestras θ'_k angulares correspondientes. A continuación, preferentemente, el primer multiplicador M1 multiplica cada una de las N muestras θ'_k angulares por 2^M , llevando de ese modo a todas las N muestras θ'_k angulares a un mismo cuadrante del plano I-Q.

A continuación, el primer módulo SC1 seno-coseno convierte preferentemente cada una de las N muestras angulares multiplicadas $2^M \cdot \theta'_k$ en sus componentes real e imaginaria respectivas, proporcionando de ese modo N muestras reales $X_k = \cos(2^M \cdot \theta'_k)$ y N muestras imaginarias $Y_k = \sin(2^M \cdot \theta'_k)$.

Las N muestras reales $X_k = \cos(2^M \cdot \theta'_k)$ se envían al primer filtro Fx digital, que calcula preferentemente N medias reales XAV_k , siendo calculada cada una de las N medias reales XAV_k sobre un número L (siendo L igual a o mayor que 3) de muestras reales consecutivas, tal como se describirá en detalle en el presente documento a continuación. Sustancialmente al mismo tiempo, las N muestras imaginarias $Y_k = \sin(2^M \cdot \theta'_k)$ se envían al segundo filtro Fy digital, que calcula preferentemente N medias imaginarias YAV_k , siendo calculada cada una de las N medias imaginarias YAV_k sobre el mismo número L de muestras imaginarias consecutivas, tal como se describirá en detalle en el presente documento a continuación.

Las N medias reales XAV_k y las N medias imaginarias YAV_k se envían entonces al segundo módulo ANGL2 de ángulo, que preferentemente las convierte en N ángulos correspondientes. A continuación, el segundo multiplicador M2 divide preferentemente dichos N ángulos correspondientes por 2^M , proporcionando de ese modo N ángulos medios θ'_{AVK} . A continuación, preferentemente, el desencapsulador UW compara cada uno de los N ángulos medios θ'_{AVK} con los valores θ_i posibles de la fase θ para la determinación del más próximo, y estima los ángulos α_k de rotación como la diferencia entre el ángulo medio θ'_{AVK} y el más cercano de entre los valores θ_i posibles de la fase θ .

A continuación, el sumador S recibe preferentemente las N muestras θ'_k angulares (adecuadamente retardadas por la línea de retardo D) y los N ángulos α_k de rotación, y calcula N muestras θ''_k angulares compensadas mediante la resta de cada una de las muestras θ'_k angulares del ángulo α_k de rotación correspondiente. Las N muestras θ''_k angulares compensadas se envían entonces al segundo módulo SC2 seno-coseno, que preferentemente convierte cada una de las N muestras θ''_k angulares compensadas en sus respectivas componentes real e imaginaria, proporcionando de ese modo N pares de muestras compensadas (I''_k , Q''_k), en las que $I''_k = \cos(\theta''_k)$ son N muestras en fase compensadas y $Q''_k = \sin(\theta''_k)$ son N muestras en cuadratura compensadas.

Se describirá ahora con detalle adicional con referencia a la Figura 3, el primer filtro Fx digital. El segundo filtro Fy digital tiene sustancialmente la misma estructura y operación que el primer filtro Fx digital. Por ello, se proporcionará en el presente documento una descripción detallada solamente para el primer filtro Fx digital. Por simplicidad, el primer filtro Fx digital se denominará brevemente en la descripción que sigue como "filtro digital".

Como se ha mencionado anteriormente, en cada ciclo de reloj del filtro Fx digital recibe preferentemente N muestras reales X_k y proporciona en sus salidas N medias reales XAV_k , de acuerdo con la siguiente operación (véase la ecuación anterior [2]):

$$XAV_k = \frac{1}{L} \cdot \sum_{j=k-L+1}^k X_j \quad [2]$$

En consecuencia, el filtro Fx digital tiene preferentemente la siguiente función de transferencia (véase la ecuación anterior [3]):

$$H(z) = 1 + z^{-1} + z^{-2} + \dots + z^{-L-1} \quad [3]$$

siendo omitida la multiplicación por 1/L por simplicidad.

Los presentes inventores han observado que puede aplicarse una factorización conocida a la función de transferencia de la ecuación [3], dividiéndola de ese modo en una primera función de transferencia:

$$H1(z) = \frac{1}{1 - z^{-1}} \quad [4]$$

y una segunda función de transferencia:

$$H2(z) = 1 - z^{-L} \quad [5]$$

Por ello, el filtro Fx digital puede implementarse como una cascada de un circuito de integración que tiene la función de transferencia $H1(z)$ y por ello se realiza la siguiente operación:

$$\text{Int}_k = \sum_{j=-\infty}^k X_j, \quad [6]$$

un circuito de diferenciación que tenga la función de transferencia $H_2(z)$ y por ello que realiza la siguiente operación:

$$\text{Int}_k - \text{Int}_{k-L+1} \quad [7]$$

y un multiplicador por $1/L$ que realiza la siguiente operación

$$5 \quad XAV_k = \frac{1}{L} \cdot (\text{Int}_k - \text{Int}_{k-L+1}) \quad [8]$$

Si la operación de la ecuación [2] ha de realizarse no sobre la muestra actual y las $L-1$ muestras precedentes, sino sobre la muestra actual, las $(L-1)/2$ muestras precedentes y las $(L-1)/2$ muestras sucesivas (es decir, la media móvil debería centrarse sobre la muestra actual), la ecuación [7] es:

$$\text{Int}_{k+((L-1)/2)} - \text{Int}_{k-((L-1)/2)}, \quad [7']$$

10 y por lo tanto la ecuación [8] es:

$$XAV_k = \frac{1}{L} \cdot (\text{Int}_{k+((L-1)/2)} - \text{Int}_{k-((L-1)/2)}) \quad [8']$$

La Figura 3 muestra esquemáticamente la estructura del filtro F_x digital implementado sustancialmente como una cascada del circuito de integración anterior, el circuito de diferenciación anterior y un multiplicador por $1/L$.

15 Más particularmente, el filtro F_x digital comprende preferentemente un módulo CS de suma acumulativa, un primer módulo S1 de adición, un elemento de retardo D1, un primer registro REG1, un segundo registro REG2, un primer selector MUX1, un segundo selector MUX2, un segundo módulo S2 de adición y un módulo Mx de multiplicación.

La entrada del módulo CS de suma acumulativa corresponde básicamente a la entrada del filtro F_x digital. La salida del módulo CS de suma acumulativa se conecta preferentemente a una de las entradas del primer módulo S1 de adición. La salida del primer módulo S1 de adición se conecta preferentemente a la entrada del primer registro REG1. El primer registro REG1 tiene una salida conectada a la otra entrada del primer módulo S1 de adición a través del elemento de retardo D1, de acuerdo con una configuración de realimentación. Además, preferentemente, el primer registro REG1 se conecta al segundo registro REG2. Las salidas del primer y segundo registros REG1, REG2 se conectan preferentemente a las entradas del primer y segundo selectores MUX1, MUX2, respectivamente. Las salidas del primer y segundo selectores MUX1, MUX2 se conectan preferentemente a las entradas del segundo módulo S2 de adición. La entrada del módulo Mx de multiplicación se conecta preferentemente a la salida del segundo módulo S2 de adición. La salida del módulo Mx de multiplicación corresponde preferentemente a la salida del filtro F_x digital. Las líneas gruesas de la Figura 3 indican preferentemente conexiones paralelo, es decir conexiones capaces de transportar N datos en paralelo.

30 Cuando, en un ciclo de reloj dado, el filtro F_x digital recibe N muestras $X_k, X_{k+1}, \dots, X_{k+N-1}$ desde el primer módulo SC1 seno-coseno, el módulo CS de suma acumulativa calcula preferentemente N sumas acumulativas como sigue:

$$\begin{aligned} S_k &= X_k; \\ S_{k+1} &= X_k + X_{k+1}; \\ &\dots \\ S_{k+N-1} &= X_k + X_{k+1} + X_{k+2} + \dots + X_{k+N-1}. \end{aligned}$$

35 El módulo CS de suma acumulativa envía entonces preferentemente las N sumas $S_k, S_{k+1}, \dots, S_{k+N-1}$ acumulativas al primer módulo S1 de adición. Sustancialmente al mismo tiempo, el primer módulo S1 de adición recibe desde el elemento de retardo D1 una integral Int_{k-1} retardada que se calculó por el primer módulo S1 de adición sobre las N muestras recibidas en el ciclo de reloj previo y que se almacenó en el primer registro REG1.

40 El primer módulo S1 de adición añade entonces preferentemente la integral Int_{k-1} retardada a cada una de las N sumas $S_k, S_{k+1}, \dots, S_{k+N-1}$ acumulativas, proporcionando de ese modo en sus salidas las siguientes N integrales:

$$\begin{aligned} \text{Int}_k &= \text{Int}_{k-1} + S_k; \\ \text{Int}_{k+1} &= \text{Int}_{k-1} + S_{k+1}; \\ &\dots \end{aligned}$$

$$\text{Int}_{k+N-1} = \text{Int}_{k-1} + S_{k+N-1}.$$

Las N integrales se envían entonces al primer registro REG1, que preferentemente las almacena, sobrescribiendo de ese modo N integrales $\text{Int}_{k-N}, \text{Int}_{k-N+1}, \dots, \text{Int}_{k-1}$ calculadas por el primer módulo S1 de adición sobre las N muestras recibidas en el ciclo de reloj previo.

- 5 Puede observarse que el módulo CS de suma acumulativa, el primer módulo S1 de adición, el primer registro REG1 y el elemento de retardo D1 forman básicamente un circuito de integración que realiza la operación de integración definida por la ecuación [6] anterior. En particular, la operación de integración se realiza en dos etapas. En lugar del cálculo, para cada muestra $X_k, X_{k+1}, \dots, X_{k+N-1}$, de la integral para todas las muestras previas (incluyendo las recibidas durante ciclos de reloj anteriores) como se proporciona por la ecuación [6], para cada muestra $X_k, X_{k+1}, \dots, X_{k+N-1}$, el bloque CS de suma acumulativa calcula en primer lugar una "integrar parcial" (es decir las sumas $S_k, S_{k+1}, \dots, S_{k+N-1}$ acumulativas) solamente sobre las muestras recibidas durante el ciclo de reloj actual. Posteriormente, el primer módulo S1 de adición desplaza todas las integrales parciales en la misma cantidad (es decir la integral Int_{k-1} retardada) que básicamente es la integral calculada sobre todas las muestras recibidas durante los ciclos de reloj precedentes, es decir recibidas antes de las N actualmente recibidas.
- 10
- 15 Esta implementación en dos etapas es ventajosa, dado que las N integrales $\text{Int}_{k-N}, \text{Int}_{k+1}, \dots, \text{Int}_{k+N-1}$ pueden calcularse ventajosamente en más de un ciclo de reloj.

Realmente, en principio la solución más directa para la implementación directamente de la operación [6] anterior sería el circuito mostrado en la Figura 4. Por simplicidad, se supone que $N=8$. El circuito comprende $N=8$ sumadores en cascada A0, A1, ... A7 y un bloque d de retardo que forma un bucle de realimentación entre el primer sumador A0 y el último sumador A7. En un primer ciclo de reloj, el circuito recibe $N=8$ muestras X_0, X_1, \dots, X_7 . El sumador A0 proporciona Int_0 igual a X_0 , y a continuación los otros sumadores A1, ... A7 cooperan en cascada para el cálculo de las otras integrales $\text{Int}_1, \dots, \text{Int}_7$ de acuerdo con la ecuación [6]. La última integral Int_7 se envía entonces al bloque d de retardo. En el siguiente ciclo de reloj, el circuito recibe otras $N=8$ muestras X_8, X_9, \dots, X_{15} y la última integral Int_7 desde el bloque d de retardo. El primer sumador A0 suma X_8 con Int_7 para el cálculo de Int_8 , y a continuación los otros sumadores A1, ... A7 cooperan en cascada para el cálculo de las otras integrales $\text{Int}_9, \dots, \text{Int}_{15}$ de acuerdo con la ecuación [6]. En general, en el circuito de la Figura 4, en cada ciclo de reloj se reciben $N=8$ nuevas muestras $X_k, X_{k+1}, \dots, X_{k+7}$ y, para el cálculo de las $N=8$ integrales correspondientes $\text{Int}_k, \text{Int}_{k+1}, \dots, \text{Int}_{k+7}$, la integral Int_{k-1} debe estar disponible al inicio del ciclo de reloj actual. De modo similar, para permitir la operación apropiada del circuito en el siguiente ciclo de reloj, la integral Int_{k+7} debe estar disponible al comienzo del siguiente ciclo de reloj. En otras palabras, todas las integrales $\text{Int}_k, \text{Int}_{k+1}, \dots, \text{Int}_{k+7}$ deben calcularse en un único ciclo de reloj. Sin embargo, en un sistema de comunicación óptico un ciclo de reloj es de pocos nanosegundos. Por lo tanto, la operación en cascada de los $N=8$ sumadores debería completarse en pocos nanosegundos. Sin embargo, la implementación actual de sumadores no permite que más de 2-3 sumadores funcionen en cascada en un tiempo tan corto. El circuito de la Figura 4 por lo tanto no es capaz de calcular todas las integrales $\text{Int}_k, \text{Int}_{k+1}, \dots, \text{Int}_{k+7}$ en un único ciclo de reloj.

20

25

30

35 La implementación en dos etapas de la operación de integración definida por la ecuación [6] elimina ventajosamente la restricción del cálculo de las N integrales $\text{Int}_k, \text{Int}_{k+1}, \dots, \text{Int}_{k+N-1}$ que corresponden a las N muestras $X_k, X_{k+1}, \dots, X_{k+N-1}$ actualmente recibidas dentro del ciclo de reloj actual. Realmente, en cada ciclo de reloj, el módulo CS de suma acumulativa recibe N muestras $X_k, X_{k+1}, \dots, X_{k+N-1}$ y puede iniciar el cálculo de las sumas $S_k, S_{k+1}, \dots, S_{k+N-1}$ acumulativas correspondientes, sin recibir ninguna información deducida de las N muestras recibidas durante el ciclo de reloj previo, debido a que las sumas $S_k, S_{k+1}, \dots, S_{k+N-1}$ acumulativas se calculan solamente sobre las N muestras actualmente recibidas. El procesamiento de las N muestras recibidas en el ciclo de reloj previo puede estar aún en ejecución por lo tanto (es decir el cálculo de las N integrales que corresponden a las N muestras recibidas en el ciclo de reloj previo puede no estar aún completado), dado que ninguna de estas integrales es necesaria para el inicio del cálculo de las sumas $S_k, S_{k+1}, \dots, S_{k+N-1}$ acumulativas. El único requisito es que la integral Int_{k-1} esté disponible cuando se acabe el cálculo de las sumas $S_k, S_{k+1}, \dots, S_{k+N-1}$ acumulativas por el bloque CS de sumas acumulativas, de modo que el primer módulo de suma S1 pueda añadirla a las sumas $S_k, S_{k+1}, \dots, S_{k+N-1}$ acumulativas para la obtención de las integrales $\text{Int}_k, \text{Int}_{k+1}, \dots, \text{Int}_{k+N-1}$. Por lo tanto, ventajosamente, el cálculo de las sumas $S_k, S_{k+1}, \dots, S_{k+N-1}$ acumulativas y por lo tanto de las integrales $\text{Int}_k, \text{Int}_{k+1}, \dots, \text{Int}_{k+N-1}$ puede llevar más de un ciclo de reloj.

40

45

50 La Figura 5 muestra esquemáticamente el módulo CS de suma acumulativa de acuerdo con una primera variante de la presente invención, en un caso ejemplar en el que $N=8$.

De modo similar al circuito de la Figura 4, el módulo CS de suma acumulativa comprende $N=8$ sumadores en cascada A0, A1, ... A7. Sin embargo, a diferencia del circuito de la Figura 4, el módulo CS de suma acumulativa no comprende ningún bucle de realimentación entre el primer sumador A0 y el último sumador A7. En cada ciclo de reloj el módulo CS de suma acumulativa recibe $N=8$ muestras $X_k, X_{k+1}, \dots, X_{k+7}$. El primer sumador A0 proporciona preferentemente en la salida del módulo CS de suma acumulativa una primera suma $S_k=X_k$ acumulativa. Los otros sumadores A1, ... A7 operan a continuación preferentemente en cascada, proporcionando de ese modo las otras sumas S_{k+1}, \dots, S_{k+7} acumulativas.

55

La operación completa puede llevar ventajosamente múltiples ciclos de reloj. Por ejemplo, suponiendo que cada sumador realiza una suma en un ciclo de reloj, durante un primer ciclo de reloj se reciben $N=8$ muestras X_k, X_{k+1}, \dots

X_{k+7} , y el primer sumador A0 calcula la suma $S_k=X_k$ acumulativa. Durante un segundo ciclo de reloj, el segundo sumador A1 calcula la suma $S_{k+1}=X_k+X_{k+1}$ acumulativa, mientras se reciben $N=8$ muestras adicionales $X_{k+8}, X_{k+9}, \dots, X_{k+15}$ y el primer sumador A0 calcula la suma $S_{k+8}=X_{k+8}$ acumulativa. Durante el tercer ciclo de reloj, el tercer sumador A2 calcula la suma $S_{k+2}=X_k+X_{k+1}+X_{k+2}$ acumulativa, el segundo sumador A1 calcula la suma $S_{k+9}=X_{k+8}+X_{k+9}$ acumulativa, mientras se reciben $N=8$ muestras adicionales $X_{k+16}, X_{k+17}, \dots, X_{k+23}$ y el primer sumador A0 calcula la suma $S_{k+16}=X_{k+16}$ acumulativa. Y así sucesivamente. En el octavo ciclo de reloj, el último sumador A7 calcula la suma $S_{k+7}=X_k+X_{k+1}+\dots+X_{k+N-1}$ acumulativa. Las sumas $S_k, S_{k+1}, S_{k+2}, \dots, S_{k+7}$ acumulativas calculadas sobre las $N=8$ muestras $X_k, X_{k+1}, \dots, X_{k+7}$ recibidas en el primer ciclo de reloj se obtienen finalmente a continuación en paralelo por el módulo CS de suma acumulativa, mientras aún está en progreso el procesamiento de las $N=8$ muestras recibidas en el segundo, tercer, octavo ciclo de reloj.

Para la implementación de la operación en cascada anteriormente descrita (en particular, para la sincronización de las entradas y salidas de los sumadores), el módulo CS de suma acumulativa comprende preferentemente un número de bloques d de retardo adecuadamente distribuidos en las entradas de los sumadores A0, A1, ...A7, en las salidas de los sumadores A0, A1, ...A7 y entre cada par de sumadores A0, A1, ...A7 consecutivos, como se muestra esquemáticamente en la Figura 5.

En particular, si N es el número de muestras recibidas en cada ciclo de reloj (y por lo tanto N es el número de sumadores en cascada comprendidos en el módulo CS de suma acumulativa), suponiendo que cada sumador realiza una suma en un ciclo de reloj y que cada bloque d de retardo introduce un retardo de un único ciclo de reloj, el número global de bloques d de retardo preferentemente es N^2-1 . En el caso ejemplar mostrado en la Figura 5, en el que $N=8$, el número global de bloques d de retardo es $(8^2-1) = 63$. Más generalmente, si un número R ($R < N$) de los N sumadores puede operar en cascada dentro de un único ciclo de reloj, se necesita un único bloque d de retardo en la salida de la cascada de los R sumadores. Entonces, el número global de bloques d de retardo es preferentemente aproximadamente igual a N^2/R . En cualquier caso, la complejidad del módulo CS de suma acumulativa mostrado en la Figura 5 se incrementa sustancialmente en proporción a N^2 .

La Figura 6 muestra esquemáticamente el módulo de suma acumulativa de acuerdo con una segunda variante de la presente invención, en un caso ejemplar en el que $N=8$.

De acuerdo con esta segunda variante, un módulo CS(N) de suma acumulativa adecuado para la recepción de N muestras en paralelo comprende preferentemente N/2 sumadores de entrada, (N/2)-1 sumadores de salida y un módulo CS(N/2) de suma acumulativa anidado interpuesto entre los N/2 sumadores de entrada y los (N/2)-1 sumadores de salida. De modo similar, el módulo CS(N/2) de suma acumulativa anidado comprende preferentemente N/4 sumadores de entrada, (N/4)-1 sumadores de salida y un módulo CS(N/4) de suma acumulativa anidado interpuesto entre los N/4 sumadores de entrada y los (N/4)-1 sumadores de salida. Y así sucesivamente. El módulo CS(N) de suma acumulativa comprende preferentemente $\log_2(N)-1$ módulos de suma acumulativa anidados entre sí. El módulo CS(2) de suma acumulativa más interior comprende preferentemente un único sumador.

La Figura 6 muestra un módulo de suma acumulativa de acuerdo con la segunda variante, en la que $N=8$ a modo de ejemplo. Por ello, el módulo CS(8) de suma acumulativa comprende 4 sumadores Ai80, Ai81, Ai82, Ai83 de entrada, 3 sumadores Ao80, Ao81, Ao82 de salida y un módulo CS(4) de suma acumulativa anidado. El módulo CS(4) de suma acumulativa comprende preferentemente 2 sumadores Ai40 y Ai41 de entrada, 1 sumador Ao40 de salida y un módulo CS(2) de suma acumulativa anidado, que es también el más interior. El módulo CS(2) de suma acumulativa comprende preferentemente un único sumador A20.

De acuerdo con esta segunda variante, el módulo CS(N) de suma acumulativa tiene N entradas y N salidas, el módulo CS(N/2) de suma acumulativa tiene N/2 entradas y N/2 salidas, y así sucesivamente. El módulo CS(2) de suma acumulativa más interior tiene preferentemente 2 entradas y 2 salidas.

Las N entradas de los N/2 sumadores de entrada del módulo CS(N) de suma acumulativa corresponden básicamente a las N entradas del módulo CS(N) de suma acumulativa, mientras que las N/2 salidas de los N/2 sumadores de entrada del módulo CS(N) de suma acumulativa se conectan a las N/2 entradas del módulo CS(N/2) de suma acumulativa. De modo similar, las N/2 entradas de los N/4 sumadores de entrada del módulo CS(N/2) de suma acumulativa corresponden básicamente a las N/2 entradas del módulo CS(N/2) de suma acumulativa, mientras que las N/4 salidas de los N/4 sumadores de entrada del módulo CS(N/2) de suma acumulativa se conectan a las N/4 entradas del módulo CS(N/4) de suma acumulativa. Y así sucesivamente.

Por lo tanto, con referencia a la Figura 6 (caso ejemplar con $N=8$), el módulo CS(8) de suma acumulativa tiene 8 entradas y 8 salidas, el módulo CS(4) de suma acumulativa tiene 4 entradas y 4 salidas, y el módulo CS(2) de suma acumulativa más interior tiene 2 entradas y 2 salidas. Todas las entradas y salidas se representan en la Figura 6 como cuadrados. Preferentemente, las 8 entradas de los 4 sumadores Ai80, Ai81, Ai82, Ai83 de entrada corresponden básicamente a las 4 entradas del módulo CS(8) de suma acumulativa, mientras que las 4 salidas de los 4 sumadores Ai80, Ai81, Ai82, Ai83 de entrada se conectan a las 4 entradas del módulo CS(4) de suma acumulativa. De modo similar, las 4 entradas de los 2 sumadores Ai40, Ai41 de entrada corresponden básicamente a las 4 entradas del módulo CS(4) de suma acumulativa, mientras que las 2 salidas de los 2 sumadores Ai40, Ai41

de entrada se conectan a las 2 entradas del módulo CS(2) de suma acumulativa.

De acuerdo con esta segunda variante, las entradas pares del módulo CS(N) de suma acumulativa contornean preferentemente todos los módulos de suma acumulativa anidados. En particular, la primera entrada del módulo CS(N) de suma acumulativa se conecta preferentemente a la primera salida del módulo CS(N) de suma acumulativa, mientras que cada una de las otras (N/2)-1 entradas pares del módulo CS(N) de suma acumulativa se conectan a una entrada de uno respectivo de los (N/2)-1 sumadores de salida del módulo CS(N) de suma acumulativa. La otra entrada de los (N/2)-1 sumadores de salida del módulo CS(N) de suma acumulativa se conecta preferentemente a (N/2)-1 de las N/2 salidas del módulo CS(N/2) de suma acumulativa (excepto el último). De modo similar, las entradas pares del módulo CS(N/2) de suma acumulativa contornean preferentemente todos los módulos de suma acumulativa anidados. En particular, la primera entrada del módulo CS(N/2) de suma acumulativa se conecta preferentemente a la primera salida del módulo CS(N/2) de suma acumulativa, mientras que cada una de las otras (N/4)-1 entradas pares del módulo CS(N/2) de suma acumulativa se conecta a una entrada de uno respectivo de los (N/4)-1 sumadores de salida del módulo CS(N/2) de suma acumulativa. Las otras entradas de los (N/4)-1 sumadores de salida del módulo CS(N/2) de suma acumulativa se conecta preferentemente a (N/4)-1 de las N/4 salidas del módulo CS(N/4) de suma acumulativa (excepto el último). Y así sucesivamente.

Por lo tanto, con referencia a la Figura 6 (caso ejemplar con N=8), las entradas pares del módulo CS(8) de suma acumulativa contornean preferentemente los módulos CS(4) y CS(2) de suma acumulativa más interiores. En particular, la primera entrada del módulo CS(8) de suma acumulativa se conecta preferentemente a la primera salida del módulo CS(8) de suma acumulativa, mientras que cada una de las otras 3 entradas pares del módulo CS(8) de suma acumulativa se conecta a una entrada de uno respectivo de los sumadores Ao80, Ao81, Ao82 de salida. La otra entrada de los sumadores Ao80, Ao81, Ao82 de salida se conecta preferentemente a 3 de las 4 salidas del módulo CS(4) de suma acumulativa (excepto el último). De modo similar, las entradas pares del módulo CS(4) de suma acumulativa contornean preferentemente el módulo CS(2) de suma acumulativa más interior. En particular, la primera entrada del módulo CS(4) de suma acumulativa se conecta preferentemente a la primera salida del módulo CS(4) de suma acumulativa, mientras que las otras entradas pares del módulo CS(4) de suma acumulativa se conectan a una entrada del sumador Ao40 de salida. La otra entrada del sumador Ao40 de salida se conecta preferentemente a una de las 2 salidas del módulo CS(2) de suma acumulativa (no el último).

Cuando en un ciclo de reloj se reciben N=8 muestras $X_k, X_{k+1}, \dots, X_{k+7}$ en el módulo CS(8) de suma acumulativa, los sumadores Ai80, Ai81, Ai82, Ai83 de entrada las añaden preferentemente dos a dos proporcionando de ese modo las 4 sumas siguientes:

$$Si80 = X_k + X_{k+1};$$

$$Si81 = X_{k+2} + X_{k+3};$$

$$Si82 = X_{k+4} + X_{k+5};$$

y

$$Si83 = X_{k+6} + X_{k+7}$$

al módulo CS(4) de suma acumulativa. Al mismo tiempo, las muestras pares X_k, X_{k+2}, X_{k+4} y X_{k+6} contornean preferentemente los módulos C(4) y C(2) de suma acumulativa. En particular, la primera muestra par X_k se envía directamente a la primera salida del módulo CS(8) de suma acumulativa, mientras que las otras muestras pares X_{k+2}, X_{k+4} y X_{k+6} se proporcionan preferentemente en una de las entradas de los sumadores Ao80, Ao81, Ao82 de salida, respectivamente.

A continuación, en el módulo CS(4) de suma acumulativa, los sumadores Ai40, Ai41 de entrada añaden preferentemente las sumas Si80, Si81, Si82, Si83 dos a dos, proporcionando de ese modo las 2 sumas siguientes:

$$Si40 = Si80 + Si81 = X_k + X_{k+1} + X_{k+2} + X_{k+3};$$

y

$$Si41 = Si82 + Si83 = X_{k+4} + X_{k+5} + X_{k+6} + X_{k+7};$$

al módulo CS(2) de suma acumulativa. Al mismo tiempo, las sumas pares Si80 y Si82 contornean preferentemente el módulo C(2) de suma acumulativa. En particular, el primer sumador par Si80 se envía directamente a la primera salida del módulo CS(4) de suma acumulativa, mientras que la otra suma par Si82 se proporciona preferentemente en una de las entradas del sumador Ao40 de salida.

A continuación, en el módulo CS(2) de suma acumulativa, el sumador A20 suma preferentemente las sumas Si40 y Si41, proporcionando de ese modo la siguiente suma:

$$S20 = Si40 + Si41 = X_k + X_{k+1} + X_{k+2} + X_{k+3} + X_{k+4} + X_{k+5} + X_{k+6} + X_{k+7}.$$

en su salida. Al mismo tiempo, también se envía la suma Si40 a la primera salida del módulo CS(2) de suma acumulativa.

5 Preferentemente, la primera muestra X_k , la suma Si80, la suma Si40 y la suma S20 se envían directamente a la salida del módulo C(8) de suma acumulativa, dado que corresponden a las sumas S_k , S_{k+1} , S_{k+3} y S_{k+7} acumulativas, respectivamente.

A continuación, en el módulo CS(4) de suma acumulativa, el sumador Ao40 de salida suma preferentemente Si40 con Si82, proporcionando de ese modo la siguiente suma:

$$So40 = Si40 + Si82 = X_k + X_{k+1} + X_{k+2} + X_{k+4} + X_{k+5}.$$

10 La suma So40 corresponde a la suma S_{k+5} , acumulativa y se envía por lo tanto directamente a la salida del módulo C(8) de suma acumulativa.

A continuación, en el módulo CS(8) de suma acumulativa, los sumadores Ao80, Ao81 y Ao82 de salida suman preferentemente Si80, Si40 y So40 a las muestras pares X_{k+2} , X_{k+4} y X_{k+6} , respectivamente, proporcionando de ese modo las sumas siguientes:

$$So80 = Si80 + X_{k+2} = X_k + X_{k+1} + X_{k+2};$$

$$15 \quad So81 = Si40 + X_{k+4} = X_k + X_{k+1} + X_{k+2} + X_{k+3} + X_{k+4};$$

...

$$So82 = So40 + X_{k+6} = X_k + X_{k+1} + X_{k+2} + X_{k+3} + X_{k+4} + X_{k+5} + X_{k+6}.$$

Las sumas So80, So81 y So82 corresponden a las sumas S_{k+2} , S_{k+4} y S_{k+6} acumulativas, respectivamente, y se envían por lo tanto directamente a la salida del módulo C(8) de suma acumulativa.

20 Mediante la comparación del módulo de suma acumulativa de la Figura 5 con el módulo de suma acumulativa de la Figura 6, puede observarse que el segundo comprende un número mayor de sumadores. Realmente, aunque el módulo de suma acumulativa de la Figura 5 comprende N sumadores, el módulo de suma acumulativa de la Figura 6 comprende $2N \cdot \log_2(N) - 2$ sumadores. Sin embargo, el número máximo de sumadores que operan en cascada se reduce ventajosamente. Realmente, mientras que en la configuración de la Figura 5 todos los N sumadores están en cascada, en la configuración de la Figura 6 no están en cascada más de $2 \log_2(N) - 2$ sumadores (la cascada que comprende el número máximo de sumadores es la que proporciona la suma S_{k+6} acumulativa o, más generalmente, la suma S_{k+N-2} acumulativa). En otras palabras, la configuración de la Figura 6 tiene un grado de paralelismo mayor que la configuración de la Figura 5. En consecuencia, se requiere ventajosamente un número reducido de bloques d de retardo para la sincronización de entradas y salidas de los diversos sumadores. Los bloques d de retardo no se muestran en la Figura 6 para no sobrecargar la figura. En particular, si N es el número de muestras recibidas en cada ciclo de reloj, suponiendo que cada sumador realiza la suma en un ciclo de reloj y que cada bloque d de retardo introduce un retardo de un único ciclo de reloj, el número global de bloques d de retardo preferentemente es $N \times (2 \log_2(N) - 2)$. Si 3-4 sumadores pueden operar en cascada dentro de un único ciclo de reloj, solo se necesitan dos "tiras verticales" comprendiendo cada una N bloques d de retardo. En este caso, solo se necesitan 2N bloques d de retardo. Por lo tanto, la complejidad del módulo CS de suma acumulativa mostrado en la Figura 6 se incrementa sustancialmente proporcionalmente a $N \cdot \log_2(N)$. La configuración de la Figura 6 es por lo tanto ventajosamente mucho más simple (y por lo tanto mucho más barata) que la configuración de la Figura 5 dado que, para un mismo valor de N, comprende un número mucho menor de componentes.

40 Con referencia de nuevo a la Figura 3, mientras el primer registro REG1 recibe las N integrales Int_k , Int_{k+1} , ... Int_{k+N-1} desde el primer módulo de suma S1 y las almacena, preferentemente envía las N integrales Int_{k-N} , Int_{k-N+1} , ..., Int_{k-1} previamente almacenadas en él al segundo registro REG2. El conjunto de los dos registros REG1 y REG2 proporciona ventajosamente por lo tanto una "ventana" de $2N$ integrales.

45 A continuación, el primer selector MUX1 selecciona preferentemente desde el primer registro REG1 y el segundo registro REG2 N integrales, y las proporciona en paralelo en sus salidas. En particular, el primer selector MUX1 preferentemente selecciona desde el primer registro REG1 las últimas $(N/2) - ((L-1)/2)$ integrales y desde el primer registro REG1 las primeras $(N/2) + ((L-1)/2)$ integrales. Las N integrales seleccionadas por el primer selector MUX1 son por lo tanto:

$$Int_{k - (N/2) + ((L-1)/2)}$$

...

$$50 \quad Int_{k + (N/2) - 1 + ((L-1)/2)}.$$

Sustancialmente al mismo tiempo, también el segundo selector MUX2 selecciona preferentemente desde el primer registro REG1 y el segundo registro REG2 N integrales, y las proporciona en paralelo en sus salidas. En particular,

el segundo selector MUX2 preferentemente selecciona desde el primer registro REG1 las últimas $(N/2)+((L-1)/2)$ integrales y desde el primer registro REG1 las primeras $(N/2)-((L-1)/2)$ integrales. Las N integrales seleccionadas por el segundo selector MUX2 son por lo tanto:

$$\begin{aligned}
 & \text{Int}_{k-(N/2)-((L-1)/2)} \\
 5 \quad & \dots \\
 & \text{Int}_{k+(N/2)-1-((L-1)/2)}.
 \end{aligned}$$

De ahí, para permitir una operación apropiada del primer y segundo selectores MUX1, MUX2, L debería ser menor que N.

10 Puede observarse que la salida de integrales del primer selector MUX1 y el segundo selector MUX2 está desplazada L-1. Por ejemplo, las Figuras 7a y 7b muestran esquemáticamente la operación de los registros REG1, REG2 y los selectores MUX1, MUX2 en el caso L=3 (Figura 7a) y en el caso L=5 (Figura 7b). En la situación ejemplar en la que N=8. En ambos casos, el primer registro REG1 almacena N=8 integrales $\text{Int}_k, \text{Int}_{k+1}, \dots, \text{Int}_{k+7}$ calculadas en un ciclo de reloj, mientras que el segundo registro REG2 almacena N=8 integrales $\text{Int}_{k-8}, \text{Int}_{k-7}, \dots, \text{Int}_{k-1}$, calculadas en el ciclo de reloj previo.

15 Con referencia primero a la Figura 7a (L=3), el primer selector MUX1 selecciona preferentemente desde el primer registro REG1 y el segundo registro REG2 las N=8 integrales $\text{Int}_{k-3}, \text{Int}_{k-2}, \dots, \text{Int}_{k+4}$ (tal como se indica por la flecha A1), mientras que el segundo selector MUX2 selecciona preferentemente desde el primer registro REG1 y el segundo registro REG2 las N=8 integrales $\text{Int}_{k-5}, \text{Int}_{k-4}, \dots, \text{Int}_{k+2}$ (tal como se indica por la flecha A2). La salida de integrales del primer selector MUX1 y del segundo selector MUX2 en este primer caso está desplazada L-1=2.

20 Con referencia ahora a la Figura 7b (L=5), el primer selector MUX1 selecciona preferentemente desde el primer registro REG1 y el segundo registro REG2 las N=8 integrales $\text{Int}_{k-2}, \text{Int}_{k-1}, \dots, \text{Int}_{k+5}$ (tal como se indica por la flecha A1), mientras que el segundo selector MUX2 selecciona preferentemente desde el primer registro REG1 y el segundo registro REG2 las N=8 integrales $\text{Int}_{k-6}, \text{Int}_{k-5}, \dots, \text{Int}_{k+1}$ (tal como se indica por la flecha A2). La salida de integrales del primer selector MUX1 y del segundo selector MUX2 en este primer caso está desplazada L-1=4.

25 La salida de integrales desde el primer selector MUX1 y la salida de integrales desde el segundo selector MUX2 se envían entonces preferentemente al segundo módulo S2 de adición, que preferentemente calcula N diferencias de acuerdo con la ecuación [7'] anterior, es decir:

$$\begin{aligned}
 & \text{Int}_{k-(N/2)+((L-1)/2)} - \text{Int}_{k-(N/2)-((L-1)/2)} \\
 & \dots \\
 30 \quad & \text{Int}_{k+(N/2)-1+((L-1)/2)} - \text{Int}_{k+(N/2)-1-((L-1)/2)}.
 \end{aligned}$$

Puede observarse que cada una de las diferencias anteriores es básicamente una diferencia entre la salida de integral desde el primer selector MUX1 correspondiente a la muestra que sigue a la muestra actual por $(L-1)/2$ y la salida de integral desde el segundo selector MUX2 que corresponde a la muestra que precede a la muestra actual por $(L-1)/2$, de acuerdo con la ecuación [7'].

35 Por lo tanto, con referencia de nuevo a la Figura 7a (N=8, L=3), el segundo módulo S2 de adición calcula preferentemente N=8 diferencias como sigue:

$$\begin{aligned}
 & \text{Int}_{k-3} - \text{Int}_{k-5}; \\
 & \text{Int}_{k-2} - \text{Int}_{k-4}; \\
 & \dots \\
 40 \quad & \text{Int}_{k+4} - \text{Int}_{k+2}.
 \end{aligned}$$

De modo similar, con referencia de nuevo a la figura 7b (N=8, L=5), el segundo módulo S2 de adición calcula preferentemente N=8 diferencias como sigue:

$$\begin{aligned}
 & \text{Int}_{k-2} - \text{Int}_{k-6}; \\
 & \text{Int}_{k-1} - \text{Int}_{k-5}; \\
 45 \quad & \dots \\
 & \text{Int}_{k+5} - \text{Int}_{k+1}.
 \end{aligned}$$

Las N diferencias se envían a continuación al módulo Mx de multiplicación, que preferentemente multiplica cada una

de las N diferencias por 1/L, proporcionando de ese modo en su salida las siguientes N medias reales $XAV_{k-(N/2)}$, ..., $XAV_{k+(N/2)-1}$ de acuerdo con la ecuación [8] anterior:

$$XAV_{k-(N/2)} = \frac{1}{L} \cdot (\text{Int}_{k-(N/2)+((L-1)/2)} - \text{Int}_{k-(N/2)-((L-1)/2)})$$

...

5
$$XAV_{k+(N/2)-1} = \frac{1}{L} \cdot (\text{Int}_{k+(N/2)-1+((L-1)/2)} - \text{Int}_{k+(N/2)-1-((L-1)/2)})$$

Por lo tanto, con referencia de nuevo a la Figura 7a (N=8, L=3), el módulo Mx de multiplicación calcula preferentemente N=8 medias reales como sigue:

$$XAV_{k-4} = (1/3) \cdot (\text{Int}_{k-3} - \text{Int}_{k-5});$$

$$XAV_{k-3} = (1/3) \cdot (\text{Int}_{k-2} - \text{Int}_{k-4});$$

10 ...

$$XAV_{k+3} = (1/3) \cdot (\text{Int}_{k+4} - \text{Int}_{k+2}).$$

De modo similar, con referencia de nuevo a la Figura 7b (N=8, L=5), el módulo Mx de multiplicación calcula preferentemente N=8 medias reales como sigue:

$$XAV_{k-4} = (1/5) \cdot (\text{Int}_{k-2} - \text{Int}_{k-6});$$

15
$$XAV_{k-3} = (1/5) \cdot (\text{Int}_{k-1} - \text{Int}_{k-5});$$

...

$$XAV_{k+3} = (1/5) \cdot (\text{Int}_{k+5} - \text{Int}_{k+1}).$$

20 Las N medias reales $XAV_{k-(N/2)}$, ..., $XAV_{k+(N/2)-1}$ se proporcionan a continuación en la salida del filtro Fx digital. Dado que, como se ha mencionado anteriormente, la operación del filtro Fy digital es básicamente la misma que la operación del filtro Fx digital, mientras tanto también el segundo filtro Fy digital produce la salida de N medias imaginarias $YAV_{k-(N/2)}$, ..., $YAV_{k+(N/2)-1}$. Las N medias real e imaginaria se reciben a continuación por el segundo módulo ANGL2 de ángulo, que las procesa tal como se ha descrito anteriormente.

25 Puede observarse que las N medias reales $XAV_{k-(N/2)}$, ..., $XAV_{k+(N/2)-1}$ que salen del filtro Fx (y por lo tanto las medias imaginarias correspondientes que salen del filtro Fy) están retardadas en N/2 con relación a las N muestras reales $X_k, X_{k+1}, \dots, X_{k+N-1}$ que entran en el filtro Fx (y por lo tanto las muestras imaginarias correspondientes que entran en el filtro Fy). Por lo tanto, también los N ángulos α_k de rotación calculados por el módulo UW de desencapsulación basándose en las N medias reales $XAV_{k-(N/2)}$, ..., $XAV_{k+(N/2)-1}$ (y las medias imaginarias correspondientes) se retardan en N/2 con relación a las N muestras θ'_k angulares de salida por el primer módulo ANGL1 de ángulo. Este retardo se compensa ventajosamente por la línea de retardo D.

30 Por lo tanto, el conjunto de los dos registros REG1, REG2, los dos selectores MUX1, MUX2 y el segundo módulo S2 de adición forman básicamente un circuito de diferenciación que realiza la operación de diferenciación definida por la ecuación [7] anterior.

35 Ventajosamente, la longitud del filtro Fx puede cambiarse cambiando L. Esta operación no afecta ventajosamente a la operación del circuito de integración, y puede implementarse simplemente mediante el desplazamiento de forma adecuada de las entradas de los selectores MUX1, MUX2. Por ejemplo, con referencia a las Figuras 7a y 7b, el incremento de la longitud del filtro Fx digital desde L=3 (Figura 7a) a L=5 (Figura 7b) requiere simplemente el desplazamiento hacia adelante de las entradas del primer selector MUX1 en una única posición, y el desplazamiento hacia atrás de las entradas del segundo selector MUX2 en una única posición. Hablando en general, la variación de la longitud del filtro Fx digital desde un primer valor L1 a un segundo valor L2 (por ejemplo, cuando cambian las condiciones de ruido o cuando se desea ensayar el rendimiento del receptor RX) requiere el desplazamiento hacia adelante de las entradas del primer selector MUX1 en $(L2-L1)/2$ posiciones, y el desplazamiento hacia atrás de las entradas del segundo selector MUX2 en $(L2-L1)/2$ posiciones.

40 Ventajosamente, este desplazamiento es siempre simétrico con relación al centro de la concatenación del primer y segundo registros REG1, REG2. Por lo tanto, ventajosamente, el cambio de la longitud del filtro Fx digital es sin incidencia (es decir no induce ninguna pérdida de datos), dado que no afecta al retardo entre las N muestras reales $X_k, X_{k+1}, \dots, X_{k+N-1}$ de entrada y las N medias reales $XAV_{k-(N/2)}$, ..., $XAV_{k+(N/2)-1}$ de salida. Este retardo es ventajosamente constantemente igual a N/2, y se compensa por lo tanto por la línea de retardo D independientemente del valor de L.

5 En la descripción anterior, el filtro Fx digital es parte de un compensador de rotación para un receptor coherente óptico. Esto es sin embargo no limitativo, dado que el filtro Fx digital puede usarse en otros dispositivos digitales adecuados para el procedimiento de muestras digitales. En particular, el filtro Fx digital puede usarse ventajosamente cada vez que ha de realizarse una suma móvil de L muestras digitales consecutivas sobre una secuencia de muestras digitales recibidas en un dispositivo digital que tenga un grado de paralelismo igual a N. El uso del filtro Fx digital para el cálculo de una media móvil en un compensador de rotación para un receptor coherente óptico es por lo tanto meramente ejemplar.

10 Las funciones de los diversos elementos mostrados en la Figura 3 pueden proporcionarse a través del uso de hardware dedicado, hardware programable o hardware capaz de ejecutar software en asociación con el software apropiado. En particular, las funciones de los diversos elementos mostrados en la Figura 3 se proporcionan preferentemente a través del uso de uno o más circuitos integrados de aplicación específica (ASIC) y/o una o más matrices de puertas programables en campo (FPGA). Preferentemente, las funciones de los diversos elementos mostrados en la Figura 3 se proporcionan a través del uso de un único ASIC o una única FPGA. Por lo tanto, las expresiones "circuito de integración" y "circuito de diferenciación" mencionados en las reivindicaciones ha de
15 entenderse meramente como relaciones funcionales de los elementos del filtro digital, y no deberían entenderse necesariamente como circuitos físicamente separados implementados sobre dispositivos de hardware separados.

REIVINDICACIONES

1. Un filtro (Fx) digital configurado para recibir una secuencia de muestras digitales, estando configurado dicho filtro (Fx) digital para recibir en paralelo N muestras (X_k) digitales de dicha secuencia en cada ciclo de reloj de una señal de reloj adecuada para la sincronización de la operación de dicho filtro (Fx) digital, siendo N un entero mayor que 1, y para calcular una suma (XAV_k) de L muestras digitales consecutivas de dicha secuencia, siendo L un entero impar igual a o mayor que 3 y menor que N, comprendiendo dicho filtro (Fx) digital:

- un circuito (CS, S1, REG1, D) de integración configurado para calcular una primera integral ($Int_{k-((L-1)/2)}$) de dicha secuencia hasta una primera muestra ($X_{k-((L-1)/2)}$) digital de dichas L muestras digitales consecutivas y una última integral ($Int_{k+((L-1)/2)}$) de dicha secuencia hasta una última muestra ($X_{k+((L-1)/2)}$) digital de dichas L muestras digitales consecutivas; y
- un circuito (REG1, REG2, MUX1, MUX2, S2) de diferenciación configurado para calcular dicha suma (XAV_k) como una diferencia entre dicha última integral ($Int_{k+((L-1)/2)}$) y dicha primera integral ($Int_{k-((L-1)/2)}$),

en el que dicho circuito (CS, S1, REG1, D) de integración comprende un módulo (CS) de suma acumulativa, un módulo (S1) de adición conectado a dicho módulo (CS) de suma acumulativa y un primer registro (REG1) conectado retroactivamente a dicho módulo (S1) de adición, en el que:

- dicho módulo (CS) de suma acumulativa se configura para calcular una última suma ($S_{k+((L-1)/2)}$) acumulativa de dicha última muestra ($X_{k+((L-1)/2)}$) digital y muestras digitales precedentes de dicha secuencia recibidas dentro de un mismo ciclo de reloj que dicha última muestra ($X_{k+((L-1)/2)}$) digital;
- dicho primer registro (REG1) se configura para almacenar una integral (Int_{k-1}) retardada calculada sobre muestras digitales de dicha secuencia recibidas antes de dicho mismo ciclo de reloj; y
- dicho módulo (S1) de adición se configura para calcular dicha última integral ($Int_{k+((L-1)/2)}$) mediante la adición de dicha última suma ($S_{k+((L-1)/2)}$) acumulativa y dicha integral (Int_{k-1}) retardada.

2. El filtro (Fx) digital de acuerdo con la reivindicación 1, en el que dicho módulo (CS) de suma acumulativa se configura para recibir en paralelo N muestras ($X_k, X_{k+1}, \dots, X_{k+N-1}$) digitales de dicha secuencia de muestras digitales en dicho mismo ciclo de reloj, y para proporcionar N sumas ($S_k, S_{k+1}, \dots, S_{k+N-1}$) acumulativas en paralelo, incluyendo dichas N sumas ($S_k, S_{k+1}, \dots, S_{k+N-1}$) acumulativas dicha última suma ($S_{k+((L-1)/2)}$) acumulativa.

3. El filtro (Fx) digital de acuerdo con la reivindicación 2, en el que dicho módulo (S1) de adición se configura para recibir en paralelo dichas N sumas ($S_k, S_{k+1}, \dots, S_{k+N-1}$) acumulativas y para añadir dicha integral (Int_{k-1}) retardada a cada una de dichas N sumas ($S_k, S_{k+1}, \dots, S_{k+N-1}$) acumulativas, proporcionando de ese modo en paralelo N integrales ($Int_k, Int_{k+1}, \dots, Int_{k+N-1}$) actualmente calculadas, incluyendo dichas N integrales ($Int_k, Int_{k+1}, \dots, Int_{k+N-1}$) actualmente calculadas dicha última integral ($Int_{k+((L-1)/2)}$).

4. El filtro (Fx) digital de acuerdo con la reivindicación 3, en el que dicho primer registro (REG1) se configura para:

- antes de recibir dichas N integrales ($Int_k, Int_{k+1}, \dots, Int_{k+N-1}$) actualmente calculadas, almacenar N integrales ($Int_{k-N}, Int_{k-N+1}, \dots, Int_{k-1}$) previamente calculadas, incluyendo dichas N integrales ($Int_{k-N}, Int_{k-N+1}, \dots, Int_{k-1}$) previamente calculadas dicha integral (Int_{k-1}) retardada y dicha primera integral ($Int_{k-((L-1)/2)}$); y
- recibir desde dicho módulo (S1) de adición dichas N integrales ($Int_k, Int_{k+1}, \dots, Int_{k+N-1}$) actualmente calculadas y almacenarlas, sobrescribiendo de ese modo dichas N integrales ($Int_{k-N}, Int_{k-N+1}, \dots, Int_{k-1}$) previamente calculadas.

5. El filtro (Fx) digital de acuerdo con la reivindicación 4, en el que dicho circuito (REG1, REG2, MUX1, MUX2, S2) de diferenciación comprende un segundo registro (REG2) que coopera con dicho primer registro (REG1), y en el que dicho primer registro (REG1) se configura para, tras la recepción de dichas N integrales ($Int_k, Int_{k+1}, \dots, Int_{k+N-1}$) actualmente calculadas, reenviar dichas N integrales ($Int_{k-N}, Int_{k-N+1}, \dots, Int_{k-1}$) previamente calculadas a dicho segundo registro (REG2), antes de sobrescribirlas.

6. El filtro (Fx) digital de acuerdo con la reivindicación 5, en el que dicho circuito (REG1, REG2, MUX1, MUX2, S2) de diferenciación comprende adicionalmente un primer selector (MUX1) y un segundo selector (MUX2) conectado a dicho primer registro (REG1) y a dicho segundo registro (REG2), y en el que:

- dicho primer selector (MUX1) se configura para leer de dicho primer registro (REG1) y dicho segundo registro (REG2) N integrales ($Int_{k-(N/2)+((L-1)/2)}, \dots, Int_{k+(N/2)-1+((L-1)/2)}$) de minuyendo seleccionadas de entre dichas N integrales ($Int_{k-N}, Int_{k-N+1}, \dots, Int_{k-1}$) previamente calculadas y dichas N integrales ($Int_k, Int_{k+1}, \dots, Int_{k+N-1}$) actualmente calculadas, incluyendo dichas N integrales ($Int_{k-(N/2)+((L-1)/2)}, \dots, Int_{k+(N/2)-1+((L-1)/2)}$) de minuyendo dicha última integral ($Int_{k+((L-1)/2)}$); y
- dicho segundo selector (MUX2) se configura para leer de dicho primer registro (REG1) y dicho segundo registro (REG2) N integrales ($Int_{k-(N/2)-((L-1)/2)}, \dots, Int_{k+(N/2)-1-((L-1)/2)}$) de sustraendo seleccionadas de entre dichas N integrales ($Int_{k-N}, Int_{k-N+1}, \dots, Int_{k-1}$) previamente calculadas y dichas N integrales ($Int_k, Int_{k+1}, \dots, Int_{k+N-1}$) actualmente calculadas, incluyendo dichas N integrales ($Int_{k-(N/2)-((L-1)/2)}, \dots, Int_{k+(N/2)-1-((L-1)/2)}$) de sustraendo dicha primera integral ($Int_{k-((L-1)/2)}$), en la que dichas N integrales ($Int_{k-(N/2)+((L-1)/2)}, \dots, Int_{k+(N/2)-1+((L-1)/2)}$) de minuyendo se desplazan L-1 con relación a dichas N integrales ($Int_{k-(N/2)-((L-1)/2)}, \dots, Int_{k+(N/2)-1-((L-1)/2)}$) de sustraendo.

7. El filtro (Fx) digital de acuerdo con la reivindicación 6, en el que:

- dichas N integrales ($\text{Int}_{k-(N/2)+((L-1)/2)}, \dots, \text{Int}_{k+(N/2)-1+((L-1)/2)}$) de minuendo son una concatenación de las últimas (N/2)-((L-1)/2) integrales de dichas N integrales ($\text{Int}_{k-N}, \text{Int}_{k-N+1}, \dots, \text{Int}_{k-1}$) previamente calculadas y las primeras (N/2)+((L-1)/2) integrales de dichas N integrales ($\text{Int}_k, \text{Int}_{k+1}, \dots, \text{Int}_{k+N-1}$) actualmente calculadas; y
- dichas N integrales ($\text{Int}_{k-(N/2)-((L-1)/2)}, \dots, \text{Int}_{k+(N/2)-1-((L-1)/2)}$) de sustraendo son una concatenación de las últimas (N/2)+((L-1)/2) integrales de dichas N integrales ($\text{Int}_{k-N}, \text{Int}_{k-N+1}, \dots, \text{Int}_{k-1}$) previamente calculadas y las primeras (N/2)-((L-1)/2) integrales de dichas N integrales ($\text{Int}_k, \text{Int}_{k+1}, \dots, \text{Int}_{k+N-1}$) actualmente calculadas.

8. El filtro (Fx) digital de acuerdo con la reivindicación 6 o 7, en el que dicho circuito (REG1, REG2, MUX1, MUX2, S2) de diferenciación comprende adicionalmente un segundo módulo (S2) de adición conectado a dicho primer selector (MUX1) y a dicho segundo selector (MUX2), estando configurado dicho segundo módulo (S2) de adición para calcular N diferencias entre dichas N integrales ($\text{Int}_{k-(N/2)+((L-1)/2)}, \dots, \text{Int}_{k+(N/2)-1+((L-1)/2)}$) de minuendo y dichas N integrales ($\text{Int}_{k-(N/2)-((L-1)/2)}, \dots, \text{Int}_{k+(N/2)-1-((L-1)/2)}$) de sustraendo, incluyendo dichas N diferencias dicha diferencia entre dicha última integral ($\text{Int}_{k+((L-1)/2)}$) y dicha primera integral ($\text{Int}_{k-((L-1)/2)}$).

9. El filtro (Fx) digital de acuerdo con cualquiera de las reivindicaciones anteriores, en el que dicho módulo (CS(8)) de suma acumulativa comprende $\log_2(N)-1$ módulos (SC(4), CS(2)) de suma acumulativa adicionales anidados entre sí.

10. El filtro (Fx) digital de acuerdo con la reivindicación 9, en el que:

- dicho módulo (CS(8)) de suma acumulativa comprende N/2 sumadores (Ai80, Ai81, Ai82, Ai83) de entrada, (N/2)-1 sumadores (Ao80, Ao81, Ao82) de salida y un primer módulo (CS(4)) de suma acumulativa adicional interpuesto entre dichos N/2 sumadores (Ai80, Ai81, Ai82, Ai83) de entrada y dichos (N/2)-1 sumadores (Ao80, Ao81, Ao82) de salida; y
- dicho primer módulo (CS(4)) de suma acumulativa comprende N/4 primeros sumadores (Ai40, Ai41) de entrada adicionales, (N/4)-1 primeros sumadores (Ao40) de salida adicionales y un segundo módulo (CS(2)) de suma acumulativa adicional interpuesto entre dichos N/4 primeros sumadores (Ai40, Ai41) de entrada adicionales y dichos (N/4)-1 primeros sumadores (Ao40) de salida adicionales.

11. El filtro (Fx) digital de acuerdo con la reivindicación 9 o 10, en el que dichos módulos (SC(4), CS(2)) de suma acumulativa adicionales incluyen un módulo (CS(2)) de suma acumulativa adicional más interior que comprende a su vez un único sumador.

12. El filtro (Fx) digital de acuerdo con cualquiera de las reivindicaciones 1 a 8, en el que dicho módulo (CS) de suma acumulativa comprende N sumadores en cascada.

13. Un compensador (RC) de rotación para un receptor (RX) coherente óptico configurado para recibir una señal óptica (s(t)) modulada, procesar dicha señal óptica (s(t)) modulada para la generación de una componente (I') en fase y una componente (Q') en cuadratura, y muestrear dicha componente (I') en fase y dicha componente (Q') en cuadratura para la generación de pares de muestras (I'_k, Q'_k) de dicha componente (I') en fase y dicha componente (Q') en cuadratura, formando dichos pares de muestras (I'_k, Q'_k) una constelación recibida que está rotada un ángulo de rotación con relación a una constelación de referencia, comprendiendo dicho compensador (RC) de rotación:

- un primer módulo (ANGL1) de ángulo configurado para recibir en paralelo N pares de muestras (I'_k, Q'_k) y para convertirlas en N muestras (θ'_k) angulares correspondientes;
- un circuito (M1, SC1, Fx, Fy, ANGL2, M2, UW) de estimación configurado para procesar dichas N muestras (θ'_k) angulares correspondientes para la estimación de N ángulos (α_k) de rotación;
- un circuito (D, S) de compensación configurado para aplicar dichos N ángulos (α_k) de rotación a dichas N muestras (θ'_k) angulares correspondientes, proporcionando de ese modo N muestras (θ''_k) angulares compensadas; y
- un primer módulo (SC2) seno-coseno configurado para recibir dichas N muestras (θ''_k) angulares compensadas en paralelo y para convertirlas en N pares correspondientes de muestras (I''_k, Q''_k) compensadas,

en el que dicho circuito (M1, SC1, Fx, Fy, ANGL2, M2, UW) de estimación comprende un filtro (Fx, Fy) digital de acuerdo con cualquiera de las reivindicaciones anteriores.

14. Un receptor (RX) óptico coherente para una red de comunicación óptica configurado para recibir una señal óptica (s(t)) modulada y para procesar dicha señal óptica (s(t)) modulada para la generación de una componente (I') en fase y una componente (Q') en cuadratura, comprendiendo dicho receptor (RX) óptico coherente un compensador (RC) de rotación de acuerdo con la reivindicación 13.

15. Una red de comunicación óptica que comprende un receptor (RX) coherente óptico de acuerdo con la reivindicación 14.

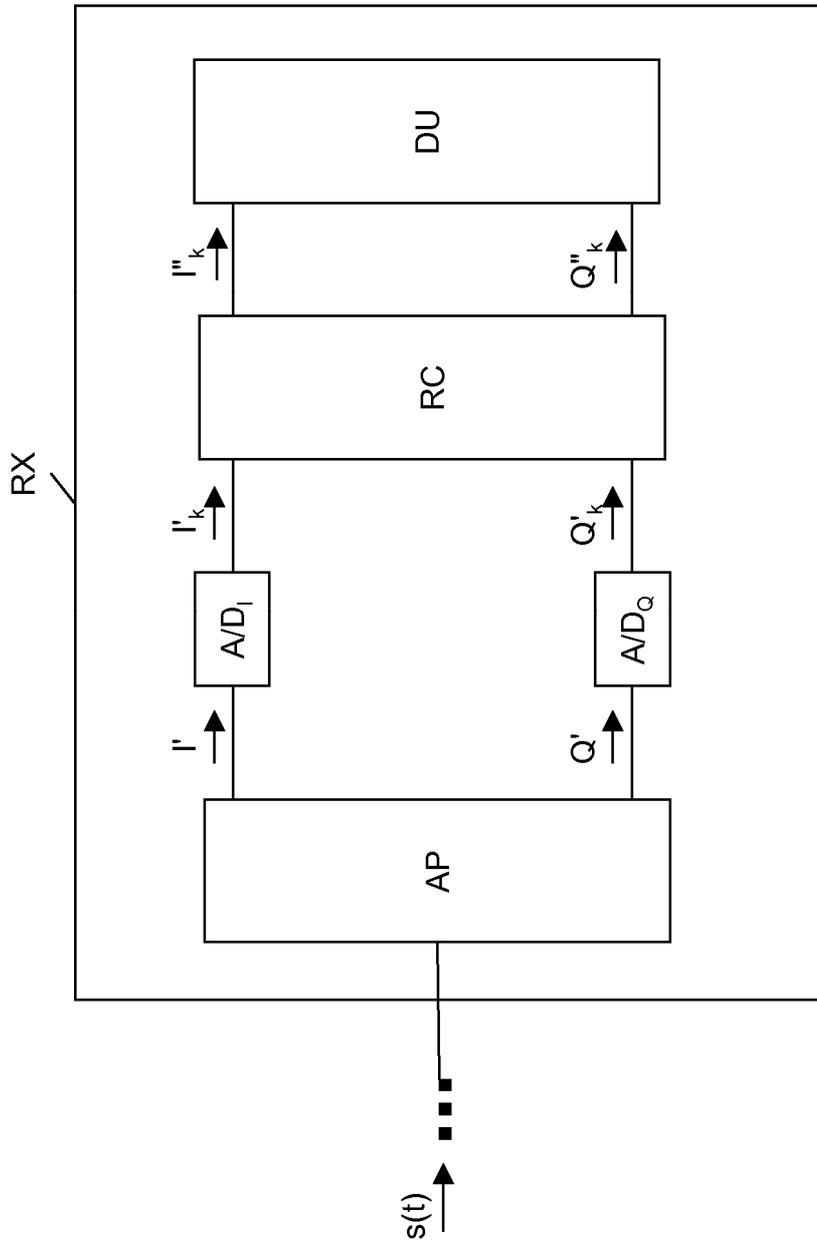


Figura 1

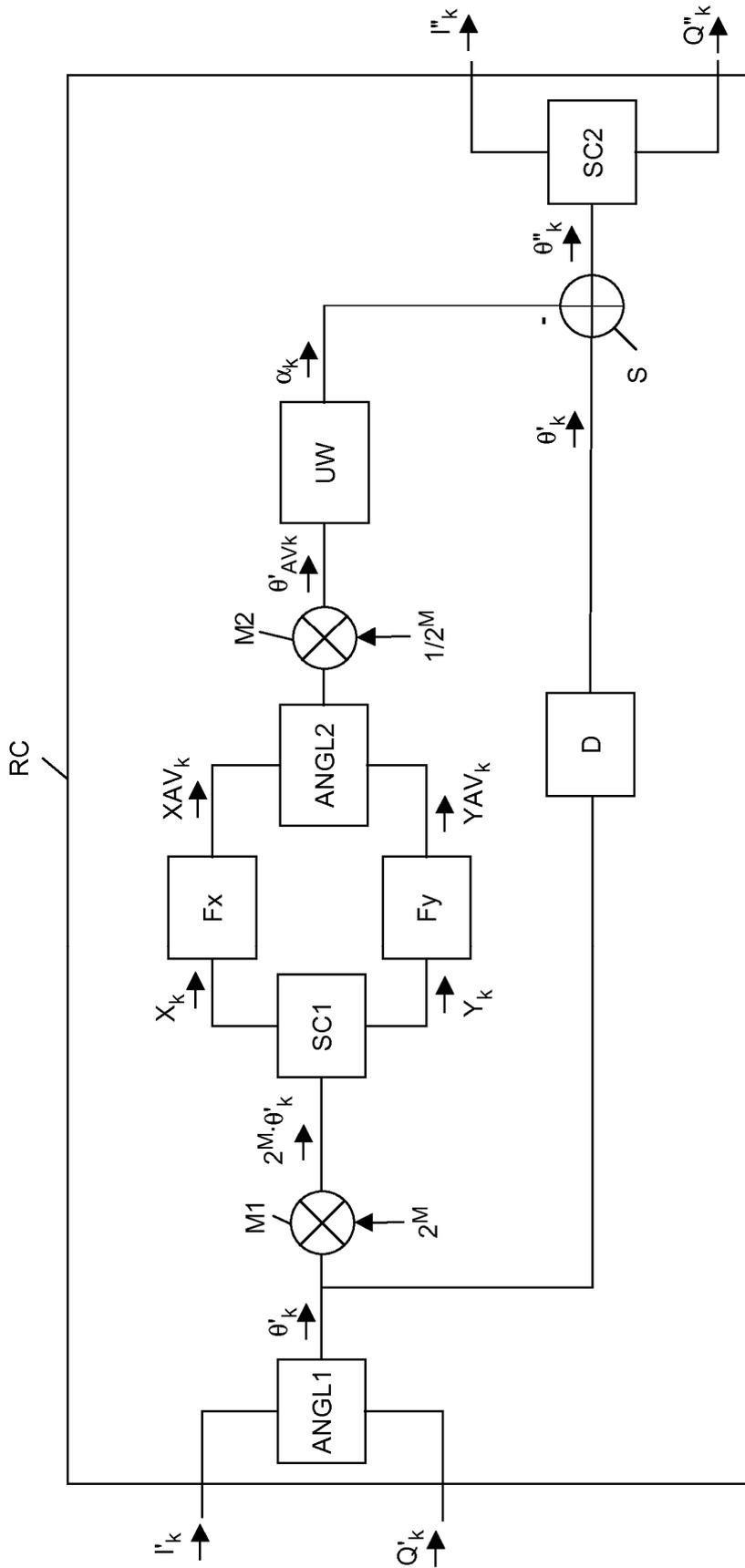


Figura 2

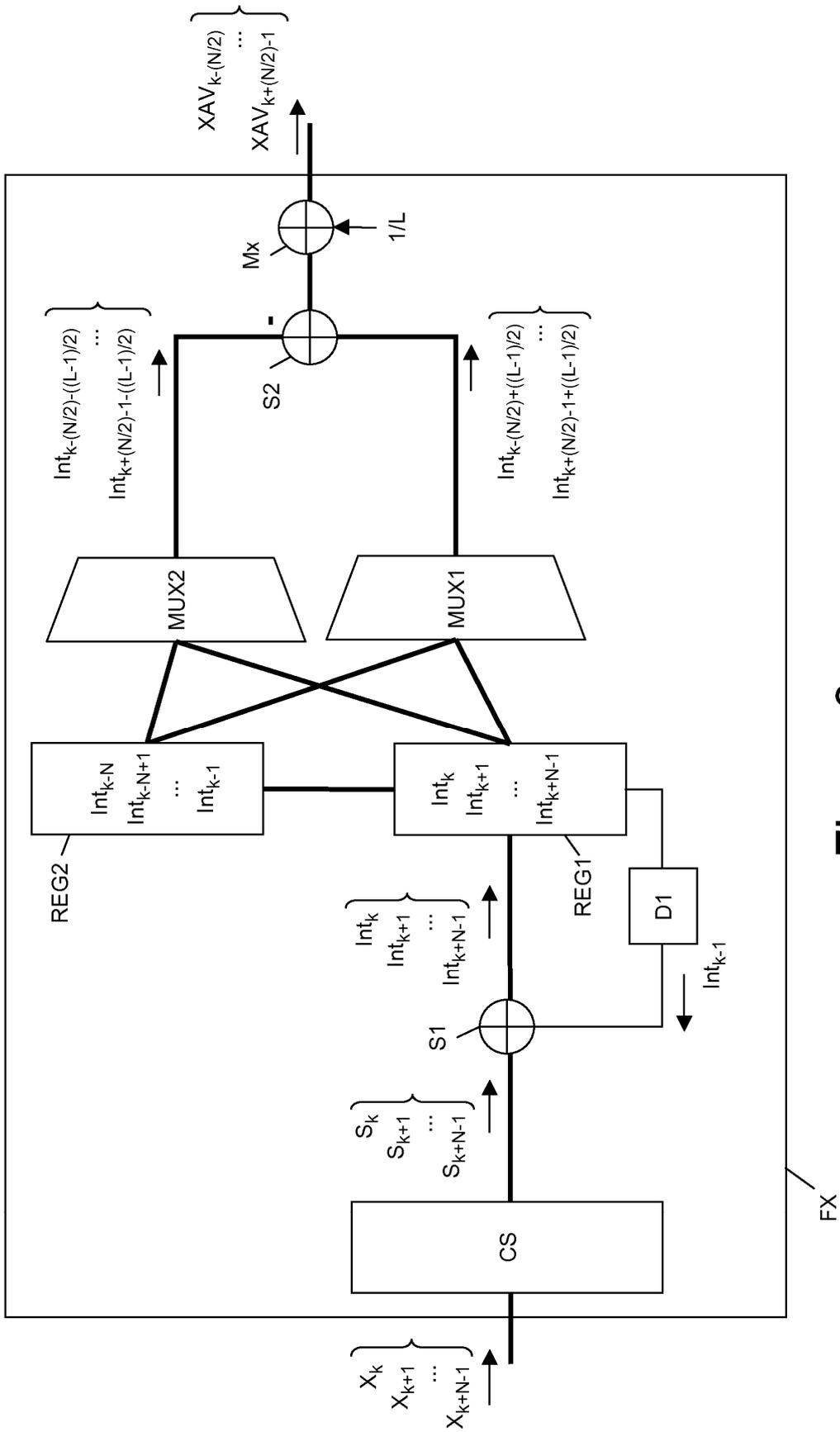


Figura 3

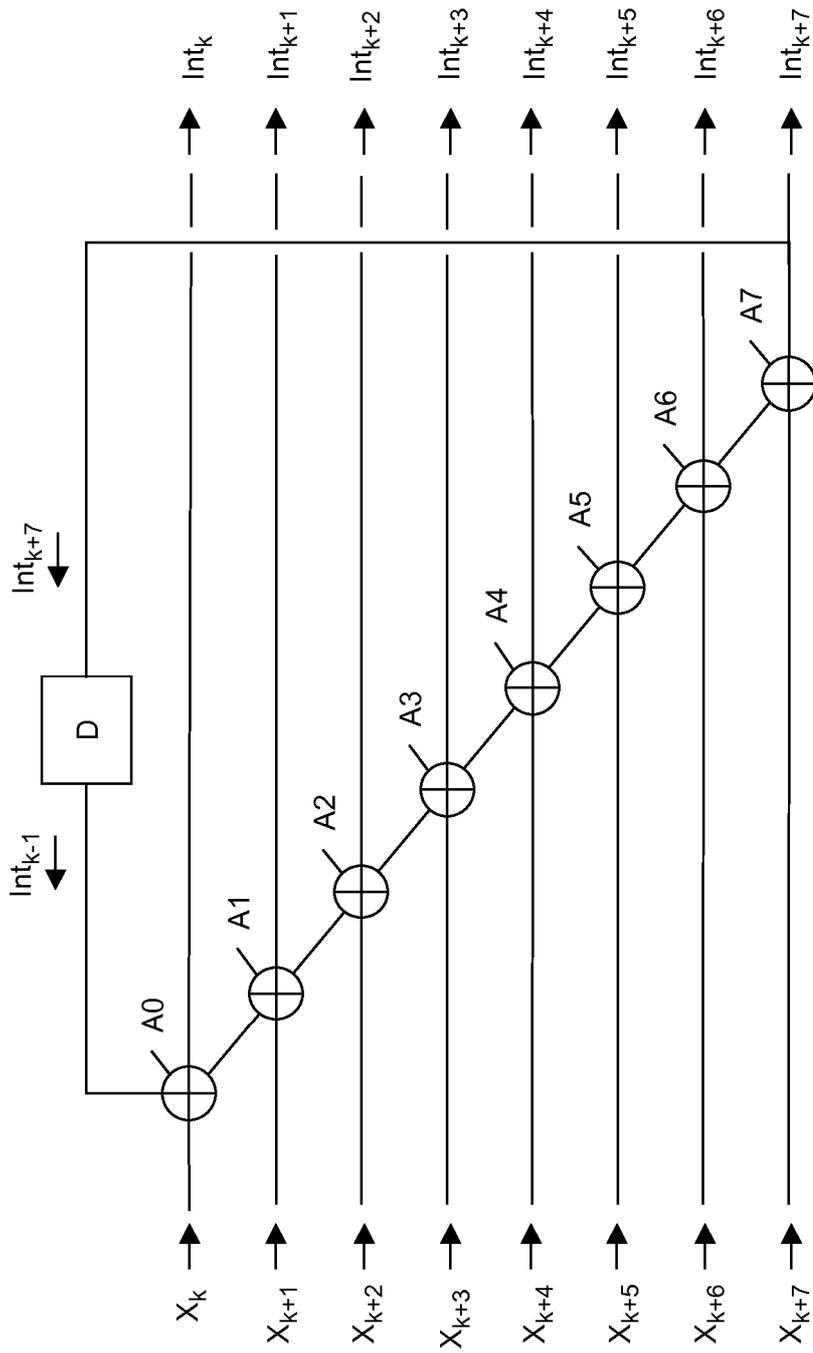


Figura 4

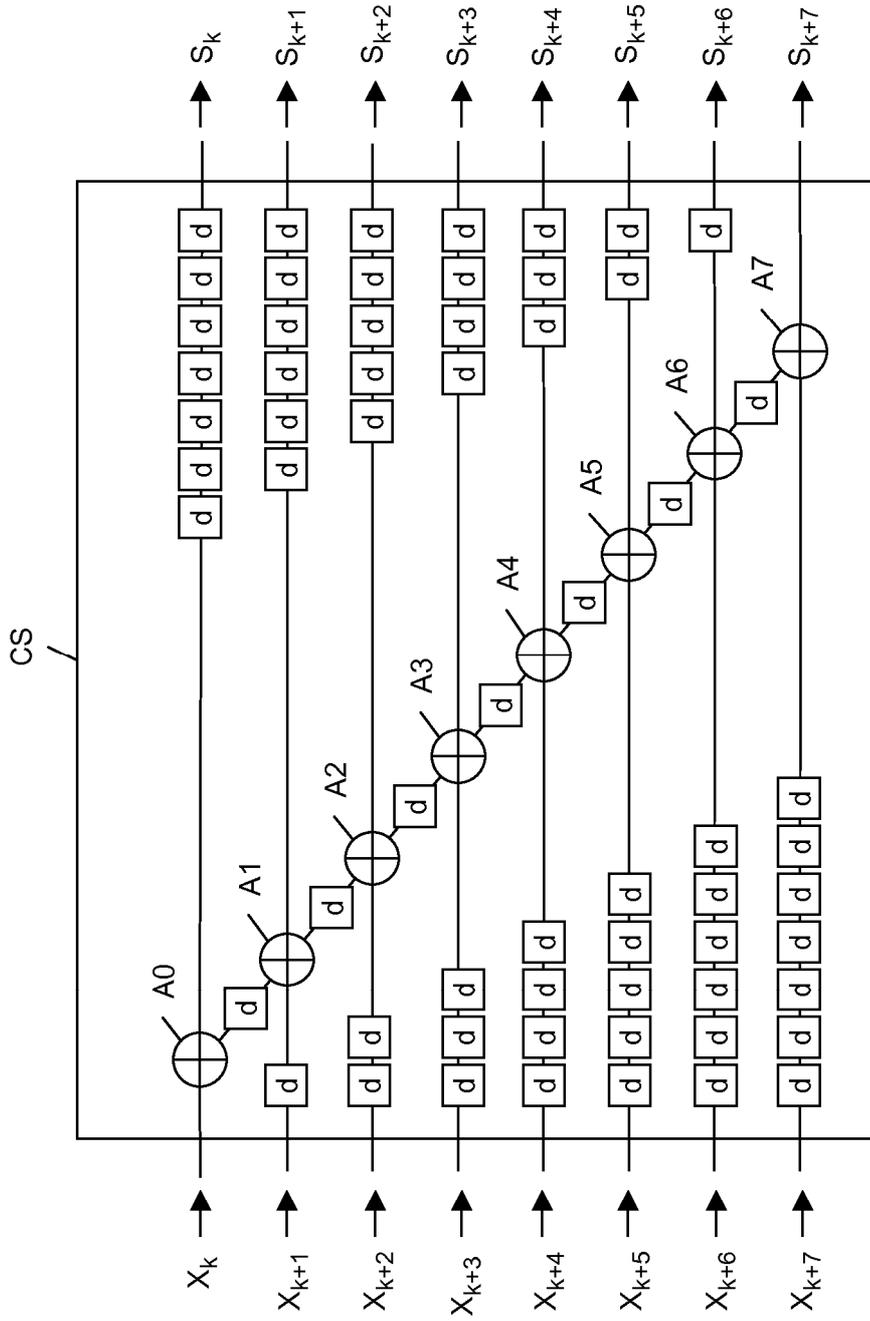


Figura 5

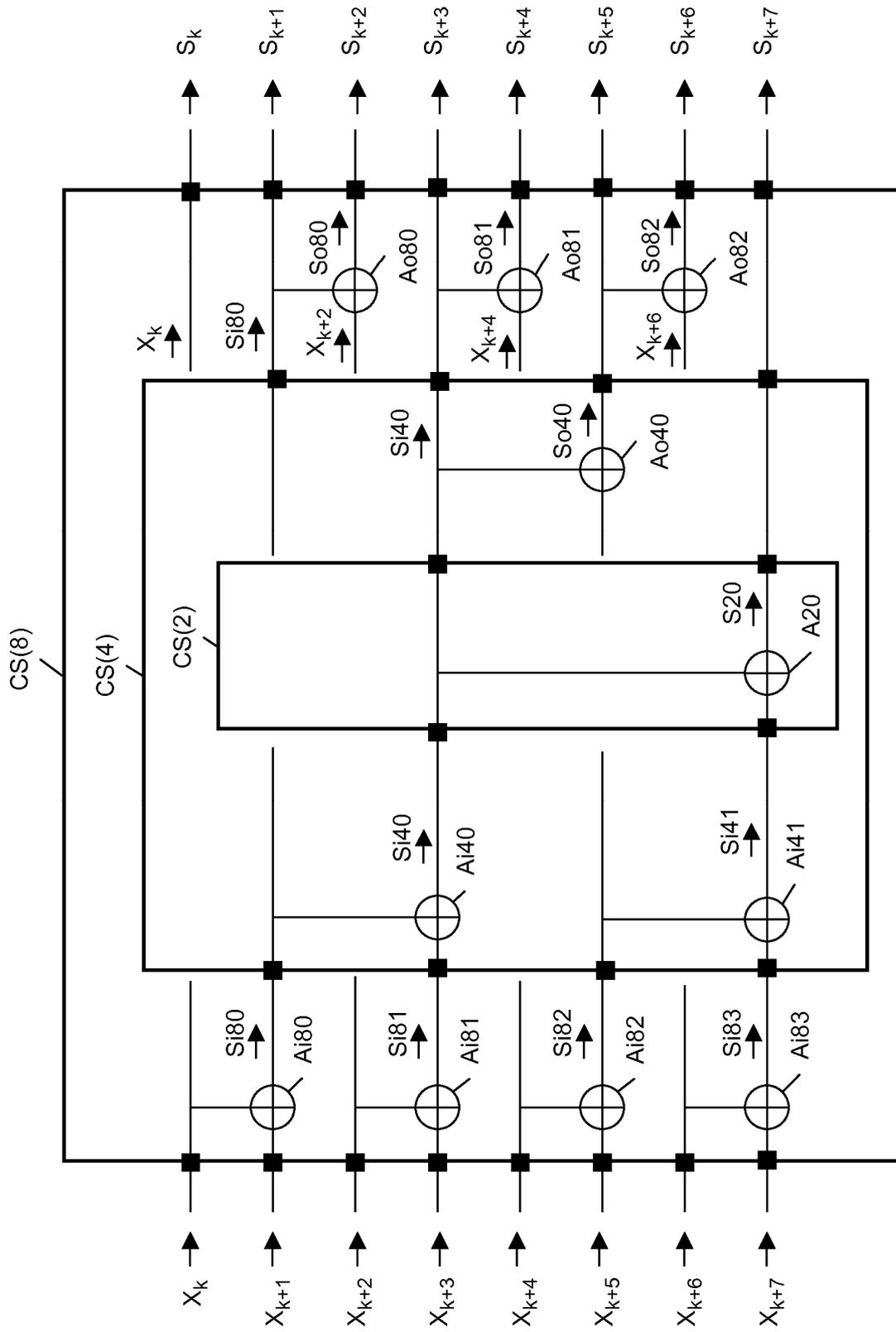


Figura 6

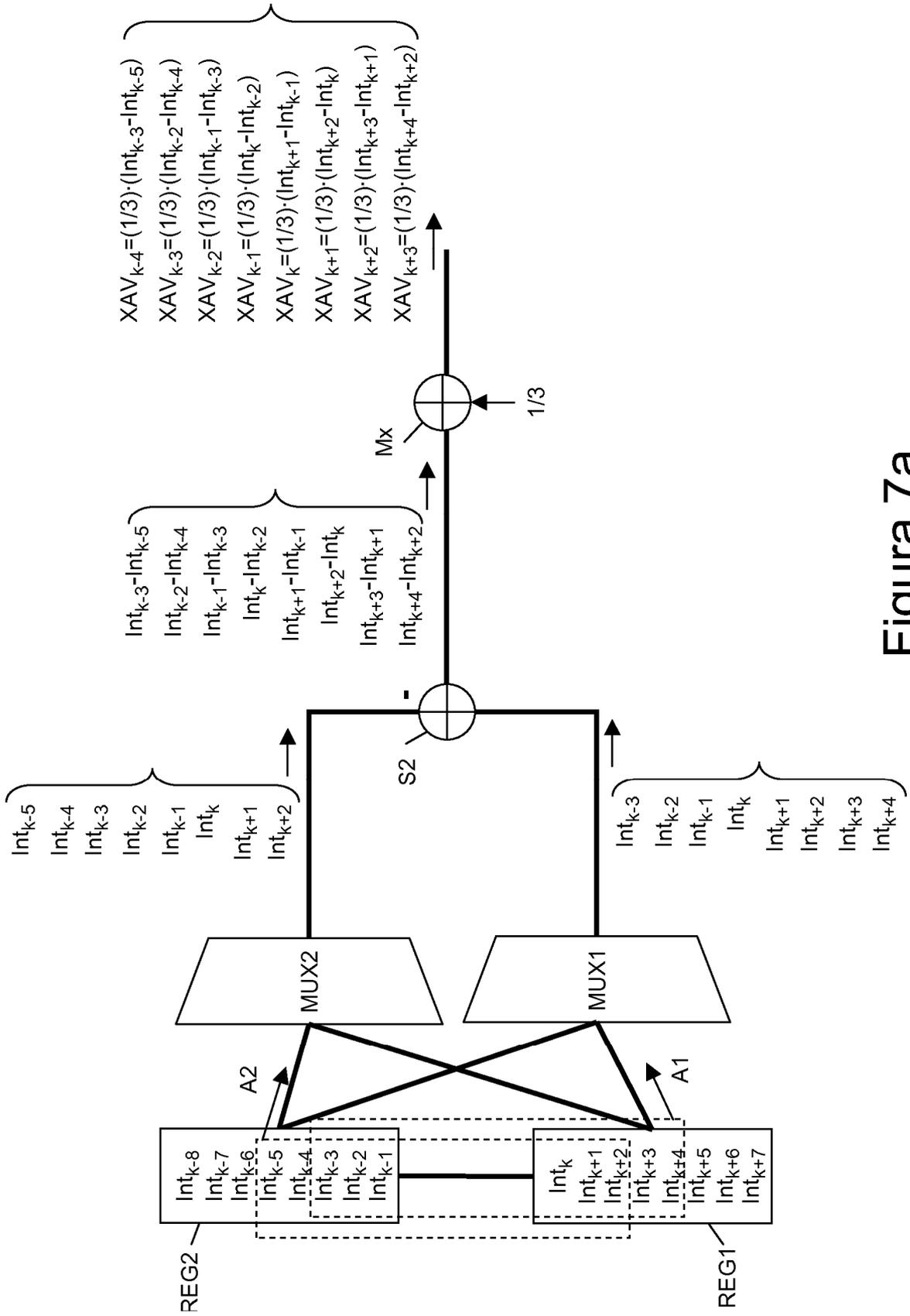


Figura 7a

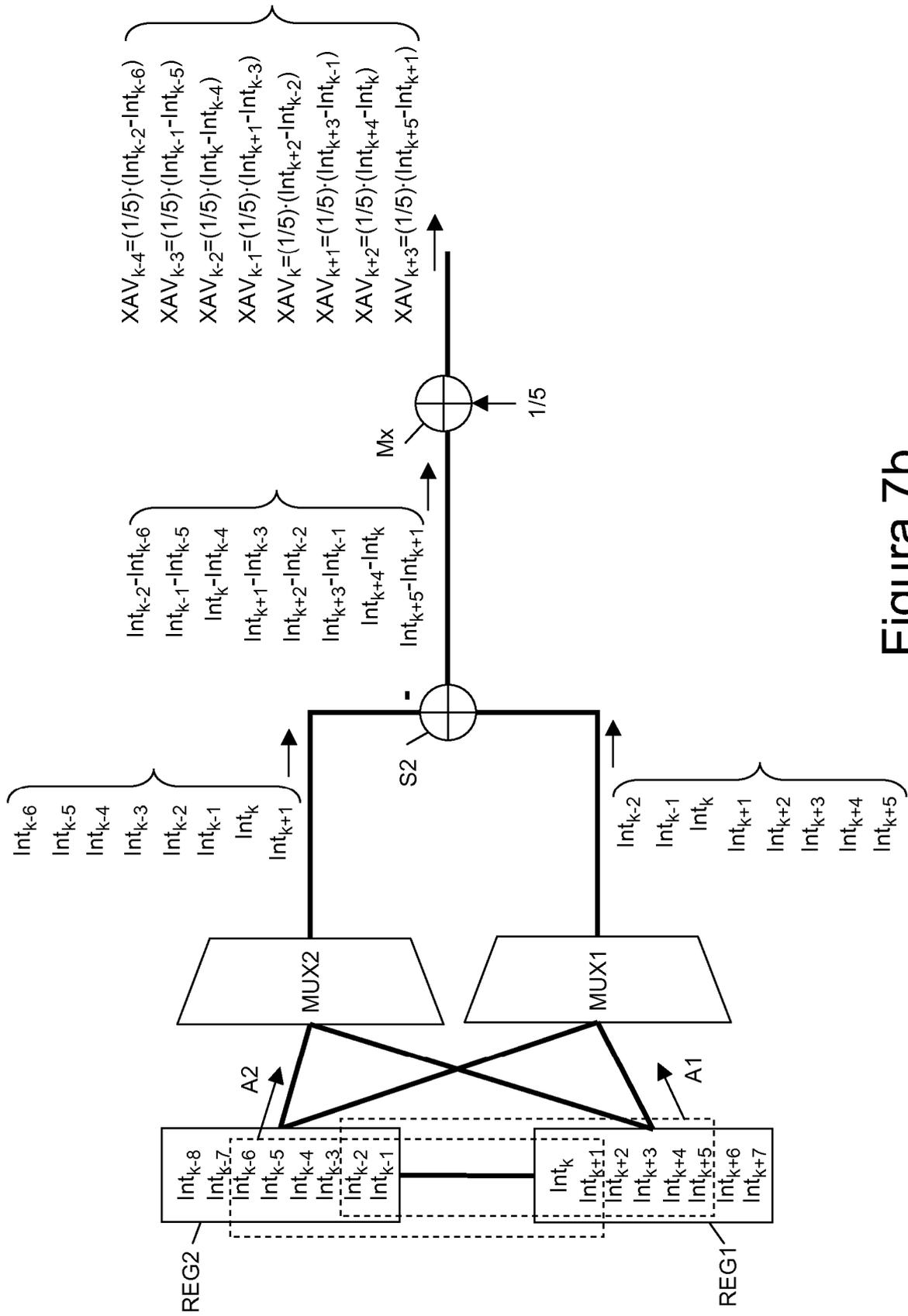


Figura 7b