

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 614 729**

51 Int. Cl.:

H01P 1/10 (2006.01)

H01P 5/12 (2006.01)

H04Q 3/00 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **26.10.2005 PCT/US2005/038687**

87 Fecha y número de publicación internacional: **11.05.2006 WO06050004**

96 Fecha de presentación y número de la solicitud europea: **26.10.2005 E 05818758 (4)**

97 Fecha y número de publicación de la concesión europea: **11.01.2017 EP 1810363**

54 Título: **Conmutador de matriz distribuida**

30 Prioridad:

02.11.2004 US 980055

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

01.06.2017

73 Titular/es:

**NEXTG NETWORKS, INC. (100.0%)
1500 Corporate Drive
Canonsburg, PA 15317, US**

72 Inventor/es:

**SCHULZ, JOHN C.F. y
CRAWFORD, LAWRENCE GRIFFIN**

74 Agente/Representante:

ISERN JARA, Jorge

ES 2 614 729 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Conmutador de matriz distribuida

5 La presente invención se refiere a una matriz de conmutación espacial para señales eléctricas, en particular pero no exclusivamente, para conmutar señales de microondas o de radiofrecuencia.

10 Las matrices de conmutación para señales de microondas o de radiofrecuencia se conocen bien y se han implementado previamente de una serie de formas. Por ejemplo, la patente de EE. UU. con n.º 3.833.866 divulga una disposición para una matriz de conmutación $m \times n$ que comprende m divisores de potencia ($l \times n$), n combinadores de potencia ($l \times m$) y $m \times n$ líneas de transmisión conmutadas que conectan cada rama de salida de los divisores con cada rama de entrada de los combinadores. Una disposición de este tipo se muestra en la figura 1 para el caso a modo de ejemplo de una matriz de conmutación 8×8 . Esta comprende unos divisores de potencia 1:8 l en cada uno de los 8 puertos de entrada, unos combinadores de potencia 8:1 2 en cada uno de los 8 puertos de salida y 64 líneas de transmisión de interconexión 3 que contienen, cada una, un conmutador de encendido - apagado terminado 4.

20 Este tipo de matriz de conmutación permite que cualquier puerto de entrada se conecte con cualquier puerto de salida. Esta también permite que cualquier combinación de puertos de entrada se conecte con cualquier combinación de puertos de salida y, por lo tanto, se puede usar en una serie de modos, incluyendo difusión. La patente de EE. UU. con n.º 3.833.866 divulga una disposición en la que una matriz de conmutación grande se construye usando un conjunto de placas de circuito interconectadas. Por ejemplo, una matriz de conmutación 8×8 se construiría usando 8 placas de circuito de entrada que contienen divisores de potencia y 8 placas de circuito de salida montadas en sentido perpendicular que contienen combinadores de potencia, conteniendo también, al menos una de las placas, conmutadores de encendido - apagado. No obstante, este enfoque es difícil de implementar con un tamaño, un coste y un rendimiento aceptables.

30 El documento US 4.495.498 divulga un conmutador de radiofrecuencia de construcción plana para conectar N señales de entrada con M señales de salida en un modo de conmutación de difusión o un modo de conmutación de matriz.

35 El documento EP 1274260 divulga un dispositivo de conmutación de matriz que comprende una microplaca de circuito integrado de semiconductores que funciona como una unidad de recepción de satélite que tiene un aislamiento elevado entre los terminales de la misma.

El documento US 6.577.879 divulga un sistema de telecomunicaciones para permitir que una estación de base transmita, de forma simultánea, señales en varios haces de una configuración de antena de múltiples haces.

40 La presente invención, al menos en algunas realizaciones preferidas, divulga unos medios de reducción del tamaño y la pérdida de inserción mientras que, al mismo tiempo, se aumenta el aislamiento y la pérdida de retorno de una matriz de conmutación de microondas para un ancho de banda dado en comparación con los diseños de la técnica anterior.

45 De acuerdo con un aspecto de la presente invención, se proporciona una matriz de conmutación de acuerdo con la reivindicación 1. De acuerdo con un aspecto de la presente invención, se proporciona una matriz de conmutación de acuerdo con la reivindicación 2. Es preferible que la matriz de conmutación sea una matriz de conmutación espacial eléctrica.

50 En algunas realizaciones de la invención, la pluralidad de divisores de potencia y la pluralidad de combinadores de potencia se disponen con el fin de incluir trayectos de conexión de cruce entre los mismos. Como resultado, el cruce de trayectos de conexión se distribuye entre la función de división / combinación de potencia y la función de conmutación. Las ventajas de algunas realizaciones de la invención incluyen un tamaño físico reducido y una reducción en el número de capas de placa de circuito (y, por lo tanto, un coste de fabricación más bajo) en comparación con una matriz singular grande, debido a que los bloques de conmutación se pueden incorporar dentro de la red de cruces de trayectos de interconexión. Este enfoque también conduce a una reducción en la longitud de los trayectos de interconexión, lo que da una pérdida de inserción reducida. Además, el bloque de conmutación y, de forma correspondiente, la matriz distribuida, se pueden diseñar con un aislamiento y un rendimiento de pérdida de retorno mejorados para un ancho de banda dado en comparación con la matriz singular grande.

60 En algunas realizaciones preferidas, al menos algunos de dichos trayectos de conexión incluyen un dispositivo de conmutación y al menos algunos de dichos trayectos de conexión incluyen cruces. En una realización puede haber un número igual de elementos divisores de potencia y elementos combinadores de potencia (una así denominada matriz cuadrada), mientras que en otras realizaciones puede haber un número diferente de elementos divisores de potencia y elementos combinadores de potencia; en cualquiera de las configuraciones, el patrón de conexión entre etapas respectivas es diferente. Se apreciará que la invención también incluye algunas realizaciones por las que el número de etapas de entrada es diferente del número de etapas de salida, a pesar de que la matriz comprende un

mínimo de dos de cada tipo de etapa. De forma ventajosa, la matriz de conmutación espacial eléctrica está dispuesta para funcionar dentro de la gama de microondas o de radiofrecuencia.

En una realización de la presente invención se proporciona una matriz de conmutación espacial eléctrica que comprende una pluralidad de elementos divisores de potencia y una pluralidad de elementos combinadores de potencia, estando conectados los elementos divisores y combinadores mediante un conjunto de conmutadores, estando dispuestos dichos elementos divisores como una primera etapa de entrada y una segunda etapa de entrada, comprendiendo cada etapa de entrada una pluralidad de elementos divisores, estando conectados los elementos individuales de la primera etapa de entrada con dos elementos diferentes de la segunda etapa de entrada, y estando conectado cada elemento de la segunda etapa de entrada con un elemento de la primera etapa de entrada, estando dispuestos dichos elementos combinadores como una primera etapa de salida y una segunda etapa de salida correspondientes, comprendiendo cada etapa de salida una pluralidad de elementos combinadores, estando conectados los elementos individuales de la primera etapa de salida con dos elementos diferentes de la segunda etapa de salida, y estando conectado cada elemento de la segunda etapa de salida con un elemento de la primera etapa de salida, en la que las conexiones entre los elementos divisores y combinadores incluyen cruces, y en la que las conexiones entre elementos en la primera y la segunda etapas de entrada, y/o las conexiones entre elementos en la primera y la segunda etapas de salida, también incluyen cruces.

Algunas realizaciones de la invención se pueden usar para conmutar señales de conmutador de radiofrecuencia (RF) y señales de microondas, señales de frecuencia intermedia (FI) o señales eléctricas tales como flujos digitales de alta velocidad. Las posibles aplicaciones para algunas realizaciones de la invención incluyen la conmutación y la distribución de señales de satélite, lo que podría ser de equipo de estudio a equipo de difusión o encontrarse dentro de un bloque de apartamentos o un bloque de oficinas, la conmutación de radio celular o de otras señales inalámbricas para aplicaciones o bien en el interior de edificios o bien en exteriores, aplicaciones de formación de haz de antena y aplicaciones de supervisión de bandas de frecuencia.

Estas y otras características y ventajas de algunas realizaciones de la presente invención serán evidentes a los expertos en la materia a partir de la siguiente descripción detallada de las realizaciones de la invención, cuando se lea con los dibujos y las reivindicaciones adjuntas.

La figura 1 es un diagrama esquemático que muestra un ejemplo de una disposición de matriz de conmutación espacial eléctrica conocida.

La figura 2 es un diagrama esquemático que muestra una disposición de conmutación que se implementa en una única PCB de múltiples capas.

La figura 3 es un diagrama esquemático que muestra una realización de una disposición de matriz de conmutación espacial eléctrica de acuerdo con la presente invención.

La figura 4 es un diagrama esquemático que muestra otra realización de una disposición de matriz de conmutación espacial eléctrica de acuerdo con la presente invención.

La figura 5 es un diagrama esquemático que muestra una implementación de capas de placa de circuito impreso de la disposición de matriz de conmutación que se muestra en la figura 2.

La figura 6 es un diagrama esquemático que muestra una implementación de capas de placa de circuito impreso de la disposición de matriz de conmutación que se muestra en la figura 4.

Como ya se ha hecho notar, el enfoque de la técnica anterior para la construcción de matrices de conmutación espacial eléctrica es difícil de implementar con un tamaño, un coste y un rendimiento aceptables.

La figura 2 muestra una matriz de conmutación que se implementa como una única PCB de múltiples capas en lugar de con múltiples PCB interconectadas, como es el caso para la matriz de conmutación de la figura 1. La matriz de conmutación comprende unos divisores de potencia 1:8 y unos combinadores de potencia 8:1, cada uno de los cuales se ha descompuesto en componentes constitutivos básicos 1:2 o 2:1 en esta figura y, para favorecer la claridad, se agrupan dentro de los círculos de trazo discontinuo solo para el puerto de entrada y de salida 1. Los divisores de potencia 1:8 y los combinadores de potencia 8:1 están interconectados mediante 64 líneas de transmisión de cruce 7 que contienen, cada una, uno o más elementos de conmutación 8. Por razones de claridad, en la figura solo se dibuja uno de estos elementos de conmutación.

El uso de una única PCB de múltiples capas tiene muchas ventajas, incluyendo un tamaño y un coste reducidos. A pesar de que la matriz de conmutación de la figura 2 no cae dentro del alcance de las reivindicaciones, se contempla una realización en la que la matriz de conmutación de la figura 2 no tiene unos patrones de conexión idénticos, por ejemplo, 2 divisores 1:2 y 2 combinadores 2:1 para cada puerto de entrada y puerto de salida, de forma respectiva.

Un aspecto importante de este diseño es que cada una de las 64 líneas de transmisión de cruce ha de tener la misma longitud de trayecto, con el fin de asegurar que el rendimiento eléctrico no dependa del encaminamiento de señal. Por ejemplo, se ha de mantener la misma pérdida de inserción para una señal que se desplaza entre el puerto de entrada 1 y el puerto de salida 1 que aquella en la que incurre una señal que se desplaza entre el puerto de entrada 1 y el puerto de salida 8. Para lograr esto, se han de insertar unas longitudes adicionales de línea de transmisión en todos los trayectos salvo el más largo de tal modo que todos los trayectos pasan a tener la longitud

del trayecto más largo. Además, esto se ha de diseñar sin un número excesivo de capas de PCB al tiempo que se mantiene un rendimiento de pérdida de inserción, de pérdida de retorno y de aislamiento aceptables.

En esta etapa, es importante establecer una distinción entre una matriz de conmutación y un bloque de conmutación. En el presente contexto, un bloque de conmutación se define como que tiene i entradas y j salidas (en donde $i < m$ y $j < n$) y consiste en i divisores de potencia $1:j$, j combinadores de potencia $i:1$ y $(i \times j)$ líneas de transmisión conmutadas que interconectan las ramas de salida de los divisores de potencia con las ramas de entrada de los combinadores de potencia. El bloque de conmutación es una parte constituyente de la matriz de conmutación y, para el caso que se muestra en la figura 2, este constituye la totalidad de la matriz de conmutación tal como se indica mediante el área sombreada.

La presente invención, al menos en algunas realizaciones preferidas, proviene de la comprensión de que hay ventajas significativas en la construcción de una matriz de conmutación mediante el uso de una serie de bloques de conmutación de menor tamaño. Cada uno de estos bloques de conmutación está conectado con los puertos de entrada y de salida de la matriz de conmutación usando divisores de potencia y combinadores de potencia. Esto presenta el efecto de distribuir la funcionalidad de cruce dentro de la funcionalidad de división / combinación de potencia, lo que da una serie de beneficios según se expondrá más adelante.

La figura 3 muestra una realización de una matriz de conmutación de acuerdo con la presente invención con un tamaño a modo de ejemplo de 8×8 , realizada usando unos bloques de conmutación de tamaño 4×4 . Estos bloques de conmutación se muestran sombreados en la figura. La matriz de conmutación se forma a partir de una única PCB de múltiples capas y comprende 8 divisores de potencia $1:2$ 10 en los 8 puertos de entrada, 8 combinadores de potencia $2:1$ 11 en los 8 puertos de salida y 4 bloques de conmutación 4×4 . Cada bloque de conmutación 4×4 comprende 4 divisores de potencia $1:4$ 12, 4 combinadores de potencia $4:1$ 13 y 16 líneas de transmisión de cruce conmutadas 14, que enlazan los divisores de potencia con los combinadores de potencia (por razones de claridad, en esta figura solo se muestra un conmutador 15). Se puede calcular el número de bloques de conmutación mediante el uso de la siguiente ecuación:

$$(m \cdot n) / (i \cdot j) \quad (\text{Ecuación 1})$$

Aplicando la Ecuación 1 a la figura 3, m y n son ambos 8. Su producto es 64. Cada bloque de conmutación tiene cuatro puertos de entrada y cuatro puertos de salida, haciendo que tanto i como j tengan un valor de 4. Su producto es 16. El primer producto (64) dividido por el segundo producto (16) conduce a 4, que es el número de bloques de conmutación que se ilustra en la figura 3.

La figura 4 muestra otra realización de una matriz de conmutación de acuerdo con la presente invención, de nuevo con un tamaño a modo de ejemplo de 8×8 , y de nuevo formada usando una única PCB de múltiples capas. En el presente caso, hay 16 bloques de conmutación de tamaño 2×2 16 y de nuevo se muestran sombreados en la figura. El número de bloques de conmutación se puede calcular usando la Ecuación 1 de la forma que se ha analizado en lo que antecede. Cada bloque de conmutación comprende 2 divisores de potencia $1:2$ 17, 2 combinadores de potencia $2:1$ 18 y 4 líneas de transmisión de cruce conmutadas 19. Por razones de claridad, en esta figura solo se dibuja un conmutador 20. Los bloques de conmutación están conectados con los puertos de entrada y de salida de la matriz de conmutación por medio de una jerarquía en dos etapas de divisores de potencia $1:2$ 21, 22 y combinadores de potencia $2:1$ 23, 24.

Un aspecto importante de la presente invención, al menos en algunas realizaciones preferidas, radica en la distribución de trayectos de conexión de cruce entre la función de división / combinación de potencia y la función de conmutación. La distribución del cruce dentro de la función de división / combinación de potencia conduce a una serie de ventajas significativas.

La primera ventaja es que se disminuye en gran medida la profundidad de los cruces en las líneas de transmisión conmutadas de interconexión, lo que quiere decir que se requieren bastantes menos capas de PCB para implementar un tamaño dado de matriz de conmutación. Esto es debido al hecho de que los cruces se pueden distribuir a lo largo del plano de la PCB y, por lo tanto, los cruces pueden compartir menos capas. El efecto global es un coste de implementación reducido.

La figura 5 muestra la pila de capas que se requiere para una matriz de conmutación 8×8 usando un único bloque de conmutación 8×8 (es decir, que se corresponde con la matriz de conmutación que se muestra en la figura 2). Los cruces se indican mediante $xo1$, $xo2$, etc. Las capas de cobre (Cu) se indican mediante las líneas gruesas 25, y las líneas de cobre grabado se indican mediante los rectángulos 26.

En la terminología de las PCB, una línea de cobre grabado que está intercalada entre dos capas de masa de cobre es una "línea de cinta" y una línea de cobre grabado con una única capa de masa es una "microcinta". Las conexiones entre líneas procedentes de diferentes capas se realizan usando vías, que son orificios revestidos con cobre entre capas con una impedancia controlada (para reducir al mínimo la potencia reflejada). El número de líneas de cinta viene dictado por el divisor o combinador de potencia de unidad más pequeña. En el caso de la figura 5, el

divisor o combinador de potencia de unidad más pequeña es 8. Por lo tanto, el número de líneas de cinta es 8 e, incluyendo la microcinta y las líneas de masa, el total es de 18 capas de cobre.

5 En contraposición, la figura 6 muestra la pila de capas que se requiere para una matriz de conmutación 8 x 8 de acuerdo con la presente invención usando 16 bloques de conmutación 2 x 2. En este caso, el divisor o combinador de potencia de unidad más pequeña es 2. Por lo tanto, el número de líneas de cinta es 4 e, incluyendo la microcinta y las líneas de masa, solo se requieren 6 capas (se añade una microcinta adicional en la figura 6).

10 La segunda ventaja es que las líneas de transmisión conmutadas de interconexión son más cortas, lo que conduce a una pérdida de inserción reducida y a un tamaño de implementación más pequeño. Esto es especialmente significativo como resultado del requisito de equilibrio de longitudes de trayectoria que se ha mencionado previamente.

15 La tercera ventaja es que se pueden usar técnicas de cancelación de desfase de forma eficaz debido a que las líneas de transmisión conmutadas son cortas. Esto da como resultado un rendimiento de pérdida de retorno y de aislamiento mejorado de la matriz de conmutación. La cancelación de desfase es una técnica mediante la cual las ramas de salida de un acoplador (divisor de potencia o combinador de potencia) tienen unas longitudes desiguales y en la que la diferencia de longitudes es de aproximadamente un cuarto de una longitud de onda. Por lo tanto, la potencia reflejada a partir de cada una de las ramas de salida vuelve a la entrada de acoplador con un desfase de 20 180°, lo que da como resultado la cancelación de la potencia reflejada. Esto da una pérdida de retorno alta y un aislamiento elevado. Esta técnica es mucho más eficaz en circuitos en los que las ramas de salida de acoplador son relativamente cortas. Unas líneas de transmisión de interconexión largas dan lugar a muchas rotaciones de fase en la señal transmitida, lo que haría muy difícil lograr una cancelación de fase precisa y controlable. Esta técnica es particularmente relevante para el acoplador de Wilkinson, que es el tipo de acoplador preferido para la presente 25 solicitud debido a su diseño simple y a su geometría compacta.

La cuarta ventaja es que los bloques de conmutación pequeños ofrecen la oportunidad de un diseño modular; un diseño relativamente simple pero preciso se puede repetir para construir un sistema mucho más complejo. Esto conduce a un tiempo de diseño reducido que conduce, de forma correspondiente, a un coste de implementación 30 reducido.

El efecto neto de estas ventajas es un diseño de matriz de conmutación que tiene una pérdida de retorno alta, un aislamiento elevado entre puertos, una pérdida de inserción baja, un tamaño físico pequeño y un bajo número de 35 capas de placa de circuito. Por lo tanto, este permite la construcción de una matriz de conmutación con una combinación de un rendimiento eléctrico elevado y un coste de implementación bajo en comparación con los enfoques de la técnica anterior.

REIVINDICACIONES

1. Una matriz de conmutación que comprende:

5 una pluralidad de puertos de entrada y de salida;
 una pluralidad de elementos divisores de potencia (10, 12) y una pluralidad de elementos combinadores de potencia (11, 13), caracterizada por que:

10 la matriz de conmutación se implementa en una única placa de circuito impreso de múltiples capas usando bloques de conmutación constituyentes;
 dichos elementos divisores de potencia incluyen unos elementos divisores de potencia (12) dispuestos en los bloques de conmutación y unos elementos divisores de potencia (10) en al menos una primera etapa de entrada entre los bloques de conmutación y los puertos de entrada, comprendiendo cada etapa de entrada una pluralidad de elementos divisores de potencia;
 15 dichos elementos combinadores de potencia incluyen unos elementos combinadores de potencia (13) dispuestos en los bloques de conmutación y unos elementos combinadores de potencia (11) en al menos una primera etapa de salida correspondiente entre los bloques de conmutación y los puertos de salida, comprendiendo cada etapa de salida una pluralidad de elementos combinadores de potencia;
 la matriz de conmutación tiene m puertos de entrada y n puertos de salida y comprende $(m \times n) / (i \times j)$ bloques de conmutación;
 20 i es menor que m y j es menor que n ;
 cada bloque de conmutación tiene i entradas y j salidas, i elementos divisores de potencia $1:j$ y j elementos combinadores de potencia $i:1$;
 cada bloque de conmutación comprende $(i \times j)$ líneas de transmisión conmutadas que conectan ramas de salida de los elementos divisores de potencia en el bloque de conmutación con ramas de entrada de los elementos combinadores de potencia en el bloque de conmutación;
 25 en la que $n = 8$, $m = 8$, $i = 4$ y $j = 4$;
 estando conectados los elementos divisores de potencia (10) individuales de la primera etapa de entrada con dos elementos divisores de potencia (12) diferentes de diferentes bloques de conmutación, y con un puerto de entrada respectivo, y estando conectado cada elemento divisor de potencia (12) de los bloques de conmutación con un elemento divisor de potencia (10) de la primera etapa de entrada;
 30 estando conectados los elementos combinadores de potencia individuales (11) de la primera etapa de salida con dos elementos combinadores de potencia (13) diferentes de diferentes bloques de conmutación, y con un puerto de salida respectivo, y estando conectado cada elemento combinador de potencia (13) de los bloques de conmutación con un elemento combinador de potencia (11) de la primera etapa de salida; y por que:

40 las conexiones entre los elementos divisores de potencia de dicha primera etapa de entrada y los elementos divisores de potencia (12) en los bloques de conmutación tienen un primer patrón de conexión entre elementos y las conexiones entre los elementos combinadores de potencia de la primera etapa de salida y los elementos combinadores de potencia (13) en los bloques de conmutación tienen un segundo patrón de conexión entre elementos diferente; y
 las conexiones entre las líneas de transmisión conmutadas procedentes de diferentes capas de la placa de circuito impreso se realizan usando vías y trayectos de conexión de cruce.

45 2. Una matriz de conmutación que comprende:

una pluralidad de puertos de entrada y de salida;
 una pluralidad de elementos divisores de potencia (17, 21, 22) y una pluralidad de elementos combinadores de potencia (18, 23, 24), caracterizada por que:

50 la matriz de conmutación se implementa en una única placa de circuito impreso de múltiples capas usando bloques de conmutación constituyentes;
 dichos elementos divisores de potencia incluyen unos elementos divisores de potencia (17) dispuestos en los bloques de conmutación y unos elementos divisores de potencia (21, 22) en al menos una primera etapa de entrada entre los bloques de conmutación y los puertos de entrada, comprendiendo cada etapa de entrada una pluralidad de elementos divisores de potencia;
 55 dichos elementos combinadores de potencia incluyen unos elementos combinadores de potencia (18) dispuestos en los bloques de conmutación y unos elementos combinadores de potencia (23, 24) en al menos una primera etapa de salida correspondiente entre los bloques de conmutación y los puertos de salida, comprendiendo cada etapa de salida una pluralidad de elementos combinadores de potencia;
 la matriz de conmutación tiene m puertos de entrada y n puertos de salida y comprende $(m \times n) / (i \times j)$ bloques de conmutación;
 60 i es menor que m y j es menor que n ;
 cada bloque de conmutación tiene i entradas y j salidas, i elementos divisores de potencia $1:j$ y j elementos combinadores de potencia $i:1$;
 65 cada bloque de conmutación comprende $(i \times j)$ líneas de transmisión conmutadas que conectan ramas de

salida de los elementos divisores de potencia en el bloque de conmutación con ramas de entrada de los elementos combinadores de potencia en el bloque de conmutación;
 en la que $n = 8$, $m = 8$, $i = 2$ y $j = 2$;

5 los bloques de conmutación están conectados con los puertos de entrada de la matriz de conmutación por medio de una jerarquía en dos etapas de divisores de potencia (21, 22) que comprende la primera etapa de entrada y una segunda etapa de entrada;

los bloques de conmutación están conectados con los puertos de salida de la matriz de conmutación por medio de una jerarquía en dos etapas de combinadores de potencia (23, 24) que comprende la primera etapa de salida y una segunda etapa de salida;

10 estando conectados los elementos divisores de potencia (21) individuales de la primera etapa de entrada con dos elementos divisores de potencia (17) diferentes de diferentes bloques de conmutación, y estando conectado cada elemento divisor de potencia (17) de los bloques de conmutación con un elemento divisor de potencia (21) de la primera etapa de entrada;

15 estando conectados los elementos divisores de potencia (22) individuales de la segunda etapa de entrada con dos elementos divisores de potencia (21) diferentes de la primera etapa de entrada, y con un puerto de entrada respectivo, y estando conectado cada elemento divisor de potencia (21) de la primera etapa de entrada con un elemento divisor de potencia (22) de la segunda etapa de entrada;

20 estando conectados los elementos combinadores de potencia individuales (23) de la primera etapa de salida con dos elementos combinadores de potencia (18) diferentes de diferentes bloques de conmutación, y estando conectado cada elemento combinador de potencia (18) de los bloques de conmutación con un elemento combinador de potencia (23) de la primera etapa de salida;

25 estando conectados los elementos combinadores de potencia individuales (24) de la segunda etapa de salida con dos elementos combinadores de potencia (23) diferentes de la primera etapa de salida, y con un puerto de salida respectivo, y estando conectado cada elemento combinador de potencia (23) de la primera etapa de salida con un elemento combinador de potencia (24) de la segunda etapa de salida; y por que:

30 las conexiones entre los elementos divisores de potencia de dicha primera etapa de entrada y los elementos divisores de potencia (17) en los bloques de conmutación tienen un primer patrón de conexión entre elementos y las conexiones entre los elementos combinadores de potencia de la primera etapa de salida y los elementos combinadores de potencia (18) en los bloques de conmutación tienen un segundo patrón de conexión entre elementos diferente; y

las conexiones entre las líneas de transmisión conmutadas procedentes de diferentes capas de la placa de circuito impreso se realizan usando vías y trayectos de conexión de cruce.

35 3. La matriz de conmutación de acuerdo con la reivindicación 1 o 2, en la que hay un número igual de elementos divisores de potencia (10, 12; 17, 21, 22) y elementos combinadores de potencia (11, 13; 18, 23, 24).

4. La matriz de conmutación de acuerdo con la reivindicación 1, 2 o 3, en la que:

40 las conexiones entre los elementos divisores de potencia (10; 21) en la primera etapa de entrada y los elementos divisores de potencia (12; 17) en los bloques de conmutación, y/o las conexiones entre los elementos combinadores de potencia (11; 23) en la primera etapa de salida y los elementos combinadores de potencia (13; 18) en los bloques de conmutación, también incluyen cruces.

45 5. La matriz de conmutación de acuerdo con cualquier reivindicación anterior, en la que dicha matriz de conmutación está dispuesta para funcionar en la gama de microondas o de radiofrecuencia.

Fig. 1. (Técnica anterior)

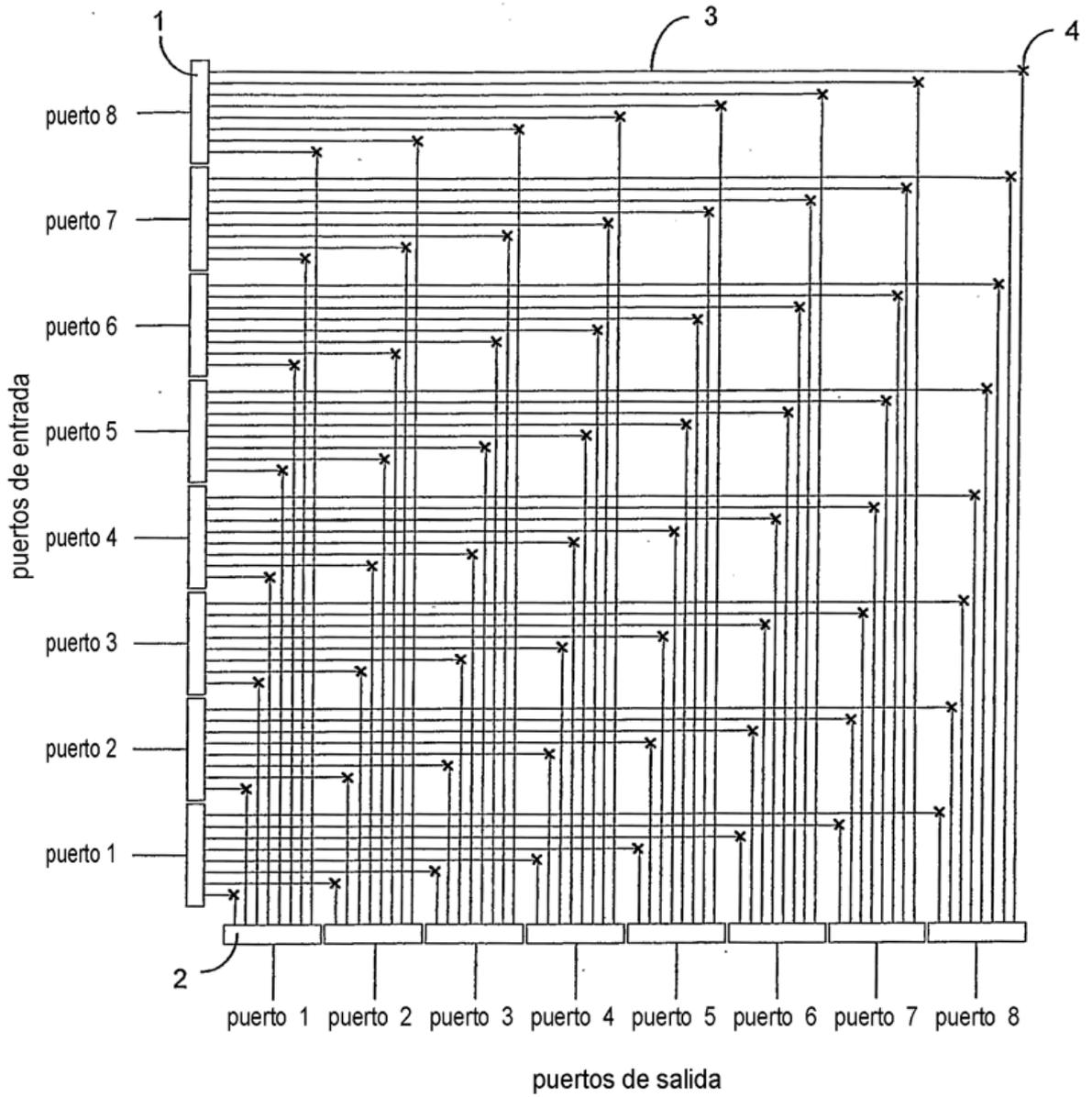


Fig. 2.

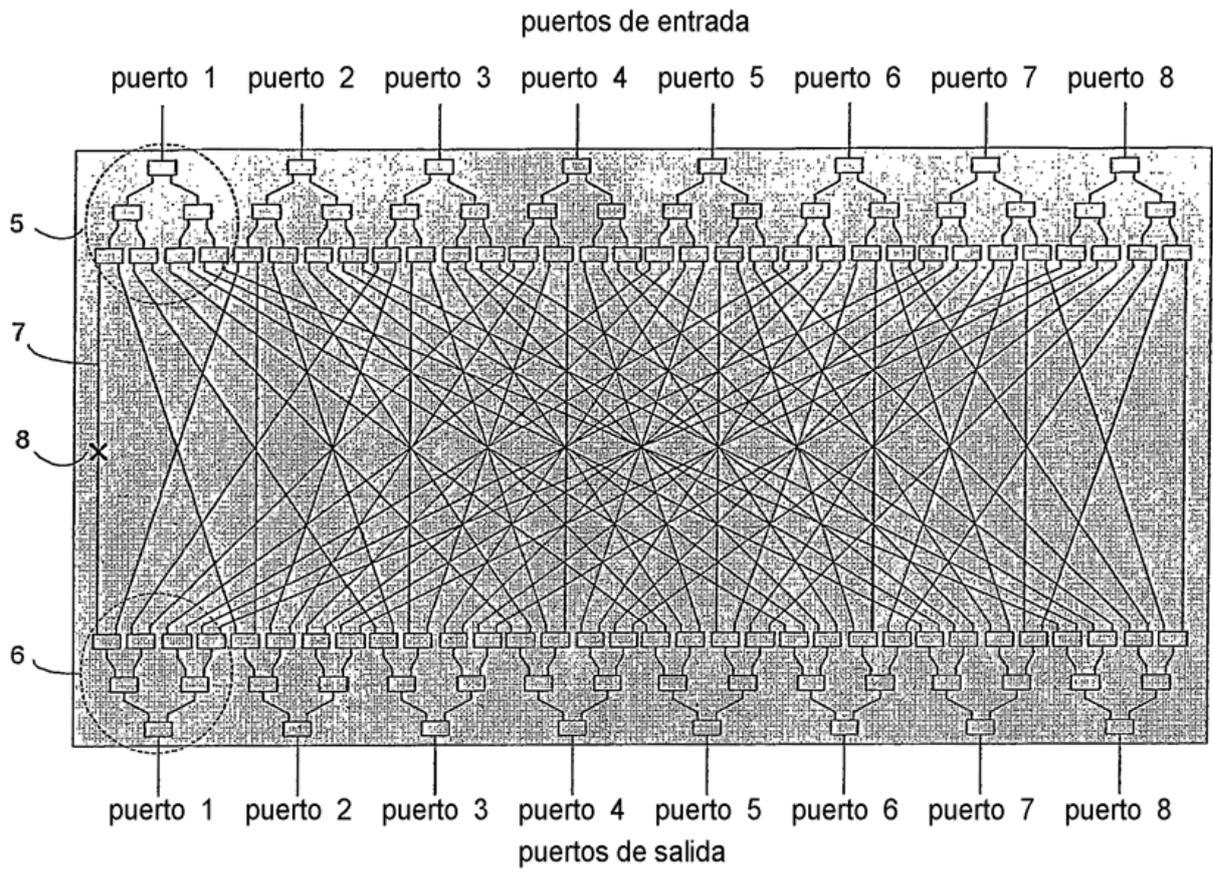


Fig. 3.

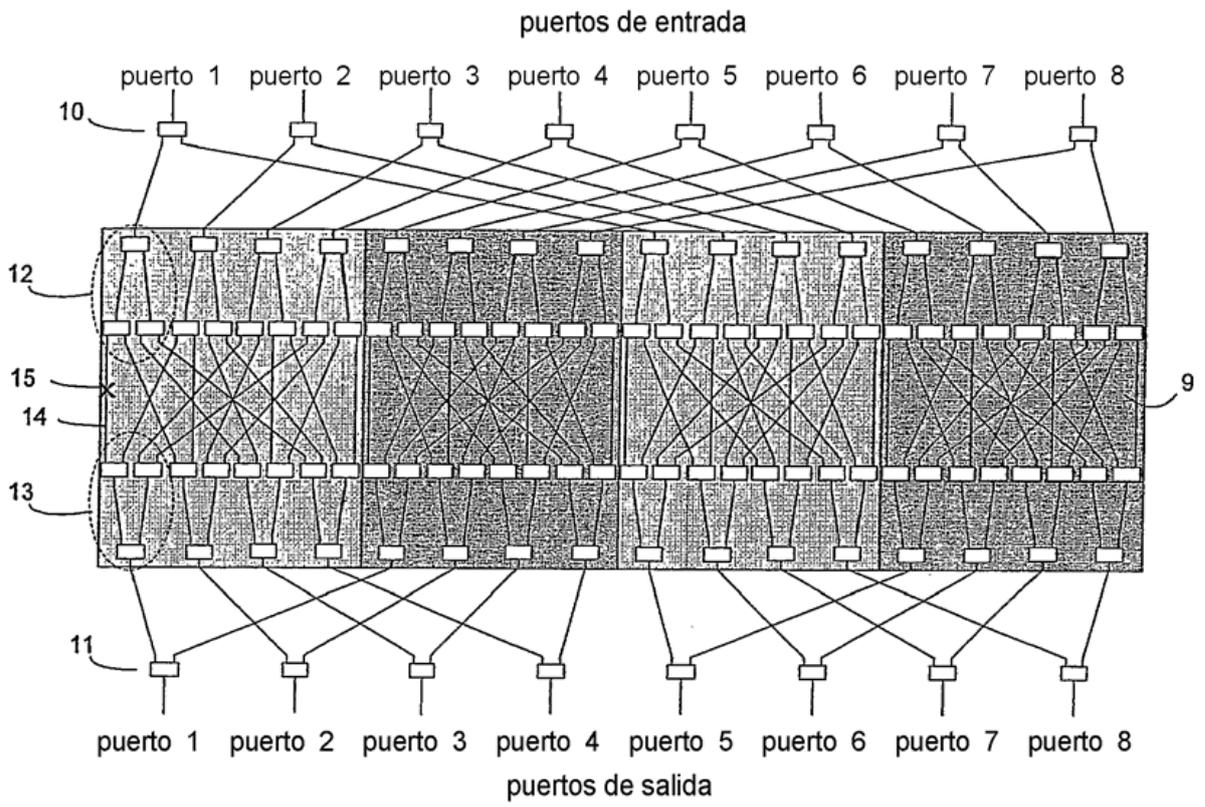


Fig. 4.

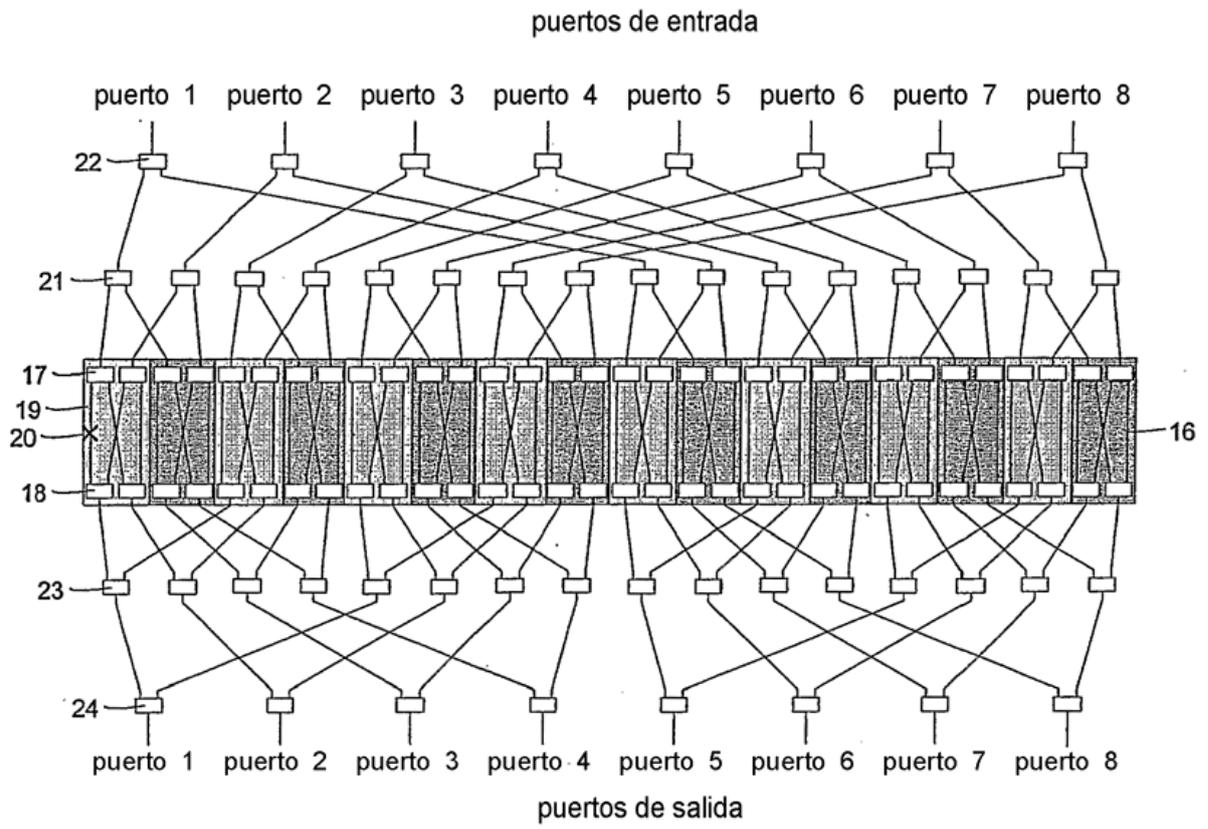


Fig. 5

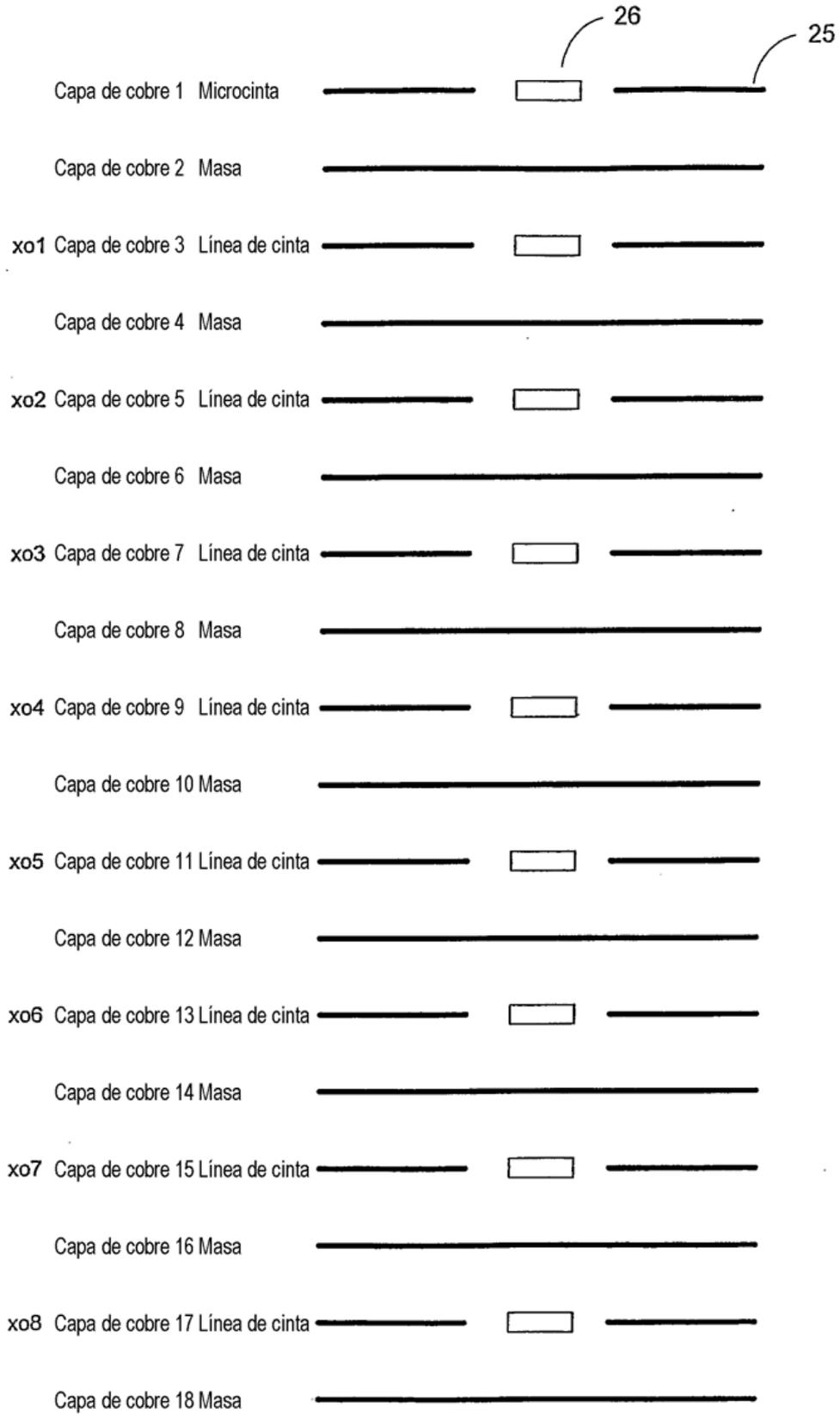


Fig. 6

