(19) OFICINA ESPAÑOLA DE PATENTES Y MARCAS

ESPAÑA

(11) Número de publicación: **2 617 318**

(51) Int. CI.:

H03K 19/177 (2006.01)

(12) TRADUCCIÓN DE PATENTE EUROPEA T3

(86) Fecha de presentación y número de la solicitud internacional: **20.04.2012 PCT/US2012/034367**

(87) Fecha y número de publicación internacional: **26.10.2012 WO2012145578**

(96) Fecha de presentación y número de la solicitud europea: **20.04.2012 E 12721046 (6)**

(97) Fecha y número de publicación de la concesión europea: **30.11.2016 EP 2700170**

(54) Título: **Células de lógica configurable**

(30) Prioridad:

21.04.2011 US 201161477821 P
18.04.2012 US 201213449993

(45) Fecha de publicación y mención en BOPI de la traducción de la patente:
16.06.2017

(73) Titular/es:

MICROCHIP TECHNOLOGY INCORPORATED (100.0%)
2355 West Chandler Boulevard
Chandler, Arizona 85224-6199, US

(72) Inventor/es:

KILZER, KEVIN, LEE;
STEEDMAN, SEAN;
ZDENEK, JERROLD, S.;
DELPORT, VIVIEN;
LUNDSTRUM, ZEKE y
DUVENHAGE, FANIE

(74) Agente/Representante:

CARPINTERO LÓPEZ, Mario

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Células de lógica configurable

La presente divulgación se refiere a células de lógica configurable, y, más particularmente, a un procesador con un periférico de lógica combinatoria, una célula de lógica configurable incorporada en un microprocesador y que opera independientemente del mismo, una célula de lógica configurable que permite al software acceder a la configuración interna y rutas de señal en un dispositivo de circuito integrado, una célula de lógica configurable con control de configuración en tiempo real, y una célula de lógica configurable que incorpora una o más funciones lógicas.

Un sistema de procesador, tal como un sistema de procesador de Computación de Conjunto de Instrucciones Reducido (RISC), puede incluir un núcleo de microprocesador y una pluralidad de periféricos.

La operación de un microprocesador, de vez en cuando, se detiene intencionadamente para (a) reducir consumo de potencia (por ejemplo, en reposo o hibernar), o (b) permitir la inspección de registros internos por la lógica de terceros (por ejemplo, inmovilización de depuración). En estos casos, los dispositivos periféricos generalmente también se detienen, para simplificar la interfaz lógica, o para permitir que un “estado actual” se capture para inspección.

Los dispositivos tales como los Campos de Matrices de Puertas Programables (FPGA) y Dispositivos de Lógica Programable (PLD) proporcionan células de lógica configurable. Hablando en general, el diseño de la lógica debe proporcionar explícitamente que las entradas de software usen registros, buses de direcciones y otras técnicas de interfaz de microprocesador convencionales, que requieren que se asignen recursos de FPGA adicionales para esta característica. Estas células de lógica FPGA y PLD convencionales deben configurarse por el usuario, y esa configuración permanece estática mientras la célula está en servicio.

Los FPGA y PLD proporcionan células de lógica configurable que están basadas en general en tecnología de flip-flop D. Aunque esto es adecuado para uso de fin general y configuración de lógica automatizada, no conduce siempre a una solución de implementación de circuito mínima.

El documento US7689726 desvela un FPGA que comprende procesador, periférico, memoria de configuración y lógica de configuración.

Como tal, existe una necesidad para sistemas y procedimientos mejorados para proporcionar dispositivos lógicos configurables.

Estas y otras desventajas en la técnica anterior se superan en gran parte por un sistema y procedimiento de acuerdo con las reivindicaciones independientes. Mejoras adicionales están caracterizadas en las reivindicaciones dependientes.

Un procesador de acuerdo con las realizaciones según se reivindican incluye un núcleo de CPU RISC; y una pluralidad de periféricos que incluyen uno o más periféricos de célula de lógica configurable. En algunas realizaciones, el periférico de célula de lógica configurable puede configurarse para permitir acceso de software en tiempo real a configuración interna y rutas de señales del procesador. En algunas realizaciones, el periférico de célula de lógica configurable tiene control de configuración en tiempo real.

En algunas realizaciones, el periférico de célula de lógica configurable comprende un biestable asíncrono D.

En otras, el periférico de célula de lógica configurable comprende un flip-flop JK. En general, la célula de lógica configurable puede programarse para funcionar como una de una pluralidad de funciones lógicas predeterminadas. En algunas realizaciones, el periférico de célula de lógica configurable puede operar independientemente del procesador. En algunas realizaciones, el periférico de célula de lógica configurable puede configurarse para operar mientras el procesador está en un modo en espera o condición de inmovilización.

En algunas realizaciones, el periférico de célula de lógica configurable puede configurarse mediante uno o más registros de software. En otras, el periférico de célula de lógica configurable puede configurarse mediante memoria no volátil. La memoria no volátil puede estar conectada estáticamente para configuración. En algunas realizaciones, la memoria no volátil puede leerse y los datos de configuración transferirse a registros de configuración para configurar el periférico de célula de lógica configurable. En algunas realizaciones, después de la configuración inicial, la configuración del periférico de célula de lógica configurable puede actualizarse mediante software.

La presente invención puede entenderse mejor, y sus numerosos objetos, características y ventajas se hacen evidentes para los expertos en la materia haciendo referencia a los dibujos adjuntos. El uso de los mismos símbolos de referencia en diferentes dibujos indica elementos similares o idénticos.

La Figura 1 ilustra un circuito integrado ejemplar que incluye una célula de lógica configurable.

La Figura 2 ilustra unas líneas de datos y de direcciones ejemplares en un circuito integrado que incluye una célula de lógica configurable.

La Figura 3 ilustra un módulo ejemplar que incluye una célula de lógica configurable.

La Figura 4A y la Figura 4B ilustran control y configuración de software de una célula de lógica configurable.

La Figura 5A y la Figura 5B ilustran funciones de lógica ejemplar para una célula de lógica configurable que sustituye dos funciones configuradas estadísticamente por una única función controlada por software.

La Figura 6A a la Figura 6D ilustran opciones de función lógica combinatoria para una célula de lógica configurable ejemplar.

La Figura 7A a 7D ilustran opciones de estado de función lógica para una célula de lógica configurable ejemplar.

La Figura 8 ilustra una aplicación de flip-flop JK ejemplar y temporización implementadas con una célula de lógica configurable ejemplar.

Volviendo ahora a los dibujos y, con atención particular a la Figura 1, se muestra un diagrama de un procesador o microcontrolador 100 de acuerdo con una realización de la presente invención. El procesador 100 incluye un núcleo de procesador (MCU) 102, que puede realizarse como un núcleo RISC. El núcleo 102 de procesador se acopla mediante un bus 106 a uno o más dispositivos periféricos en chip, tales como los periféricos 108 analógicos y los periféricos 110 digitales. El procesador 100 puede incluir adicionalmente uno o más dispositivos 103 de memoria en chip, que pueden implementarse como memoria flash programable.

Además, como se explicará en mayor detalle a continuación, el procesador 100 incluye adicionalmente una o más células de lógica configurable (CLC) 104, que funcionan como dispositivos periféricos y están acopladas al bus 106. Es decir, las células 104 de lógica configurable son direccionables como otros dispositivos periféricos y proporcionan funciones lógicas para el sistema. Como se analizará en mayor detalle a continuación, las células 104 de lógica configurable se programan para implementar una diversidad de funciones lógicas. Estas pueden incluir, por ejemplo, funciones AND, OR, XOR, y D, JK, y almacenamiento SR.

El procesador 100 incluye adicionalmente una o más entradas y/o salidas 116, 118, 120, 122, 124, y controladores de puertos asociados, controles 114 de entrada, etc.

En la realización ilustrada, la célula 104 de lógica configurable recibe entradas desde la patilla 124 externa, periféricos 110 digitales, y una reactivación desde el núcleo 102 del procesador. Estas pueden incluir, por ejemplo, entradas de origen del Generador de Forma de Onda Complementaria (CWG), origen del Modulador de Señal de Datos (DSM) y Síntesis Digital Directa (DDS)/reloj de temporizador. En general, las entradas pueden provenir a partir de patillas de E/S, bits de registro, otros periféricos y relojes internos.

Además, la célula 104 de lógica configurable puede proporcionar salidas digitales a uno o más de los periféricos 108 analógicos, los periféricos 110 digitales y el núcleo 102 del procesador. Las salidas adicionales (tales como rapidez de respuesta, umbrales de tres estados de elevación de tensión, etc.) pueden proporcionarse a los controladores 112 de puerto, mientras que otras pueden proporcionarse a las patillas 118 externas.

Por lo tanto, en general, la célula 104 de lógica configurable puede recibir entradas desde cualquier subsistema tal como un periférico digital, puerto de E/S, o bits de estado interno, o señales de reactivación, que incluyen por ejemplo, salida de oscilador, relojes de sistema, etc., y proporciona salidas a las patillas de E/S, periféricos, una interrupción de núcleo del procesador, funciones de control de puerto de E/S, señales de estado, reloj de sistema e incluso a otras células de lógica configurable (no mostradas).

Como se ha indicado anteriormente, en algunas realizaciones, la célula 104 de lógica configurable está direccionada como otros dispositivos periféricos y puede configurarse en tiempo de ejecución. En algunas realizaciones, la célula 104 de lógica configurable puede configurarse en tiempo de ejecución usando uno o más registros de función especiales (no mostrados). Por lo tanto, la célula 104 de lógica configurable está completamente integrada en el bus de direcciones y de datos del procesador. La configuración puede aplicarse estáticamente o actualizarse en tiempo real basándose en las necesidades de la aplicación.

En algunas realizaciones, la configuración de la célula 104 de lógica configurable puede provenir a partir de registros de software o memoria no volátil. En algunas realizaciones, la memoria puede leerse y transferirse los datos a registros de configuración. En otras, la memoria puede estar conectada estáticamente para configuración (como en matrices de lógica genérica / matrices de lógica programable (GAL/PAL)). Además, en algunas realizaciones, después de una configuración inicial, el software puede actualizar la configuración.

Como tal, en algunas realizaciones, las señales de sistema y las señales de E/S se encaminan a la célula 104 de lógica configurable, como se muestra en la Figura 2. La célula 104 de lógica configurable a continuación realiza la lógica configurada y proporciona una salida. En particular, se muestra en la Figura 2 el procesador 100 que incluye el núcleo 102 de procesador, una memoria 203 flash de programa y periféricos 202. La memoria 203 flash de programa se acopla mediante líneas/buses 205 de direcciones de programa y líneas/buses 207 de datos de programa al núcleo 102 del procesador.

En el ejemplo ilustrado, los periféricos incluyen un temporizador 202a, memoria 202b de datos, un comparador 202c, y la célula 104 de lógica configurable. Los periféricos se acoplan al núcleo 102 del procesador mediante líneas/buses 206 de direcciones de datos y líneas/buses 204 de datos. La célula 104 de lógica configurable puede recibir entradas individuales adicionales a partir de los periféricos 208 o a partir de una patilla 124 de entrada. Por lo tanto, el software y otros periféricos pueden suministrar entradas a la célula 104 de lógica configurable. La célula 104 de lógica configurable realiza una operación lógica configurada y proporciona una salida 312.

Como se ha indicado anteriormente, la célula de lógica configurable implementa una o más funciones lógicas y puede hacerlo independientemente del estado del núcleo del procesador, por ejemplo, mientras el núcleo del procesador está en un modo en espera o de depuración. Como se analizará en mayor detalle a continuación, la célula de lógica configurable incluye lógica programable booleana para implementar una diversidad de funciones, tales como puertas únicas, puertas múltiples, flip-flops, etc.

La Figura 3 ilustra el entorno de la célula de lógica configurable de acuerdo con una realización más particular. La célula 104 de lógica configurable recibe cuatro entradas 304 de canal LxOUT1, LxOUT2, LxOUT3 y LxOUT4 a partir de una pluralidad de selectores 302. Las entradas a los selectores 302 pueden provenir a partir de las señales 208 y la E/S 124. En algunas realizaciones, los selectores son multiplexores y/o puertas configurables. Por ejemplo, en algunas realizaciones, los selectores 302 pueden reducir el número de entradas clc_in 208 de ocho a cuatro entradas 304 para controlar una de ocho funciones de salida única seleccionables por el selector 302. Pueden encontrarse detalles adicionales sobre implementaciones particulares de los selectores 302 en la solicitud de patente en trámite junto con la pendiente, comúnmente asignada, titulada “Selecting Four Signals from Sixteen Inputs” presentada el 17 de abril de 2012.

En el ejemplo ilustrado, la célula 104 de lógica configurable recibe las entradas de control LCMODE<2:0> 314 y LCEN 316 a partir de uno o más registros 315 de control. La salida LxDATA de la célula 104 de lógica configurable se realiza la operación AND con la entrada 316 LCEN. La salida de la puerta 308 AND se realiza la operación XOR con LCPOL una señal de control a partir de un registro 315 de control y a continuación se emite como CLCxOUT, todos los cuales se explican en mayor detalle a continuación.

Como se ha indicado anteriormente, las realizaciones permiten configuración en tiempo real de la célula de lógica configurable. Es decir, se proporciona la configuración a través de registros accesibles a partir del microprocesador y pueden actualizarse basándose, por ejemplo, en entradas externas, hora del día, temperatura del sistema, coincidencia con otros eventos, o comandos a partir de un anfitrión de control remoto.

La Figura 4A y la Figura 4B ilustran esquemáticamente tal operación. En particular, se muestra el procesador 100 que incluye el núcleo 102 del procesador y la célula 104 de lógica configurable. El procesador 100 tiene una entrada 406 de E/S al núcleo 102 del procesador y un par de entradas 124a, 124b al núcleo 104 de lógica configurable. La célula 104 de lógica configurable emite a la patilla 412.

En la operación, el estado de la patilla 406 de E/S puede usarse para establecer la función del núcleo de lógica configurable. En el ejemplo ilustrado, cuando el estado lógico de la entrada 406 de E/S es “0”, el núcleo 102 del procesador escribe en uno o más registros (tales como el registro 314 LxMode de la Figura 3) para provocar que la célula 104 de lógica configurable implemente una función 402 AND, de modo que entonces las salidas en la patilla 412 son el AND lógico de las entradas A 124a y B 124b (AB). En contraste, cuando el estado lógico de la entrada 406 de E/S es “1”, el núcleo 102 del procesador escribe en uno o más registros para provocar que la célula 104 de lógica configurable implemente una función 404 OR, de modo que entonces la salida en la patilla 412 es el OR lógico de las entradas A 124a y B 124b (A+B). Como puede apreciarse, una vez que se establecen las funciones, la célula 104 de lógica configurable implementa la función configurada independientemente del funcionamiento del núcleo 102 del procesador.

Ventajosamente, la célula 104 de lógica configurable de las realizaciones de la presente invención permite configuración dinámica y acceso directo a software, permitiendo que el software reconfigure puertas e inversores individuales mientras el sistema se está ejecutando. Es decir, la célula de lógica configurable de las realizaciones de la invención permite el acceso del software en tiempo real a configuración interna y rutas de señal, sin requerir una interfaz de microprocesador.

Por ejemplo, como se muestra en la Figura 5A, una configuración estática de una interfaz de microprocesador para implementar las dos funciones ((A*B) + C)’ y ((A*B)’ + C)’ requiere dos versiones 502, 504, que incluyen las puertas 506, 510 AND, puertas 508, 514 NOR y el inversor 512.

En contraste, se muestra una célula 104 de lógica configurable ejemplar para implementar las funciones en la Figura 5B. La célula 104 de lógica configurable incluye la puerta 552 AND, puerta 554 XOR y puerta 556 NOR. Las entradas A y B se proporcionan a la puerta 552 AND, mientras que la entrada C se proporciona a la puerta 556 NOR. La salida de la puerta 552 AND se proporciona a la puerta 554 XOR, mientras que la puerta 554 XOR proporciona su salida a la entrada de la puerta 556 NOR. Además, una entrada 558 de software directa (SW) (por ejemplo, a partir de un registro de control) se proporciona a la entrada de la puerta 554 XOR. De esta manera, ambas funciones de los circuitos 502, 504 se implementan usando un único circuito y aún permiten control de

software directo.

Las opciones combinatorias ejemplares para una célula de lógica configurable de cuatro entradas particular se muestran en la Figura 6A-6D. Más particularmente, en algunas realizaciones, un registro 314 de configuración Lx-MODE<2:0> (Figura 3) define el modo lógico de la célula. Cuando LxMODE = 000, la célula de lógica configurable implementa una función AND-OR. Cuando LxMODE = 001, la célula implementa una función OR-XOR. Cuando LxMODE = 010, la célula implementa un AND; cuando LxMODE = 011, la célula es un biestable asíncrono RS.

En correspondencia, la célula 104 de lógica configurable puede incorporar una pluralidad de funciones lógicas de estado. Estas se muestran con referencia a la Figura 7A-7D. Las funciones de estado incluyen tanto flip-flops D (Figura 7A) como flip-flops JK (Figura 7B) con activación asíncrona (S) y reactivación (R). El canal de entrada 1 (LCOUT1) proporciona un reloj de flanco ascendente. Si se requiere un flanco descendente, el canal 1 (LCOUT1) puede invertirse en la lógica de canal (no mostrada). El canal de entrada 2 (LCOUT2), y en ocasiones el canal 4 (LCOUT4), proporcionan datos a las entradas del registro o biestable asíncrono.

Cuando LCMODE = 100, la célula implementa un flip-flop D de una entrada con S y R. Cuando LCMODE = 101, la célula implementa un flip-flop D de dos entradas con R. Cuando LCMODE = 110, la célula implementa un flip-flop JK con R. Cuando LCMODE = 111, la célula implementa un biestable asíncrono transparente de una entrada con S y R (La salida Q sigue a D mientras que LE es baja y mantiene el estado mientras LE es alta).

Finalmente, la Figura 8 ilustra una operación de ejemplo de un flip-flop JK de acuerdo con realizaciones de la invención. En particular, se muestra un ejemplo de colocación de puertas de reloj que incluye un flip-flop 800 JK, con la entrada 806, salida 802 y reloj 804. La salida 802 es un FCLK/2 en puerta.

El flip-flop JK puede configurarse de acuerdo con la Figura 7B, con el reloj en LCOUT1, J introducida en LCOUT2, y K introducida (invertida) en LCOUT4. Como puede observarse, la salida 802 siempre incluye un número de ciclos total. Se observa que puede implementarse otra lógica y funciones de estado. Por lo tanto, las figuras son únicamente ejemplares.

Aunque se han ilustrado implementaciones específicas y configuraciones de hardware/software para el dispositivo informático móvil, debería observarse que son posibles otras implementaciones y configuraciones de hardware y que no es necesaria implementación específica o configuración de hardware/software. Por lo tanto, no todos los componentes ilustrados pueden ser necesarios para el dispositivo informático móvil que implementa los procedimientos desvelados en el presente documento.

Como se usa en el presente documento, ya sea en la descripción anterior o en las siguientes reivindicaciones, las expresiones “que comprende”, “que incluye”, “que lleva a cabo”, “que tiene”, “que contiene”, “que implica” y similares se han de entender como que están abiertas, es decir, significar que incluyen pero sin limitación. Únicamente las frases de transición “que consiste en” y “que consiste esencialmente en”, respectivamente, deberán considerarse frases de transición excluyentes, como se expone, con respecto a las reivindicaciones, en el Manual de Procedimientos de Examen de Patentes de la Oficina de Patentes de Estados Unidos.

Cualquier uso de términos ordinales tales como “primero”, “segundo”, “tercero”, etc., en las reivindicaciones para modificar un elemento de la reivindicación no connota por sí mismo ninguna prioridad, preferencia u orden de un elemento de reivindicación sobre otro, o el orden temporal en el que se realizan los actos de un procedimiento. En su lugar, a menos que se establezca específicamente de otra manera, tales términos ordinales se usan meramente como etiquetas para distinguir un elemento de reivindicación que tiene un cierto nombre de otro elemento que tiene un mismo nombre (pero para uso del término ordinal).

REIVINDICACIONES

1. Un procesador, que comprende:

un núcleo (102) de unidad de procesamiento central (CPU), en particular un núcleo de CPU RISC;
una pluralidad de periféricos (108; 110), incluyendo la pluralidad de periféricos uno o más periféricos (104) de célula de lógica configurable, en el que el periférico (104) de célula de lógica configurable está operando de manera independiente del núcleo (102) de la CPU, en el que cada uno del uno o más periféricos (104) de célula de lógica configurable comprende un registro de configuración asociado y en el que una pluralidad de bits en dicho registro (315) de configuración asociado determina una función lógica de una célula de lógica asociada proporcionada mediante un bloque de función lógica, en el que cada bloque de función lógica tiene una pluralidad de entradas (304) lógicas y una única salida lógica y una entrada (314) de control de modo acoplada con dicha pluralidad de bits del registro (315) de configuración asociado.

2. Un procesador de acuerdo con la reivindicación 1, en el que el periférico (104) de célula de lógica configurable está configurado para permitir el acceso de software en tiempo real a configuración interna y rutas de señales del núcleo (102) de la CPU.

3. Un procesador de acuerdo con la reivindicación 1, el bloque de función lógica es programable a través de la entrada (314) de control de modo para operar como uno de: un biestable asíncrono D, un flip-flop y una pluralidad de circuitos de funciones lógicas booleanas predeterminadas.

4. Un procesador de acuerdo con la reivindicación 1, en el que el periférico (104) de célula de lógica configurable está configurado para operar mientras el núcleo (102) de la CPU está en una condición en reposo o inmovilizado.

5. Un procesador de acuerdo con la reivindicación 1, en el que el periférico (104) de célula de lógica configurable es configurable mediante memoria (103; 203) no volátil.

6. Un procesador de acuerdo con la reivindicación 5, en el que se lee la memoria (103; 203) no volátil y se transfieren los datos de configuración a registros (315) de configuración para configurar el periférico (104) de célula de lógica configurable.

7. Un procesador de acuerdo con la reivindicación 1, en el que después de la configuración inicial, la configuración del periférico (104) de célula de lógica configurable puede actualizarse mediante software.

8. Un procesador de acuerdo con una de las reivindicaciones anteriores 3-7, el bloque de función lógica puede configurarse para formar:

una primera puerta AND que tiene dos entradas acopladas con una primera y una segunda entrada lógica y una salida;
una segunda puerta AND que tiene dos entradas acopladas con una tercera y una cuarta entrada lógica y una salida; y
una puerta OR que tiene dos entradas acopladas con las salidas de la primera y segunda puerta AND y que tiene una salida que forma la salida lógica del bloque de función lógica.

9. Un procesador de acuerdo con una de las reivindicaciones anteriores 3-8, el bloque de función lógica puede configurarse para formar:

una primera puerta OR que tiene dos entradas acopladas con una primera y una segunda entrada lógica y una salida;
una segunda puerta OR que tiene dos entradas acopladas con una tercera y una cuarta entrada lógica y una salida; y
una puerta XOR que tiene dos entradas acopladas con las salidas de la primera y segunda puerta OR y que tiene una salida que forma la salida lógica del bloque de función lógica.

10. Un procesador de acuerdo con una de las reivindicaciones anteriores 3-9, el bloque de función lógica puede configurarse para formar:

una puerta AND que tiene cuatro entradas acopladas con una primera, segunda, tercera y cuarta entradas lógicas, respectivamente y una salida que forma la salida lógica del bloque de función lógica.

11. Un procesador de acuerdo con una de las reivindicaciones anteriores 3-10, en el que el bloque de función lógica comprende cuatro entradas lógicas y una única salida lógica y está configurado para formar un biestable asíncrono D o un flip-flop, el bloque de función lógica puede configurarse adicionalmente
en un primer modo, para formar un flip-flop D y

para acoplar directamente la primera entrada lógica con una entrada set del flip-flop D,
para acoplar directamente la segunda entrada lógica con una entrada de datos del flip-flop D,
para acoplar directamente la tercera entrada lógica con una entrada de reloj del flip-flop D, y

para acoplar directamente la cuarta entrada lógica con una entrada reset del flip-flop D, en el que una salida del flip-flop D forma la salida lógica del bloque de función lógica;

en un segundo modo, para formar un flip-flop D y

una primera puerta AND que tiene dos entradas acopladas con la primera y la segunda entrada lógica y una salida acoplada con una entrada set del flip-flop D; y
una segunda puerta AND que tiene dos entradas acopladas con la tercera y la cuarta entrada lógica y una salida acoplada con una entrada reset del flip-flop D;

en un tercer modo para formar un flip-flop D y

una primera puerta AND que tiene dos entradas acopladas con la primera y la segunda entrada lógica y una salida acoplada con una entrada de datos del flip-flop D;
para acoplar directamente la tercera entrada lógica con una entrada de reloj del flip-flop D, y
para acoplar directamente la cuarta entrada lógica con una entrada reset del flip-flop D, en el que una salida del flip-flop D forma la salida lógica del bloque de función lógica;

en un cuarto modo para formar un biestable asíncrono D y

para acoplar directamente la primera entrada lógica con una entrada set del biestable asíncrono D,
para acoplar directamente la segunda entrada lógica con una entrada de datos del biestable asíncrono D,
para acoplar directamente la tercera entrada lógica con una entrada de habilitación del biestable asíncrono del biestable asíncrono D, y
para acoplar directamente la cuarta entrada lógica con una entrada reset del biestable asíncrono D, en el que una salida del biestable asíncrono D forma la salida lógica del bloque de función lógica;

y en un quinto modo para formar un flip-flop JK y

para acoplar directamente la primera entrada lógica con una entrada J del flip-flop JK,
para acoplar directamente la segunda entrada lógica con una entrada de reloj del flip-flop JK,
para acoplar directamente la tercera entrada lógica con una entrada K del flip-flop JK, y
para acoplar directamente la cuarta entrada lógica con una entrada reset del flip-flop JK, en el que

una salida del flip-flop JK forma la salida lógica del bloque de función lógica.

12. Un procesador de acuerdo con la reivindicación 11, en el que el bloque de función lógica puede configurarse adicionalmente
en un sexto modo para formar

una primera puerta AND que tiene dos entradas acopladas con una primera y una segunda entrada lógica y una salida;
una segunda puerta AND que tiene dos entradas acopladas con una tercera y una cuarta entrada lógica y una salida; y
una puerta OR que tiene dos entradas acopladas con las salidas de la primera y segunda puerta AND y que tiene una salida que forma la salida lógica del bloque de función lógica;

en un séptimo modo para formar

una primera puerta OR que tiene dos entradas acopladas con una primera y una segunda entrada lógica y una salida;
una segunda puerta OR que tiene dos entradas acopladas con una tercera y una cuarta entrada lógica y una salida; y
una puerta XOR que tiene dos entradas acopladas con las salidas de la primera y segunda puerta OR y que tiene una salida que forma la salida lógica del bloque de función lógica; y

en un octavo modo para formar

una puerta AND que tiene cuatro entradas acopladas con una primera, segunda, tercera y cuarta entradas lógicas, respectivamente y una salida que forma la salida lógica del bloque de función lógica.

13. Un procedimiento para uso en un sistema de procesador, que comprende:

establecer uno o más bits en un registro (315) de control;
usar el uno o más bits en el registro (315) de control para definir funciones implementadas mediante una célula (104) de lógica configurable, comprendiendo las funciones una pluralidad de estados de funciones combinatorias y lógicas, en el que dependiendo del ajuste de bits en el registro (315) de control, la célula de lógica configurable está configurada para realizar una función lógica proporcionada mediante un bloque de función lógica, en el que el bloque de función lógica tiene una pluralidad de entradas (304) lógicas y una única salida lógica y una entrada (314) de control de modo para configurar la función.

14. Un procedimiento de acuerdo con la reivindicación 11,
en el que el bloque de función lógica comprende cuatro entradas lógicas y una única salida lógica y puede configurarse para formar un biestable asíncrono D o un flip-flop, en el que el procedimiento comprende adicionalmente establecer los bits en dicho registro de control para configurar el bloque de función lógica en el que

en una primera configuración, el bloque de función lógica forma un flip-flop D y
acopla directamente la primera entrada lógica con una entrada set del flip-flop D,
acopla directamente la segunda entrada lógica con una entrada de datos del flip-flop D,
acopla directamente la tercera entrada lógica con una entrada de reloj del flip-flop D, y
acopla directamente la cuarta entrada lógica con una entrada reset del flip-flop D, en el que una salida del flip-flop D forma la salida lógica del bloque de función lógica;

en una segunda configuración, el bloque de función lógica forma un flip-flop D y

una primera puerta AND que tiene dos entradas acopladas con la primera y la segunda entrada lógica y una salida acoplada con una entrada set del flip-flop D; y
una segunda puerta AND que tiene dos entradas acopladas con la tercera y la cuarta entrada lógica y una salida acoplada con una entrada reset del flip-flop D;

en una tercera configuración, el bloque de función lógica forma un flip-flop D y

una primera puerta AND que tiene dos entradas acopladas con la primera y la segunda entrada lógica y una salida acoplada con una entrada de datos del flip-flop D;
para acoplar directamente la tercera entrada lógica con una entrada de reloj del flip-flop D, y
para acoplar directamente la cuarta entrada lógica con una entrada reset del biestable D, en el que una salida del flip-flop D forma la salida lógica del bloque de función lógica;

en una cuarta configuración, el bloque de función lógica forma un biestable asíncrono D y

para acoplar directamente la primera entrada lógica con una entrada set del biestable asíncrono D,
para acoplar directamente la segunda entrada lógica con una entrada de datos del biestable asíncrono D,
para acoplar directamente la tercera entrada lógica con una entrada de habilitación del biestable asíncrono del biestable asíncrono D, y
para acoplar directamente la cuarta entrada lógica con una entrada reset del biestable asíncrono D, en el que una salida del biestable asíncrono D forma la salida lógica del bloque de función lógica;

y en una quinta configuración, el bloque de función lógica forma un flip-flop JK y

para acoplar directamente la primera entrada lógica con una entrada J del flip-flop JK,
para acoplar directamente la segunda entrada lógica con una entrada de reloj del flip-flop JK,
para acoplar directamente la tercera entrada lógica con una entrada K del flip-flop JK, y
para acoplar directamente la cuarta entrada lógica con una entrada reset del flip-flop JK, en el que una salida del flip-flop JK forma la salida lógica del bloque de función lógica.

15. Un procedimiento de acuerdo con la reivindicación 11,
en el que el bloque de función lógica está configurado adicionalmente en un sexto modo para formar

una primera puerta AND que tiene dos entradas acopladas con una primera y una segunda entrada lógica y una salida;
una segunda puerta AND que tiene dos entradas acopladas con una tercera y una cuarta entrada lógica y una salida; y
una puerta OR que tiene dos entradas acopladas con las salidas de la primera y segunda puerta AND y que tiene una salida que forma la salida lógica del bloque de función lógica;

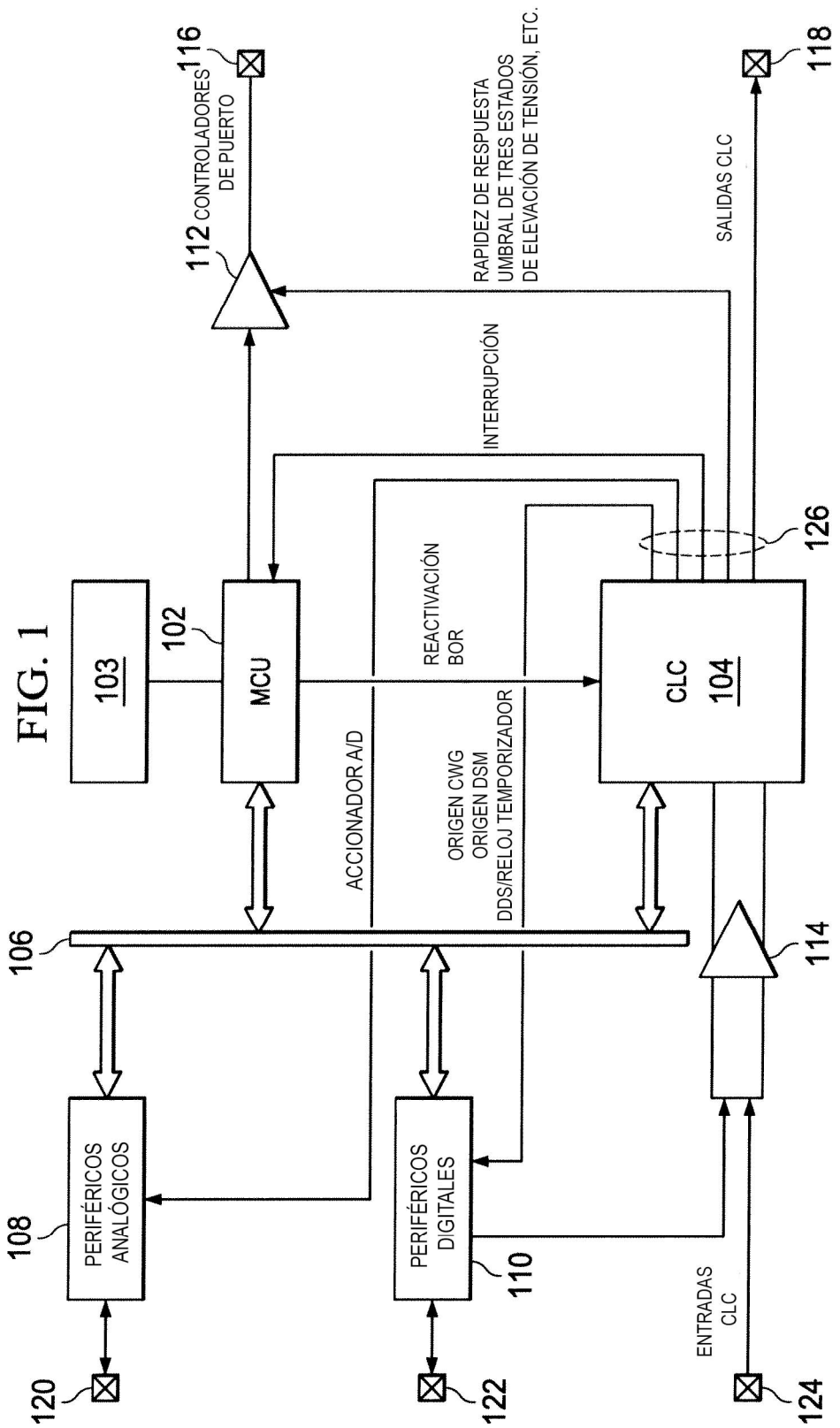
en un séptimo modo para formar

una primera puerta OR que tiene dos entradas acopladas con una primera y una segunda entrada lógica y una salida;
una segunda puerta OR que tiene dos entradas acopladas con una tercera y una cuarta entrada lógica y una salida; y
una puerta XOR que tiene dos entradas acopladas con las salidas de la primera y segunda puerta OR y que tiene una salida que forma la salida lógica del bloque de función lógica; y

en un octavo modo para formar

una puerta AND que tiene cuatro entradas acopladas con una primera, segunda, tercera y cuarta entradas lógicas, respectivamente y una salida que forma la salida lógica del bloque de función lógica.

FIG. 1


116
CONTROLADORES DE PUERTO
112
RAPIDEZ DE RESPUESTA
UMBRAL DE TRES ESTADOS
DE ELEVACIÓN DE TENSIÓN, ETC.
SALIDAS CLC
118
INTERRUPCIÓN
126
103
102
MCU
REACTIVACIÓN
BOR
CLC
104
ACCIONADOR A/D
ORIGEN CWG
ORIGEN DSM
DDS/RELOJ TEMPORIZADOR
106
114
PERIFÉRICOS ANALÓGICOS
108
PERIFÉRICOS DIGITALES
110
ENTRADAS CLC
120
122
124

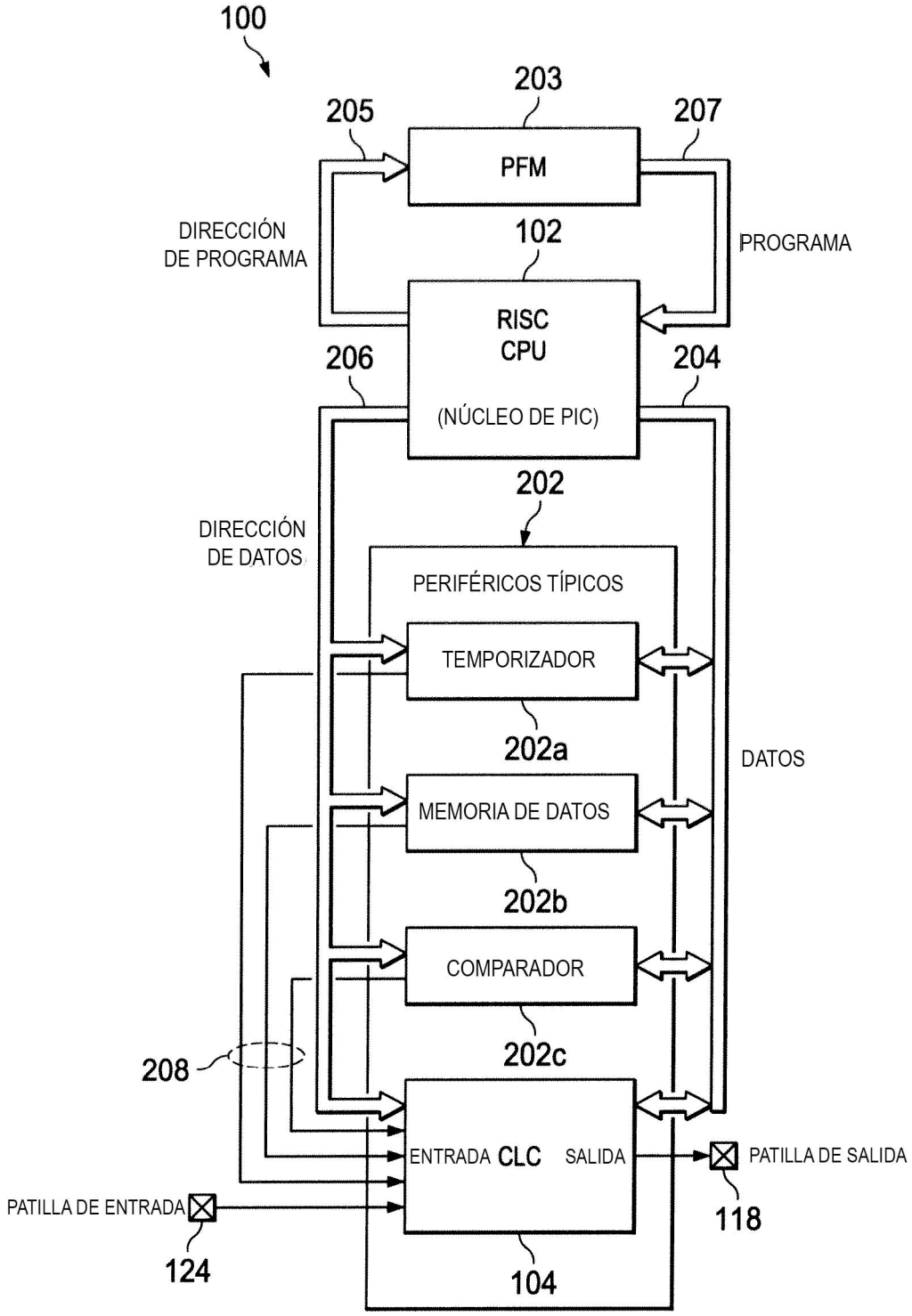

100
203
205
207
PFM
DIRECCIÓN
DE PROGRAMA
102
PROGRAMA
RISC
CPU
(NÚCLEO DE PIC)
206
204
202
DIRECCIÓN
DE DATOS
PERIFÉRICOS TÍPICOS
TEMPORIZADOR
202a
DATOS
MEMORIA DE DATOS
202b
COMPARADOR
202c
208
ENTRADA CLC SALIDA
PATILLA DE SALIDA
118
PATILLA DE ENTRADA
124
104

FIG. 2

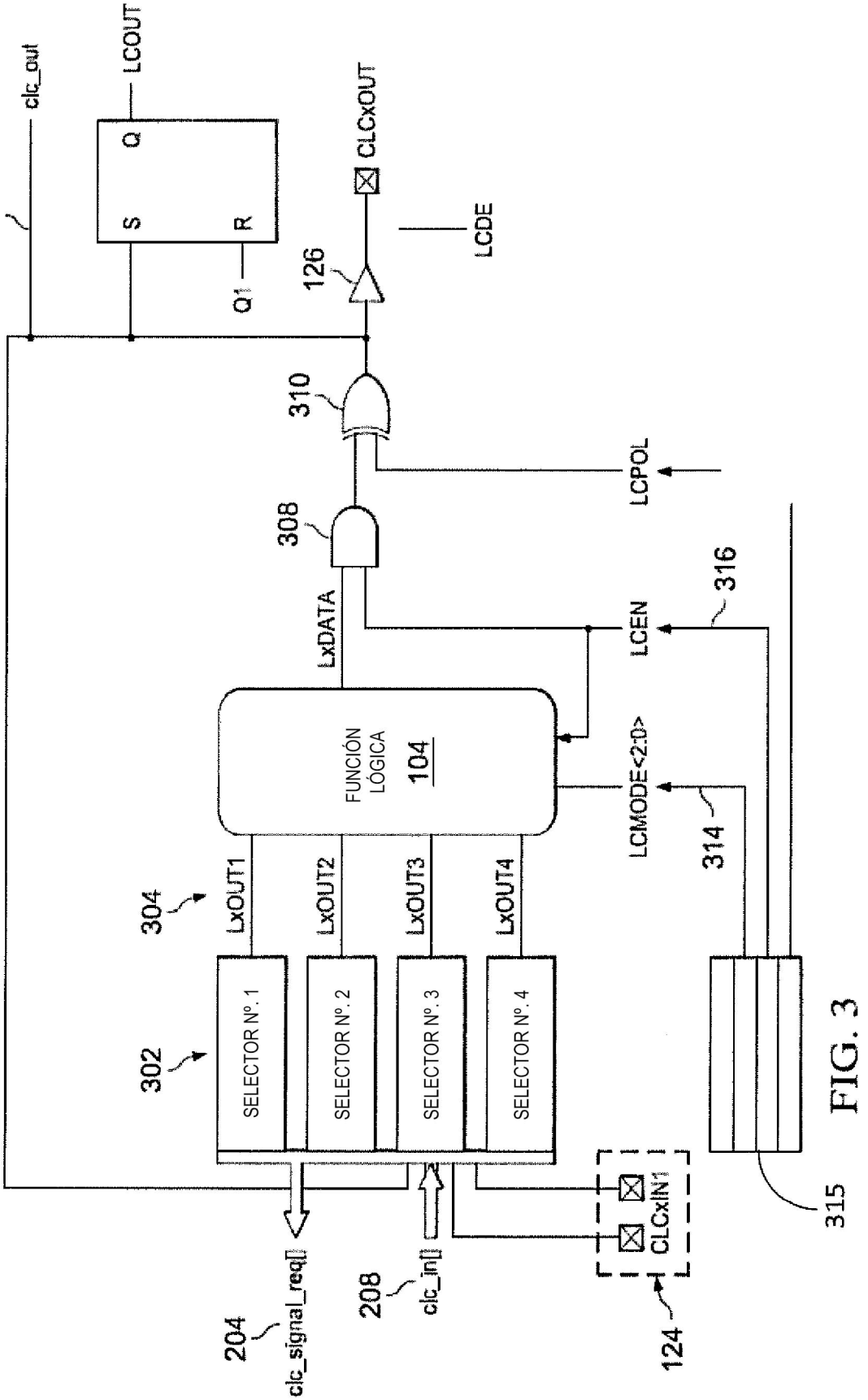

clc_out
LCOUT
312
S
Q
R
Q1
CLCxOUT
LCDE
126
310
LCPOL
308
LxDATA
LCEN
316
FUNCIÓN LÓGICA
104
LCMODE<2:0>
314
304
LxOUT1
LxOUT2
LxOUT3
LxOUT4
302
SELECTOR Nº. 1
SELECTOR Nº. 2
SELECTOR Nº. 3
SELECTOR Nº. 4
315
CLCxIN1
124
208
clc_in[]
204
clc_signal_req[]

FIG. 3

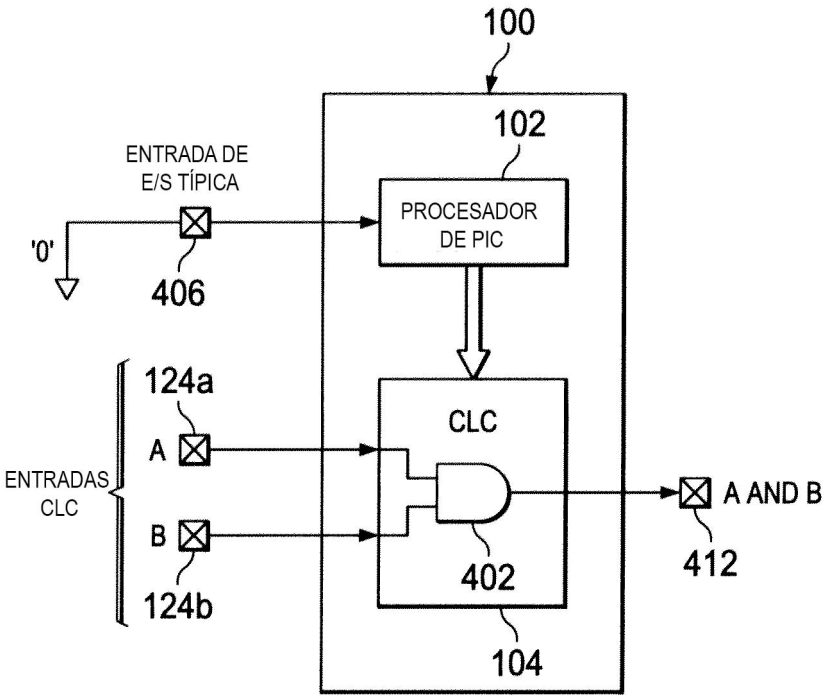

100
102
ENTRADA DE
E/S TÍPICA
PROCESADOR
DE PIC
'0'
406
124a
CLC
A
ENTRADAS
CLC
A AND B
B
402
412
124b
104

FIG. 4A

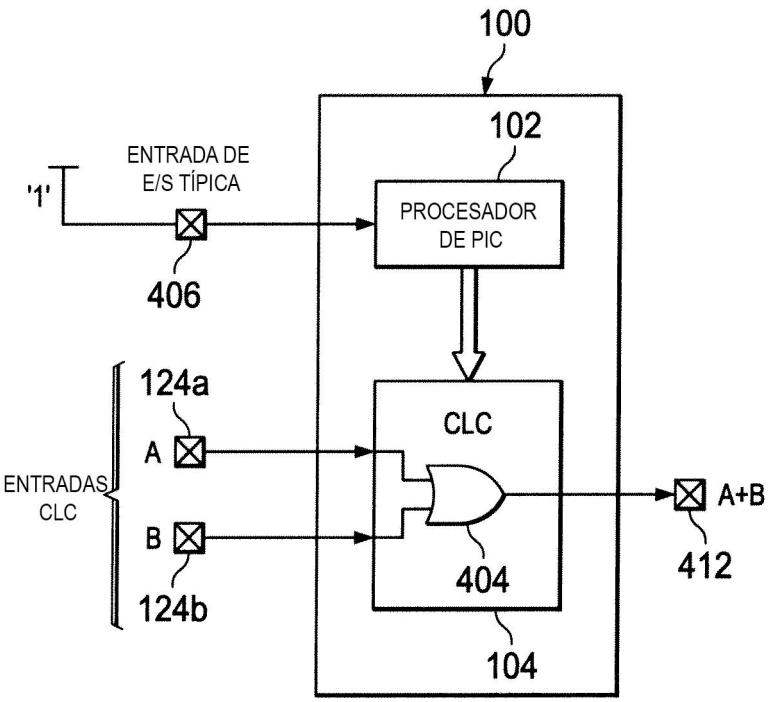

100
102
ENTRADA DE
E/S TÍPICA
'1'
PROCESADOR
DE PIC
406
124a
CLC
A
ENTRADAS
CLC
A+B
B
404
412
124b
104

FIG. 4B

FIG. 5A

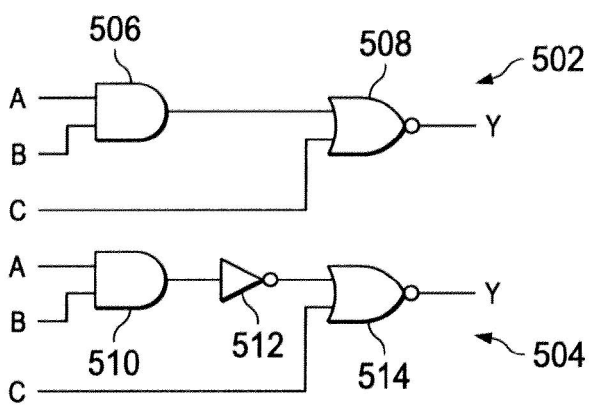


FIG. 5B

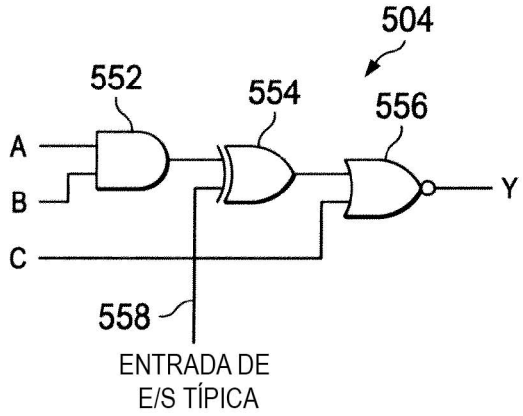
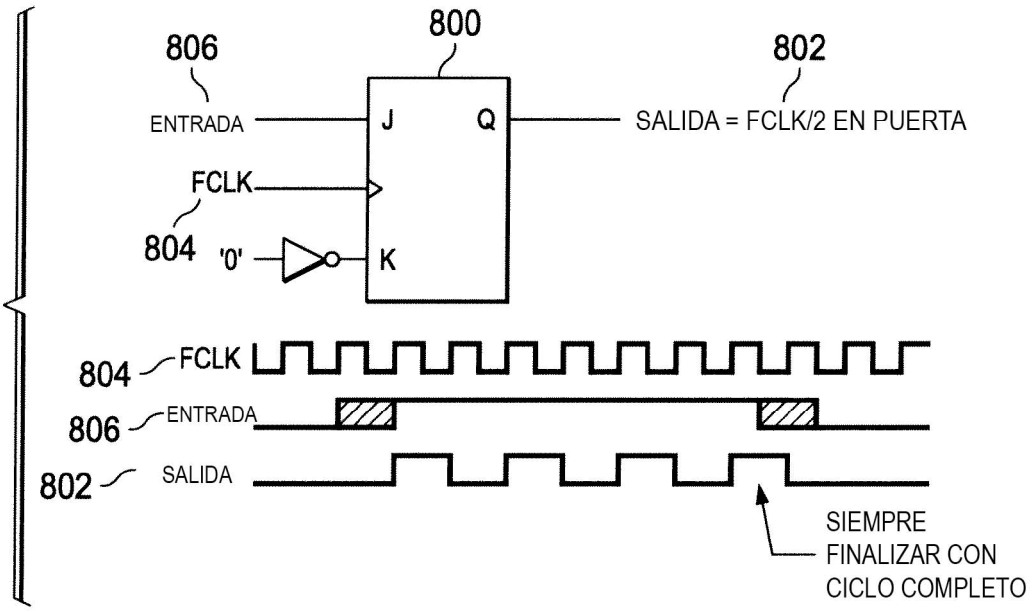


FIG. 8



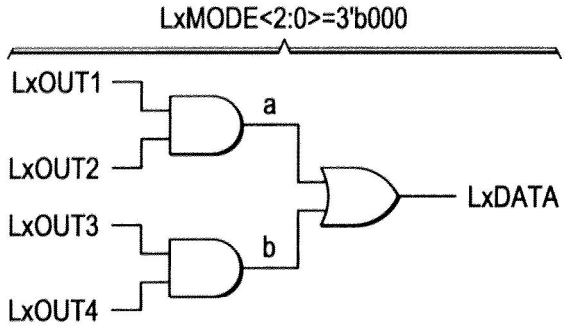


FIG. 6A

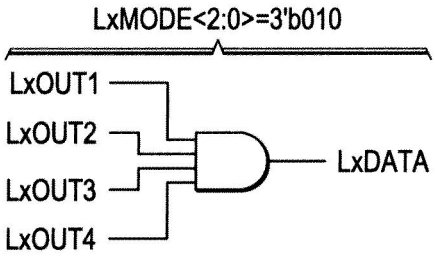


FIG. 6B

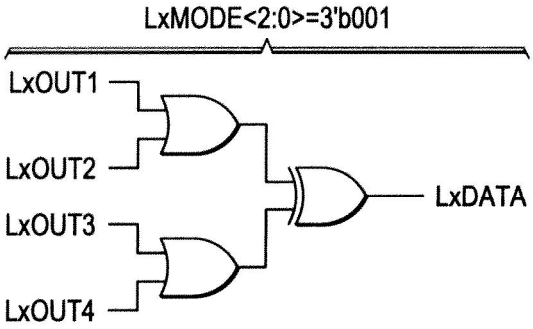


FIG. 6C

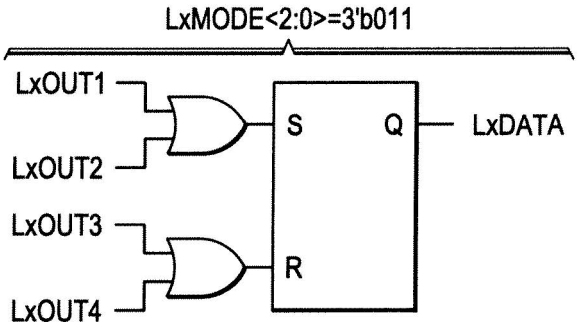


FIG. 6D

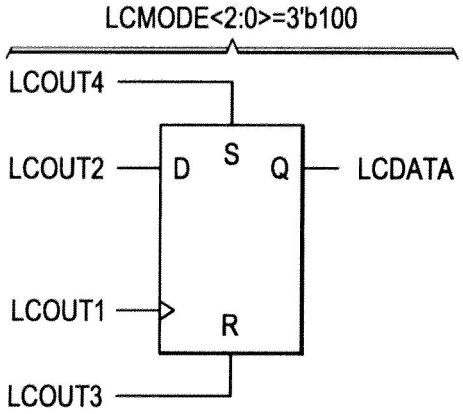


FIG. 7A

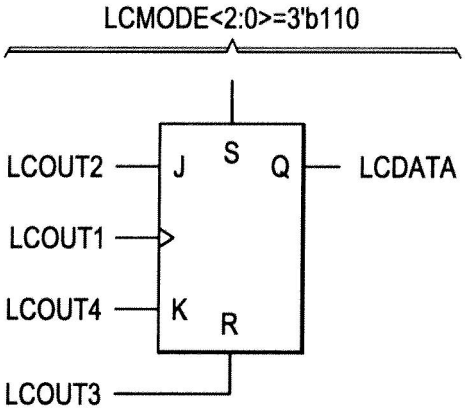


FIG. 7B

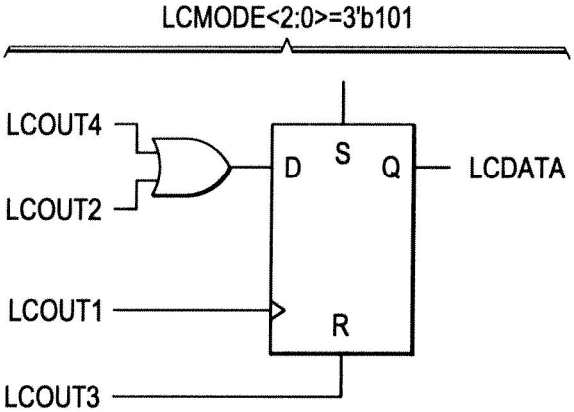


FIG. 7C

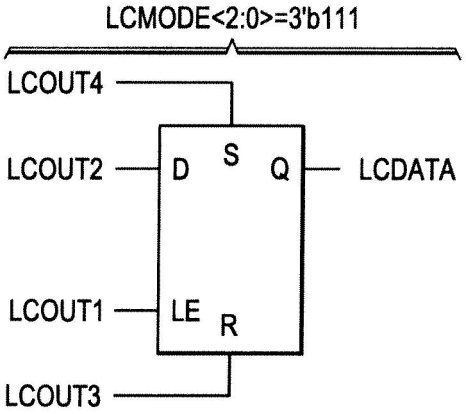


FIG. 7D