

19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 617 852**

51 Int. Cl.:

**H03M 3/00**

(2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **22.10.2009 PCT/US2009/061597**

87 Fecha y número de publicación internacional: **29.04.2010 WO2010048360**

96 Fecha de presentación y número de la solicitud europea: **22.10.2009 E 09741546 (7)**

97 Fecha y número de publicación de la concesión europea: **07.12.2016 EP 2425534**

54 Título: **Procedimiento y aparato de adición de una señal aleatoria en convertidores de analógico a digital sigma-delta multibit**

30 Prioridad:

**14.10.2009 US 579113**  
**23.10.2008 US 107820 P**

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

**20.06.2017**

73 Titular/es:

**MICROCHIP TECHNOLOGY INCORPORATED**  
**(100.0%)**  
**2355 West Chandler Boulevard**  
**Chandler, Arizona 85224-6199, US**

72 Inventor/es:

**DEVAL, PHILIPPE;**  
**QUIQUEMPOIX, VINCENT y**  
**BARRETO, ALEXANDRE**

74 Agente/Representante:

**CARPINTERO LÓPEZ, Mario**

**ES 2 617 852 T3**

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

## DESCRIPCIÓN

Procedimiento y aparato de adición de una señal aleatoria en convertidores de analógico a digital sigma-delta multibit

5 La presente divulgación se refiere a convertidores de analógico a digital (ADC) y, más particularmente, a un ADC sigma-delta con un cuantificador de resolución variable multibit ( $M$ -bit,  $M > 1$ ) que tiene tramado adición automática de una señal aleatoria para la eliminación de los tonos de reposo en la salida digital del ADC sigma-delta.

10 Los convertidores de analógico a digital (ADC) son de amplio uso hoy en día en aplicaciones electrónicas de consumo, médicas, industriales, etc. Típicamente, los ADC incluyen circuitos para la recepción de una señal de entrada analógica y la producción de un valor digital proporcional a la señal de entrada analógica. Este valor digital está típicamente en la forma de o bien una palabra paralelo o bien un flujo de bits digitales en serie. Hay muchos tipos de esquemas de conversión de analógico a digital tales como la conversión tensión a frecuencia, redistribución de cargas, modulación delta, así como otros. Típicamente, cada uno de estos esquemas de conversión tiene sus ventajas y desventajas.

15 Un tipo de convertidor de analógico a digital (ADC) que ha visto incrementado su uso es el ADC sigma-delta (sigma-delta y delta-sigma se usarán de modo intercambiable en el presente documento). Un modulador sigma-delta convierte típicamente una entrada analógica a una cadena serie digital de "unos" y "ceros" que tiene una amplitud media lo largo del tiempo proporcional a la entrada analógica. La modulación sigma-delta proporciona generalmente alta precisión y amplio intervalo dinámico en comparación con técnicas de modulación delta anteriores. Se hace referencia frecuentemente a la modulación sigma-delta como una arquitectura de convertidor sobremuestreado y es típicamente inmune frente a algunos de los efectos de segundo orden indeseables anteriores de la modulación delta.

20 Cada lazo del modulador sigma-delta incluye uno o más cuantificadores que convierten las señales incidentes analógicas en un código de salida digital. Para un ADC sigma-delta, estos cuantificadores son ADC de baja resolución frecuentemente ADC de 1 bit (o comparadores). En este caso, el modulador sigma-delta se denomina modulador de 1 bit. Si la salida del cuantificador tiene una resolución mayor de 1 bit, entonces el modulador sigma-delta se denomina modulador multibit y el ADC sigma-delta se denomina ADC sigma-delta multibit.

25 En un ADC sigma-delta multibit, la resolución de salida permite más de 2 niveles de salida digital. Si el número de niveles de salida posibles ( $nniv$ ) es una potencia de 2 (por ejemplo  $nniv = 2^M$ ), la salida puede codificarse en una palabra de  $M$  bits y el modulador es un modulador multibit de  $M$  bits. Sin embargo, el número de niveles de salida ( $nniv$ ) no es necesariamente una potencia de 2 (especialmente para un bajo número de niveles) y, en este caso, el modulador puede denominarse también multibit o multinivel. Por ejemplo, son muy populares los moduladores de 3 niveles. Si  $nniv$  es una potencia de 2, puede calcularse un número equivalente de bits para un modulador multinivel y viene dado por la fórmula:  $M = \log_2(nniv)$  en la que  $M$  es el número de bits equivalente. Si  $nniv$  no es una potencia de 2, el número mínimo de bits requerido para codificar la salida es:  $M = \text{Suelo}(\log_2(nniv))$ .

35 En un ADC sigma-delta multinivel (o multibit), el cuantificador es frecuentemente un ADC Flash, compuesto de  $nniv-1$  comparadores en paralelo con umbrales equidistantes de comparación, situado en  $(nniv-2k)/(nniv-1) \cdot V_{ref}$  en la que  $k$  es un entero entre 1 y  $(nniv-1)$ , dando una salida de  $nniv$  bits codificados con una codificación termométrica. En este caso, el número de niveles de salida distintos es  $nniv$  que puede codificarse en un mínimo de  $\text{Suelo}(\log_2(nniv))$  bits. Por ejemplo, un cuantificador modulador de 3 niveles puede ser un ADC Flash compuesto de dos (2) comparadores con umbrales de  $+V_{ref}/2$  y  $-V_{ref}/2$  y las palabras de salida de 3 niveles pueden codificarse en  $\text{Suelo}(\log_2(3)) = 2$  bits. La situación de los umbrales asegura también una cuantificación uniforme que minimiza el error de cuantificación promedio de todo el intervalo de entrada. En una implementación ADC flash típica, cada comparador tiene su propia etapa de entrada de condensador conmutado en la determinación de su umbral de tensión asociado, y un codificador termómetro a binario en las salidas de los comparadores flash para la generación de las palabras digitales del convertidor de digital a analógico (DAC) del lazo modulador sigma-delta, y un filtro de diezmado de salida de la señal digital.

40 Todos los moduladores sigma-delta, que trabajen en un modo continuo, producen tonos de reposo en sus salidas si se proporciona una cierta entrada periódica o de corriente continua (CC). Estos tonos de reposo son debidos al procedimiento de cuantificación y son inherentes al diseño de la arquitectura del modulador sigma-delta. Estos tonos de reposo son indeseados y crean un comportamiento indeseado en las salidas tales como tonos altos indeseados en el dispositivo de audio. Estos tonos limitan el intervalo dinámico libre de espurios (SFDR) y por ello la señal a ruido y distorsión (SINAD) del dispositivo especialmente si se proporcionan entradas en corriente continua (CC) específicas (que son normalmente una función racional de la etapa de cuantificación).

La publicación de la solicitud de patente de Estados Unidos US 2007/0222656 desvela un modulador delta-sigma de convertidor de analógico a digital con predicción de salida del cuantificador y reducción del comparador.

55 La patente de Estados Unidos US 6.894.631 desvela una adición de una señal aleatoria digital de ADC tipo tubería para una resolución de la calibración digital aumentada.

Por lo tanto, lo que se necesita es una forma de eliminar estos tonos de reposo. Este y otros objetos pueden

lograrse mediante un procedimiento y un aparato para la reducción de tonos de reposo indeseados mediante la adición de una señal aleatoria de un cuantificador de resolución variable de un convertidor de analógico a digital sigma-delta multibit tal como se define en las reivindicaciones independientes. Mejoras adicionales se caracterizan en las reivindicaciones dependientes. Mediante la "ruptura" y "codificación" de los tonos de reposo con la adición de una señal pseudoaleatoria dentro del lazo modulador sigma-delta, la señal resultante puede filtrarse a continuación en el lazo en sí para eliminar los tonos de reposo, de modo que no hay necesidad de añadir filtrado en la salida digital para recuperar la señal deseada y eliminar los tonos de reposo.

Una de las mejores localizaciones para añadir una señal aleatoria es en la entrada del cuantificador del modulador. Cualquier error en esta localización se vuelve a dividir por la ganancia del lazo modulador que es muy grande, y a continuación se filtra y se conforma frente al ruido exactamente como el ruido de cuantificación sin ninguna necesidad de circuitos de filtrado adicionales. Si esta señal es aleatoria o pseudoaleatoria (sin correlacionar con la entrada), variará la secuencia del flujo de bits para una señal de entrada dada y romperá su periodicidad debido a su naturaleza aleatoria.

De acuerdo con las enseñanzas de la presente divulgación, en un ADC sigma-delta multibit (o multinivel) que tiene un cuantificador de resolución  $nniv$  ( $nniv > 2$ ) (en este caso los  $nniv$  niveles pueden codificarse sobre  $M$  bits en donde  $M = \lceil \log_2(nniv) \rceil$ , de modo que  $M > 1$ ), cuando se sustituye el cuantificador con un cuantificador de resolución variable en el que la resolución (número de niveles de salida) del cuantificador varía con una secuencia aleatoria o pseudoaleatoria (llamada la secuencia de resolución), crea una nueva función de error de cuantificación, dependiendo de esta secuencia, lo que introduce un error de cuantificación adicional que añadirá una señal aleatoria a la señal de entrada incidente. El error de cuantificación añadido es la diferencia entre la salida del cuantificador fijo con la resolución máxima ( $nniv$ ) y la salida del cuantificador con la resolución variable en donde la resolución  $N(n)$  se elige en cada muestra  $n$  por una secuencia  $N(n)$  aleatoria o pseudoaleatoria (la secuencia de resolución) y en la que  $N(n)$  es un entero entre 2 y  $nniv$ . Cuando se añade este tipo de adición de una señal aleatoria en la etapa de cuantificador, los errores de cuantificación adicionales inducidos se procesarán también y se conformarán frente a ruido por el lazo de realimentación del modulador sigma-delta y se eliminarán por filtrado, eliminando de ese modo la necesidad de filtros de salida adicionales frecuentemente necesarios con otros tipos de esquemas de adición de una señal aleatoria.

La adición de una señal aleatoria a la resolución del cuantificador del modulador, como se describirá más concretamente en el presente documento a continuación, es también automáticamente dinámico, dado que el error de cuantificación no se cambia para valores absolutos grandes de entradas del cuantificador independientemente de qué resolución se elija por la secuencia aleatoria o pseudoaleatoria. De acuerdo con las enseñanzas de la presente divulgación, el DAC de realimentación en el lazo sigma-delta siempre realimenta el valor de salida máximo, independientemente de qué resolución se elija, y por lo tanto el cuantificador de resolución variable da el mismo error de cuantificación que un cuantificador de resolución  $nniv$  fija debido a que no hay un error de cuantificación añadido para un valor de salida máximo. La cantidad de señal añadida con el cuantificador de resolución variable se disminuye automáticamente a ninguna influencia (introducción de error) para señales grandes y por lo tanto proporciona un rendimiento de estabilidad muy bueno sin circuitos adicionales. Mientras que otras técnicas de adición de una señal aleatoria existentes han de evaluar las señales de entrada y adaptar la cantidad de señales añadidas para evitar la saturación de las entradas del cuantificador cuando están presentes grandes señales. Esto puede requerir circuitos adicionales y provocar inestabilidad del lazo.

La implementación de adición de una señal aleatoria en los ADC sigma-delta, de acuerdo con las enseñanzas de la presente divulgación, es también simple de poner en práctica y no requiere circuitos adicionales significativos para proporcionar una codificación eficiente del tono. Cuando se parte de un ADC multinivel ( $nniv$ ) solo requiere circuitos adicionales menores para hacer ajustable el número de niveles y los umbrales asociados del cuantificador (que es frecuentemente un ADC flash) de modo que el cuantificador pueda variar su resolución para cada muestra tomada. Adicionalmente, se implementa un generador aleatorio o pseudoaleatorio para controlar la secuencia de resolución  $N(n)$  que variará la resolución en cada muestra.

La secuencia de resolución puede ser cualquier valor desde 2 a  $nniv$  o pueden ser los seleccionados de todos los valores posibles desde 2 a  $nniv$ . La secuencia de resolución es aleatoria o pseudoaleatoria (por ejemplo, no correlacionada con la señal de entrada) de modo que se maximice el efecto de adición de una señal aleatoria. Usando una proporción mayor de niveles pequeños (por ejemplo, dos (2) niveles) también hará la adición de una señal aleatoria más pronunciada pero un efecto colateral incrementará el ruido de cuantificación de salida (y por ello disminuirá la SNR), y también degradará la estabilidad del lazo del ADC. La longitud de la secuencia en caso de una pseudoaleatoria se determina en función de la necesidad de adición de una señal aleatoria en señales de baja frecuencia: una larga secuencia "codificará" tonos de reposo que aparecen a la frecuencia más baja y "suavizará" adicionalmente la parte de baja frecuencia del espectro de salida. La "granularidad" de la secuencia (número de  $N$  valores distintos en la secuencia de resolución) puede elegirse libremente sabiendo que un gran número de niveles distintos inducirá mejor aleatoriedades dando como resultado un mejor efecto de adición de una señal aleatoria.

Cuando se usan cuantificadores ADC flash, solo se requieren unos pocos conmutadores adicionales para cambiar la resolución del cuantificador para una resolución de cuantificación apropiada de la secuencia de adición de una señal aleatoria, de acuerdo con las enseñanzas de la presente divulgación. El cuantificador ADC flash comprende ( $nniv-1$ )

comparadores en paralelo, teniendo cada comparador un umbral de comparación diferente:  $umbral(k)$ , en el que  $k$  es un entero entre 1 y  $(nniv-1)$ . Estos umbrales de comparación pueden ser iguales a:  $umbral(k) = (nniv-2k) / (nniv-1) * Vref$  lo que da como resultado una cuantificación uniforme. Los umbrales de comparación del comparador pueden definirse como una etapa de condensador conmutado con diferentes relaciones de condensador, como se describirá más concretamente en el presente documento a continuación. Para cambiar la resolución del ADC flash, solo necesita usarse un grupo de  $N(n)-1$  de entre el total de  $(nniv-1)$  comparadores, dando  $N(n)$  niveles de salida distintos (resolución). Si se desea una cuantificación uniforme (menos error de cuantificación) para cada  $N(n)$  en la secuencia, los comparadores que se eligen para ser usados necesitan tener sus valores umbral modificados en consecuencia de modo que sus umbrales sean iguales a  $umbral(k, n) = (N(n)-2k) / (N(n)-1) * Vref$ , en la que  $k$  es un entero entre 1 y  $N(n)-1$ . La modificación de las relaciones del condensador cambia los umbrales de cada comparador activo del cuantificador ADC flash de modo que son iguales a su nuevo valor en cada muestra. La modificación de las relaciones de condensadores es posible habilitando o inhabilitando una o más de unidades de condensadores en la disposición  $Cin$  o la  $Cref$  con interruptores apropiados, como se describirá más completamente a continuación en el presente documento. Las disposiciones de condensadores pueden implementarse de modo que estén disponibles todas las combinaciones de umbral necesarias.

Adicionalmente, para una implementación de potencia más baja, los comparadores que no se requieren en una muestra  $n$  dada (total de  $nniv-N(n)$  comparadores) pueden pararse (por ejemplo, ponerse en un modo de potencia baja) durante la muestra debido a que sus salidas no se usan en el DAC de realimentación y por lo tanto no son tenidas en cuenta cuando se codifica el flujo de bits en el modulador sigma-delta.

De acuerdo con una implementación específica de la presente divulgación, cuando  $nniv=5$ , en la que  $N(n)$  se elige entre 2, 3 y 5 ( $N(n)$  está en la forma de  $2^r + 1$ , en la que  $r$  es un entero), y cuando la cuantificación es uniforme, los niveles de salida del DAC son  $+Vref$ ,  $+Vref/2$ ,  $0$ ,  $-Vref/2$  y  $-Vref$  cuando  $N(n) = 5$ ;  $+Vref$ ,  $0$ ,  $-Vref$  cuando  $N(n)=3$ ; y  $+Vref$  y  $-Vref$  cuando  $N(n)=2$ . Dado que los niveles de salida necesarios cuando  $N(n)=2, 3$  o  $5$  son los mismos que los de un DAC de nivel cinco fijo, por ejemplo, el DAC en el lazo de realimentación del ADC sigma-delta puede implementarse de acuerdo con las enseñanzas del documento en propiedad común de la patente de Estados Unidos número 7.102.558, titulada "Five-Level Feed-Back Digital-to-Analog Converter for a Switched Capacitor Sigma-Delta Analog-to-Digital Converter" por Philippe Deval. Esta referencia desvela una implementación que es inherentemente lineal cada vez, para cada muestra tomada y para cualquier secuencia de resolución. Por lo tanto, esta implementación asegura una linealidad inherente y por ello una cifra de THD extremadamente baja y una cifra SINAD más alta mientras se mantienen las ventajas de adición de una señal aleatoria e implementación de baja complejidad.

Una ventaja del procedimiento de adición de una señal aleatoria desvelado en el presente documento es que la adición de una señal aleatoria no tiene sustancialmente efecto sobre grandes señales de entrada lo que ayuda grandemente al mantenimiento de la estabilidad del modulador sigma-delta.

Otra ventaja del procedimiento de adición de una señal aleatoria desvelado en el presente documento es la simplicidad y facilidad de implementación con solo unos pocos interruptores adicionales para cambiar las relaciones de condensador en las entradas conmutadas de condensador de los comparadores de una implementación ADC flash.

Otra ventaja del procedimiento de adición de una señal aleatoria desvelado en el presente documento es que también reduce la distorsión armónica total (THD), debido a que su efecto sobre la distorsión, que puede considerarse como un tipo específico de tono de reposo, es equivalente a su efecto sobre cualquier otro tono. "Codificará" los armónicos con la misma eficiencia que si fueran un tono de reposo procedente del procedimiento de cuantificación incluso aunque la causa raíz de la distorsión armónica pueda ser diferente.

Otra ventaja del procedimiento de adición de una señal aleatoria desvelado en el presente documento es que puede ser desconectado fácilmente. Para desconectar el procedimiento de adición de una señal aleatoria, la secuencia de resolución  $N(n)$  puede hacerse igual a  $nniv$  para todas las muestras ( $N(n) = nniv$ ).

De acuerdo con una realización de ejemplo específica de la presente divulgación, un aparato para la reducción de tonos de reposo indeseados mediante adición de una señal aleatoria de un cuantificador de resolución  $nniv$  ( $nniv > 2$ ) variable de un convertidor de analógico a digital (ADC) sigma-delta multibit ( $M$  bits,  $M > 1$ ,  $M = \text{Suelo}(\log_2(nniv))$ ) comprende: un modulador sigma-delta multibit ( $M$  bits,  $M > 1$ ) que comprende un convertidor de digital a analógico (DAC) multinivel, un circuito de suma de tensión analógica acoplado al DAC multinivel, un filtro en lazo analógico acoplado a una salida del circuito de suma de tensión analógica, un cuantificador de resolución variable que tiene  $nniv$  ( $nniv > 2$ ) niveles acoplado al filtro en lazo analógico, un codificador acoplado al cuantificador de resolución variable, en el que el codificador convierte las salidas desde el cuantificador de resolución variable en representaciones binarias de las mismas y las representaciones binarias se aplican al DAC multinivel, y un generador de secuencia aleatoria acoplado al cuantificador de resolución variable, en el que el generador de secuencia aleatoria genera una pluralidad de números  $N(n)$  aleatorios en una secuencia, en la que  $N(n)$  son números enteros aleatorios entre 2 y  $nniv$ , mediante lo que se determinan las resoluciones del cuantificador de resolución variable por los respectivos de la pluralidad de  $N(n)$  números aleatorios para cada muestra de tensión analógica tomada por el modulador sigma-delta; una tensión de referencia acoplada al DAC multinivel; y un filtro

digital acoplado al codificador y que recibe las representaciones binarias desde el mismo.

De acuerdo con otra realización de ejemplo específica de la presente divulgación, un procedimiento para la reducción de tonos de reposo no deseados mediante adición de una señal aleatoria a un cuantificador de resolución  $n_{niv}$  ( $n_{niv} > 2$ ) variable de un convertidor de analógico a digital (ADC) sigma-delta multibit ( $M$  bits,  $M > 1$ ,  $M = \text{Suelo}(\log_2(n_{niv}))$ ) comprende las etapas de: generar  $N(n)$  números aleatorios en una secuencia aleatoria con un generador de secuencia aleatoria, en el que  $N(n)$  son números enteros aleatorios entre 2 y  $n_{niv}$ ; controlar los valores de tensión y número de niveles  $n_{niv}$  ( $n_{niv} > 2$ ) de salida distintos de un cuantificador de resolución variable con  $N(n)$  números aleatorios; codificar las salidas desde el cuantificador de resolución variable, basándose en los  $N(n)$  números aleatorios, en unas representaciones binarias de los mismos; controlar los valores de tensión de salida desde el convertidor de digital a analógico (DAC) multinivel con las representaciones binarias; sumar los valores de tensión desde el DAC multinivel a muestras de tensión de entrada en un circuito analógico de suma de tensión; filtrado de la suma de los valores de tensión y las muestras de tensión de entrada en el filtro del lazo analógico; y aplicación de la suma filtrada a los valores de tensión y las muestras de tensión de entrada al cuantificador de resolución variable.

Una comprensión más completa de la presente divulgación de la misma puede adquirirse mediante la referencia a la descripción que sigue tomada en conjunto con los dibujos adjuntos en los que:

la Figura 1 ilustra un diagrama de bloques esquemático de un convertidor de analógico a digital (ADC) sigma-delta multibit o multinivel ( $n_{niv}$  niveles,  $n_{niv} > 2$ ,  $M$  bits,  $M = \text{Suelo}(\log_2(n_{niv}))$ ,  $M > 1$ ), en lazo simple con un cuantificador fijo;

la Figura 2 ilustra un diagrama de bloque esquemático de un modulador multibit ( $M$  bits,  $M > 1$ ) sigma-delta en lazo simple que tiene un cuantificador de resolución variable controlado por un generador de secuencia aleatoria o pseudoaleatoria que añade una señal aleatoria a la señal procedente del filtro del lazo o el modulador, de acuerdo con una realización de ejemplo específica de la presente divulgación;

la Figura 3 ilustra un diagrama de bloques esquemático más detallado de un generador de secuencia pseudoaleatoria, de acuerdo con la realización de ejemplo específica mostrada en la Figura 2;

la Figura 4 ilustra un diagrama de bloques esquemático más detallado de un cuantificador multinivel de resolución fija que se basa en una arquitectura de convertidor de analógico a digital (ADC) flash, en el que cada comparador del ADC flash tiene bloques de condensador conmutado dedicados para la generación de valores de referencia fijos tal como se usan con el modulador de  $M$  bits ( $M > 1$ ) sigma-delta mostrado en la Figura 1;

la Figura 5 ilustra un diagrama de bloques esquemático más detallado de un cuantificador multinivel de resolución variable que se basa en una arquitectura de convertidor de analógico a digital (ADC) flash acoplado a un generador de secuencia aleatoria o pseudoaleatoria, en el que cada comparador del ADC flash tiene bloques de condensador conmutado para la generación de varios umbrales de referencia seleccionados por el generador de secuencia aleatoria o pseudoaleatoria tal como se usa con el modulador de  $M$  bits ( $M > 1$ ) sigma-delta, de acuerdo con la realización de ejemplo específica mostrada en la Figura 2;

la Figura 6 ilustra un diagrama de bloques esquemático detallado más específico de un modulador de nivel cinco sigma-delta de resolución (2, 3 o 5 niveles) variable que tiene un cuantificador que usa una arquitectura de convertidor de analógico a digital (ADC) flash, en el que cada comparador del ADC flash tiene bloques de condensador conmutado para la generación del umbral requerido de cada comparador, de acuerdo con la realización de ejemplo específica mostrada en las Figuras 2 y 5;

la Figura 7 ilustra un diagrama esquemático más detallado del bloque de condensador conmutado que conmuta la configuración durante la fase P1 tal como se usa con los comparadores 1 y 4 del modulador de cinco niveles sigma-delta de resolución (2, 3 o 5 niveles) variable mostrado en la Figura 6;

la Figura 8 ilustra el diagrama esquemático de la configuración de conmutación de la Figura 7 durante la fase P2 cuando se realiza una comparación de  $V_{in}$  con un umbral de  $\frac{3}{4} \cdot V_{ref}$ ;

la Figura 9 ilustra el diagrama esquemático de la configuración de conmutación de la Figura 7 durante la fase P2 cuando se realiza una comparación de  $V_{in}$  con un umbral de  $\frac{1}{2} \cdot V_{ref}$ ;

la Figura 10 ilustra un diagrama esquemático más detallado de un bloque de condensador conmutado que genera cualquier umbral  $b/a \cdot V_{ref}$ , en el que la configuración de conmutación del mismo se muestra durante la fase P1 tal como se usa con comparadores del cuantificador de resolución variable (implementación ADC Flash) mostrada en la Figura 5; y

la Figura 11 ilustra un diagrama esquemático más detallado de un bloque de condensador conmutado que genera cualquier umbral  $b/a \cdot V_{ref}$ , en el que la configuración de conmutación del mismo se muestra durante la fase P2 tal como se usa con comparadores del cuantificador de resolución variable (implementación ADC Flash)

mostrada en la Figura 5.

Mientras que la presente divulgación es susceptible de varias modificaciones y formas alternativas, se han mostrado en los dibujos y se describen en el presente documento en detalle realizaciones de ejemplo específicas de la misma. Debería entenderse, sin embargo, que la descripción del presente documento de realizaciones de ejemplo específicas no se pretende que limiten la divulgación a las formas particulares desveladas en el presente documento, sino que por el contrario, la presente divulgación ha de cubrir todas las modificaciones y equivalentes tal como se definen por las reivindicaciones adjuntas.

Con referencia ahora a los dibujos, se ilustran esquemáticamente los detalles de las realizaciones de ejemplo específicas. Elementos iguales en los dibujos se representarán mediante números iguales, y elementos similares se representarán mediante números iguales con un sufijo diferente en letra minúscula.

Con referencia a la Figura 1, se representa un diagrama de bloques esquemático de un convertidor de analógico a digital (ADC) sigma-delta en lazo único multibit o multinivel (nniv niveles,  $nniv > 2$ , M bits,  $M = \lceil \log_2(nniv) \rceil$ ,  $M > 1$ ) con un cuantificador fijo. Representado en general por el número 100, un ADC sigma-delta multinivel (nniv) con un cuantificador fijo (puede hacerse referencia también a él como multibit dado que la codificación de los niveles requieren más de 1 bit,  $M > 1$ ) comprende un nodo 118 de suma de tensión de entrada, un filtro 116 del lazo, un cuantificador 120 multibit fijo, un convertidor 114 de digital a analógico (DAC) multibit, y un filtro 108 de diezmado digital.

El filtro 108 digital recibe un flujo de bits 112 digital sobre-muestreado y diezma el flujo de bits 112 digital de modo que produce, por ejemplo, pero sin limitarse a, una palabra datos de P bits (en el bus 110) representativa de la señal de entrada analógica medida en la entrada 114. Este procedimiento de diezmado también elimina la mayor parte del ruido de alta frecuencia que procede del procedimiento de cuantificación y que es ruido conformado por el ADC 100 sigma-delta a todo lo largo de su filtro 116 del lazo analógico. La función de transferencia desde E (ruido de cuantificación introducido por el cuantificador) al flujo de bits de salida es un filtro paso alto.

El flujo de bits 112 de salida desde el cuantificador 120 multibit fijo tiene nniv niveles distintos que es fijo en número y pueden codificarse en un mínimo de M bits, en el que  $M = \lceil \log_2(nniv) \rceil$  y M es mayor que 1. "E" representa esquemáticamente el error de cuantificación introducido por el cuantificador 120 multibit fijo.

Con referencia a la Figura 2, se representa un diagrama de bloques esquemático de un único modulador multibit (M bits,  $M > 1$ ) sigma-delta en lazo único que tiene un cuantificador de resolución variable acoplado a un generador de secuencia aleatoria que añade una señal aleatoria a la señal procedente del filtro del lazo o el modulador, de acuerdo con una realización de ejemplo específica de la presente divulgación. Representado en general por el número 200, un ADC sigma-delta multinivel (nniv) con cuantificador de resolución variable comprende un nodo 118 de suma de tensión de entrada, un filtro 116 en lazo, un cuantificador 220 multibit de resolución variable, un convertidor 114 de digital a analógico (DAC) multibit, un generador 222 de secuencia aleatoria que tiene una secuencia de resolución  $N(n)$ , y un filtro 108 de diezmado digital. Se muestra en la Figura 2 un lazo de realimentación simple, sin embargo, puede usarse multi-lazo (en cascada, MASH, etc.) con cuantificadores de resolución variable múltiple, de acuerdo con las enseñanzas de la presente divulgación, y que se contemplan en el presente documento. El flujo 212 de bits de salida tiene  $N(n)$  niveles distintos y puede codificarse en M bits en el que  $M = \lceil \log_2(nniv) \rceil$  y  $M > 1$ . El número de niveles del cuantificador 220 multibit de resolución variable puede cambiar para cada muestra n, en la que  $N(n)$  comprende valores enteros entre 2 y nniv.

El generador 222 de secuencia aleatoria genera secuencias de números aleatorios o pseudoaleatorios,  $N(n)$ . En cada muestra de tensión n tomada por el ADC 200 sigma-delta, se produce un número entero aleatorio entre 2 y nniv procedente del generador 222 de secuencia aleatoria. La secuencia de números aleatorios  $N(n)$  generada por el generador 222 de secuencia aleatoria se denomina en el presente documento a continuación una "secuencia de resolución". El generador 220 de secuencia aleatoria puede ser, por ejemplo, pero sin limitarse a, un registro de desplazamiento con realimentación lineal (LFSR) Galois, comparadores digitales y sumador tal como se describirá más completamente en el presente documento a continuación (véase la Figura 3). El generador 222 de secuencia aleatoria introduce una adición de una señal aleatoria mediante el control del nivel de resolución del cuantificador 220 multibit de resolución variable, de acuerdo con las enseñanzas de la presente divulgación.

Con referencia a la Figura 3, se representa un diagrama de bloques esquemático más detallado de un generador de secuencia pseudoaleatoria, de acuerdo con la realización de ejemplo específica mostrada en la Figura 2. El generador 222 pseudoaleatorio genera un entero  $p(n)$  pseudoaleatorio entre uno (1) y m, en el que m es un valor entero mayor de uno (1), en cada muestra n, con reloj controlado a la frecuencia  $f_s$ . El generador 222 de secuencia pseudoaleatoria puede comprender un LFSR (registro de desplazamiento con realimentación lineal) 422 Galois de R bits,  $m-1$  comparadores 424 digitales paralelo y sumador 426. Este generador 222 de secuencia pseudoaleatoria tiene una distribución equiprobable y genera números enteros  $p(n)$  equiprobables en una secuencia pseudoaleatoria, estando  $p(n)$  entre 1 y m. El generador 222 de secuencia pseudoaleatoria es equiprobable si  $(2^R-1)$  es un múltiplo de m dado que se toman en el registro LFSR todos los números enteros desde 1 a  $2^R-1$  solamente una vez por cada ciclo completo del LFSR 422. Esta secuencia de enteros  $p(n)$  pseudoaleatorios puede usarse para representar la secuencia  $N(n)$  de resolución con una correspondencia uno a uno entre los números  $p(n)$  y  $N(n)$ . Una codificación

trivial de la secuencia de resolución sería cuando  $N(n) = 2^p(n)$ , en este caso, el entero  $p(n)$  representa la resolución en número de bits (por ejemplo,  $p(n)=1$ ,  $N(n)=2$ , resolución de 1 bits, 2 niveles de salida distintos). De acuerdo con una realización específica de la presente invención,  $N(n)$  puede definirse por la fórmula siguiente:  $N(n) = 2^p(n) + 1$ . Por ejemplo, cuando  $p(n)$  es un valor entero de 1, 2 o 3,  $N(n)$  asume un valor de 2, 3 o 5, respectivamente. La longitud de la secuencia determinará la capacidad de adición de una señal aleatoria, de acuerdo con las enseñanzas de la presente divulgación, para cancelar los tonos de reposo no deseados. Con una secuencia larga, incluso los tonos de reposo de baja frecuencia serán codificados, y cuando la secuencia es corta, la adición de una señal aleatoria solo afecta a las altas frecuencias.

Con referencia a la Figura 4, se representa un diagrama de bloques esquemático más detallado de un cuantificador multinivel de resolución fija que se basa en una arquitectura de convertidor de analógico a digital (ADC) flash, en el que cada comparador del ADC flash tiene bloques de condensador conmutado dedicados para la generación de umbrales de referencia fija tal como se usan con el modulador de  $M$  bits ( $M > 1$ ) sigma-delta mostrado en la Figura 1. El cuantificador 120 multibit fijo comprende una pluralidad de comparadores 426 de tensión, teniendo cada uno bloques 428 de condensador conmutado, un comparador y un controlador 430 de tensión de referencia, y un codificador de  $nniv$ -líneas a  $M$  bits (por ejemplo, codificador termométrico).

Los bloques 428 de condensador conmutado se adaptan para recibir muestras de tensión  $V_{in}$  desde el filtro 116 en lazo y generar valores de tensión de referencia de umbral fijo (por ejemplo, niveles de tensión) basándose en las relaciones de condensador conmutado, tal como se describe más completamente en la patente de Estados Unidos de propiedad común n.º 7.102.558.

Se acopla también una referencia de tensión (no mostrada) a los bloques 428 de condensador conmutado cuyas relaciones de condensador conmutado crean los valores de tensión de referencia fija a partir de esta referencia de tensión  $V_{ref}$  y suministran los valores de tensión de referencia fija a cada uno respectivo de la pluralidad de comparadores 426 de tensión. Un experto en la materia de los circuitos electrónicos y que tenga el beneficio de la presente divulgación comprenderá fácilmente cómo implementar dicha disposición de conmutación de relación de capacidad para la generación de valores de tensión de referencia fija usados como comparadores en el ADC 100 flash de entrada de condensador conmutado.

La pluralidad de comparadores 426 se acopla a través de los bloques 428 de condensador conmutado a entradas diferenciales  $V_{in+}$  y  $V_{in-}$  que se acoplan al filtro 116 del lazo y por lo tanto reciben la tensión  $V_{in}$  muestreada.

Los bloques 428 de condensador conmutado generan  $nniv-1$  tensiones de umbral fijas diferentes para los  $nniv-1$  comparadores 426 que operan en paralelo para reproducir una codificación termométrica de  $V_{in}$ . Preferentemente, estas tensiones de umbral fijo se deducen de modo que  $umbral(k) = (nniv-2k)/(nniv-1) * V_{ref}$  para una cuantificación uniforme de las muestras de tensión  $V_{in}$  de entrada. Todas las salidas de la pluralidad de comparadores 426 se aplican en una línea  $nniv$  al codificador 432 de  $M$  bits para generar una palabra de  $M$  bits para cada muestra de tensión,  $V_{in}(n)$ , dando como resultado una salida 434 de flujo de bits multibit a partir del mismo.

Con referencia ahora a la Figura 5, se representa un diagrama de bloques esquemático más detallado de un cuantificador multinivel de resolución variable que se basa en una arquitectura de convertidor de analógico a digital (ADC) flash acoplado a un generador de secuencia aleatoria o pseudoaleatoria, en el que cada comparador del ADC flash tiene bloques de condensador conmutado para la generación de varios umbrales de referencia seleccionados por el generador de secuencia aleatoria o pseudoaleatoria tal como se usa con el modulador de  $M$  bits ( $M > 1$ ) sigma-delta, de acuerdo con la realización de ejemplo específica mostrada en la Figura 2. El cuantificador 220 multibit de resolución variable comprende una pluralidad de comparadores 626 de tensión, teniendo cada uno un bloque 628 de condensador conmutado, un comparador y controlador 630 de tensión de referencia, teniendo el generador 222 de secuencia aleatoria una secuencia de resolución  $N(n)$ , y un codificador de línea  $N(n)$  a  $M$  bits (por ejemplo, codificador termométrico).

Cada uno de los bloques 628 de condensador conmutado se adapta para recibir muestras de tensión  $V_{in}$  desde el filtro 116 del lazo y generar valores de tensión de referencia de umbral ajustable (por ejemplo, niveles de tensión) basándose en las relaciones del condensador conmutado determinadas por el valor de la secuencia de resolución  $N(n)$  generado por el generador 222 de secuencia aleatoria, tal como se describirá más completamente en el presente documento a continuación.

Se acopla también una tensión de referencia (no mostrada) a los bloques 628 de condensador conmutado cuya relación de condensador conmutado seleccionable crea los valores de tensión de referencia ajustable a partir de esta referencia de tensión  $V_{ref}$  y usan los valores de tensión de referencia ajustable con los respectivos de la pluralidad de comparadores 626 de tensión. De acuerdo con las enseñanzas de la presente divulgación, cuando se requiere un valor de tensión de referencia diferente para un comparador 626 de tensión particular, es una simple cuestión de conmutar únicamente diferentes relaciones de capacidad para lograr el valor de tensión de referencia deseado basándose en la secuencia de resolución  $N(n)$ . Un experto en la materia de los circuitos electrónicos y que tenga el beneficio de la presente divulgación entenderá fácilmente cómo implementar dicha disposición de conmutación de relación de capacidad variable usada con comparadores en un ADC 200 flash de entrada de condensador conmutado.

La pluralidad de comparadores 626 se acoplan a través de bloques 628 de condensador conmutado para entradas diferenciales  $V_{in+}$  y  $V_{in-}$  que se acoplan al filtro 116 del lazo y reciben de ese modo la tensión  $V_{in}$  muestreada.

5 Los  $n_{niv}-1$  bloques 628 de condensador conmutado generan tensiones de umbral para los  $n_{niv}-1$  comparadores 626 que operan en paralelo para producir una codificación termométrica de  $V_{in}$ . Las tensiones de umbral se generan específicamente para el número de  $N(n)-1$  comparadores 626 usados en la realización la conversión flash. El número de  $N(n)-1$  comparadores 626 usados se basa en el valor de la secuencia de resolución  $N(n)$  para cada tensión  $V_{in}$  de entrada muestreada tomada. Para una cuantificación uniforme de las muestras de tensión  $V_{in}$  de entrada, las tensiones de umbral pueden determinarse como sigue:  $umbral(k, n) = (N(n)-2k) / (N(n)-1) * V_{ref}$ .

10 Las salidas seleccionadas de la pluralidad de comparadores 626 se aplican a la línea  $N(n)$  al codificador 632 de M bits para generar una palabra de M bits para cada muestra de tensión,  $V_{in}(n)$ , dando como resultado una salida 634 de flujo de bits multibit desde el mismo. Solamente se usan  $N(n)-1$  salidas de los comparadores 626 para generar la palabra de M bits para cada muestra n de tensión de entrada, y la palabra de M bits tiene por lo tanto solamente  $N(n)$  valores distintos, por ejemplo, niveles de salida.

15 Con referencia a la Figura 6, se representa un diagrama de bloques esquemático detallado más específico de un modulador de cinco niveles sigma-delta de resolución variable (2, 3 o 5 niveles) que tiene un cuantificador que usa una arquitectura de convertidor de analógico a digital (ADC) flash, en la que cada comparador del ADC flash tiene bloques de condensador conmutado para la generación del umbral requerido de cada comparador, de acuerdo con la realización de ejemplo específica mostrada en las Figuras 2 y 5. Para esta realización de ejemplo específica, las salidas 634a son -2, -1, 0, 1 o 2 de modo que un DAC de cinco niveles, como se describe más completamente en la patente de Estados Unidos n.º 7.102.558 puede usarse para cualquier secuencia de resolución  $N(n)$ . También una implementación de los bloques 628 de condensador conmutado para 2, 3 o 5 niveles es simple debido a que solo dos de los bloques 628 de condensador conmutado son diferentes y tiene solamente dos umbrales a elegir de entre ellos. Esta implementación asegura una cuantificación uniforme para todos los  $N(n)$  valores debido a que los umbrales se adecuan a  $(N(n)-2k) / (N(n)-1) * V_{ref}$  para los comparadores activos.

25 El generador 222 de secuencias aleatorias puede generar aleatoriamente los siguientes códigos en sus salidas 640 de 2 bits como 00b para 2 niveles de salida ( $N(n)=2$ ), 01b para 3 niveles de salida ( $N(n)=3$ ), y 11b para 5 niveles de salida ( $N(n)=5$ ).

Un flujo de bits de nivel cinco para las salidas 634 del codificador 632 puede codificarse sobre 3 bits (por ejemplo, en complemento a 2) como 010<sub>b</sub> para +2, 001<sub>b</sub> para +1, 000<sub>b</sub> para 0; 111<sub>b</sub> para -1, y 110<sub>b</sub> para -2.

30 Los bloques de condensador conmutado para el comparador 626a y 626d tienen la misma implementación pero tienen las entradas  $V_{ref+/-}$  invertidas, y es lo mismo para los comparadores 626b y 626c.

Cuando  $N(n)=5$ , se usan todos los comparadores 626 en el que el umbral para el comparador 626a es  $3/4 * V_{ref}$ , el umbral para el comparador 626b es  $1/4 * V_{ref}$ , el umbral para el comparador 626c es  $-1/4 * V_{ref}$ , y umbral para el comparador 626d es  $-3/4 * V_{ref}$ .

35 Cuando  $N(n)=3$ , solo se usan los comparadores 626a y 626d en el que el umbral para el comparador 626a es  $+1/2 * V_{ref}$ , el umbral para el comparador 626b es 0, el umbral para el comparador 626c es 0, y el umbral para el comparador 626d es  $-1/2 * V_{ref}$ .

40 Cuando  $N(n)=2$ , solo se usa el comparador 626b, en el que el umbral para el comparador 626a es  $+1/2 * V_{ref}$ , el umbral para el comparador 626b es 0, el umbral para el comparador 626c es 0, y el umbral para el comparador 626d es  $-1/2 * V_{ref}$ .

45 Con referencia a la Figura 7, se representa un diagrama esquemático más detallado del bloque de condensador conmutado que conmuta la configuración durante la fase P1 tal como se usa con los comparadores 1 y 4 del modulador de cinco niveles sigma-delta de resolución variable (2, 3 o 5 niveles) mostrado en la Figura 6. Para un esquema más detallado y descripción de un ADC sigma-delta de condensador conmutado véase la patente de Estados Unidos de propiedad común n.º 7.102.558. Durante la fase P1 de una muestra de tensión de entrada, la fase de inicialización (o fase de reposición), todos los condensadores 770-780 se descargan a la tensión en modo común  $V_{cm}$  768 (por ejemplo, tierra o común de la fuente de alimentación) a través de los conmutadores 752-766.

50 Con referencia a la Figura 8, se representa el diagrama esquemático de la configuración de conmutación de la Figura 7 durante la fase P2 cuando se está realizando una comparación de  $V_{in}$  con un umbral de  $3/4 * V_{ref}$ . Durante la fase de comparación P2, una cierta cantidad de carga se transfiere al nodo de salida,  $Out+/-$ . Este nodo de salida es la entrada de uno de los comparadores del ADC Flash y este comparador está enclavado al final de la fase P2. La cantidad de carga transferida al final de la fase P2 es:

$$4C*(V_{in+} - V_{in-}) + 2C*B*(V_{ref-} - V_{ref+}) + C*A*(V_{ref-} - V_{ref+})$$

55 Cuando los interruptores 740-750 están conectados (cerrados) y los interruptores 752-766 están desconectados (abiertos),  $A=1$  y  $B=1$ , durante la fase P2, y la tensión en el nodo de salida,  $Out+/-$ , es igual a: que puede reescribirse

como:

$$(4C*(Vin+ - Vin-) + 3C*(Vref- - Vref+)) / 7C,$$

$$(4*Vin - 3*(Vref)) / 7$$

5 La tensión Vout del nodo de salida es positiva cuando  $Vin > \frac{3}{4}Vref$  y es negativa cuando  $Vin < \frac{3}{4}Vref$ , por ello el umbral es  $\frac{3}{4}Vref$ .

10 Con referencia a la Figura 9, se representa el diagrama esquemático de la configuración de conmutación de la Figura 7 durante la fase P2 cuando se está realizando una comparación de Vin con un umbral de  $\frac{1}{2}Vref$ . Cuando los interruptores 740, 742, 748, 750, 756 y 758 están conectados (cerrados) y los interruptores 744, 746, 752, 754, 760, 762, 764 y 766 están desconectados (abiertos), A=0 y B=1, durante la fase P2, y la tensión en el nodo de salida, Out+/-, es igual a: que puede reescribirse como:

$$(4C*(Vin+ - Vin-) + 2C*(Vref- - Vref+)) / 7C,$$

$$(4*Vin - 2*(Vref)) / 7$$

La tensión Vout del nodo de salida es positiva cuando  $Vin > \frac{1}{2}Vref$  y es negativa cuando  $Vin < \frac{1}{2}Vref$ , por ello el umbral es  $\frac{1}{2}Vref$ .

15 De modo similar, cuando los interruptores 740, 744, 746, 750, 754 y 760 están conectados (cerrados) y los interruptores 742, 748, 752, 756, 758, 762, 764 y 766 están desconectados (abiertos), A=1 y B=0, durante la fase P2, y el umbral se convierte en  $\frac{1}{4}Vref$ . Cuando 740, 750, 754, 756, 758 y 760 están conectados (cerrados) y los interruptores 742, 744, 746, 748, 752, 764 y 766 están desconectados (abiertos), A=1 y B=0, durante la fase P2, y el umbral se convierte en  $\frac{1}{4}Vref$ . Cuando 740 y 750 están conectados (cerrados) y los interruptores 742-748 y 752-766 están desconectados (abiertos), A=0 y B=0, durante la fase P2, puede usarse un detector de signo para la determinación del umbral, es decir, el umbral es sustancialmente 0 voltios.

25 Por lo tanto mediante la desconexión (abertura) o conexión (cierre) de los interruptores 742-748 durante la fase P2 el (los) umbral(es) del ADC 200 pueden ser o bien cinco (5), tres (3) o dos (2) niveles, de acuerdo con las enseñanzas de la presente divulgación. Por lo tanto, como se ha explicado más completamente en el presente documento anteriormente, los umbrales para un ADC 200 de cinco (5) niveles son:  $+\frac{3}{4}Vref$ ,  $+\frac{1}{4}Vref$ ,  $-\frac{3}{4}Vref$  y  $-\frac{1}{4}Vref$ ; los umbrales para un ADC 200 de tres (3) niveles son:  $+\frac{1}{2}Vref$  y  $-\frac{1}{2}Vref$ ; y para un ADC 200 de dos (2) niveles puede usarse un detector de signo, por ejemplo, el umbral es de aproximadamente 0 voltios. La desconexión o conexión de los interruptores 742-748 durante la fase P2 puede controlarse por el generador 222 de secuencias aleatorias con la lógica de pegamento apropiada (no mostrada).

30 Con referencia a la Figura 10, se representa un diagrama esquemático más detallado de un bloque de condensador conmutado que genera cualquier umbral  $b/aVref$ , en el que la configuración de conmutación del mismo se muestra durante la fase P1 tal como se usa con comparadores del cuantificador de resolución variable (implementación ADC Flash) mostrado en la Figura 5. Cada bloque 628 de condensador conmutado (Figura 5) cuyas relaciones de condensador conmutado seleccionables crean los valores de tensión de referencia ajustables a partir de la tensión Vref de referencia. El bloque 628 de condensador conmutado incluye una disposición en paralelo de "a" condensadores unidad (en donde "a" es un entero) de valor C conectado a Vin+ y Vin-, respectivamente, a través de los interruptores 740 y 750; "b" condensadores unitarios (en donde "b" es un entero) de valor C conectado a Vref- y Vin+, respectivamente, a través de los interruptores 742 y 748; y "c" condensadores unidad (en la que "c" es un entero) de valor C conectado a (Vref- o Vin+) y (Vref+ o Vin-), respectivamente, a través de una disposición de interruptores 744 y 746. La Figura 10 ilustra el bloque 628 de condensador conmutado en la fase P1 (fase de reposición) en la que todos los condensadores se conectan a la tensión en modo común Vcm 768 través de los interruptores 752-766 de modo que su carga se repone a sustancialmente cero voltios, por lo que  $V(Out+, Out-) = 0$  al final de la fase P1.

45 Con referencia a la Figura 11, se representa un diagrama esquemático más detallado de un bloque de condensadores conmutado que genera cualquier umbral  $b/aVref$ , en el que la configuración de conmutación del mismo se muestra durante la fase P2 tal como se usa con comparadores del cuantificador de resolución variable (implementación ADC Flash) mostrado en la Figura 5. El bloque 628 de condensador conmutado (Figura 5) está en la fase P2 (fase de comparación) en la que los interruptores 740, 750, 742 y 748 están conectados mientras que los interruptores 752, 754, 760 y 762 están desconectados. Durante la fase de comparación P2, se transfiere una cierta cantidad de carga al nodo de salida, Out+/- . Este nodo de salida se acopla a la entrada de uno respectivo de los comparadores 626 del ADC Flash (Figura 5) y la salida del comparador 626 se enclava al final de la fase P2. La cantidad de carga transferida al final de la fase P2 es:

$$a*C*(Vin+ - Vin-) + b*C*(Vref- - Vref+)$$

y la tensión en el nodo de salida, Out+/-, es igual a:

$$(a \cdot C \cdot (V_{in+} - V_{in-}) + b \cdot C \cdot (V_{ref-} - V_{ref+})) / ((a+b+c) \cdot C),$$

que puede reescribirse como:

$$(a \cdot V_{in} - b \cdot (V_{ref})) / (a+b+c)$$

5 La tensión  $V_{out}$  del nodo de salida es positiva cuando  $V_{in} > b/a \cdot V_{ref}$  y es negativa cuando  $V_{in} < b/a \cdot V_{ref}$ , por ello el umbral es  $b/a \cdot V_{ref}$ . Con esta configuración, puede configurarse cualquier umbral  $b/a \cdot V_{ref}$  siempre que haya suficientes condensadores para obtener la granularidad de umbral deseada. Puede obtenerse también cualquier umbral  $-b/a$  si los nodos  $V_{ref+}$  y  $V_{ref-}$  se intercambian como se muestra en las Figuras 10 y 11. Puede tomarse nota de que las disposiciones del condensador 784 y 786 que contienen  $c$  condensadores unidad no contribuyen al cálculo del umbral debido a que estos condensadores se cargan a la misma tensión común VCM 628 en ambas fases, y por ello no contribuyen a la transferencia de carga entre las dos fases P1 y P2.

Para una cuantificación uniforme, el umbral para el comparador  $k$  toma la forma:

$$\text{umbral}(k) = (n_{niv} - 2k) / (n_{niv} - 1) \cdot V_{ref}$$

para un cuantificador fijo, y

$$\text{umbral}(k, n) = (N(n) - 2k) / (N(n) - 1) \cdot V_{ref}$$

15 siendo  $N(n)$  entre 2 y  $n_{niv}$  como se ha explicado en el presente documento anteriormente. Mediante la asignación  $a = n_{niv} - 1$  y  $b = \text{Abs}(n_{niv} - 2k)$  para un cuantificador fijo y  $a(n) = N(n) - 1$  y  $b(n) = \text{Abs}(N(n) - 2k)$  para un cuantificador variable, el bloque 628 de condensador conmutado puede proporcionar todos los valores deseados requeridos para los umbrales y da una cuantificación uniforme en una forma general tanto para cuantificadores de resolución fija como variable. Debería tomarse nota de que cuando  $N(n) - 2k$  es negativa, los nodos  $V_{ref+}$  y  $V_{ref-}$  se invierten en los esquemas.

25 Dado que  $a(n) = N(n) - 1$ , el número de condensadores acoplados a  $V_{in+/-}$  a través de los interruptores 740 y 750 varía con cada muestra  $n$  para una resolución variable con cuantificación uniforme. Esto puede realizarse fácilmente mediante la división de los interruptores 740 y 750 en múltiples interruptores paralelos conectados a una parte o solamente una del número total de "A" condensadores disponible. En esta forma, si está disponible originalmente el número total de "A" condensadores, entonces solo pueden conectarse  $a(n)$  condensadores a  $V_{in+/-}$  en cada muestra durante la fase P2, mientras que el resto  $A - a(n)$  se conectarán a la tensión común VCM 768, y serán parte de los  $c$  condensadores unitarios mostrados en las Figuras 10 y 11. Al ser parte de las disposiciones de los  $c$  condensadores unitarios, no tendrán ningún impacto en el establecimiento del umbral (su contribución de carga es 0). Dado que  $N(n)$  es un entero entre 2 y  $n_{niv}$ , el número total máximo  $A$  de condensadores necesarios es igual a  $n_{niv} - 1$ . En este caso, de entre los  $A = n_{niv} - 1$  condensadores disponibles,  $a(n) = N(n) - 1$  condensadores estarán vinculados a  $V_{in+/-}$  durante la fase P2, y  $n_{niv} - 1 - a(n) = n_{niv} - N(n)$  condensadores serán parte de las disposiciones de  $c$  condensadores unitarios conectadas a la tensión común VCM 768 durante la fase P2.

35 Dado que  $b(n) = N(n) - 2k$ , el número de condensadores acoplados a  $V_{ref+/-}$  a través de los interruptores 742 y 748 necesitan variar con cada muestra  $n$  para una resolución variable con cuantificación uniforme. Esto puede realizarse fácilmente mediante la división de los interruptores 742 y 748 en múltiples interruptores paralelos conectados a una parte o solamente una del número total  $B$  de condensadores disponible. En esta forma, si está disponible originalmente un total de  $B$  condensadores, entonces solo pueden conectarse  $b(n)$  condensadores a  $V_{ref+/-}$  en cada muestra durante la fase P2, mientras los restantes  $B - b(n)$  condensadores se conectarán a la tensión común VCM 768, y serán parte de los  $c$  condensadores unitarios mostrados en las Figuras 10 y 11. Al ser parte de la disposición de  $c$  condensadores unitarios, no tendrán ningún impacto en el establecimiento del umbral (su contribución de carga es 0). Dado que  $N(n)$  es un entero entre 2 y  $n_{niv}$ , y dado que  $k$  es un entero entre 1 y  $n_{niv} - 1$ , el número total máximo  $B$  de condensadores requeridos es igual a  $n_{niv} - 2$ . En este caso, de entre los  $B = n_{niv} - 2$  condensadores disponibles,  $b(n) = N(n) - 2k$  condensadores estarán acoplados a  $V_{ref+/-}$  durante la fase P2, y  $n_{niv} - 2 - b(n) = n_{niv} - N(n) - 2k - 2$  condensadores serán parte de las disposiciones de  $c$  condensadores unitarios y conectados a la tensión común VCM 768 durante la fase P2. Si  $b(n)$  es negativo, se requiere la inversión de  $V_{ref+/-}$  y se aplicaría también el mismo razonamiento a  $b(n) = \text{Abs}(N(n) - 2k)$ .

45 Para realizar una cuantificación uniforme apropiada, con cualquier número  $N(n)$  de niveles, el número máximo de condensadores usados tanto en la disposición  $V_{in+/-}$  como en  $V_{ref+/-}$  es  $A = n_{niv} - 1$  y  $B = n_{niv} - 2$ , de modo que el número total de condensadores es  $2 \cdot (n_{niv} - 1) + 2 \cdot (n_{niv} - 2) = 4 \cdot n_{niv} - 6$ . De estos  $(4 \cdot n_{niv} - 6)$  condensadores unitarios de valor  $C$ , el número de condensadores en cada muestra  $n$  en las disposiciones de interruptores 780 y 790 mostradas en las Figuras 10 y 11 es igual a  $a(n) = N(n) - 1$ , el número de condensadores en cada muestra  $n$  en las disposiciones de interruptores 782 y 788 mostradas a las Figuras 10 y 11 es igual a  $b(n) = \text{Abs}(N(n) - 2k)$ . Por ello el resto de condensadores unitarios cuyo número es igual a

$$c(n) = A + B - a(n) - b(n) = 2 \cdot n_{niv} - 3 - (N(n) - 1) - \text{Abs}(N(n) - 2k)$$

55 se conecta a las disposiciones de interruptores 784 y 786 en cada muestra  $n$ . La reasignación de los  $c(n)$

condensadores unitarios a las a(n) o b(n) configuraciones puede realizarse mediante la conexión de interruptores seleccionados en la disposición de interruptores 744 y 746 y desconexión de las disposiciones seleccionadas de interruptores 756 y 758 en la fase P2. En esta forma el umbral realizado por esta distribución variable de condensadores en cada muestra n es

5 
$$\text{umbral}(k, n) = (N(n)-2k) / (N(n)-1) * V_{\text{ref}}$$

en cada muestra n y para cada comparador k siempre que haya suficiente en total del número de condensadores unitarios e interruptores asociados que se dividen de la manera apropiada para tener la granularidad del umbral deseada.

10 Aunque las realizaciones de la presente divulgación se han representado, descrito y se definen por referencia a realizaciones de ejemplo de la divulgación, dicha referencia no implica una limitación de la divulgación, y no ha de deducirse dicha limitación. La materia objeto desvelada es capaz de considerable modificación, alteración y equivalentes en forma y función, como se les ocurrirá a los expertos en la materia y que tengan el beneficio de la presente divulgación. Las realizaciones representadas y descritas de la presente divulgación son solo ejemplos, y no son exhaustivos del alcance de la divulgación.

15

## REIVINDICACIONES

1. Un aparato para la reducción de tonos de reposo indeseados mediante la adición de una señal aleatoria de un cuantificador de resolución variable de un convertidor de analógico a digital (ADC) sigma-delta multibit, que comprende:

5 un modulador sigma-delta de M bits, en el que  $M > 1$ , que comprende

un convertidor (114) de digital a analógico (DAC) de M bits,  
 un circuito (118) de suma de tensión analógica que recibe una señal de entrada analógica y que es operativo para añadir una señal de salida del DAC (114) de M bits a la señal de entrada analógica,  
 un filtro (116) en lazo analógico acoplado a la salida del circuito (118) de suma de tensión analógica que  
 10 genera una suma filtrada de la salida del circuito de suma de tensión analógica,

**caracterizado por**

un cuantificador (626, 628, 630) de resolución variable que recibe la suma filtrada del filtro en lazo analógico y que genera señales de salida en una secuencia,

15 un codificador (632) acoplado al cuantificador (626, 628, 630) de resolución variable, en el que el codificador (632) convierte la señal de salida respectiva del cuantificador (626, 628, 630) de resolución variable en unas representaciones binarias respectivas de M bits del mismo y la representación binaria respectiva de M bits se aplica al DAC (114) de M bits, y

20 un generador (222) de secuencia aleatoria acoplado al cuantificador (626, 628, 630) de resolución variable en el que el generador (222) de secuencia aleatoria genera una pluralidad de números  $N(n)$  aleatorios en una secuencia, en la que  $N(n)$  son números enteros aleatorios y en la que  $2 \leq N(n) \leq nniv$ , en la que  $nniv$  es una resolución máxima predefinida,

mediante lo que se determina una resolución del cuantificador (626, 628, 630) de resolución variable por uno respectivo de la pluralidad de números  $N(n)$  aleatorios para cada muestra de tensión analógica respectiva tomada desde la señal de entrada analógica;

25 una referencia de tensión acoplada al cuantificador (626, 628, 630) de resolución variable; y

un filtro (108) digital acoplado al codificador (632) y que recibe la representación binaria de M bits desde el mismo.

2. El aparato de acuerdo con la reivindicación 1, en el que el generador de secuencia de números aleatorios comprende:

30 un registro de desplazamiento con realimentación lineal (LFSR) (422), preferentemente un LFSR Galois, que tiene una salida de R bits, en el que R es un entero;

una pluralidad de comparadores (424a..m) digitales, teniendo cada uno de la pluralidad de comparadores (424a..m) digitales un umbral digital diferente, una entrada digital de R bits acoplada al LFSR (422), y una salida ( $D_{1..m-1}$ ) digital; y

35 un sumador (426) digital que tiene entradas acopladas a las salidas digitales de la pluralidad de comparadores (424a..m) digitales, y una salida acoplada al cuantificador (626, 628, 630) de resolución variable.

3. El aparato de acuerdo con la reivindicación 1 o 2, en el que el cuantificador (626, 628, 630) de resolución variable comprende un ADC flash que comprende una pluralidad de comparadores (626) de tensión que tienen tensiones de umbral generadas selectivamente, en el que el número de comparadores (626) de tensión y sus tensiones de umbral respectivas se controlan por uno respectivo de la pluralidad de números  $N(n)$  aleatorios.

4. El aparato de acuerdo con la reivindicación 3, en el que las tensiones de umbral selectivamente generadas se determinan mediante la conmutación de relaciones de condensador de entrada para cada uno de la pluralidad de comparadores (626) de tensión.

45 5. El aparato de acuerdo con una de las reivindicaciones anteriores, en el que el aparato es operativo para seleccionar los niveles del convertidor de digital a analógico (DAC) de M bits usado con la señal de entrada analógica dependiendo del respectivo de la pluralidad de números  $N(n)$  aleatorios.

6. El aparato de acuerdo con una de las reivindicaciones anteriores, en el que el cuantificador de resolución variable se configura para tener una resolución de 2 bits, 3 bits o 5 bits.

50 7. El aparato de acuerdo con una de las reivindicaciones anteriores, en el que la pluralidad de números aleatorios son una pluralidad de números pseudoaleatorios, y el generador de secuencia aleatoria es un generador de secuencia pseudoaleatoria.

8. El aparato de acuerdo con una de las reivindicaciones anteriores, en el que la pluralidad de números  $N(n)$  aleatorios comprende los seleccionados de entre todos los valores posibles desde 2 a  $nniv$ .

9. El aparato de acuerdo con una de las reivindicaciones anteriores, en el que el modulador sigma-delta es multi-

lazo.

10. Un procedimiento para reducir tonos de reposo no deseados mediante la adición de una señal aleatoria de un cuantificador de resolución variable de un convertidor de analógico a digital (ADC) sigma-delta multibit, comprendiendo dicho procedimiento las etapas de:

- 5 recibir una señal de entrada analógica;  
 generar una pluralidad de números  $N(n)$  aleatorios en una secuencia con un generador (222) de secuencia aleatoria, en el que  $N(n)$  son números enteros aleatorios y en el que  $2 \leq N(n) \leq nniv$ , en el que  $nniv$  es una resolución máxima predefinida;  
 generar señales de salida en una secuencia en un cuantificador (626, 628, 630) de resolución variable;  
 10 controlar el cuantificador (626, 628, 630) de resolución variable con los números  $N(n)$  aleatorios, en el que cada uno de dicha pluralidad de números aleatorios define una resolución de la señal de salida respectiva del cuantificador (626, 628, 630) de resolución variable;  
 codificar la señal de salida respectiva desde el cuantificador (626, 628, 630) de resolución variable en una representación binaria de  $M$  bits,  $M > 1$ ;  
 15 controlar un valor de tensión de salida respectivo desde un convertidor (114) de digital a analógico (DAC) de  $M$  bits con la representación binaria de  $M$  bits respectiva;  
 añadir el valor de tensión de salida respectivo desde el convertidor (114) de digital a analógico DAC de  $M$  bits a una muestra de tensión de entrada respectiva tomada desde la señal de entrada analógica en un circuito (118) de suma de tensión analógica;  
 20 filtrar la suma del valor de tensión de salida respectivo y la muestra de tensión de entrada respectiva en un filtro (116) en lazo analógico; y  
 aplicar la suma filtrada del valor de tensión respectivo y de la muestra de tensión de entrada respectiva al cuantificador (626, 628, 630) de resolución variable.

11. El procedimiento de acuerdo con la reivindicación 10, en el que la etapa de generar la secuencia de números  $N(n)$  aleatorios comprende las etapas de:

- 25 proporcionar un registro de desplazamiento con realimentación lineal (LFSR) (422), en particular un LFSR Galois, que tiene una salida de  $R$  bits, en el que  $R$  es un entero;  
 proporcionar una pluralidad de comparadores (424a..m) digitales, teniendo cada uno de la pluralidad de comparadores (424a..m) digitales un umbral digital diferente, una entrada digital de  $R$  bits acoplada al LFSR (422), y una salida ( $D_{1..m-1}$ ) digital; y  
 30 proporcionar un sumador (426) digital que tiene entradas acopladas a las salidas ( $D_{1..m-1}$ ) digitales de la pluralidad de comparadores (424a..m) digitales, y una salida acoplada al cuantificador (626, 628, 630) de resolución variable, mediante lo que se genera la secuencia de números  $N(n)$  aleatorios.

12. El procedimiento de acuerdo con la reivindicación 10 u 11, en el que el cuantificador de resolución variable comprende un ADC Flash con una pluralidad de comparadores de tensión recibiendo cada uno una tensión de referencia, comprendiendo adicionalmente el procedimiento la etapa de controlar una resolución del cuantificador (626, 628, 630) de resolución variable mediante la selección del número de comparadores (426) de tensión de un ADC Flash a ser usado para una conversión y mediante la generación selectivamente de tensiones de umbral para el número seleccionado de comparadores (426) de tensión dependiendo del respectivo de la pluralidad de números  $N(n)$  aleatorios.

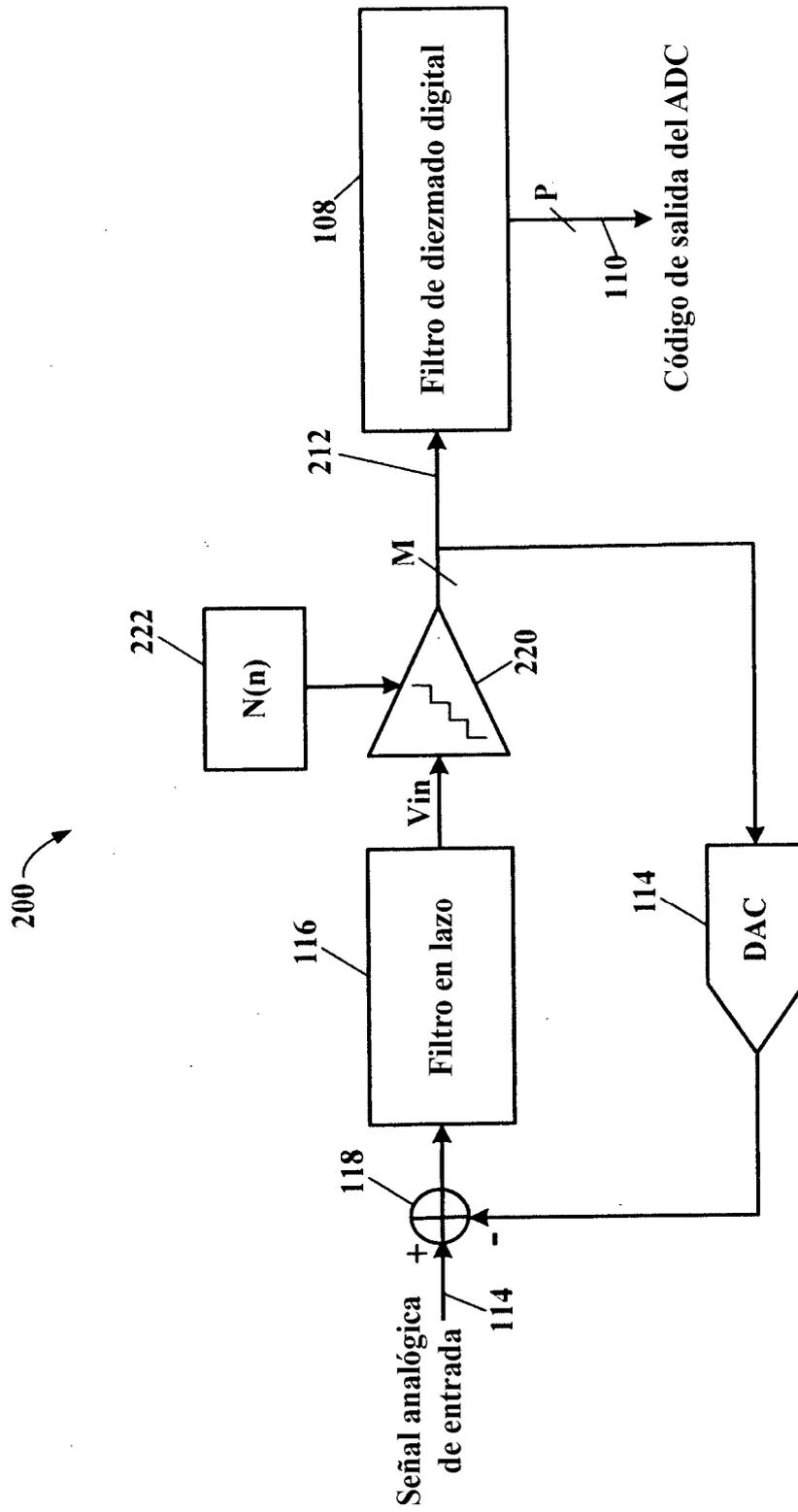
13. El procedimiento de acuerdo con la reivindicación 12, en el que las tensiones de umbral selectivamente generadas se determinan mediante la conmutación de relaciones de condensadores de entrada para cada uno de la pluralidad de comparadores (426) de tensión.

14. El procedimiento de acuerdo con una de las reivindicaciones 10-13 anteriores, en el que la etapa de generar la pluralidad de números aleatorios comprende la etapa de generar una pluralidad de números  $N(n)$  pseudoaleatorios en una secuencia con un generador de secuencia pseudoaleatoria, en el que  $N(n)$  son números enteros pseudoaleatorios entre 2 y  $nniv$ .

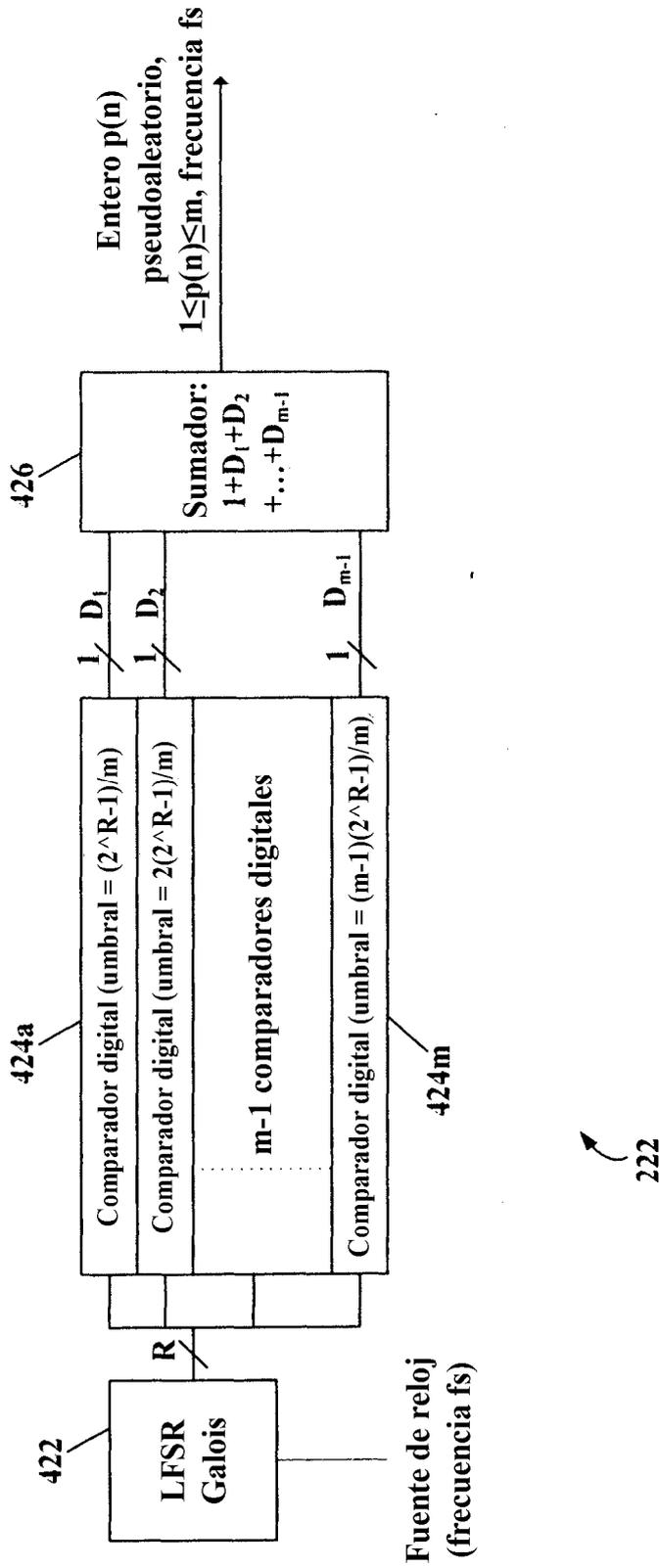
15. El procedimiento de acuerdo con una de las reivindicaciones 10-13 anteriores, en el que la pluralidad de números  $N(n)$  aleatorios comprende los seleccionados de entre todos los valores posibles de 2 a  $nniv$ .

50

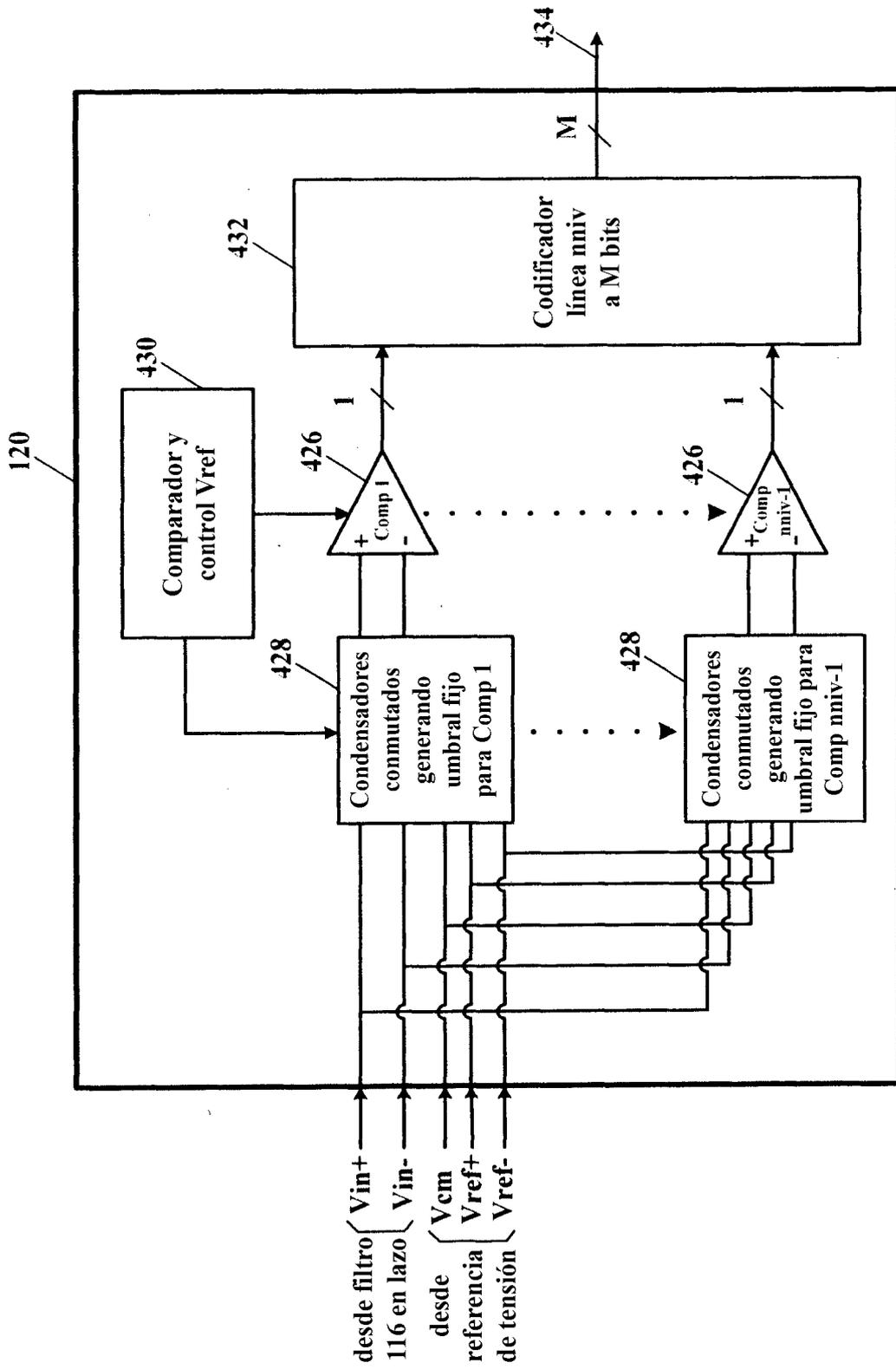




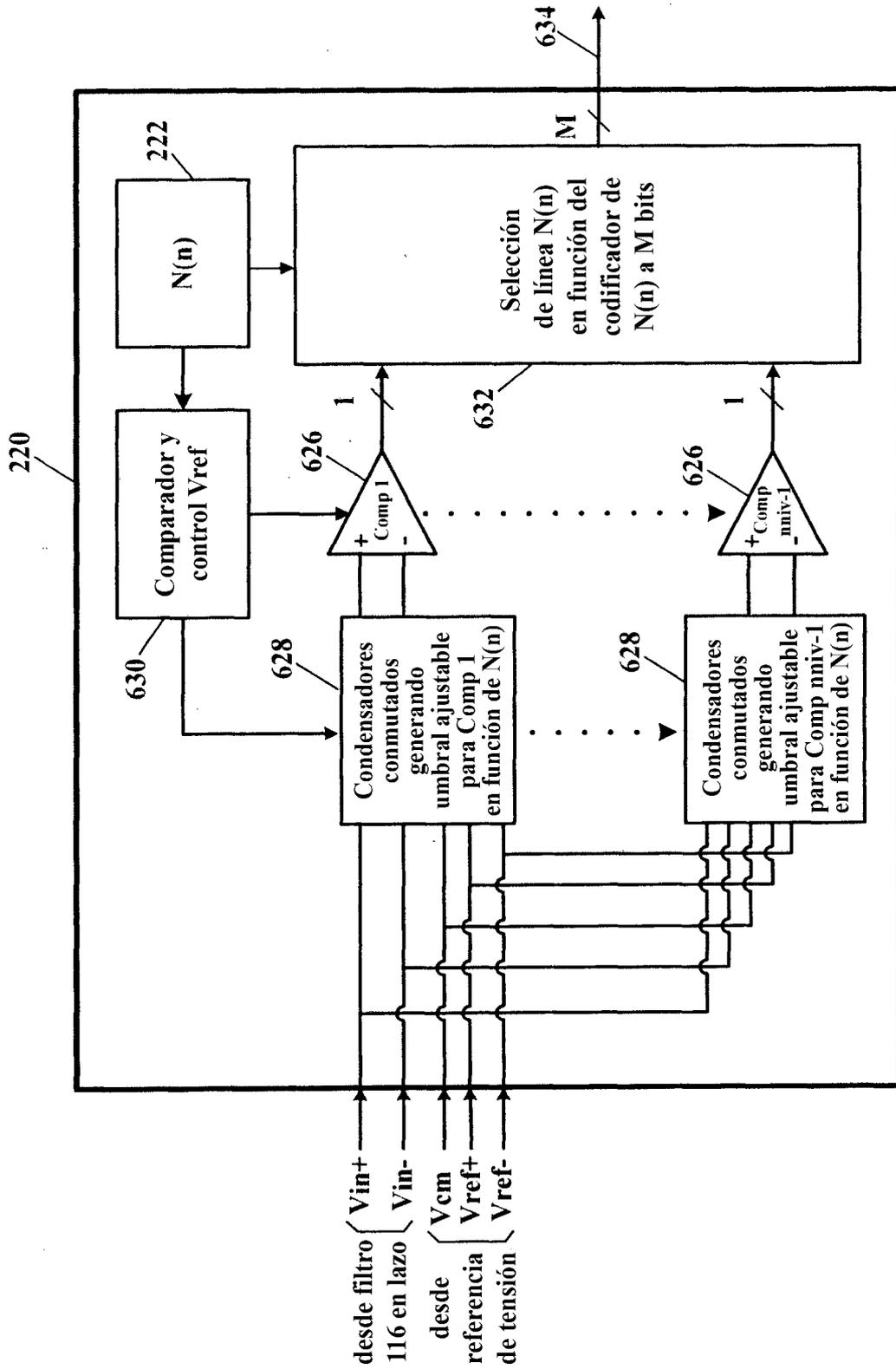
**FIGURA 2**



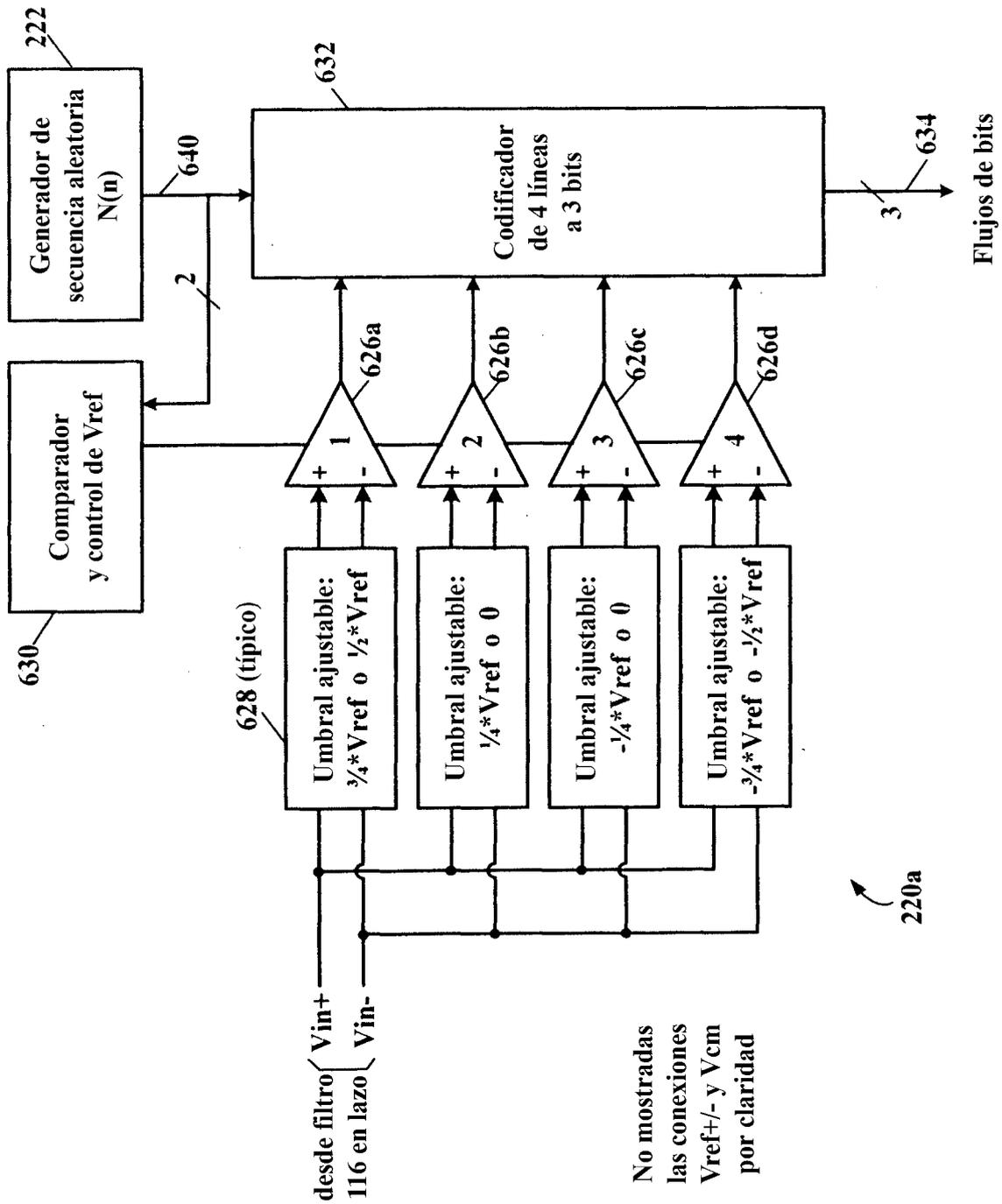
**FIGURA 3**



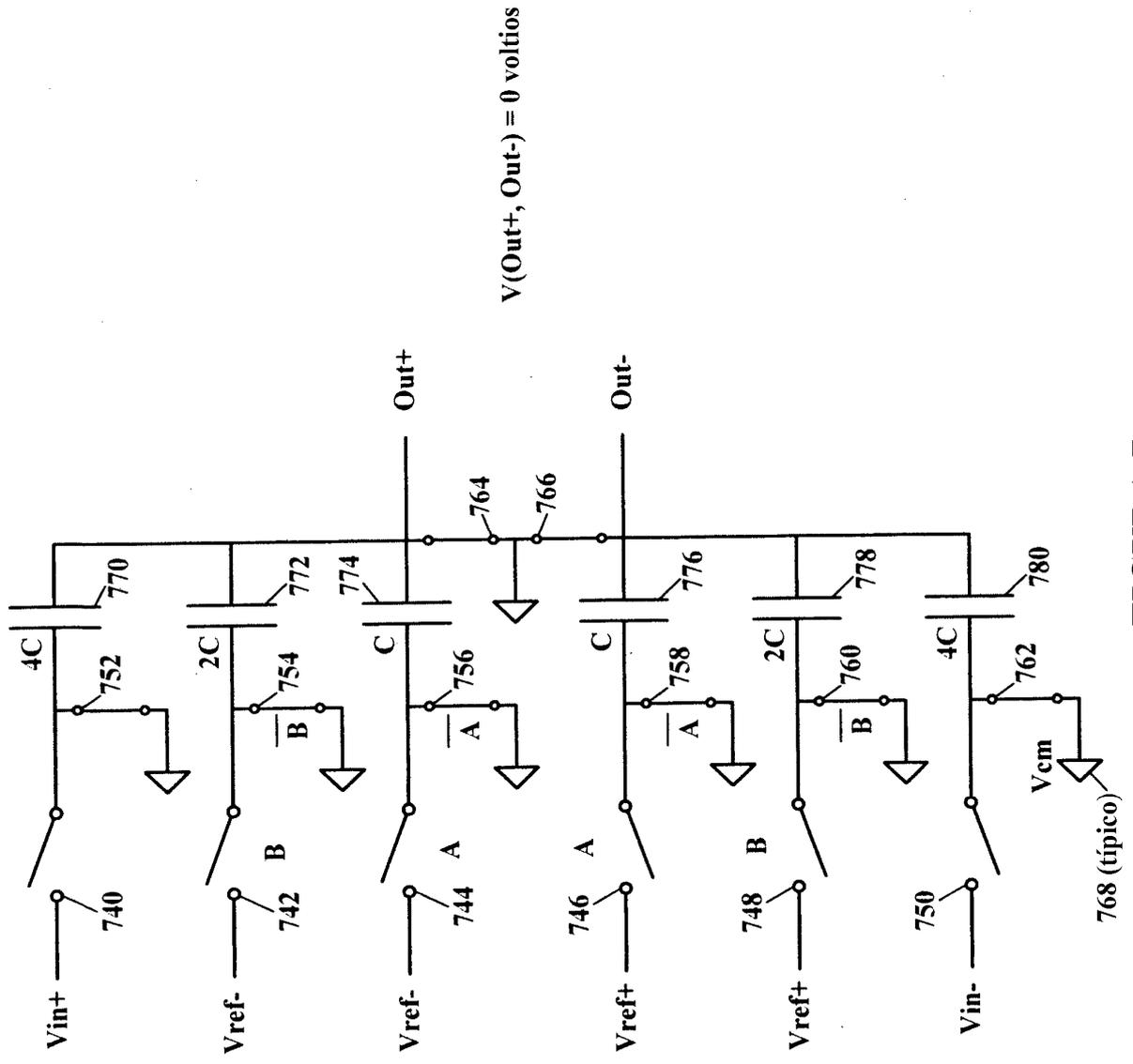
**FIGURA 4**



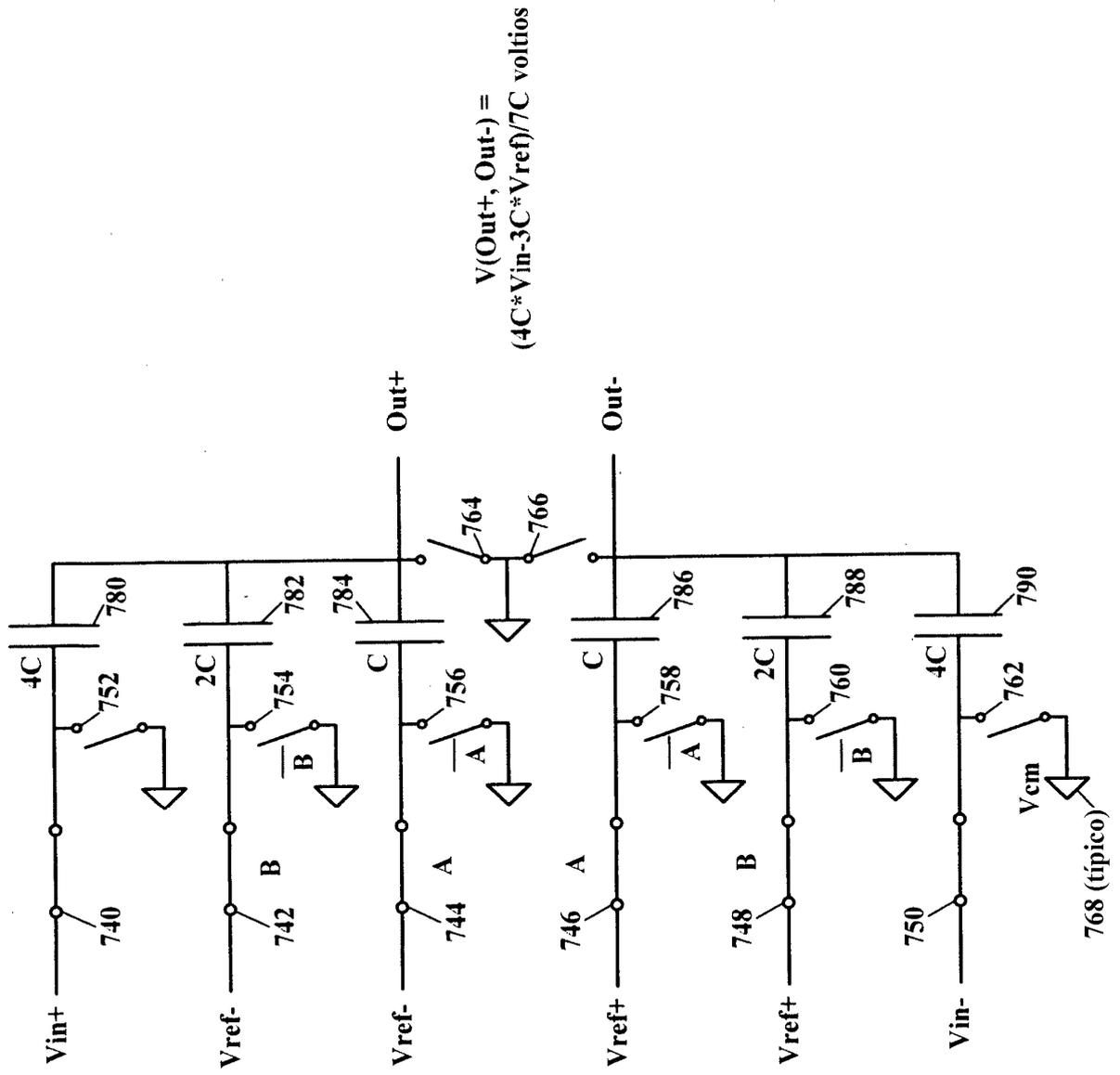
**FIGURA 5**



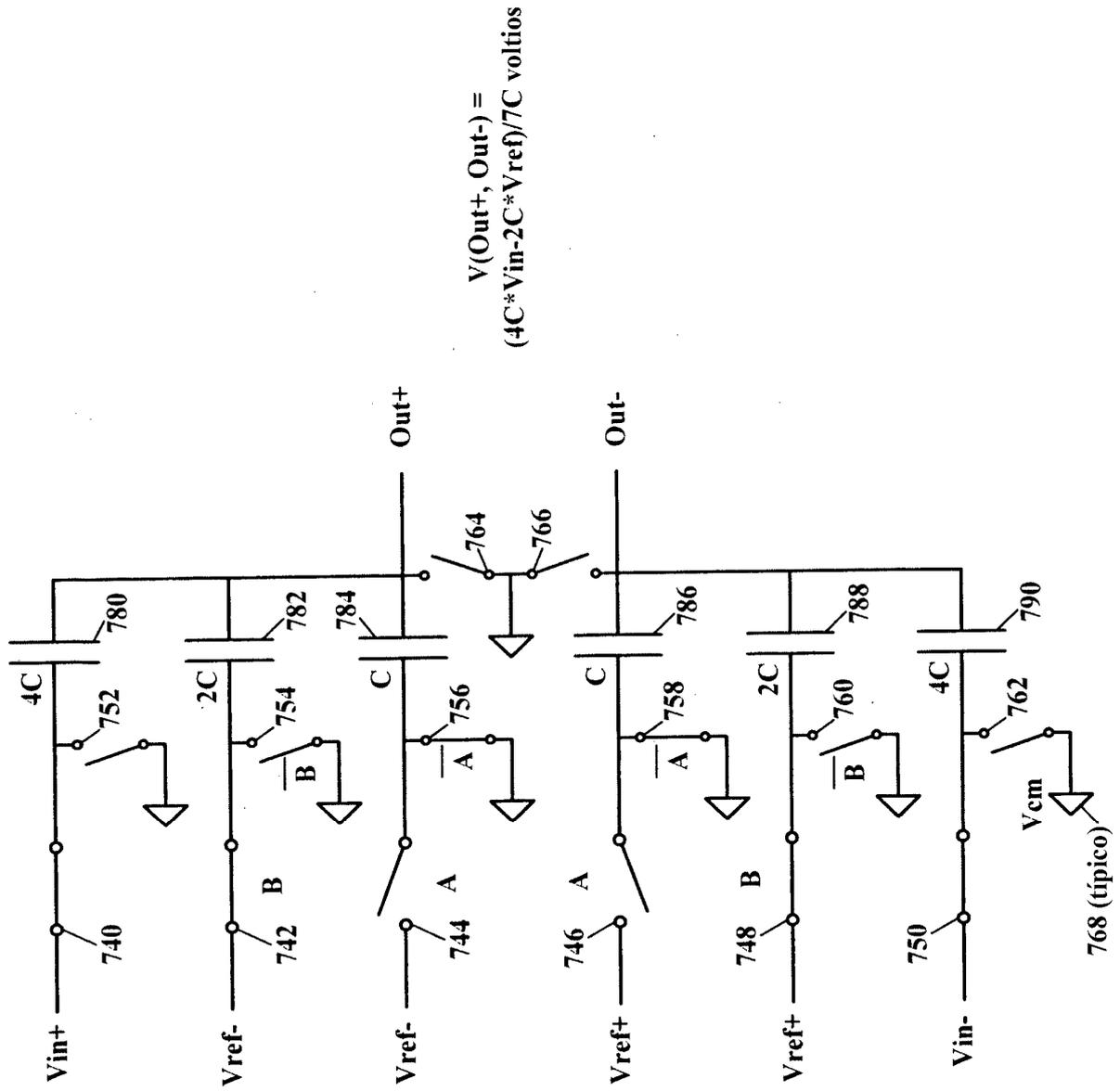
**FIGURA 6**



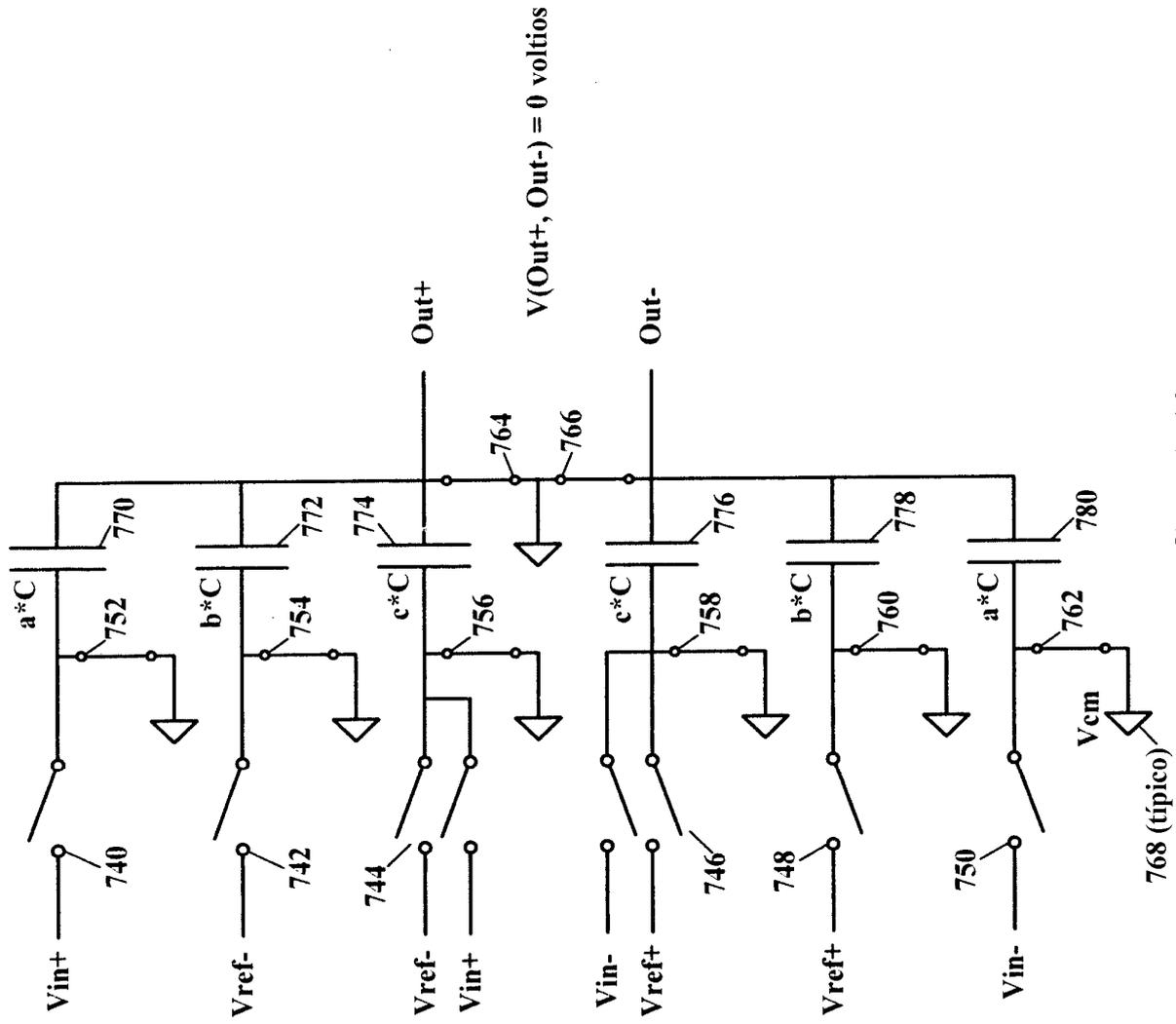
**FIGURA 7**



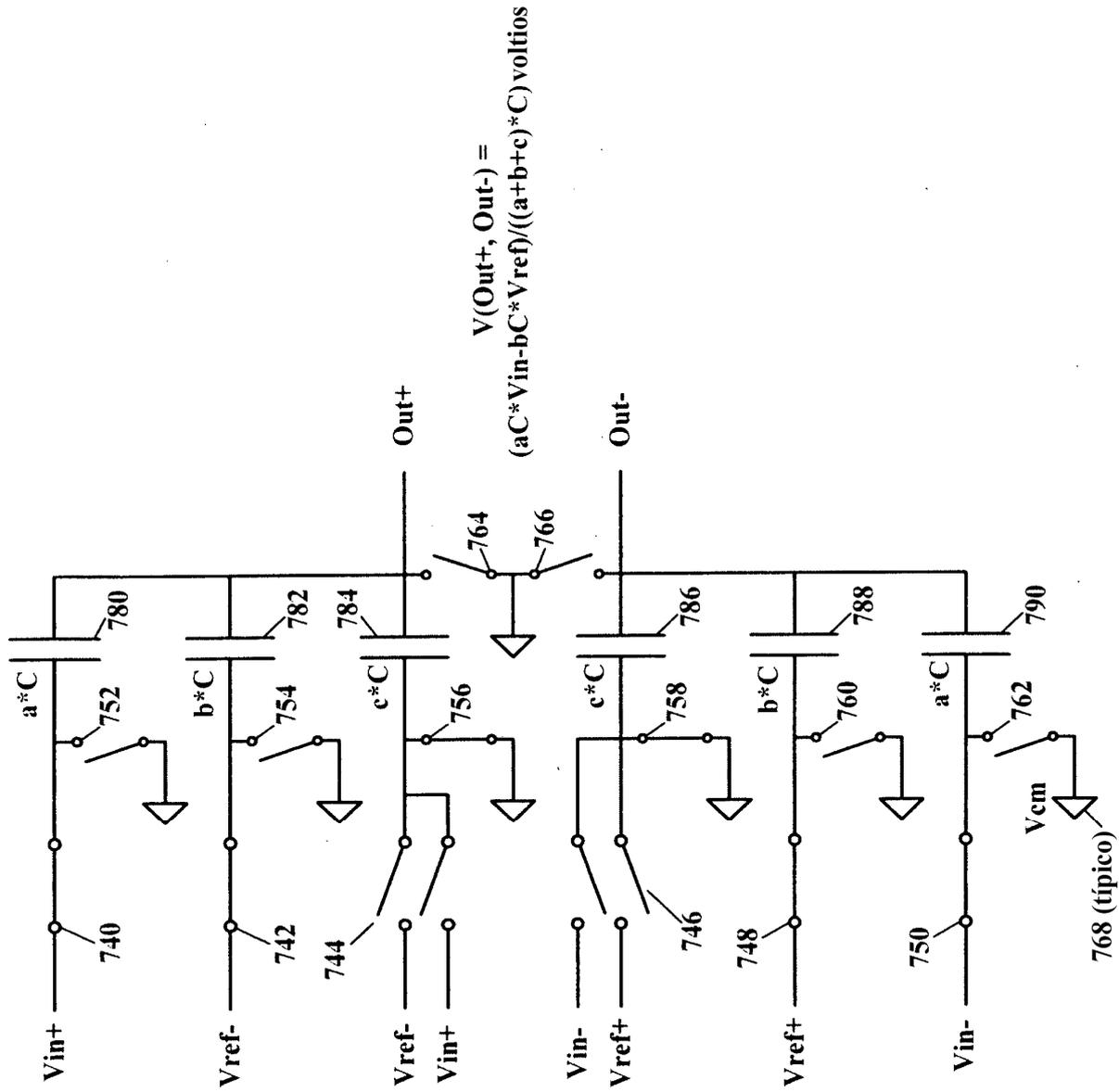
**FIGURA 8**



**FIGURA 9**



**FIGURA 10**



**FIGURA 11**