

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 620 666**

21 Número de solicitud: 201531918

51 Int. Cl.:

H02J 3/00 (2006.01)

G06Q 30/02 (2012.01)

12

SOLICITUD DE PATENTE

A1

22 Fecha de presentación:

28.12.2015

43 Fecha de publicación de la solicitud:

29.06.2017

71 Solicitantes:

ABENGOA RESEARCH, S.L. (100.0%)
C/ Energía Solar, 1 Campus Palmas Altas
41014 SEVILLA ES

72 Inventor/es:

RODRIGUEZ CORTES, Pedro;
MIR CANTARELLAS, Antoni y
REMÓN RODRIGUEZ, Daniel

74 Agente/Representante:

IGARTUA IRIZAR, Ismael

54 Título: **Estructura y método de control para un sistema de potencia eléctrico distribuido, y sistema de potencia eléctrico distribuido**

57 Resumen:

Estructura de control y método para un sistema de potencia distribuido, y sistema de potencia distribuido. La estructura comprende una pluralidad de niveles de control jerárquicos con un primer nivel de control comprendiendo un controlador de potencia de cabecera (CPC1) que comprende un controlador de cabecera (FEC1), un estimador de estado (SSE1) y al menos un controlador de potencia de subsistema (CPC1i, CPC1ijk...n), comunicados con dicho controlador de cabecera (FEC1). El controlador de potencia (CPC1) o cada controlador de potencia de subsistema (CPC1ijk...n), comprende al menos un controlador de cabecera (FEC1ijk...n), un estimador de estado (SSE1ijk...n) y, si pertenece a un nivel de control distinto al último, al menos un controlador de potencia de subsistema (CPC1ijk...n+1). Cada controlador de cabecera (FEC1ijk...n) está configurado para generar al menos una señal de control (CS1ijk...n) y transmitirla al controlador de potencia de subsistema (CPC1ijk...n+1) del nivel inmediatamente inferior, y/o para generar al menos una acción de control (CA1ijk...n) y transmitirla a un actuador del sistema distribuido.

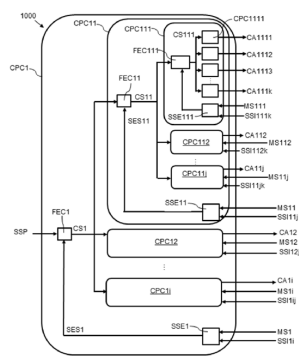


Fig. 1

DESCRIPCIÓN

“Estructura y método de control para un sistema de potencia eléctrico distribuido, y sistema de potencia eléctrico distribuido”

5

SECTOR DE LA TÉCNICA

La presente invención se refiere a una estructura de control y método para un sistema de energía eléctrica distribuido, y a un sistema de energía eléctrica distribuido.

10

ESTADO ANTERIOR DE LA TÉCNICA

Los sistemas eléctricos de potencia han sido tradicionalmente operados bajo la acción de un controlador centralizado. Este controlador se encarga de asegurar un correcto suministro eléctrico para satisfacer las necesidades de los consumidores, así como de garantizar la calidad de la energía y la estabilidad de este suministro. Con el fin de lograr estos objetivos, el controlador envía comandos específicos para cada agente que participa en el control del sistema de potencia. Convencionalmente, el controlador determina estos comandos atendiendo a razones de optimización o bien tras un proceso de mercado donde participan los usuarios del sistema eléctrico. Este proceso también tiene en cuenta la seguridad y las propias restricciones técnicas del sistema de potencia.

20

Dado que la energía eléctrica no puede almacenarse en grandes cantidades, la principal preocupación del operador del sistema eléctrico es el equilibrio entre generación y consumo de energía. Tradicionalmente, la potencia eléctrica ha sido producida mediante grandes unidades de generación cuya producción puede ser controlada, pero está consumida por las cargas que varían a voluntad del cliente y no pueden ser controlados o coordinados por el operador del sistema. Dependiendo de la tecnología de generación, la velocidad de respuesta de las plantas de generación difiere, y la mayoría de los sistemas eléctricos de potencia utilizan una mezcla de generación con plantas lentas que proporcionan una carga base, y plantas rápidas que siguen las variaciones de carga, para cubrir así los picos de consumo. Adicionalmente, los generadores y grandes consumidores pueden proporcionar

30

servicios auxiliares al sistema eléctrico con el objetivo de mantener el sistema en un estado estable.

5 La integración de las energías renovables en los sistemas de energía ha modificado el escenario eléctrico. Por un lado, la mayoría de estas fuentes dependen de las condiciones climáticas y su producción de energía no se puede predecir con exactitud. Por otra parte, la generación basada en energía renovable es intermitente en algunos casos, como en el caso de la generación fotovoltaica y eólica. Por otro lado, las fuentes de energía renovables son generalmente dispersas y su integración en los sistemas de energía implica la conexión de
10 una gran cantidad de pequeñas unidades de generación, dando lugar a lo que se llama "sistemas de generación distribuidos". Generalmente, cuando se incrementa la generación basada en energías renovables en un sistema de potencia determinado, el porcentaje de energía generada por las unidades controlables disminuye.

15 Por lo tanto, es necesaria la participación de un mayor número de agentes en el control de los sistemas de potencia, incluyendo unidades más pequeñas de generación y cargas controlables. Como el número de agentes que participan aumenta, también lo hace la complejidad de los procedimientos y algoritmos que determinan su participación en el sistema, así como la cantidad de información a ser transferida y procesada. Además, como
20 la velocidad y la amplitud de los desequilibrios entre generación y demanda aumentan, la velocidad de respuesta de los controladores del sistema debe aumentar en consecuencia, lo que resulta en períodos más cortos disponibles para analizar y tomar decisiones.

En este contexto, los sistemas de control distribuido surgen como una solución eficaz para
25 controlar los sistemas de potencia modernos. Estos sistemas de control se basan en la definición de una serie de subsistemas, donde se toman decisiones locales. Esto simplifica el papel del controlador central, que se reduce a coordinar todos los subsistemas, requiriendo menos flujos de información y haciendo posible una reacción de control en periodos de tiempo más cortos. Además, los sistemas de control distribuidos aumentan la
30 fiabilidad debido a que el fallo del controlador principal no es tan crítico como en el caso de un esquema de control centralizado.

Hasta la fecha, se han propuesto varios métodos para controlar sistemas de potencia distribuidos a través de la implementación de reglas del mercado. En este sentido, el

- enfoque de control conocido en el sector como energía transactiva apareció con la necesidad de no abordar solamente aspectos económicos, sino también problemas relacionados con el control de la fiabilidad de la red, que podrían derivarse de la gran penetración de generación distribuida flexible, almacenamiento de energía y cargas de consumo. El concepto de energía transactiva fue definido por primera vez como "un conjunto de mecanismos económicos y de control que permite el equilibrio dinámico de la oferta y la demanda a través de la infraestructura eléctrica, utilizando el valor como parámetro de operación clave".
- 5
- 10 En el enfoque de la estrategia de control del control de energía transactivo, se necesitan procesar grandes cantidades de información en cada uno de los nodos de la red, ya que en cada nodo se agregan de manera jerárquica los perfiles de generación/demanda deseados por múltiples consumidores de aguas abajo. Además, se requiere un gran número de modelos de generación/demanda, considerados para reproducir fielmente las necesidades deseadas de los usuarios finales. Finalmente, el control transactivo también necesita un sistema de comunicación dúplex para lograr el reparto de potencia deseado, que comprende una señal transactiva de realimentación (conocida en dicho control como TFS) y una señal transactiva de incentivo (conocida en dicho control como TIS).
- 15
- 20 La señal TFS se transmite aguas arriba desde las cargas y generadores distribuidos locales a través de la arquitectura de control de la red, determinando de esta manera cuanta demanda de potencia se prevé asumir en cada nodo transactivo. Los sistemas automatizados de gestión de la energía podrían considerarse para llevar a cabo el control de las cargas en función de las preferencias del usuario y los precios de mercado, donde estas cargas monitorizarían el precio de mercado de la electricidad y convertirían las preferencias de confort de los residentes en demandas formales de mercado.
- 25
- 30 El controlador transactivo de despacho de red recoge toda la información agregada proveniente de cargas/generadores locales, junto con las previsiones de generación de las grandes plantas convencionales y de generación renovable, y determina una señal transactiva de incentivo (TIS) basada en señales de precio. Esta señal de control se transfiere aguas abajo a través de todos los nodos de control jerárquicos y representa, preferiblemente, el coste de aprovisionamiento de potencia a cualquier nodo de la red, teniendo en cuenta las posibles limitaciones del sistema. Esta señal de precio se determina

por lo general a través de un mecanismo de control de mercado, resultante de la intersección entre la oferta y la demanda agregada. Como resultado, el concepto de despacho de energía transactivo tiene una estructura considerablemente centralizada, ya que las decisiones sobre los programas de producción y de demanda individuales se determinan mediante esta estructura de control basada en un mercado central, añadiendo los costes de operación adicionales en cada nodo de la red, debido a las limitaciones técnicas de cada uno.

Otros mecanismos de control transactivos podrían basarse en el resultado de negociaciones iterativas TIS y TFS entre nodos vecinos hasta que se alcance un acuerdo entre el precio de la oferta y la demanda deseada. Sin embargo, los algoritmos de control implementados con el fin de actualizar las señales TIS y TFS deben conseguir que el sistema transactivo converja, de lo contrario podrían producirse oscilaciones en dichas interacciones, que convertirían el sistema de control en inestable.

En resumen, los sistemas de control transactivos son particularmente adecuados para el despacho de unidades de generación distribuida y cargas controlables a través de la implementación de mecanismos de negociación de mercado, como el que se describe por ejemplo en el documento de patente US20140172503A1. La mayoría de estos mecanismos de mercado se ejecutan periódicamente en intervalos fijos, siguiendo los tiempos mínimos de operación del mercado eléctrico global. Además de las estrategias de despacho existentes, la operación de los sistemas eléctricos se basa en sistemas de control en tiempo real para garantizar un funcionamiento fiable y seguro. Por lo tanto, es necesario desarrollar estrategias que aborden el control en tiempo real.

EXPOSICIÓN DE LA INVENCION

El objeto de la invención es proporcionar una estructura de control y un método para un sistema de potencia eléctrico distribuido, y un sistema de potencia eléctrico distribuido, tal como se define en las reivindicaciones.

Un primer aspecto de la invención se refiere a una estructura de control para un sistema de potencia eléctrico distribuido, dicha estructura de control comprende al menos un

controlador de potencia, que comprende al menos un controlador de cabecera (FEC), un estimador de estado (SSE) comunicado con el controlador de cabecera, y al menos un controlador de subsistema y/o un actuador del sistema de distribución, comunicado con el controlador de cabecera. Dicho controlador de potencia representa una clase de control, que
5 puede ser replicado tantas veces como sea necesario en la estructura de control, para controlar el sistema de potencia distribuido de una manera jerárquica.

La estructura de control de la invención mejora las estructuras de control del estado anterior de la técnica, y presenta una alternativa para el control de sistemas de potencia distribuidos,
10 mediante la distribución de señales de control a través de los niveles de control jerárquicos, promoviendo una competencia directa entre los actuadores del sistema de distribución para conseguir un objetivo final. Por esa razón, el término "competitivo" también se utiliza asociado a la estructura de control en sí misma y también a los elementos o bloques que pertenecen a dicha estructura de control. Preferiblemente, el objetivo final es un objetivo de
15 producción.

La estructura del control de potencia competitivo comprende al menos un controlador de potencia, que constituye un primer nivel de control jerárquico de la estructura de control, y que también se identifica como un controlador de potencia competitivo de cabecera, o CPC
20 de cabecera a partir de ahora. El CPC de cabecera comprende un FEC (nombrado como FEC de cabecera), un SSE (nombrado como SSE de cabecera) comunicado con el FEC de cabecera, y al menos un controlador de subsistema comunicado con el FEC de cabecera. El al menos un controlador de subsistema comunicado con el FEC de cabecera constituye un nivel de control jerárquico inmediatamente inferior al nivel de control del CPC de cabecera.
25 Cada controlador de subsistema perteneciente a un nivel de control jerárquico intermedio (un nivel de control distinto al primer o último nivel de control) es también un controlador de potencia competitivo CPC (un controlador de potencia CPC de subsistema, o CPC de subsistema, o controlador de potencia competitivo CPC de subsistema), y comprende un controlador de cabecera FEC (nombrado como FEC de subsistema), un estimador de
30 estado SSE comunicado con dicho FEC de subsistema (nombrado como SSE de subsistema), y al menos un controlador de subsistema (al menos un CPC de subsistema de un nivel de control inmediatamente inferior).

Cada controlador de potencia competitivo CPC de subsistema perteneciente al último nivel

de control jerárquico, también se identifica como un controlador CPC final, el cual comprende un FEC (nombrado como FEC final) y un SSE comunicado con dicho FEC final (nombrado como SSE final), y que está asociado a al menos un actuador del sistema de distribución de un sistema de potencia eléctrico distribuido.

5

Cada controlador de potencia competitivo CPC de la estructura de control jerárquico está asociado a una sección correspondiente del sistema de potencia distribuido, el cual comprende al menos un elemento, o conjunto de elementos, cuyo comportamiento eléctrico es considerado dentro del controlador de potencia competitivo CPC. Dicho comportamiento eléctrico puede incluir mediciones de potencia, pérdidas del sistema, caídas de tensión o cualquier otro fenómeno eléctrico.

10

Cada controlador de potencia competitivo CPC de la estructura de control jerárquico comprende entonces un controlador local (su correspondiente control de cabecera). Un controlador de cabecera de un controlador de potencia competitivo CPC específico se comunica con al menos un controlador de cabecera correspondiente al nivel de control inmediatamente superior, si lo hay, y con al menos un controlador de cabecera del nivel de control inmediatamente inferior (o controlador de subsistema perteneciente a un controlador de potencia competitivo CPC específico), si lo hay, y/o con al menos un actuador del sistema de distribución, si lo hubiere.

20

El FEC de cabecera está configurado para generar al menos una señal de salida que comprenda una señal de control, y para transmitir la señal de salida al controlador de cabecera de al menos un CPC de subsistema del nivel inmediatamente inferior. Cada FEC de subsistema está configurado para generar al menos una señal de salida que comprenda una señal de control y/o una acción de control, y para transmitir la señal de salida al controlador de cabecera de al menos un CPC de subsistema del nivel inmediatamente inferior y/o al correspondiente actuador del sistema de distribución respectivamente, y cada FEC final está configurado para generar al menos una acción de control y para transmitirla al correspondiente actuador del sistema de distribución.

25

30

El controlador de cabecera del CPC de cabecera del primer nivel de control está configurado para recibir al menos una señal de estimador de estado SSE, y para generar al menos una señal de control correspondiente, de acuerdo con al menos un objetivo de control global

establecido por el propio controlador de cabecera o por un ente externo, y de acuerdo, por lo menos, a la al menos una señal de estimador recibida; el resto de los controladores de cabecera de todos los niveles de control estando configurados para recibir al menos una señal de estimador de estado correspondiente, y para generar la al menos una correspondiente señal de control, y/o acción de control de acuerdo a una señal de control recibida desde el controlador de cabecera correspondiente del controlador de potencia competitivo CPC del nivel de control inmediatamente superior, y de acuerdo a la al menos una señal de estimador de estado recibida. Cada señal de estimador de estado comprende datos relacionados con el comportamiento eléctrico de la sección de sistema de potencia distribuido asociada al correspondiente controlador de potencia competitivo CPC, y/o datos relativos al estado de al menos un controlador de potencia competitivo CPC de subsistema del nivel de control inmediatamente inferior, si lo hubiera, y/o al estado de al menos un actuador del sistema de distribución correspondiente, si lo hubiera, de al menos una señal de estado. Cualquier controlador de potencia competitivo CPC del último nivel de control está asociado a al menos un actuador del sistema de potencia distribuido.

El estado de un controlador de potencia competitivo CPC es preferiblemente el comportamiento eléctrico o las limitaciones operacionales de una sección del sistema de potencia distribuido asociado al controlador de potencia competitivo CPC. Preferiblemente el estado de un controlador de potencia competitivo CPC es un indicador de comportamiento.

El estimador de estado SSE correspondiente a cada controlador de potencia competitivo está adaptado para recibir al menos una señal de medida (MS), comprendiendo información relativa al comportamiento eléctrico de la sección del sistema de potencia distribuido asociado al controlador de potencia competitivo CPC correspondiente, para procesar dicha señal recibida, para generar al menos una señal de estimador de estado (SES del inglés – “State Estimator Signal”) como resultado de dicho procesado, y para transmitir dicha al menos una señal de estimador de estado SES al controlador de cabecera FEC correspondiente del controlador de potencia competitivo CPC.

Mediante el uso de la estructura de control de la invención, cada controlador de potencia competitivo CPC de cada nivel de control, no recibe en forma de realimentación ninguna información de los CPCs de subsistema de niveles de control inferiores, o en caso de recibir datos de al menos una señal de estado, este recibe solamente información sobre el estado

de la sección del sistema de potencia distribuido asociado al correspondiente al menos un CPC de subsistema del nivel de control inmediatamente inferior, con el que dicho controlador de potencia competitivo CPC se comunica.

- 5 Cada controlador de potencia competitivo CPC podría considerar al menos una señal recibida desde al menos un CPC de subsistema del nivel inmediatamente inferior, la cual es un indicador de comportamiento relacionado con rendimiento eléctrico o restricciones operativas de la sección del sistema de potencia distribuido asociado con dicho último CPC de subsistema, y genera una señal de control teniendo en cuenta también el
10 comportamiento eléctrico de la sección del sistema de potencia distribuido al que está asociado.

Cada controlador de potencia competitivo CPC, en consecuencia, procesa la señal de control recibida, o determina su acción de control si el controlador de potencia competitivo
15 CPC es el de último nivel, basándose en el comportamiento eléctrico de la sección del sistema de potencia distribuido asociado al propio controlador de potencia competitivo CPC (el comportamiento eléctrico pueden ser mediciones de potencia, pérdidas del sistema, caídas de tensión o cualquier otro fenómeno eléctrico), y no en función de decisiones de niveles más altos establecidas por controladores centrales de alto nivel. Por lo tanto, no hay
20 necesidad de un controlador de toma de decisiones centralizado, lo que resultaría, por lo menos, en un mayor intercambio de datos a través de la estructura de control, ya que se necesitaría agregar información de cada uno de los niveles jerárquicos, y en un sistema de gestión de datos más complejo. Esto también permite obtener una estructura de control más simple para un sistema de potencia distribuido, ya que las señales de control solamente
25 necesitan transmitirse aguas abajo a través de la estructura jerárquica del sistema de control de potencia competitivo.

La estructura de control de acuerdo con el primer aspecto de la invención puede ser utilizada para controlar un sistema de potencia distribuido de naturaleza diversa, tal como un
30 gran sistema de potencia interconectado con múltiples plantas de generación y nodos de consumo, una red de sub-transmisión o de distribución con generadores distribuidos y cargas controlables, una planta de generación con múltiples unidades de generación o un edificio o campus con cargas controlables y las unidades de generación de potencia.

Dicha estructura de control también proporciona capacidades mejoradas para el sistema donde se utiliza, ya que se puede conseguir una coordinación simultánea de objetivos de control distintos, como la producción de potencia activa y reactiva, y la prestación de servicios auxiliares (asignación de reservas de potencia, la emulación de inercia, amortiguación de oscilaciones activa, etc.).

Además, dicha estructura de control también permite un funcionamiento más fiable del sistema, en comparación con la solución centralizada convencional: si un controlador de potencia competitivo CPC no funciona correctamente (debido a un mal funcionamiento de un controlador de potencia competitivo CPC o a una rotura del controlador de potencia competitivo CPC correspondiente por ejemplo), el completo sistema de potencia distribuido se ve afectado mínimamente, ya que los controladores restantes se harían cargo automáticamente de la contribución de potencia del controlador afectado, si les es posible.

Un segundo aspecto de la invención se refiere a un sistema de energía eléctrica distribuida, con una estructura de control de potencia competitivo como el del primer aspecto de la invención implementado en el mismo. Por lo tanto, se asegura que el sistema opera a los costos mínimos posibles implicados y con el rendimiento dinámico requerido, que resulta de un ajuste adecuado de los controladores. Además, al menos algunas de las ventajas comentadas para el primer aspecto de la invención también se pueden obtener con el sistema de la invención.

El sistema puede ser, por ejemplo, un gran sistema interconectado con múltiples plantas de generación y nodos de consumo, un sistema de sub-transmisión, un sistema distribuido o una micro-red con generadores distribuidos y cargas controlables, una planta de generación con múltiples unidades de generación o un edificio o campus con cargas controlables y las unidades de generación de potencia.

Un tercer aspecto de la invención se refiere a un método de control de potencia competitivo para un sistema de potencia eléctrico distribuido, que opera continuamente en tiempo real. El método está adaptado para ser implementado en una estructura de control de potencia competitiva de acuerdo con el primer aspecto de la invención, y/o en un sistema de acuerdo con el segundo aspecto de la invención. Al menos algunas de las ventajas comentadas para el primer y segundo aspecto de la invención también pueden obtenerse con el método de la

invención.

Estas y otras ventajas y características de la invención se harán evidentes a la vista de los dibujos y la descripción detallada de la invención.

5

DESCRIPCIÓN DE LOS DIBUJOS

La figura 1 muestra una realización de la estructura de control de la invención, que
10 comprende cuatro niveles de control.

La figura 2 muestra esquemáticamente un ejemplo detallado de una aplicación de un sistema de potencia distribuido sobre el que se puede incluir una estructura de control acorde con la de la invención, referida a una planta de generación undimotriz.

15

La figura 3 muestra esquemáticamente una estación de la planta de generación undimotriz de la figura 2.

La figura 4 muestra esquemáticamente la estructura de control de la invención aplicada a la
20 planta de generación undimotriz de la figura 2.

La figura 5 muestra un ejemplo de la estructura de control de la invención.

La figura 6 muestra esquemáticamente la implementación del subsistema de nivel de planta
25 de la planta de generación undimotriz de la figura 2.

La figura 7 muestra esquemáticamente la implementación del subsistema de nivel de clúster de la planta de generación undimotriz de la figura 2.

30 La figura 8 muestra esquemáticamente la implementación del subsistema de nivel de estación de la planta de generación undimotriz de la figura 2.

La figura 9 muestra esquemáticamente la implementación del subsistema de nivel de recurso de la planta de generación undimotriz de la figura 2.

La figura 10a muestra un gráfico representativo de la potencia suministrada por la planta de generación undimotriz de la figura 2.

5 La figura 10b muestra un gráfico representativo del reparto de potencia entre ambos clústeres de la planta de generación undimotriz de la figura 2.

La figura 10c muestra un gráfico representativo del reparto de potencia entre las cinco estaciones del primer clúster de la planta de generación undimotriz de la figura 2.

10

La figura 10d muestra un gráfico representativo de la potencia generada por los cuatro procesadores undimotrices pertenecientes a una estación de conversión undimotriz de la planta de generación undimotriz de la figura 2.

15

EXPOSICIÓN DETALLADA DE LA INVENCION

Un primer aspecto de la invención se refiere a una estructura de control 1000, como se muestra a modo de ejemplo en la Figura 1, adaptada para un sistema de potencia eléctrico distribuido 100, que comprende al menos un actuador de sistema distribuido 9 a controlar.

20

La estructura de control 1000 comprende al menos un controlador de potencia que comprende un controlador de cabecera, un estimador de estado comunicado con el controlador de cabecera, y al menos un controlador de subsistema comunicado con el controlador de cabecera. Dicho controlador de potencia representa una clase de control que puede ser replicada tantas veces como sea necesario, para controlar el sistema de potencia distribuido 100 de una manera jerárquica, y por lo tanto, la estructura de control 1000 presenta una configuración jerárquica, que comprende una pluralidad de niveles jerárquicos de control.

25

30 La estructura de control 1000 mejora las estructuras de control del estado de la técnica anterior, y presenta una alternativa para el control de los sistemas de potencia distribuidos 100, mediante la distribución de señales de control a través de los niveles de control jerárquicos, promoviendo, una competencia directa entre los actuadores del sistema de distribución para conseguir un objetivo final. Por esa razón, el término "competitivo" también

se utiliza asociado a la estructura de control 1000 en sí misma y también a los elementos o bloques que pertenecen a dicha estructura de control 1000, de ahora en adelante. Preferiblemente, el objetivo final es un objetivo de producción.

- 5 La estructura de control de potencia competitiva 1000 comprende al menos un controlador de potencia competitivo de cabecera CPC1, que constituye un primer nivel de control jerárquico de la estructura de control 1000, y que comprende un controlador de cabecera FEC1, un estimador de estado de cabecera SSE1 comunicado con el controlador de cabecera FEC1, y al menos un controlador de potencia competitivo de subsistema CPC11
- 10 también comunicado con dicho controlador de cabecera FEC1. El al menos un controlador de potencia competitivo de subsistema CPC11 forma parte de un nivel de control jerárquico, que es un nivel inmediatamente inferior al nivel jerárquico del controlador de potencia competitivo CPC1. En términos generales, cada controlador de potencia competitivo de subsistema CPC1ijk...n es también un controlador de potencia competitivo, donde el
- 15 subíndice 1ijk...n comprende un número de variables que corresponde con el número del nivel de control al que pertenece el CPC, y n puede tomar cualquier valor entero positivo correspondiente con el número de CPC en el nivel de control, si no pertenece al último nivel de control, este comprende un controlador de cabecera de subsistema FEC1ijk...n, un estimador de estado de subsistema SSE1ijk...n comunicado con dicho controlador de
- 20 cabecera de subsistema FEC1ijk...n, y al menos un controlador de potencia competitivo de subsistema CPC1ijk...n+1. Cada controlador de potencia competitivo de subsistema CPC1ijk...n del último nivel jerárquico es un controlador de potencia competitivo de subsistema final CPC1ijk...n, que comprende un controlador de cabecera final FEC1ijk...n, y un estimador de estado final SSE1ijk...n comunicado con dicho controlador de cabecera
- 25 final FEC1ijk...n.

El subíndice "1ijk...n" tiene un número de variables igual al número del nivel de control jerárquico al que los referidos controlador de potencia competitivo CPC1ijk...n o componentes, o señales (FEC1ijk...n, SSE1ijk...n, CS1ijk...n, CA1ijk...n, etc.) pertenecen, o

30 están relacionados con este. Por lo tanto, la referencia "1ijk...n" asociada con un componente, controlador, o señal perteneciente o relacionada con el primer nivel de control comprende únicamente una variable, que es el número entero positivo 1, como caso de ejemplo para el controlador de potencia competitivo CPC1 del primer nivel; y la referencia "1ijk...n" asociada con un componente, controlador, o señal perteneciente o relacionada con

el x-ésimo nivel de control comprende x variables. Cada variable “i, j, k ...n” es un entero positivo cuyo valor se corresponde con el número del controlador de potencia competitivo CPC, componente o señal en el nivel de control correspondiente, por lo que cada variable “i, j, k ... n” puede tomar un valor entre 1 y m, donde m es el número de CPCs de un nivel de control correspondiente, y m puede tener un valor diferente para cada variable, ya que cada nivel de control puede tener un número distinto de CPCs. Por lo tanto, el número del resto de variables, excepto n del subíndice “1ijk...n”, corresponden a los números de referencia de los controladores de potencia competitivo CPCs, componentes o señales de cada uno de los niveles de control precedentes respectivamente. Por ejemplo, un controlador de potencia competitivo CPC1ij es el controlador competitivo CPC j, del tercer nivel de control, que se comunica con el controlador de potencia competitivo CPC1i del segundo nivel, y este último controlador de potencia competitivo CPC1i es el controlador de potencia competitivo CPC número i del segundo nivel de control, que se comunica con el controlador de potencia competitivo CPC1 del primer nivel de control. La referencia “1ijk...n+1” indica que el controlador, componente del controlador o señales asociadas, pertenece o está relacionado con el nivel de control inmediatamente inferior al nivel de control al que pertenece el controlador, componentes del controlador o señales asociadas, con subíndice “1ijk...n”, y la referencia “1ijk...n-1” indica que el componente asociado, controlador o señal asociada pertenece o está relacionada con el nivel inmediatamente superior al nivel de control al que pertenece el controlador, componente del controlador o señal asociada con subíndice “1ijk...n”.

La Figura 2 muestra un ejemplo de un sistema de potencia distribuido 100, que ayuda a comprender la estructura jerárquica del control de potencia competitivo 1000 asociado a un sistema de potencia distribuido 100.

El sistema 100 presentado en dicha Figura 2 se refiere a una planta de generación (en este caso, una planta de energía undimotriz), que comprende múltiples unidades de generación. La planta de generación undimotriz considerada, es una planta de 10MW asociada a un controlador de potencia competitivo CPC1 del primer nivel de control, y comprende 2 clústeres C1 y C2 de 5MW, que están asociados a dos controladores de potencia competitivos de subsistema correspondientes CPC11 y CPC12 del controlador de potencia competitivo CPC1 del primer nivel de control, dichos controladores de potencia competitivos de subsistema CPC11 y CPC12 constituyen dos controladores de potencia competitivos del

segundo nivel de control de la estructura de control 1000, el nivel de clúster en este caso. Cada clúster C1 y C2 está formado por cinco estaciones S de 1MW, asociadas a cinco controladores de potencia competitivos de subsistema correspondientes CPC111 a CPC115 y CPC121 a CPC125, respectivamente asociados a cada controlador de potencia competitivo CPC11 y CPC12 del segundo nivel de control, y cada uno de dichos controladores de potencia competitivos de subsistema CPC111 a CPC115 y CPC121 a CPC125 constituyen un controlador de potencia competitivo de un tercer nivel de control jerárquico, el nivel de estación en este caso. Cada estación S comprende un convertidor de energía undimotriz (WEC), que por ejemplo agrupa cuatro procesadores de recurso de 250kW, como se muestra en la Figura 3. Cada procesador de recurso comprende una unidad de producción a cargo de la generación de energía, y también puede ser considerado como un actuador de sistema distribuido 9. Por lo tanto, cada procesador de recurso está asociado a un controlador de potencia competitivo correspondiente CPC1ijk del cuarto nivel de control, dicho cuarto nivel de control siendo el último nivel de la estructura de control jerárquica 1000 en este ejemplo.

Por lo tanto, cada controlador de potencia competitivo CPC1ijk...n de la estructura de control 1000 jerárquico está asociado a una sección del sistema de distribución 100. A modo de ejemplo, en la Figura 4 se muestra una estructura de control 1000 para el sistema 100 de las Figuras 2 y 3, dicha estructura de control 1000 comprendiendo cuatro niveles de control L1 a L4: un primer nivel de control L1 para la sección de la planta de generación del sistema 100, un segundo nivel de control L2 para las secciones del clúster del sistema 100, un tercer nivel de control L3 para las secciones de estación del sistema 100, y un cuarto y último nivel de control para las secciones de los procesadores del sistema 100. En referencia a dicha Figura 4, un controlador de potencia competitivo CPC1 del primer nivel de control está asociado a la sección de la planta PLs del sistema 100, un controlador de potencia competitivo CPC11 del segundo nivel de control está asociado a la sección del clúster CLs del sistema 100, un controlador de potencia competitivo CPC111 del tercer nivel de control L3 está asociado a la sección de la estación ST del sistema 100, y un controlador de potencia competitivo CPC1111 del cuarto nivel de control L4 está asociado a la sección del procesador de recurso RPs del sistema 100.

La estructura de control 1000 de la invención comprende un controlador local (un controlador frontal FEC1ijk...n) para cada controlador de potencia competitivo CPC1ijk...n

asociado a cada sección o componente del sistema 100, cada controlador de cabecera FEC1ijk...n del último nivel de control siendo adaptado para actuar contra el respectivo actuador de sistema distribuido 9 con una acción de control correspondiente CA1ijk...n, cada uno de dichos controladores de cabecera FEC1ijk...n del último nivel de control estando por lo tanto asociados, o comunicados con un actuador de sistema distribuido 9 correspondiente del sistema 100.

Cada controlador de cabecera FEC1ijk...n está adaptado para recibir una señal de entrada que comprenda una señal de control CS1ijk...n-1 proveniente de un controlador de cabecera FEC1ijk...n-1 del controlador de potencia competitivo CPC1ijk...n-1 correspondiente al nivel de control inmediatamente superior, si lo hay (si dicho controlador de cabecera FEC1ijk...n no es el controlador de cabecera FEC1 del controlador de potencia competitivo CPC1 del primer nivel de control), y para recibir una señal de estimador de estado SES1ijk...n que comprenda datos relativos a al menos un parámetro relacionado con el comportamiento eléctrico de la sección de sistema de distribución asociada al controlador de potencia competitivo CPC1ijk...n, proveniente del estimador de estado SSE1ijk...n correspondiente, el cual recibe datos de al menos una señal de medida MS1ijk...n, y/o datos relativos al estado del al menos un controlador de potencia competitivo de subsistema CPC1ijk...n+1 correspondiente del nivel de control inmediatamente inferior, si lo hay, y/o del actuador 9 correspondiente del sistema de distribución, si lo hay, mediante al menos una señal de estatus SSI1ijk...n+1, (o SS1ijk...n en el caso de pertenecer al último nivel de control). Cualquier controlador de potencia competitivo CPC1ijk...n del último nivel de control está asociado a un actuador del sistema de potencia distribuido 100.

Cada controlador de cabecera FEC1ijk...n está configurado para generar al menos una señal de salida, que comprenda una señal de control CS1ijk...n para el controlador de cabecera FEC1ijk...n+1 del correspondiente al menos un controlador de potencia competitivo CPC1ijk...n+1 del nivel de control inmediatamente inferior, y/o una acción de control CA1ijk...n para al menos un actuador 9 correspondiente, si lo hay, y para transmitir la al menos una señal de salida correspondiente al controlador de cabecera FEC1ijk...n+1 del al menos un controlador de potencia competitivo de subsistema CPC1ijk...n+1 del nivel de control inmediatamente inferior, y/o a al menos un actuador 9 correspondiente, como se muestra en la Figura 5 por ejemplo, que representa un ejemplo de la estructura de control 1000 de la invención con dos niveles de control de controladores de potencia competitivos,

un primer nivel de control con el CPC1 y un segundo nivel de control con i controladores de potencia competitivos CPCs (CPC11 a CPC1 i , donde "i" es un entero positivo), o en la Figura 1, que representa una estructura de control 1000 de la invención comprendiendo más niveles de control, particularmente cuatro niveles de control.

5

Los controladores de cabecera FEC1ijk...n de los controladores de potencia competitivos de subsistema CPC1ijk...n están configurados para generar la señal de control correspondiente CS1ijk...n de acuerdo a la señal de control recibida CS1ijk...n-1 del controlador de cabecera FEC1ijk...n-1 perteneciente al controlador de potencia competitivo correspondiente
 10 CPC1ijk...n-1 del nivel de control inmediatamente superior, y de acuerdo con la señal de estimador de estado recibida SESijk...n. Por lo tanto, la señal de control recibida CS1ijk...n-1 se procesa localmente mediante el controlador de cabecera FEC1ijk...n correspondiente, teniendo en consideración aspectos locales como el comportamiento eléctrico y rendimiento de la sección del sistema de distribución asociada con el controlador de potencia competitivo
 15 CPC1ijk...n, y/o datos relativos al estado de al menos un controlador de potencia competitivo de subsistema correspondiente CPC1ijk...n+1 del nivel de control inmediatamente inferior. Por lo tanto, la decisión de cómo procesar la señal de control recibida CS1ijk...n-1, se toma de manera local por el controlador de cabecera FEC1ijk...n del controlador de potencia competitivo correspondiente CPCijk...n, y no de manera
 20 centralizada mediante un controlador de cabecera principal perteneciente al controlador de potencia competitivo de cabecera CPC1 del primer nivel de control.

Si un controlador de cabecera FEC1 pertenece al primer nivel de control L1, este no recibe ninguna señal de control de un controlador de cabecera de un controlador de potencia
 25 competitivo de un nivel inmediatamente superior, ya que no existe un nivel de control superior, y por lo tanto, dicho controlador de cabecera FEC1 está configurado para generar la al menos una señal de control correspondiente CS1, considerando el cumplimiento de un objetivo de control global, en lugar de considerar una señal de control de entrada recibida como sucede en los controladores de cabecera FEC1ijk...n de los controladores de potencia
 30 competitivos CPC1ijk...n del resto de niveles de control. Este objetivo de control global puede ser enteramente establecido por el propio FEC1, o puede responder a una señal de control de entrada SSP (consigna del sistema) proporcionada por un ente externo. En una realización preferida, la señal de control de entrada SSP es una señal representativa de cualquiera de los siguientes datos: una cantidad de potencia activa a ser generada o

consumida, una cantidad de potencia reactiva a ser inyectada o a absorbida, una cantidad de reservas de potencia activa, una cantidad de reservas de potencia reactiva, una cantidad de inercia, una respuesta determinada frente a variaciones de frecuencia, una respuesta determinada frente a variaciones de tensión, o una respuesta determinada para mejorar la calidad de potencia en el sistema 100.

Al menos un controlador de cabecera FEC1ijk...n de un controlador de potencia competitivo CPC1ijk...n puede estar comunicado también con una pluralidad de controladores de cabecera FEC1ijk...n+1, pertenecientes a los correspondientes controladores de potencia competitivos CPC1ijk...n+1 del nivel de control inmediatamente inferior (que son los controladores de potencia competitivos de subsistema comprendidos en el controlador de potencia competitivo CPC1ijk...n), y por lo tanto pueden estar configurados para transmitir la señal de control CS1ijk...n a dicha pluralidad de controladores de cabecera FEC1ijk...n+1 correspondientes a cada controlador de potencia competitivo CPC1ijk...n+1. Este es el caso por ejemplo de la estructura de control 1000 de la Figura 5, donde por ejemplo, el controlador de cabecera FEC1 se comunica con los controladores de potencia competitivos CPC11 a CPC1i, y está configurado para transmitir la señal de control CS1 a dichos controladores de potencia competitivos CPC1 a CPC1i (este aspecto también se muestra en la estructura de control 1000 presentada en las Figuras 1 y 4 a modo de ejemplo). Por consiguiente, la señal de control CS1 generada por el controlador de cabecera FEC1 del primer nivel de control, se comparte como una entrada común entre los múltiples controladores de potencia competitivos CPC11 a CPC1i correspondientes del nivel de control inmediatamente inferior. Entonces, la señal de control CS1 se transmite aguas abajo en la estructura de control 1000 hasta los actuadores 9 del sistema 100, donde cada controlador de cabecera FEC1ijk...n intermedio correspondiente a cada controlador de potencia competitivo CPC1ijk...n procesa la señal de control CS1ijk...n-1 recibida, genera y luego transmite al menos una señal de control CS1ijk...n a los controladores de potencia competitivos de subsistema correspondientes, o controladores de potencia competitivos CPC1ijk...n+1 del nivel de control inmediatamente inferior, y así sucesivamente hasta el último nivel de control, donde los controladores de cabecera finales FEC1ijk...n de los controladores de potencia competitivos correspondientes CPC1ijk...n generan las correspondientes acciones de control CA1ijk...n para el respectivo actuador 9 asociado, de acuerdo con, al menos, la señal de control recibida CS1ijk...n-1 y al menos una señal de estimador de estado SES1ijk...n correspondiente.

En los ejemplos mostrados en las Figuras 1, 4 y 5, la señal de control CS1ijk...n generada por el controlador de cabecera FEC1ijk...n es como una señal de control común CS1ijk...n para los controladores de cabecera FEC1ijk...n+1 pertenecientes a los controladores competitivos de potencia CPC1ijk...n+1 del nivel inmediatamente inferior (la misma señal de entrada para todos ellos). Sin embargo, un controlador de cabecera FEC1ijk...n podría generar también una señal de control CS1ijk...n para cada uno de los controladores de cabecera FEC1ijk...n+1 pertenecientes a los controladores de potencia competitivos CPC1ijk...n+1 del nivel de control inmediatamente inferior, y transmitir dichas señales de control CS1ijk...n a los controladores de cabecera FEC1ijk...n+1 de los controladores de potencia competitivos CPC1ijk...n+1 correspondientes del nivel de control inmediatamente inferior. En este último caso, el controlador de cabecera FEC1ijk...n puede primero generar una señal de control común interna de acuerdo a la señal de control CS1ijk...n-1 recibida, o de acuerdo a referencias internas o a un SSP si se trata del controlador de cabecera FEC1 del primer nivel de control, y entonces puede aplicarse un correspondiente factor de participación incremental o reductor a dicha señal de control común interna para generar la pluralidad de señales de control CS1ijk...n para ser transmitidas a los controladores de cabecera FEC1ijk...n+1 de los controladores de potencia competitivos CPC1ijk...n+1 del nivel de control inmediatamente inferior.

Como se mencionó anteriormente, la estructura de control 1000 también comprende un estimador de estado SSE1ijk...n para cada controlador de potencia competitivo CPC1ijk...n, comunicado con el controlador de cabecera FEC1ijk...n del mismo controlador competitivo de potencia CPC1ijk...n.

El estimador de estado SSE1ijk...n está adaptado para recibir al menos una señal de medición MS1ijk...n, que comprende datos relacionados con el comportamiento eléctrico de la sección del sistema de potencia distribuido asociado al correspondiente controlador de potencia competitivo CPC1ijk...n, tales como mediciones de potencia, pérdidas del sistema, caídas de tensión o cualquier otro fenómeno eléctrico, y puede recibir también al menos una señal de estatus SSI1ijk...n+1 (o SSI1ijk...n en el caso de pertenecer al último nivel de control). La señal de estatus SSI1ijk...n+1 (o SSI1ijk...n) es preferiblemente un índice de comportamiento recibido del al menos un controlador de potencia competitivo de subsistema CPC1ijk...n+1 correspondiente del nivel de control inmediatamente inferior, dicha señal de

estatus SSI1ijk...n+1 siendo indicativa del comportamiento eléctrico o limitaciones operacionales de la sección del sistema distribuido de potencia asociado a dicho al menos un controlador de potencia competitivo de subsistema CPC1ijk...n+1 del nivel de control inmediatamente inferior (que es al menos un controlador de subsistema del controlador de potencia competitivo CPC1ijk...n), excepto para al menos un controlador de potencia competitivo CPC1ijk...n del último nivel de control, donde la al menos una señal de estatus SSI1ijk...n correspondiente, es indicativa del comportamiento eléctrico o limitaciones operacionales de la sección del sistema distribuido de potencia asociado a dicho correspondiente al menos un controlador de potencia de subsistema CPC1ijk...n, que preferiblemente es un actuador. En el ejemplo de la Figura 5, el estimador de estado SSE1 recibe una pluralidad de señales de estatus SSI11 a SSI1i de los controladores de potencia competitivos de subsistema CPC11 a CPC1i del nivel de control inmediatamente inferior al nivel del estimador de estado SSE1 (los cuales están comprendidos por el correspondiente controlador de potencia competitivo CPC1), al menos una señal de estatus SSI1i por controlador de potencia competitivo de subsistema CPC1i, y también al menos una señal de medida MS1 representativa del comportamiento eléctrico de la sección del sistema distribuido de potencia asociada al propio controlador de potencia competitivo CPC1 (el comportamiento eléctrico puede considerarse como mediciones de potencia, pérdidas del sistema, caídas de tensión, o cualquier otro fenómeno eléctrico). El estimador de estado SSE1 del controlador de potencia competitivo CPC1 puede procesar dichas señales MS1 y SSI11 a SSI1i, generar al menos una señal de estimador de estado SES1 de acuerdo con estas y como resultado de dicho procesado, y transmitir dicha señal de estimador de estado SES1 al controlador de cabecera FEC1, así que dicho controlador de cabecera FEC1 puede también considerar la información incluida en dicha al menos una señal de estimador de estado SES1 para generar la correspondiente señal de control CS1. El estimador de estado SSE1 en su lugar podría transmitir directamente las señales de estatus recibidas SSI11 a SSI1i al controlador de cabecera FEC1 como una señal de estimador de estado SES1, y solamente procesar las señales de medida MS1 y transmitir las al controlador de cabecera FEC1 como otra señal de estimador de estado SES1.

Alternativamente, el estimador de estado SSE1 puede recibir al menos una señal de medida MS1 (y no señal de estado), y dicho estimador de estado SSE1 la procesa, y transmite la señal procesada al FEC1 como señal de estimador de estado SES1.

Por lo tanto, cualquier estimador de estado SSE1ijk...n de la estructura de control 1000 recibe al menos una señal de medida MS1ijk...n, la procesa para generar al menos una señal de estimador de estado SES1ijk...n, y transmite dicha al menos una señal de estimador de estado SES1ijk...n al controlador de cabecera FEC1ijk...n correspondiente.

- 5 También, cualquier estimador de estado SSE1ijk...n de la estructura de control 1000 puede además recibir al menos una señal de estatus SSI1ijk...n+1, y puede procesarla, conjuntamente con la señal de medida recibida MS1ijk...n, para generar la al menos una señal de estimador de estado SES1ijk...n, y transmitir dicha señal de estimador de estado SES1ijk...n al controlador de cabecera FEC1ijk...n correspondiente, o puede transmitir
- 10 directamente a dicho controlador de cabecera FEC1ijk...n correspondiente la señal de estatus recibida SSI1ijk...n+1. Cuando se transmite directamente la señal de estatus SSI1ijk...n recibida al correspondiente controlador de cabecera FEC1ijk...n, cada señal recibida por el controlador de cabecera FEC1ijk...n puede considerarse como una señal de estimador de estado SES1ijk...n. Por lo tanto, en este último caso, el controlador de
- 15 cabecera FEC1ijk...n recibiría al menos dos señales de estimador de estado SES1ijk...n: una como resultado del procesado de la señal de medida MS1ijk...n, y otra relacionada con la señal de estatus SSI1ijk...n+1.

- Además, cualquier estimador de estado SSE1ijk...n de la estructura de control 1000 puede
- 20 recibir también señales de medida MS1ijk...n de otros controladores de potencia competitivos CPC1ijk...n pertenecientes al mismo nivel de control o incluso señales de estatus SSI1ijk...n+1 de controladores de potencia competitivos CPC1ijk...n+1 de niveles de control inferiores.

- 25 Cada controlador de cabecera FEC1ijk...n, excepto el controlador de cabecera FEC1 perteneciente al controlador de potencia competitivo CPC1 del primer nivel de control, está configurado para generar la señal de control CS1ijk...n de acuerdo con la señal de control CS1ijk...n-1 recibida, la al menos una señal de estimador de estado SES1ijk...n recibida, y a uno o más criterios seleccionados, al menos, de entre los siguientes: seguir el valor de la
- 30 señal de control recibida CS1ijk...n-1, determinar un punto de operación de acuerdo con el valor de la señal de control recibida CS1ijk...n-1, determinar la variación de la señal de control recibida CS1ijk...n-1 de acuerdo con la señal de estimador de estado SES1ijk...n recibida, determinar la variación de la señal de control CS1ijk...n-1 recibida aplicando un algoritmo sobre la señal de control CS1ijk...n-1 recibida para cancelar el error entre dicha

señal de control CS1ijk...n-1 recibida y un valor calculado de acuerdo a la señal de estimador de estado SES1ijk...n recibida, o determinar el punto de operación de acuerdo a un proceso de optimización que tiene en cuenta el valor de la señal de control CS1ijk...n-1 recibida y una función de coste asociada con las acciones a realizar por la sección del sistema de potencia distribuido 100 asociada al correspondiente controlador de potencia competitivo CPC1ijk...n.

Preferiblemente, un controlador de cabecera FEC1ijk...n de un controlador de potencia competitivo CPC1ijk...n de cualquier nivel de control excepto el primer nivel de control, genera la señal de control CS1ijk...n como una variación de la señal de control recibida CS1ijk...n-1 de acuerdo con la correspondiente al menos una señal de estimador de estado SES1ijk...n.

EL controlador de cabecera FEC1 del controlador de potencia competitivo CPC1 de primer nivel está configurado para generar al menos una señal de control CS1 de acuerdo a uno o más criterios seleccionados, al menos, entre los siguientes: determinar una señal con valor igual al valor del punto de operación del controlador de cabecera FEC1, el cual es un objetivo de control global establecido por el propio controlador de cabecera FEC1 o la señal de control SSP de entrada proporcionada por un ente externo; determinar la variación al punto de operación del controlador de cabecera FEC1 de acuerdo a una señal de estimador de estado; determinar la variación al punto de operación del controlador de cabecera FEC1 aplicando un algoritmo sobre el punto de operación del controlador de cabecera FEC1 para cancelar el error entre dicho punto de operación del controlador de cabecera FEC1 y un valor calculado de acuerdo a la señal de estimador de estado recibida SES1; o determinar el valor de acuerdo a un proceso de optimización que tiene en consideración el valor del punto de operación del controlador de cabecera FEC1 y una función de coste asociada a las acciones a llevar a cabo por el sistema de potencia distribuido 100.

Preferiblemente, un controlador de cabecera FEC1 del controlador de potencia competitivo CPC1 del primer nivel de control, genera una señal de control CS1 de acuerdo con la variación del punto de operación del controlador de cabecera FEC1, aplicando un algoritmo sobre el punto de operación del FEC1 para cancelar el error entre dicho punto de operación del controlador de cabecera FEC1 y un valor calculado de acuerdo a la al menos una señal de estimador de estado SES1 recibida.

Por consiguiente, el controlador de cabecera FEC1 del controlador de potencia competitivo CPC1 del primer nivel de control procesa una referencia de control objetivo global, y datos proporcionados por el estimador de estado SSE1 (del mismo controlador de potencia competitivo CPC1), y genera una señal de control CS1 que puede ser una señal de referencia representativa de la referencia de potencia que se desea conseguir en el al menos un controlador de potencia competitivo de subsistema CPC1i del nivel de control inmediatamente inferior, y/o en el al menos un actuador de sistema distribuido correspondiente; o una señal de estímulo representativa del grado de consecución para proveer un objetivo de operación en el sistema distribuido de potencia 100. La señal de control CS1 generada en el controlador de cabecera FEC1 del controlador de potencia competitivo CPC1 del primer nivel de control, se transmite aguas abajo en la estructura de control 1000 hasta llegar a los actuadores 9 directamente transmitida desde el último nivel de control, a través de las acciones de control CA1ijk...n generadas por los controladores de cabecera FEC1ijk...n de los controladores de potencia competitivos CPC1ijk...n de dicho último nivel de control, ésta siendo adaptada localmente en el controlador de cabecera FEC1ijk...n de cada controlador de potencia competitivo CPC1ijk...n de acuerdo con los aspectos locales correspondientes proporcionados por cada estimador de estado SSE1ijk...n correspondiente. Cada controlador de cabecera FEC1ijk...n puede generar también la señal de control CS1ijk...n correspondiente como una señal de referencia o como una señal estímulo.

La señal de referencia representa un objetivo directo a conseguir en la sección del sistema de potencia distribuido asociada al controlador de potencia competitivo CPC1ijk...n, receptor de dicha señal de referencia CS1ijk...n-1. En el caso de una señal de estímulo, la señal de control CS1ijk...n-1 incentiva la provisión de un determinado servicio a la red, o la ejecución de una acción de control determinada en todos los controladores de potencia competitivos CPC1ijk...n afectados por dicha señal de estímulo (la señal de control CS1ijk...n-1 representa el grado de consecución deseado para la prestación de un determinado servicio a la red, o la ejecución de una acción determinada en todos los controladores de potencia competitivos CPC1ijk...n afectados por dicha señal de estímulo CS1ijk...n-1). Preferiblemente los controladores de cabecera FEC1ijk...n de los controladores de potencia competitivos CPC1ijk...n de la estructura de control 1000, generan señales de estímulo, y si no pertenecen al primer nivel de control, también reciben señales de estímulo.

Preferiblemente, la señal de estímulo generada por el controlador de cabecera FEC1 del controlador de potencia competitivo CPC1 del primer nivel de control, es una señal de precio virtual representativa del precio unitario virtual para la producción en un punto determinado del sistema de potencia distribuido 100. Esta señal de precio se genera en el controlador de cabecera FEC1 de acuerdo al grado de consecución de un objetivo global de referencia proporcionado por un ente externo o fijado por el mismo controlador de cabecera FEC1, incrementando el valor de esta señal de precio virtual cuando la señal de estimador de estado SES1 representativa del comportamiento de la planta se encuentra por debajo del control objetivo y viceversa. El controlador de cabecera FEC1ijk...n del correspondiente controlador de potencia competitivo CPC1ijk...n de los niveles de control inferiores adaptará la señal de precio de estímulo recibida de acuerdo con la información proporcionada por el correspondiente estimador de estado SSE1ijk...n de su dominio local. La modificación de la señal de precio tiene en consideración restricciones eléctricas, costes operativos relacionados como los costes de O&M (operación y mantenimiento), y costes adicionales derivados de las pérdidas de potencia en la sección del sistema de potencia distribuido correspondiente al propio controlador de potencia competitivo CPC1ijk...n, donde dichos costes se actualizan con el comportamiento eléctrico actual y pasado de la sección del sistema de potencia distribuido correspondiente al controlador de potencia competitivo CPC1ijk...n. Por lo tanto, la señal de precio de estímulo se transmite aguas abajo hasta el controlador de potencia competitivo CPC1ijk...n final del último nivel de control, el cual aumentará la producción de los actuadores del sistema distribuido 9 asociados cuando la señal de precio recibida sea mayor a sus costes de producción de energía estimados y viceversa.

Entonces, con la estructura de control 1000 de la invención, las señales de control CS1ijk...n no son generadas como resultado de un mecanismo de casación de mercado realista como ocurre en el estado anterior de la técnica, y dichas señales de control CS1ijk...n pueden ser continuamente generadas en tiempo real. Gracias a esto, un sistema de potencia distribuido 100 con dicha estructura de control 1000 implementada presenta un reparto de potencia competitivo, con la capacidad de mejorar el comportamiento del sistema transactivo del estado anterior de la técnica, ya que no es solamente adecuado para llevar a cabo el despacho de energía, sino también para llevar a cabo la operación y control en tiempo real de sistemas eléctricos, por ejemplo.

En resumen, la estructura de control de potencia competitiva 1000 de la invención es una estructura de control jerárquica, y permite diseminar entre controladores de potencia competitivos locales CPC1ijk...n la decisión de establecer puntos de operación para el suministro de energía y servicios auxiliares. Puesto que tales decisiones no son tomadas por un controlador principal encargado de controlar todas las acciones de control CA1ijk...n para los actuadores 9 del sistema 100, no es requerido un modelado preciso de los controladores de potencia competitivos subordinados CPC1ijk...n, y un mal funcionamiento de uno de estos controladores de potencia competitivos CPC1ijk...n o actuadores de sistema distribuido 9, afecta mínimamente al rendimiento total del sistema de potencia distribuido 100, ya que las señales de control CS1ijk...n, y consecuentemente los puntos de operación de cada controlador de potencia competitivo CPC1ijk...n de todo el sistema de potencia distribuido 100 excepto los controladores de potencia competitivos afectados por el mal funcionamiento, son automáticamente ajustados localmente (gracias a los controladores de cabecera locales FEC1ijk...n) con el fin de cumplir con el objetivo de control global en la medida de lo posible. Además, este ajuste está principalmente basado en una señal de control CS1ijk...n-1 recibida en cada controlador de potencia competitivo CPC1ijk...n, y en el comportamiento eléctrico de la sección del sistema de potencia distribuido del controlador de potencia competitivo CPC1ijk...n correspondiente, y/o del estado de los correspondientes controladores de potencia competitivos CPC1ijk...n+1 del nivel de control inmediatamente inferior, y/o el comportamiento eléctrico de los actuadores 9 asociados, si los hubiera. Ajustando localmente las señales de control CS1ijk...n y acciones de control CA1ijk...n con el fin de conseguir los objetivos de control globales reduce los requisitos de comunicación de la estructura de control 1000 y la carga computacional en los controladores de potencia competitivos CPC1ijk...n.

El uso de la estructura de control de potencia competitiva 1000 de la invención no está limitado a controladores para la provisión de energía o capacidad de reservas, como por ejemplo es el caso del sistema transactivo. La estructura de control de potencia competitiva 1000 proporciona capacidades mejoradas para el sistema 100 donde se aplica, ya que se puede hacer una coordinación simultánea de diferentes objetivos de control, como la producción de potencia activa y reactiva, así como la provisión de servicios de soporte (emulación de inercia, amortiguamiento activo, etc.) mediante la implementación de un controlador de potencia competitivo en el sistema de potencia distribuido para cada objetivo

de control.

A continuación, el ejemplo mostrado en las Figuras 2 a 4 se explica con más detalle. El primer nivel de control está asociado a la planta de generación (el sistema 100), y comprende un único controlador de potencia competitivo CPC1 encargado de generar una señal de control CS1 de acuerdo con una señal de entrada específica SSP y una señal de estimador de estado SES1. El controlador de cabecera FEC1 de dicho controlador de potencia competitivo CPC1 recibe dicha señal de entrada SSP y la señal de estimador de estado SES1, y consecuentemente genera la señal de control CS1 a transmitir aguas abajo en la estructura de control de potencia competitiva 1000. La estructura de control de potencia competitiva 1000 recibe varias referencias y comandos para el sistema 100, por ejemplo desde el operador del sistema, de acuerdo con un objetivo de control global a ser cumplido en dicho sistema 100, y a través de la señal de entrada SSP, y el controlador de cabecera FEC1 tiene en cuenta también datos relativos al comportamiento y estado de la sección del sistema asociada al controlador de potencia competitivo CPC1 (la sección de la planta de generación) y al estado de los controladores de potencia competitivos de subsistema CPC11 a CPC1i del controlador de potencia competitivo CPC1 para generar la señal de control CS1.

El segundo nivel de control del ejemplo es un nivel de clúster, y está asociado a dos clústeres C1 y C2 conectados en paralelo, un primer clúster C1 y un segundo clúster C2. Cada clúster C1 y C2 está respectivamente asociado a un controlador de potencia competitivo de subsistema CPC11 y CPC12 del segundo nivel de control. Cada controlador de potencia competitivo CPC11 y CPC12 comprende un respectivo controlador de cabecera de subsistema FEC11 y FEC12, que recibe la señal de control común CS1 generada en el controlador de cabecera FEC1 del controlador de potencia competitivo CPC1 del nivel de control inmediatamente superior, el primer nivel de control, y también cada controlador de cabecera FEC11 y FEC12 recibe al menos una señal de estimador de estado correspondiente SES11 y SES12, y genera al menos una señal de control común CS11 y CS12 correspondiente. Cada controlador de potencia competitivo de subsistema CPC11 y CPC12 se encarga de coordinar la operación en tiempo real de un conjunto de unidades de generación correspondientes con dinámicas similares, y, por lo tanto, de ajustar la señal de control recibida CS1, generando una nueva señal de control CS11 y CS12 respectivamente, de acuerdo con la señal de control común recibida CS1 y la correspondiente al menos una

señal de estimador de estado SES11 y SES12, y transmitir las señales de control generadas CS11 y CS12 aguas abajo a través de la estructura de control de potencia competitiva 1000. Cada controlador de potencia competitivo de subsistema CPC11 y CPC12 comprende un estimador de estado de subsistema SSE11 y SSE12 correspondientes que genera la correspondiente al menos una señal de estimador de estado SES11 y SES12. Como las 5 señales de estimador de estado SES11 y SES12 pueden ser distintas, cada controlador de potencia competitivo de clúster CPC11 y CPC12 puede generar una señal de control distinta CS11 y CS12. La generación de las señales de control CS11 y CS12 tiene en cuenta posibles restricciones operativas en tiempo real y costes de producción del correspondiente 10 clúster C1 y C2 y/o también restricciones operativas de un nivel de estación S correspondiente (un nivel de control inmediatamente inferior), mediante la al menos una señal de estimador de estado SES11 y SES12, con el objetivo de lograr un reparto óptimo de potencia a nivel de clúster.

15 El tercer nivel de control está asociado a las estaciones de potencia S (otra sección del sistema 100). El sistema 100 comprende cinco estaciones S en paralelo conectadas a un clúster C1 correspondiente, y lo mismo para el clúster C2. Por lo tanto, el tercer nivel de control comprende diez controladores de potencia competitivos de subsistema CPC111 a CPC115 y CPC121 a CPC125, cada uno de ellos asociado a una de las diez estaciones S: 20 los controladores de potencia competitivos CPC111 a CPC115 están asociados a las cinco estaciones conectadas al clúster C1, y los controladores de potencia competitivos CPC121 a CPC125 están asociados a las cinco estaciones conectadas al clúster C2. La estructura de control de potencia competitiva 1000 comprende un controlador de cabecera FEC111 a FEC115 y FEC121 a FEC125 respectivamente para cada uno de los controladores de 25 potencia competitivos CPC111 a CPC115 y CPC121 a CPC125. Los cinco controladores de cabecera FEC111 a FEC115 de los controladores de potencia competitivos de subsistema CPC111 a CPC115 asociados a las estaciones S conectadas al clúster C1, reciben la misma señal de control CS11 del correspondiente controlador de cabecera FEC11 asociado al respectivo controlador de potencia competitivo CPC11, asociado al clúster C1. De la misma 30 manera, los otros cinco controladores de cabecera FEC121 a FEC125 de los controladores de potencia competitivos de subsistema CPC121 a CPC125 asociados a las estaciones S conectadas al clúster C2, reciben la misma señal de control CS12 del correspondiente controlador de cabecera FEC12 asociado al controlador de potencia competitivo CPC12 respectivo, asociado al clúster C2. Las estaciones de potencia S están referidas aquí como

unidades de generación distribuida capaces de proporcionar potencia eléctrica de alterna a la red, y cada estación S comprende, en el ejemplo preferido, cuatro recursos (cuatro actuadores 9). Los controladores de cabecera FEC111 a FEC115 y FEC121 a FEC125 de cada controlador de potencia competitivo CPC111 a CPC115 y CPC121 a CPC125 del tercer nivel de control generan una señal de control CS111 a CS115 y CS121 a CS125 correspondiente, influenciando el óptimo reparto de potencia entre los recursos relacionados con dicha estación de potencia S, de acuerdo con la señal de control recibida CS11 y CS12 y de acuerdo con la señal de estimador de estado SES111 a SES115 y SES121 a SES125 correspondiente. Cada señal de estimador de estado SES111 a SES115 y SES121 a SES125 correspondiente comprende datos relacionados a al menos una de las restricciones operativas y costes de producción de la estación correspondiente S, y/o restricciones operativas del nivel de recurso. Por lo tanto, la estructura de control de potencia competitiva 1000 comprende un estimador de estado SSE111 a SSE115 y SSE121 a SSE125 para cada estación de potencia S, con el fin de generar una señal de estimador de estado SES111 a SES115 y SES121 a SES125 correspondiente. Las señales de control CS111 a CS115 y CS121 a CS125 generadas en los controladores de potencia competitivos de subsistema CPC111 a CPC115 y CPC121 a CPC125 asociados a cada estación de potencia S se proporcionan como una entrada a los controladores de cabecera FEC1ijk...n de todos los controladores de potencia competitivos finales CPC1ijk...n de los recursos de energía de una misma estación S. Dichos controladores de cabecera FEC1ijk...n reciben las correspondientes señales de control CS111 a CS115 y CS121 a CS125 de los controladores de potencia competitivos CPC111 a CPC115 y CPC121 a CPC125 asociados a las correspondientes estaciones S, y las correspondientes señales de estimador de estado SES1ijk...n desde los correspondientes estimadores de estado SSE1ijk...n. La correspondiente señal de estimador de estado SES1ijk...n comprende datos relacionados al estado y comportamiento eléctrico de los actuadores de sistema distribuido 9 correspondientes.

Cada controlador de cabecera FEC1ijk...n del último nivel de control genera acciones de control CA1ijk...n individuales para los correspondientes actuadores 9 del sistema 100, tales como el seguimiento del punto de máxima potencia, limitación de potencia, o limitación de la variabilidad, para dar forma a la respuesta deseada de cada recurso para contribuir a los objetivos globales de la planta de potencia. Por lo tanto, la al menos una acción de control CA1ijk...n hecha por el correspondiente controlador de potencia competitivo CPC1ijk...n

asociado a cada recurso correspondiente no es una señal de control para cualquier controlador de potencia competitivo de un nivel de control inferior (ya que no existe nivel de control inferior), y es un comando para llevar a cabo la operación requerida sobre el al menos un actuador 9 requerido.

5

En esta aplicación particular, la señal de control CS1 puede entenderse como una señal de precio, que se genera en el controlador de potencia competitivo CPC1 del primer nivel de control, o nivel de planta. Esta señal de precio representa el precio que el controlador de potencia competitivo de la planta de generación estaría dispuesto a pagar a las múltiples unidades de generación de potencia de la planta para lograr la producción deseada. La señal de precio generada se modifica en el controlador de cabecera FEC1 del primer nivel de control de acuerdo con el grado de consecución de un objetivo de producción (proveído por un ente externo o fijado por el controlador de cabecera FEC1 del primer nivel de control). La señal de precio del controlador de cabecera FEC1 del primer nivel de control se incrementa si la producción de la planta está por debajo de la referencia de producción objetivo y viceversa. La señal de precio se transmite desde el controlador de cabecera FEC1 del primer nivel de control aguas abajo hasta el controlador de potencia competitivo final CPC1ijk...n del último nivel de control de la estructura de control 1000, y se modifica en cada controlador de cabecera FEC1ijk...n de cada controlador de potencia competitivo CPC1ijk...n de acuerdo con restricciones eléctricas, costes relacionados con la operación como los costes de O&M (operación y mantenimiento), y costes adicionales derivados de las pérdidas de potencia en la sección del sistema de potencia distribuido correspondiente al propio controlador de potencia competitivo CPC1ijk...n, donde estos costes se actualizan con el comportamiento eléctrico actual y pasado de la sección del sistema de potencia distribuido correspondiente al controlador de potencia competitivo CPC1ijk...n. La señal de precio puede generarse con el fin de lograr distintos objetivos operativos en la planta, por ejemplo, (a) suministro de potencia activa, (b) suministro de potencia reactiva, (c) provisión de reservas rodantes, etc.

30 Como se mencionó previamente, una vez que se genera la señal de precio en el controlador de potencia competitivo CPC1 del primer nivel de control (la señal de control CS1 comprendiendo datos indicativos de precio), la información comprendida en este se propaga aguas abajo a lo largo de la estructura de control de potencia competitiva 1000 de la invención. Cada controlador de potencia competitivo CPC1ijk...n de los niveles de control

intermedios (nivel de clúster y nivel de estación en el ejemplo anterior) está encargado de modificar, ajustar o mantener la señal de precio recibida desde el correspondiente controlador de potencia competitivo CPC1ijk...n-1 de un nivel jerárquico superior, de acuerdo con la información proporcionada por el correspondiente estimador de estado

5 SSE1ijk...n de su dominio local. Esta modificación de la señal de precio tiene en consideración las restricciones eléctricas del clúster o estación asociado a cada controlador de potencia competitivo CPC1ijk...n, costes operativos como, por ejemplo, costes de operación y mantenimiento para clústeres o estaciones asociadas a cada controlador de potencia competitivo CPC1ijk...n, y costes adicionales derivados de las pérdidas de potencia

10 en los clústeres, estaciones, y/o recursos del sistema de distribución 100. Las señales de precio modificadas son finalmente proporcionadas al recurso, que determina la referencia de producción de los recursos primarios de las unidades de generación distribuida (actuadores 9). La señal de precio recibida se compara en cada recurso con el coste de producción de ese servicio en particular. La producción de un determinado servicio aumenta si la señal de

15 precio es mayor al coste de este servicio, se reduce si la señal de precio es inferior al coste del servicio, y se mantiene si la señal de precio es igual al coste del servicio.

Por lo tanto, el funcionamiento de control de la planta de generación distribuida se define por la acción de múltiples controladores de potencia competitivos CPC1ijk...n, organizados en

20 los niveles de control de la estructura de control jerárquica 1000 con el objetivo de cancelar el error cuando se proporciona una consigna de generación o servicio dados para la red. El valor de la señal de precio generada en cada controlador de potencia competitivo CPC1ijk...n de cada nivel de control de la estructura jerárquica resulta de calcular el coste y la disponibilidad para proporcionar un servicio específico mediante la correspondiente

25 sección del sistema de potencia distribuido 100, asociada al propio controlador de potencia competitivo CPC1ijk...n, midiendo su comportamiento eléctrico y el funcionamiento eléctrico y restricciones operativas de los controladores de potencia competitivos de subsistema del nivel de control inmediatamente inferior.

30 La Figura 6 muestra la implementación del controlador de cabecera FEC1 del controlador de potencia competitivo CPC1 de nivel de planta del ejemplo referido anteriormente. En este controlador de cabecera FEC1, se compara la señal de entrada SSP con el valor actual de potencia suministrada por la planta en el punto de conexión con la red y la señal de error resultante se procesa mediante un controlador PI para generar la señal que representa el

precio unitario por generar en dicho punto de conexión. Esta señal de precio debe reducirse además restando el coste de generación en este punto y disminuido por un coeficiente η_{loss} para tener en cuenta el efecto de la potencia disipada en el cable submarino y el transformador que conecta la planta undimotriz con la red eléctrica. De esta manera, se
5 obtiene la señal de precio CS1 en los terminales de la planta de generación. Se debe observar en la Figura 6 como el estimador de estado de la planta SSE1 proporciona información al controlador de cabecera FEC1 sobre varias señales de medida, por ejemplo señales eléctricas ES1 tomadas en el punto de conexión a red, reflejando el comportamiento eléctrico de la planta y pérdidas de potencia relacionadas, caídas de tensión, o cualquier
10 otro fenómeno eléctrico, indicadores operativos OI1i relacionados con los clústeres, y balances económicos EB1 relacionados con los costes de generación de los equipos propios de la planta en el punto de conexión a red.

La Figura 7 muestra la implementación del controlador de cabecera FEC11 de un
15 controlador de potencia competitivo de nivel de clúster del ejemplo referido anteriormente. En este caso, la señal de control de entrada del controlador de cabecera de clúster FEC11 es la señal de precio en los terminales de la planta (la señal de control CS1). Esta señal de precio se modifica en el controlador de cabecera FEC11 del correspondiente controlador de potencia competitivo CPC11 de nivel de clúster, considerando las pérdidas de potencia de
20 interconexión de los cables del clúster η_{loss} correspondientes, y los costes de generación en el punto de interconexión del clúster (por medio de la correspondiente señal de estimador de estado SES11). Tales pérdidas de potencia y costes son calculados por el correspondiente estimador de estado SSE11 del controlador de potencia competitivo CPC11 del nivel de clúster, considerando las señales eléctricas ES11 inherentes que reflejan el comportamiento
25 eléctrico del clúster y pérdidas relacionadas, caídas de tensión o cualquier otro fenómeno eléctrico, indicadores operativos OI11j relacionados con las estaciones, y balances económicos EB11 relacionados con los costes de generación de los equipos relacionados del clúster en su punto de conexión. El controlador de potencia competitivo CPC11 del nivel de clúster genera la señal de precio CS11, que se proporciona posteriormente al controlador
30 de potencia competitivo CPC11 del nivel inmediatamente inferior (el nivel de estación).

La Figura 8 muestra la implementación del controlador de cabecera FEC111 de un controlador de potencia competitivo CPC111 asociado al nivel de estación del ejemplo referido anteriormente, donde la señal de entrada del controlador de cabecera FEC111 de la

estación es la señal de precio CS11 generada en el controlador de potencia competitivo CPC11 asociado al correspondiente clúster. El controlador de cabecera FEC111 del controlador de potencia competitivo CPC111 asociado al nivel de estación, modifica de forma análoga la señal de precio recibida desde el controlador de clúster FEC11, teniendo

5 en cuenta las pérdidas de las interconexiones de la estación en cables y transformadores η_{loss} , y las pérdidas inherentes del convertidor η_{station} . De la señal de precio de la estación resultante, el controlador de cabecera FEC111 además sustrae los costes de generación asociados a la estación de potencia, para determinar la señal de precio de estación final CS111, que será posteriormente transmitida a cada uno de los correspondientes

10 controladores de cabecera FEC1ijk...n de recurso del controlador de potencia competitivo de subsistema CPC1ijk...n del nivel de control inmediatamente inferior. Los costes asociados a la generación de potencia de la estación y a las pérdidas del convertidor se determinarán en el estimador de estado SSE111, por medio de las señales eléctricas de medida ES111 tomadas al punto de conexión del correspondiente convertidor asociado al

15 controlador de potencia competitivo CPC111, de los indicadores operativos OI111k relacionados con las restricciones operativas de los recursos (controladores de potencia competitivos CPC1ijk...n), y de los balances económicos EB111 relacionados con los costes de generación en el punto de conexión al convertidor correspondiente asociado al controlador de potencia competitivo CPC111.

20

En la Figura 9 se muestra el controlador de cabecera final FEC1111 del correspondiente controlador de potencia competitivo CPC1111 del nivel de recurso del ejemplo referido anteriormente, donde su objetivo principal es determinar la correspondiente acción de control del recurso CA1111 basada en la señal de precio de la estación CS111 recibida y en

25 los costes operativos del recurso. En este caso, la señal de precio de la estación CS111 se modifica considerando las pérdidas de los equipos del recurso η_{resource} para finalmente determinar el precio dispuesto a pagarse en el lado del recurso primario. La acción de control de salida CA1111 de un controlador de cabecera de recurso dado se determina a partir de la integral del error entre la señal de precio de recurso CS111 y sus

30 correspondientes costes de generación de recurso (a través de la señal de estimador de estado SES1111). De esta manera, la referencia de producción de potencia CA1111 incrementa cuando la señal de precio del recurso CS111 es mayor que los costes de generación del recurso, disminuye cuando la señal de precio es menor, o se mantiene cuando la señal de precio CS111 es igual al coste de generación del recurso. Se

- proporciona una consigna de potencia de salida como referencia de producción (a través de la acción de control CA1111) a la unidad de generación del recurso con el fin de aumentar/reducir su generación según demande el controlador de potencia competitivo de recurso. El estimador de estado del recurso SSE1111 proporciona información al controlador de cabecera del recurso FEC1111 del controlador de potencia competitivo CPC1111, basándose en varias señales de medición tales como señales eléctricas ES1111, indicadores operativos OI1111 y balances económicos EB1111 asociados con un recurso dado.
- 5
- 10 Para mostrar el funcionamiento de la invención en la planta de generación undimotriz de la Figura 4, se proporciona una referencia escalonada de potencia activa como señal de entrada SSP para la planta, y se analiza la influencia de cada nivel de control jerárquico en la planta. Las Figuras 10a – 10d muestran varios gráficos que ilustran como se comparte la generación de potencia entre los recursos de la planta. Una de las primeras características que pueden observarse en el gráfico de la Figura 10a es la dinámica suave de la potencia suministrada por la planta Pmeas, suministrando una firme potencia constante de acuerdo con la señal de referencia Pref, independientemente de la naturaleza altamente variable del recurso undimotriz.
- 15
- 20 El reparto de potencia entre las unidades jerárquicas de la planta, para seguir una señal de referencia de potencia dada, depende de la distribución de los costes de generación y eficiencias entre dichas unidades de generación. El estimador de estado SSE1ijk...n de cada controlador de potencia competitivo CPC1ijk...n en cada nivel de control jerárquico está encargado de calcular producción, costes y eficiencias para ese controlador de potencia competitivo CPC1ijk...n correspondiente, basado en señales de medida, indicadores operativos, balances económicos, etc. de la sección del sistema de potencia distribuido asociada con el controlador de potencia competitivo CPC1ijk...n, y opcionalmente señales de medida e indicadores operativos de la sección del sistema de potencia distribuido asociado a cada controlador de potencia competitivo de subsistema
- 25
- 30 CPC1ijk...n+1 del nivel de control inmediatamente inferior. La manera en la que la información proporcionada por el estimador de estado SSE1ijk...n modifica las señales de precio, y por lo tanto el reparto de potencia, ha sido presentado en las Figuras 6 a 9.

La Figura 10b muestra el reparto de potencia PC1 y PC2 entre ambos clústeres de la planta

undimotriz. En la Figura 10b puede observarse como el nivel de generación del primer clúster es generalmente mayor que el del segundo clúster, esto es debido a unos menores costes de generación variable del primer clúster. Sin embargo, hay algunos periodos transitorios en los que el nivel de generación del segundo clúster es superior al del primer clúster, debido a las reducciones transitorias del recurso primario que afectan a dicho primer clúster, que hacen no posible ajustar los requerimientos de potencia al mínimo coste de generación.

La Figura 10c muestra el reparto de potencia Pstat1, Pstat2, Pstat3, Pstat4 y Pstat5 entre cinco estaciones de generación undimotriz del primer clúster. Este gráfico evidencia como la mayor variabilidad en el reparto de potencia de las estaciones de generación undimotriz se da al máximo nivel de demanda de potencia. Esto no debería ser sorprendente, ya que varios procesadores de energía undimotriz de una estación WEC pueden saturarse fácilmente ante una consigna de generación tan exigente, mientras el resto de procesadores no pueden suministrar el nivel de potencia requerido debido a la variación inherente del recurso primario. Bajo tales difíciles condiciones de operación, no es posible la compensación entre los varios controladores de recurso, y ocurren penalizaciones de generación. La figura 10d ilustra la situación previamente mencionada en los cuatro procesadores de recurso de energía undimotriz de una estación undimotriz (potencia generada Pres-1, Pres-2, Pres-3, Pres-4 en cada caso). En esta figura puede apreciarse claramente como los procesadores de energía undimotriz son capaces de compensarse unos a otros las diferencias de capacidad de generación de potencia y costes cuando la referencia de potencia es moderada. Sin embargo, dicha compensación no puede asegurarse a altos niveles de referencia.

Un segundo aspecto de la invención se refiere a un sistema de potencia distribuido 100 que comprende, implementado en el mismo, una estructura de control competitiva 1000 de acuerdo con la del primer aspecto de la invención. EL sistema 100 puede ser, por ejemplo, un gran sistema de potencia interconectado con múltiples plantas de generación y nodos de consumo, un sistema de sub-transmisión, un sistema de distribución, o una micro-red con generadores distribuidos y cargas controlables o una planta de generación con múltiples unidades de generación o un edificio o campus con cargas controlables y las unidades de generación de potencia.

Un tercer aspecto de la invención se refiere a un método de control de potencia competitivo para un sistema de potencia distribuido 100. El método de control de potencia competitivo se adapta a la estructura de control 1000 del primer aspecto de la invención, en particular a una estructura de control 1000 comprendiendo al menos un controlador de potencia competitivo de cabecera (controlador de potencia competitivo de cabecera CPC1), que comprende un controlador de cabecera FEC1, un estimador de estado (sistema) SSE1 y al menos un controlador de potencia competitivo de subsistema CPC1i. El controlador de potencia competitivo de cabecera CPC1 constituye un primer nivel de control jerárquico de la estructura de control 1000, y los controladores de potencia competitivos de subsistema CPC1i del controlador de potencia competitivo de cabecera CPC1 constituyen un nivel de control inmediatamente inferior al del nivel de control jerárquico del controlador de potencia competitivo de cabecera CPC1. Cada controlador de potencia competitivo de subsistema CPC1ijk...n, de los niveles de control inferiores, es un controlador de potencia competitivo, que comprende un controlador de cabecera de subsistema FEC1ijk...n, un estimador de estado de subsistema SSE1ijk...n y al menos un controlador de potencia competitivo de subsistema CPC1ijk...n+1. Cada controlador de potencia competitivo de subsistema CPC1ijk...n del último nivel de control es un controlador de potencia competitivo final CPC1ijk...n, que comprende un controlador de cabecera final FEC1ijk...n, y un estimador de estado final SSE1ijk...n. El método de la invención está adaptado para ser implementado en una estructura de control de potencia competitiva 1000 como la del primer aspecto de la invención, en cualquiera de sus realizaciones, aplicado a un sistema 100 como el del segundo aspecto de la invención en cualquiera de sus realizaciones.

El método de la invención opera continuamente en tiempo real, y mediante un respectivo controlador de cabecera FEC1ijk...n del controlador de potencia competitivo CPC1ijk...n de la estructura de control de potencia competitiva 1000, éste también opera localmente. El método, para el controlador de cabecera FEC1ijk...n de cada controlador de potencia competitivo CPC1ijk...n, comprende al menos las operaciones de generar al menos una señal de control CS1ijk...n y/o al menos una acción de control CA1ijk...n, y de transmitir la señal de control CS1ijk...n generada hacia abajo a al menos un controlador de cabecera FEC1ijk...n+1 del controlador de potencia competitivo de subsistema CPC1ijk...n+1 del nivel de control inmediatamente inferior (que son los controladores de subsistema del controlador de potencia competitivo CPC1ijk...n), o una acción de control CA1ijk...n generada para el actuador 9 correspondiente. La generación de la señal de control CS1ijk...n o de la acción

de control CA1ijk...n se hacen teniendo en consideración una señal de estimador de estado SES1ijk...n correspondiente del controlador de potencia competitivo CPC1ijk...n, que comprende datos relacionados con al menos uno de: medidas de la sección del sistema distribuido relacionada con el propio controlador de potencia competitivo CPC1ijk...n (que son representativos de su comportamiento eléctrico), y/o el estado del correspondiente al menos un actuador de sistema distribuido 9, o el estado de al menos un controlador de potencia competitivo de subsistema CPC1ijk...n+1 del nivel de control inmediatamente inferior; y también la señal de control CS1ijk...n o la acción de control CA1ijk...n se genera considerando la señal de control CS1ijk...n-1 recibida, si la hay, o de lo contrario, una referencia objetivo de control global fijada por el propio controlador de cabecera FEC1 o por un ente externo, como se comentó anteriormente para el primer aspecto de la invención.

Un controlador de cabecera FEC1 del controlador de potencia competitivo CPC1 del primer nivel de control no recibe ninguna señal de control, por lo que considera directamente una referencia objetivo de control global fijada, en lugar de una señal de control, junto con la correspondiente señal de estimador de estado SES1, para generar la señal de control CS1 correspondiente. El objetivo de control global puede ser fijado por el propio controlador de cabecera FEC1 o mediante un ente externo, como se explica anteriormente para el primer aspecto de la invención, y, preferiblemente, este puede ser una señal representativa de cualquiera de los siguientes datos: una cantidad de potencia activa a ser generada o consumida, una cantidad de potencia reactiva a ser inyectada o a absorbida, una cantidad de reservas de potencia activa, una cantidad de reservas de potencia reactiva, una cantidad de inercia, una respuesta determinada en presencia de variaciones de frecuencia, una respuesta determinada en respuesta a variaciones de tensión, o una respuesta determinada para mejorar la calidad de potencia en el sistema 100.

En el método, un controlador de cabecera FEC1ijk...n de un controlador de potencia competitivo CPC1ijk...n puede ser configurado para transmitir al menos una señal de control CS1ijk...n a una pluralidad de controladores de cabecera FEC1ijk...n+1 de controladores de potencia competitivos de subsistema CPC1ijk...n+1 del nivel de control inmediatamente inferior. Preferiblemente, el controlador de cabecera FEC1ijk...n transmite la misma señal de control común CS1ijk...n a todos los dichos controladores de cabecera FEC1ijk...n+1 de los controladores de potencia competitivos de subsistema CPC1ijk...n+1, pero podría también transmitir una señal de control CS1ijk...n específica para cada uno de dichos controladores

- de cabecera FEC1ijk...n+1. En este último caso, el controlador de cabecera FEC1ijk...n puede primeramente generar una señal de control común interna, de acuerdo con la señal de control CS1ijk...n-1 recibida, o de acuerdo con referencias internas, o una SSP en el caso del controlador de cabecera FEC1 del primer nivel de control, y después puede aplicarse un correspondiente factor de participación a dicha señal de control común interna, para generar la pluralidad de señales de control CS1ijk...n a ser transmitidas a los correspondientes controladores de cabecera FEC1ijk...n+1 de los controladores de potencia competitivos de subsistema CPC1ijk...n+1.
- 5
- 10 El método también comprende la generación de la señal de estimador de estado SES1ijk...n para cada controlador de cabecera FEC1ijk...n a partir de datos relacionados con al menos uno de: el comportamiento eléctrico de la sección del sistema de potencia distribuido asociada al controlador de potencia competitivo CPC1ijk...n, y/o el estado y/o comportamiento eléctrico del correspondiente al menos un actuador de sistema distribuido, o el estado del correspondiente al menos un controlador de potencia competitivo de subsistema CPC1ijk...n del nivel de control inmediatamente inferior, preferiblemente por medio de un estimador de estado SSE1ijk...n asociado a cada controlador de potencia competitivo CPC1ijk...n. El estimador de estado SSE1ijk...n correspondiente genera al menos una señal de estimador de estado SES1ijk...n representativa de los datos recibidos, para el controlador de cabecera FEC1ijk...n correspondiente.
- 15
- 20

En el método, como ocurre en el primer aspecto de la invención, la generación de una señal de control CS1ijk...n puede implicar la generación de una señal de control CS1ijk...n como una señal de estímulo o como una señal de referencia. La correspondiente explicación relacionada con la señal de estímulo y la señal de referencia dada para el primer aspecto de la invención, también es válida para el método, y no se incluye de nuevo.

25

En el método, como también ocurre en el primer aspecto de la invención, una señal de control CS1ijk...n puede ser generada en un controlador de cabecera FEC1ijk...n de un controlador de potencia competitivo CPC1ijk...n de cualquier nivel de control jerárquico excepto el primer nivel de control, de acuerdo a un criterio seleccionado, al menos de entre los siguientes: seguir el valor de la señal de control CS1ijk...n-1 recibida, determinar un punto de operación de acuerdo con el valor de la señal de control CS1ijk...n-1 recibida, determinar la variación de la señal de control CS1ijk...n-1 recibida de acuerdo con la señal

30

de estimador de estado $SES_{1ijk\dots n}$, determinar la variación de la señal de control $CS_{1ijk\dots n-1}$ recibida aplicando un algoritmo sobre la señal de control $CS_{1ijk\dots n-1}$ recibida para cancelar el error entre dicha señal de control $CS_{1ijk\dots n-1}$ recibida y un valor calculado de acuerdo a la señal de estimador de estado $SES_{1ijk\dots n}$ recibida, o determinar el valor de
 5 acuerdo a un proceso de optimización que tiene en cuenta el valor de la señal de control $CS_{1ijk\dots n-1}$ recibida y una función de coste asociada con las acciones a realizar por el sistema de potencia distribuido 100.

En una realización preferida de este tercer aspecto de la invención, un controlador de
 10 cabecera $FEC_{1ijk\dots n}$, de un controlador de potencia competitivo $CPC_{1ijk\dots n}$ de cualquier nivel de control excepto el primer nivel de control, genera la señal de control $CS_{1ijk\dots n}$ de acuerdo a la variación de la señal de control $CS_{1ijk\dots n-1}$ recibida de acuerdo la señal de estimador de estado $SES_{1ijk\dots n}$.

15 De acuerdo con el tercer aspecto de la invención, la señal de control CS_1 puede generarse en el controlador de cabecera FEC_1 del controlador de potencia competitivo CPC_1 de primer nivel de acuerdo a uno o más criterios seleccionados, al menos, entre los siguientes: determinar una señal con valor igual al valor del punto de operación del controlador de cabecera FEC_1 , que es un objetivo de control global establecido por el propio controlador de
 20 cabecera FEC_1 o la señal de control de entrada SSP proporcionada por un ente externo; determinar la variación al punto de operación del controlador de cabecera FEC_1 de acuerdo a una señal de estimador de estado; determinar la variación al punto de operación del controlador de cabecera FEC_1 aplicando un algoritmo sobre el punto de operación del controlador de cabecera FEC_1 para cancelar el error entre dicho punto de operación del
 25 controlador de cabecera FEC_1 y un valor calculado de acuerdo a la señal de estimador de estado SES_1 recibida; o determinar el valor de acuerdo a un proceso de optimización que tiene en consideración el valor del punto de operación del controlador de cabecera FEC_1 y una función de coste asociada a las acciones a llevar a cabo por el sistema de potencia distribuido 100.

30 En la realización preferida del tercer aspecto de la invención, un controlador de cabecera FEC_1 del controlador de potencia competitivo CPC_1 del primer nivel de control, genera una señal de control CS_1 de acuerdo con la variación del punto de operación del controlador de cabecera FEC_1 , aplicando un algoritmo sobre el punto de operación del controlador de

cabecera FEC1 para cancelar el error entre dicho punto de operación del controlador de cabecera FEC1 y un valor calculado de acuerdo a la al menos una señal de estimador de estado SES1 recibida.

- 5 Como en el primer aspecto de la invención, en el tercer aspecto de la invención los controladores de cabecera FEC1ijk...n consideran datos relacionados con el comportamiento eléctrico de la sección del sistema de potencia distribuido asociada al correspondiente controlador de potencia competitivo CPC1ijk...n desde el correspondiente estimador de estado SSE1ijk...n, que recibe los datos de al menos una señal de medida
- 10 MS1ijk...n; y/o datos relacionados con el estado del actuador de sistema distribuido 9 asociado, si lo hay, y/o con el estado de al menos un controlador de potencia competitivo de subsistema CPC1ijk...n+1 correspondiente del nivel de control inmediatamente inferior respecto al nivel de control del controlador de potencia competitivo CPC1ijk...n, si lo hay, a través de al menos una señal de estatus SSI1ijk...n+1, para generar la correspondiente al
- 15 menos una señal de control CS1ijk...n y/o la al menos una acción de control CA1ijk...n. Las diferentes alternativas de los controladores de cabecera FEC1ijk...n para recibir dichos datos de la señal de medida MS1ijk...n y/o de la señal de estatus SSI1ijk...n+1 explicadas para el primer aspecto de la invención también son válidas para el tercer aspecto de la invención, y no se incluyen otra vez. Una opción para recibir la al menos una de dichas
- 20 señales MS1ijk...n y SSI1ijk...n es a través del correspondiente estimador de estado SSE1ijk...n comprendido en el correspondiente controlador de potencia competitivo CPC1ijk...n, y las diferentes alternativas de la señal de estimador de estado SES1ijk...n para transmitir dichas señales al controlador de cabecera FEC1ijk...n explicadas para el primer aspecto de la invención también son válidas para el tercer aspecto de la invención.
- 25 De la misma manera, las explicaciones dadas para las señales de medida MS1ijk...n y las señales de estatus SSI1ijk...n para el primer aspecto de la invención también son válidas para el tercer aspecto de la invención, y no se incluyen otra vez.

30

REIVINDICACIONES

1. Estructura de control (1000) para un sistema de potencia distribuido (100),
caracterizado porqué es una estructura de control jerárquica que comprende,
5 una pluralidad de niveles de control jerárquicos con, al menos un primer nivel
de control que comprende un controlador de potencia de cabecera (CPC1), que
comprende un controlador de cabecera (FEC1), un estimador de estado
(SSE1) comunicado con dicho controlador de cabecera (FEC1), y al menos un
10 controlador de potencia de subsistema (CPC1i, CPC1ijk...n) comunicado con
dicho controlador de cabecera (FEC1) y que constituye el nivel de control
inmediatamente inferior con respecto al nivel de control de dicho controlador de
potencia de cabecera (CPC1),
cada controlador de potencia (CPC1ijk...n) comprende al menos un
controlador de cabecera (FEC1ijk...n), un estimador de estado (SSE1ijk...n)
15 comunicado con dicho controlador de cabecera (FEC1ijk...n) y, si pertenece a
un nivel de control distinto al último nivel de control, al menos un controlador de
potencia de subsistema (CPC1ijk...n+1) comunicado con dicho controlador de
cabecera (FEC1ijk...n) y que constituye un nivel de control inmediatamente
inferior respecto al nivel de control de dicho primer controlador de potencia de
20 subsistema (CPC1ijk...n), estando asociado cada controlador de potencia
(CPC1ijk...n) de la estructura de control jerárquica (1000) a una sección del
sistema de potencia distribuido (100),
estando comunicado cada controlador de cabecera (FEC1ijk...n) con al
menos un controlador de potencia de subsistema (CPC1ijk...n+1) del nivel de
25 control inmediatamente inferior y/o con al menos un actuador de sistema
distribuido (9) asociado del sistema (100), estando un controlador de cabecera
(FEC1ijk...n) de un controlador de potencia (CPC1ijk...n) estando por lo tanto
comunicado con un controlador de cabecera (FEC1ijk...n-1) de un controlador
de potencia (CPC1ijk...n-1) del nivel de control inmediatamente superior, y
30 estando configurado para:
- recibir al menos una señal de estimador de estado (SES1ijk...n)
correspondiente que comprende datos relacionados con el
comportamiento eléctrico de la sección del sistema de potencia
distribuido asociado a dicho controlador de potencia (CPC1ijk...n) a
35 través del correspondiente estimador de estado (SSE1ijk...n), y/
datos relacionados con el estado del actuador de sistema distribuido
(9) asociado, si lo hay, y/o al estado del al menos un controlador de

potencia de subsistema (CPC1ijk...n+1) correspondiente del nivel de control inmediatamente inferior con respecto al nivel de control de dicho controlador de potencia (CPC1ijk...n), si lo hay, desde al menos una señal de estatus (SSI1ijk...n+1, SSI1ijk...n), y

- 5
- generar al menos una señal de control (CS1ijk...n) y/o acción de control (CA1ijk...n) de acuerdo con al menos un objetivo de control global fijado por el propio controlador de cabecera (FEC1ijk...n) o por un ente externo y con la al menos una señal de estimador de estado (SES1ijk...n) recibida si dicho controlador de cabecera (FEC1ijk...n) pertenece al primer nivel de control, o, de lo contrario,

10

generar la al menos una correspondiente señal de control (CS1ijk...n) o acción de control (CA1ijk...n) de acuerdo con la señal de control (CS1ijk...n-1) recibida desde el controlador de cabecera (FEC1ijk...n-1) del controlador de potencia (CPC1ijk...n-1) del nivel

15

de control inmediatamente superior y al menos también de acuerdo a la al menos una señal de estimador de estado (SES1ijk...n) recibida, y

 - transmitir dicha al menos una señal de control (CS1ijk...n) generada al correspondiente al menos un controlador de potencia de subsistema (CPC1ijk...n+1) del nivel inmediatamente inferior comunicado con este, y/o transmitir dicha al menos una acción de control (CA1ijk...n) generada a al menos un actuador de sistema distribuido asociado (9);

20

estando comunicado cada estimador de estado (SSE1ijk...n) con el correspondiente controlador de cabecera (FEC1ijk...n) y estando adaptado para recibir al menos una señal de medida (MS1ijk...n), para procesar las señales recibidas, para generar al menos una señal de estimador de estado (SES1ijk...n) como resultado de dicho procesado, y para transmitir dicha al menos una señal de estimador de estado (SES1ijk...n) al correspondiente controlador de cabecera (FEC1ijk...n).

25

30

2. Estructura de control según la reivindicación 1, en donde al menos un controlador de cabecera (FEC1ijk...n) está comunicado con una pluralidad de controladores de cabecera (FEC1ijk...n+1) del nivel de control inmediatamente inferior, y está configurado
- 35

para generar una única señal de control (CS1ijk...n) común para todos los dichos controladores de cabecera (FEC1ijk...n+1) del nivel de control

inmediatamente inferior y para transmitir dicha señal de control (CS1ijk...n) común a dichos controladores de cabecera (FEC1ijk...n+1), o

para generar al menos una señal de control (CS1ijk...n) correspondiente para cada uno de dichos controladores de cabecera (FEC1ijk...n+1) del nivel de control inmediatamente inferior, y para transmitir dichas señales de control (CS1ijk...n) a los correspondientes controladores de cabecera (FEC1ijk...n+1) del nivel de control inmediatamente inferior.

3. Estructura de control según la reivindicación 1 o 2, donde que cada controlador de cabecera (FEC1ijk...n) está adaptado para recibir al menos una señal de estimador de estado (SES1ijk...n) que comprende además datos relacionados con el estado del actuador de sistema de distribuido (9) asociado, si lo hay, y/o con el estado del al menos un controlador de potencia de subsistema (CPC1ijk...n+1) correspondiente del nivel de control inmediatamente inferior con respecto al nivel de control de dicho controlador de potencia (CPC1ijk...n), si lo hay, a través de al menos una señal de estatus (SSI1ijk...n+1); y para también tener en cuenta dichos datos de la señal de estatus (SSI1ijk...n+1) para generar la correspondiente al menos una señal de control (CS1ijk...n) o acción de control (CA1ijk...n), recibiendo dicho controlador de cabecera (FEC1ijk...n) los datos de dicha señal de estatus (SSI1ijk...n+1) directamente desde el controlador de potencia de subsistema (CPC1ijk...n+1) del nivel de control inmediatamente inferior o a través del correspondiente estimador de estado (SSE1ijk...n), estando adaptado dicho estimador de estado (SSE1ijk...n)

- para recibir dicha al menos una señal de estatus (SSI1ijk...n+1; SSI1ijk...n), procesar dicha al menos una señal de estatus (SSI1ijk...n+1; SSI1ijk...n), generar al menos una señal de estimador de estado (SES1ijk...n) correspondiente como resultado de dicho procesado, y transmitir dicha al menos una señal de estimador de estado (SES1ijk...n) al controlador de cabecera (FEC1ijk...n) de dicho controlador de potencia (CPC1ijk...n); o
- para recibir dicha al menos una señal de estatus (SSI1ijk...n+1; SSI1ijk...n) y directamente transmitirla a dicho controlador de cabecera (FEC1ijk...n) sin procesado previo.

4. Estructura de control según cualquiera de las reivindicaciones 1 a 3, donde el controlador de cabecera (FEC1) del primer nivel de control está configurado

para generar la al menos una señal de control (CS1) correspondiente como una señal de estímulo, siendo dicha señal de estímulo representativa del grado de consecución de un determinado objetivo de operación en el sistema de potencia distribuido (100), estando configurado dicho controlador de cabecera (FEC1) para modificar el valor de la señal de estímulo cuando la señal de estimador de estado (SES1) recibida comprende un valor distinto al objetivo de control fijado para el sistema de potencia distribuido (100),

incrementando dicho controlador de cabecera (FEC1) el valor de la señal de estímulo cuando la señal de estimador de estado (SES1) comprende un valor inferior al objetivo de control, y reduciendo el valor de la señal de estímulo cuando la señal de estimador de estado (SES1) comprende un valor superior al objetivo de control dicho.

5. Estructura de control según cualquiera de las reivindicaciones 1 a 4, en donde los controladores de cabecera (FEC1ijk...n) están configurados para generar al menos una señal de control (CS1ijk...n) como una señal de referencia, indicando dicha señal de referencia un objetivo de control directo a lograrse por el al menos un controlador de potencia de subsistema (CPC1ijk...n+1) correspondiente del nivel de control inmediatamente inferior que recibe dicha señal de control (CS1ijk...n).

6. Estructura de control según cualquiera de las reivindicaciones 1 a 5, en donde el controlador de cabecera (FEC1ijk...n) de un controlador de potencia (CPC1ijk...n) está configurado para generar la señal de control (CS1ijk...n) de acuerdo con la al menos una señal de estimador de estado (SES1ijk...n) y, si pertenece al primer nivel de control, también de acuerdo con un objetivo de control global, de lo contrario, también con la señal de control recibida (CS1ijk...n-1) y de acuerdo a un criterio seleccionado entre:

- seguir el valor de la señal de control (CS1ijk...n-1) recibida
- determinar un punto de operación de acuerdo con el valor de la señal de control (CS1ijk...n-1) recibida,
- determinar la variación de la señal de control (CS1ijk...n-1) recibida de acuerdo con la señal de estimador de estado (SES1ijk...n),
- determinar la variación de la señal de control (CS1ijk...n-1) recibida aplicando un algoritmo sobre la señal de control (CS1ijk...n-1) recibida para cancelar el error entre dicha señal de control (CS1ijk...n-1) recibida y un valor calculado de acuerdo a la señal de estimador de estado

(SES1ijk...n) recibida,

- determinar el punto de operación de acuerdo a un proceso de optimización que tiene en cuenta el valor de la señal de control (CS1ijk...n-1) recibida y una función de coste asociada con las acciones a realizar por el sistema de potencia distribuido (100).

5

7. Estructura de control según cualquiera de las reivindicaciones 1 a 6, en donde se selecciona un objetivo de control global entre:

- una cantidad de potencia a ser generada, o consumida, por el sistema (100),
- una cantidad de potencia reactiva a ser inyectada o absorbida por el sistema (100),
- una cantidad de reserva de potencia activa para el sistema (100),
- una cantidad de inercia para el sistema (100)
- una respuesta determinada del sistema (100) ante variaciones de frecuencia
- una respuesta determinada del sistema (100) ante variaciones de tensión, y
- una respuesta determinada del sistema (100) para mejorar la calidad de potencia en el sistema (100).

10

15

20

8. Sistema de potencia distribuido **caracterizado porque** comprende una estructura de control (1000) según cualquiera de las reivindicaciones anteriores.

25

9. Método de control para un sistema de potencia distribuido, **caracterizado porque** opera continuamente en tiempo real y está adaptado para implementarse en una estructura de control (1000), según cualquiera de las reivindicaciones 1 a 7, o para controlar un sistema de potencia distribuido (100), según la reivindicación 8,

30

comprendiendo el método, para cada controlador de cabecera (FEC1ijk...n) de un controlador de potencia (CPC1ijk...n) correspondiente de la estructura de control (1000), al menos las operaciones de generar al menos una señal de control (CS1ijk...n), y/o una acción de control (CA1ijk...n) y de transmitir la al menos una señal de control (CS1ijk...n) generada a los controladores de potencia de subsistema (CPC1ijk...n+1) del nivel de control inmediatamente inferior, y/o la al menos una acción de control (CA1ijk...n)

35

generada a al menos un actuador (9) correspondiente del sistema (100), y

que comprende, para cada controlador de cabecera (FEC1ijk...n) de un controlador de potencia (CPC1ijk...n) correspondiente de la estructura de control (1000), al menos las operaciones de recibir al menos una señal de estimador de estado (SES1ijk...n), que comprende datos relacionados con el comportamiento eléctrico de la sección del sistema de potencia distribuido asociada a dicho controlador de potencia (CPC1ijk...n) mediante al menos una señal de medida (MS1ijk...n), y/o datos relacionados con el estado del actuador de sistema distribuido (9) asociado, si lo hay, y/o al estado del al menos un controlador de potencia de subsistema (CPC1ijk...n+1) correspondiente del nivel de control inmediatamente inferior con respecto al nivel de control de dicho controlador de potencia (CPC1ijk...n), si lo hay, desde al menos una señal de estatus (SSI1ijk...n+1, SSI1ijk...n),

llevándose a cabo la generación de la señal de control (CS1ijk...n) o la acción de control (CA1ijk...n) teniendo en cuenta al menos un objetivo de control global fijado por el propio controlador de cabecera (FEC1ijk...n) o por un ente externo, y la al menos una señal de estimador de estado (SES1ijk...n) recibida, si dicho controlador de cabecera (FEC1ijk...n) pertenece al primer nivel de control de la estructura de control (1000), o de lo contrario, la generación de una señal de control (CS1ijk...n) o acción de control (CA1ijk...n) teniendo en cuenta la señal de control (CS1ijk...n-1) recibida desde el controlador de cabecera (FEC1ijk...n-1) del controlador de potencia (CPC1ijk...n-1) del nivel de control inmediatamente superior y al menos también considerando la al menos una señal de estimador de estado (SES1ijk...n) recibida.

10. Método de control según la reivindicación 9, en donde cada controlador de cabecera (FEC1ijk...n) genera

una única señal de control común (CS1ijk...n) para una pluralidad de controladores de cabecera (FEC1ijk...n+1) del nivel de control inmediatamente inferior de la estructura de control (1000) comunicados con éste, y transmite dicha señal de control común (CS1ijk...n) a dichos controladores de cabecera (FEC1ijk...n+1), o

al menos una señal de control (CS1ijk...n) para cada uno de los controladores de cabecera (FEC1ijk...n+1) del nivel de control inmediatamente inferior de la estructura de control (1000) comunicados con éste, y transmite dichas señales de control (CS1ijk...n) a los correspondientes controladores de

cabecera (FEC1ijk...n+1) del nivel de control inmediatamente inferior.

- 5 11. Método de control según la reivindicaciones 9 o 10, en donde la al menos una
 10 señal de control (CS1) generada en el controlador de cabecera (FEC1) del
 primer nivel de control es una señal de estímulo, siendo dicha señal de control
 (CS1) representativa del grado de consecución deseado en la obtención de un
 objetivo operativo del sistema de potencia distribuido (100), modificando dicho
 controlador de cabecera (FEC1) el valor de la señal de control (CS1) cuando
 una señal de estimador de estado (SES1) comprende un valor distinto al
 15 objetivo de control fijado para el sistema de potencia distribuido,
 incrementando dicho controlador de cabecera (FEC1) el valor de la
 señal de control (CS1) cuando la señal de estimador de estado (SES1)
 comprende un valor inferior al de la referencia del objetivo de control, y
 reduciendo el valor de la señal de control (CS1) cuando la señal de estimador
 20 de estado (SES1) comprende un valor mayor al del objetivo de control.
12. Método de control según las reivindicaciones 9 o 10, en donde la señal de
 control (CS1ijk...n) se genera como una señal de referencia, siendo dicha señal
 de referencia indicativa de un objetivo directo de producción que se pretende
 25 conseguir por el subsistema que recibe dicha señal de control (CS1ijk...n).
13. Método de control según cualquiera de las reivindicaciones 9 a 12, en donde la
 señal de control (CS1ijk...n) se genera de acuerdo con al menos una señal de
 estimador de estado (SES1ijk...n) y, si pertenece al primer nivel de control
 30 también a un objetivo de control global, de lo contrario también a una señal de
 control (CS1ijk...n-1) recibida, y de acuerdo con un criterio seleccionado entre:
- seguir el valor de la señal de control (CS1ijk...n-1) recibida,
 - determinar un punto de operación de acuerdo con el valor de la señal de
 control (CS1ijk...n) recibida,
 - 35 - determinar la variación de la señal de control (CS1ijk...n-1) recibida de
 acuerdo con la señal de estimador de estado (SES1ijk...n),
 - determinar la variación de la señal de control (CS1ijk...n-1) recibida
 aplicando un algoritmo sobre la señal de control (CS1ijk...n-1) recibida
 para cancelar el error entre dicha señal de control (CS1ijk...n-1) recibida
 40 y un valor calculado de acuerdo a la señal de estimador de estado
 (SES1ijk...n) recibida,
 - determinar el punto de operación de acuerdo a un proceso de

optimización que tiene en cuenta el valor de la señal de control (CS1ijk...n-1) recibida y una función de coste asociada con las acciones a realizar por el sistema de potencia distribuido (100).

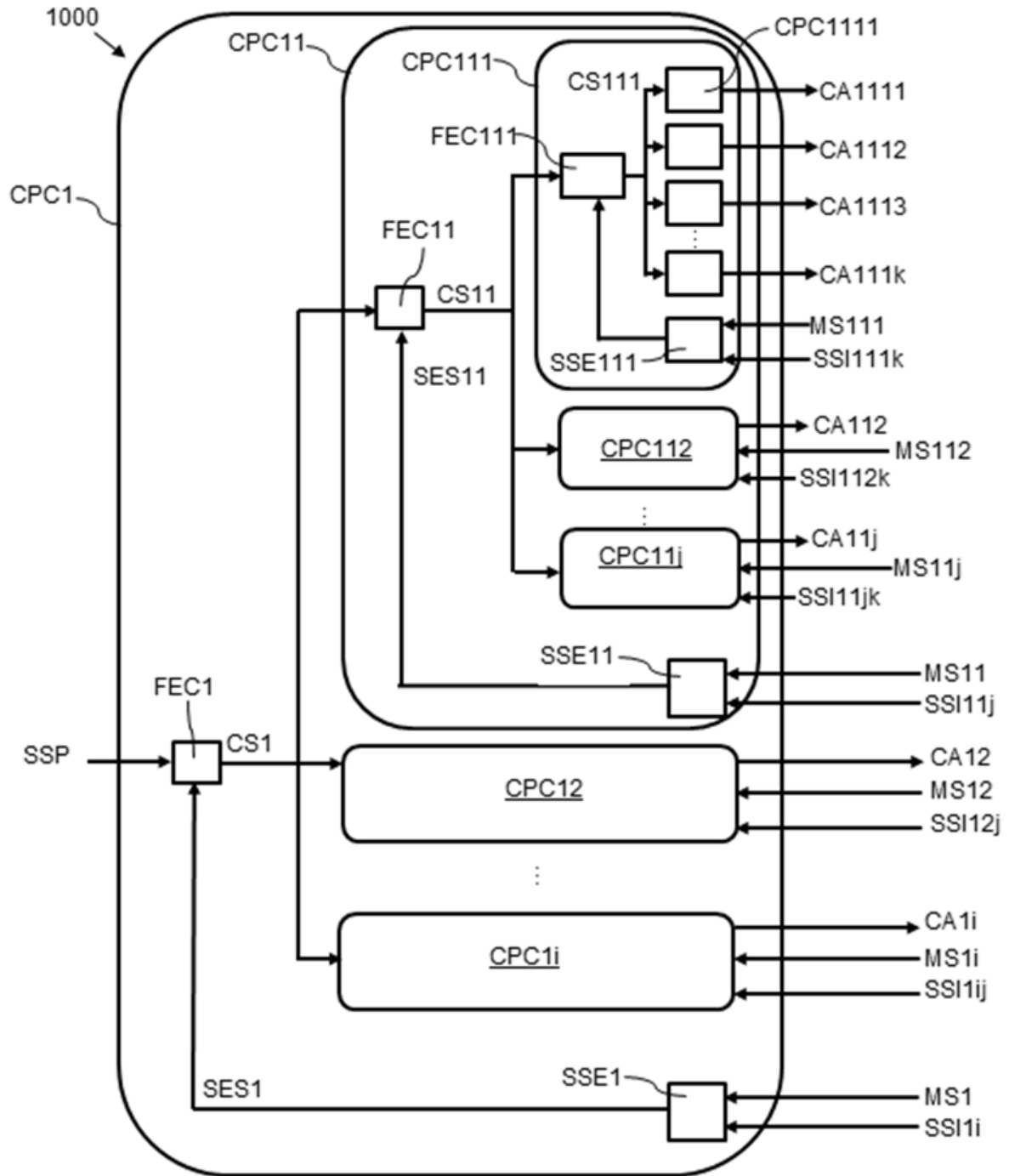


Fig. 1

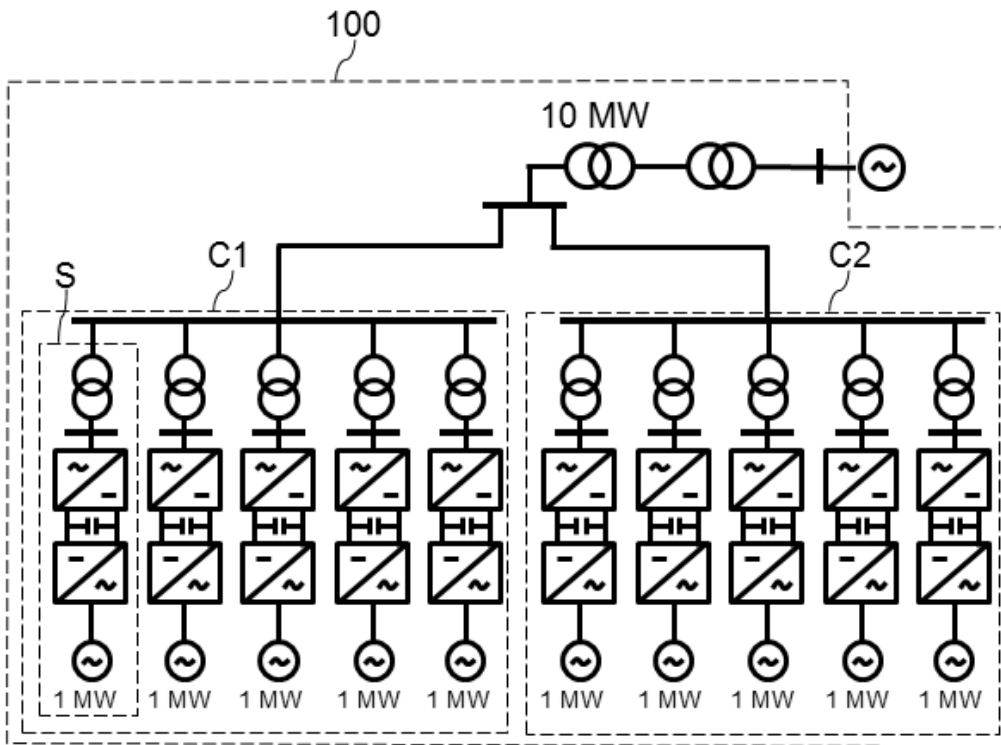


Fig. 2

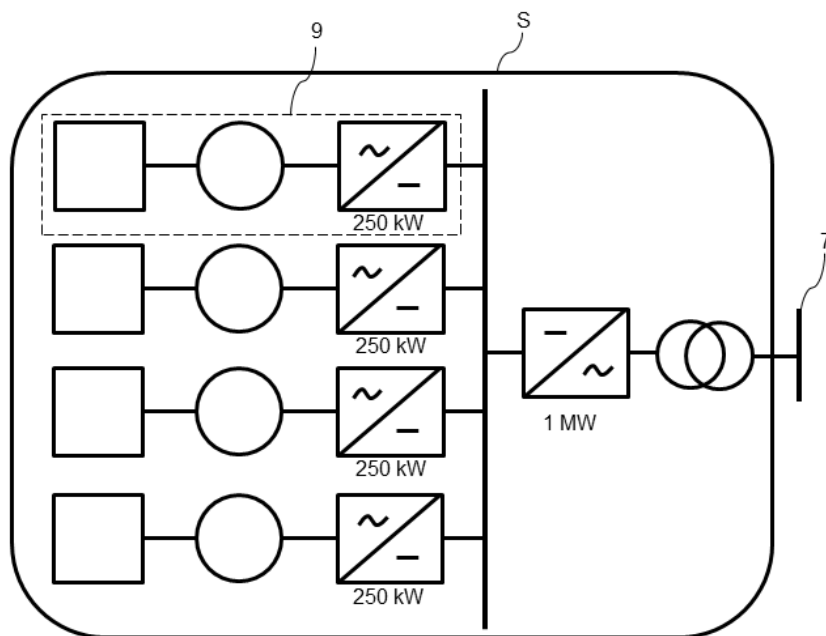


Fig. 3

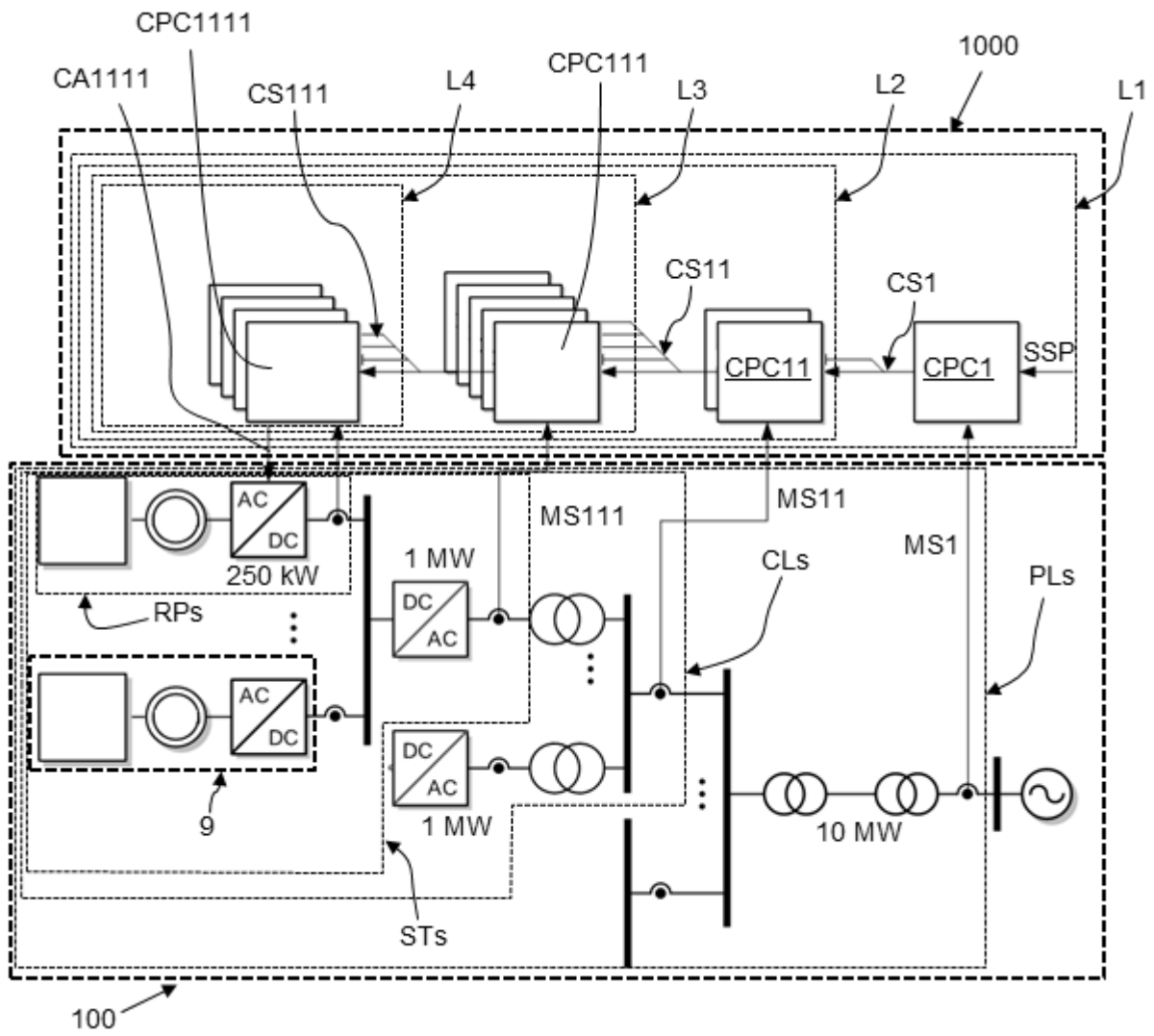


Fig. 4

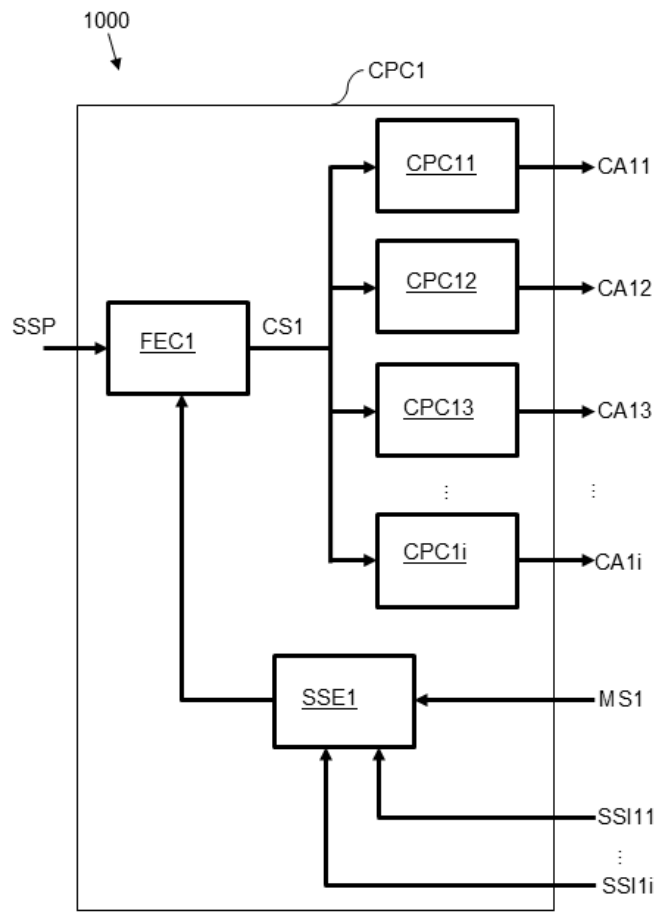


Fig. 5

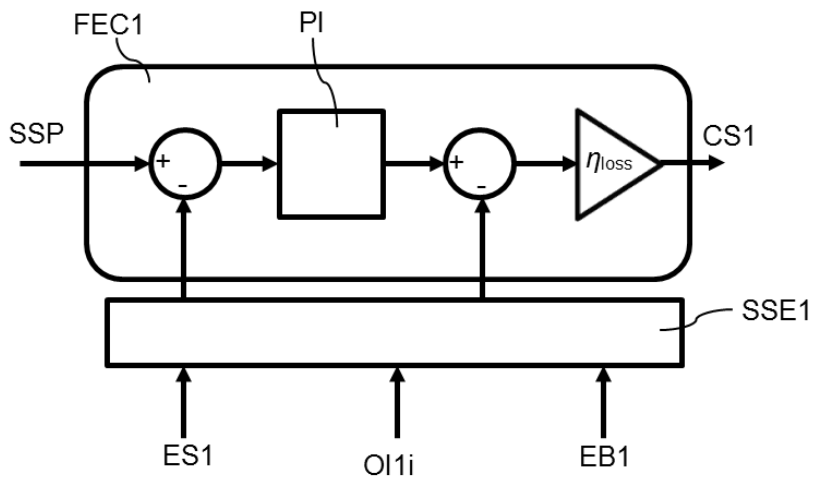


Fig. 6

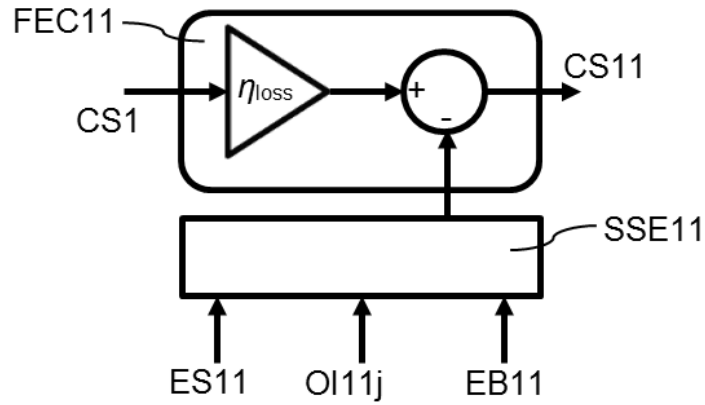


Fig. 7

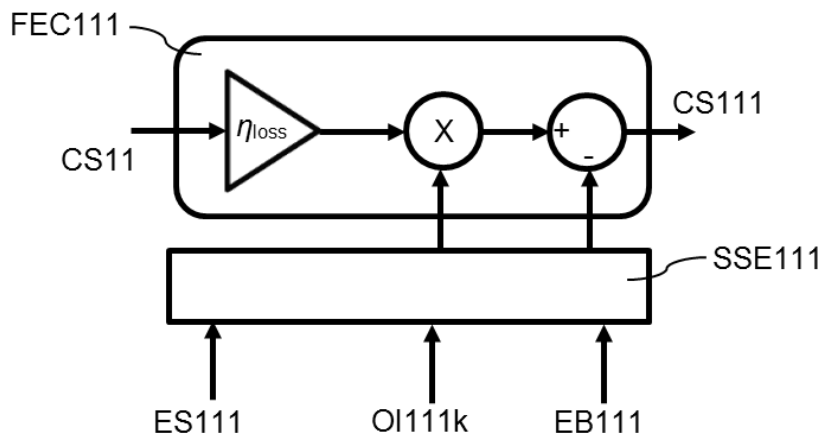


Fig. 8

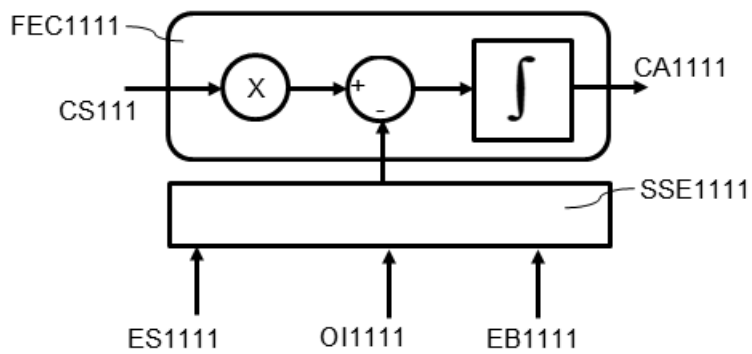


Fig. 9

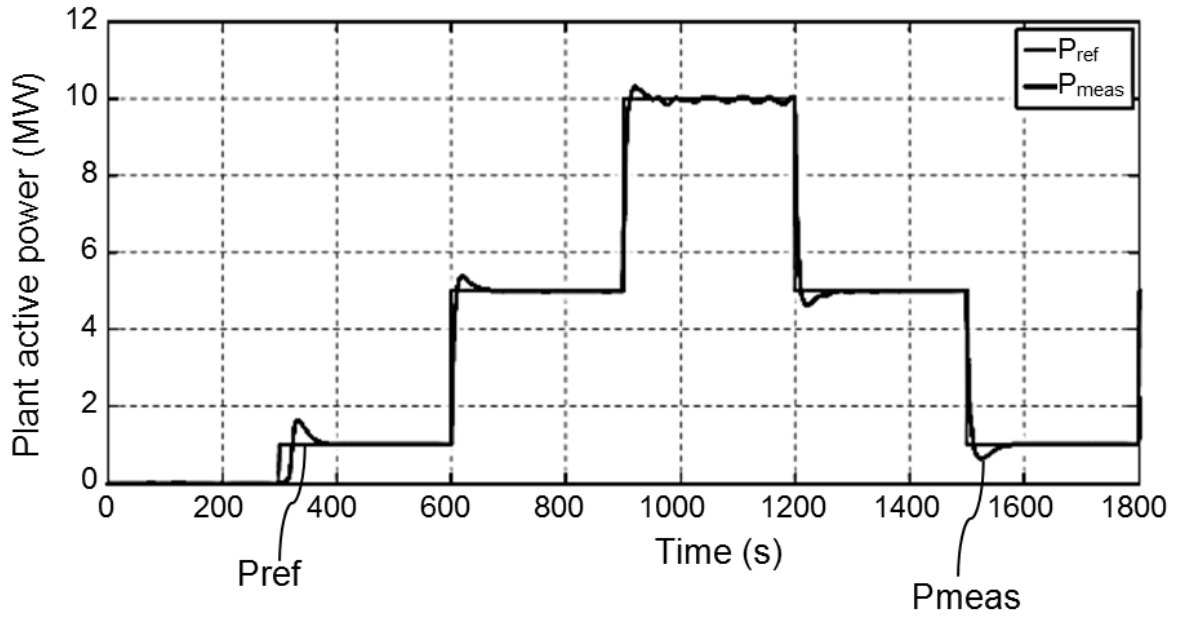


Fig. 10a

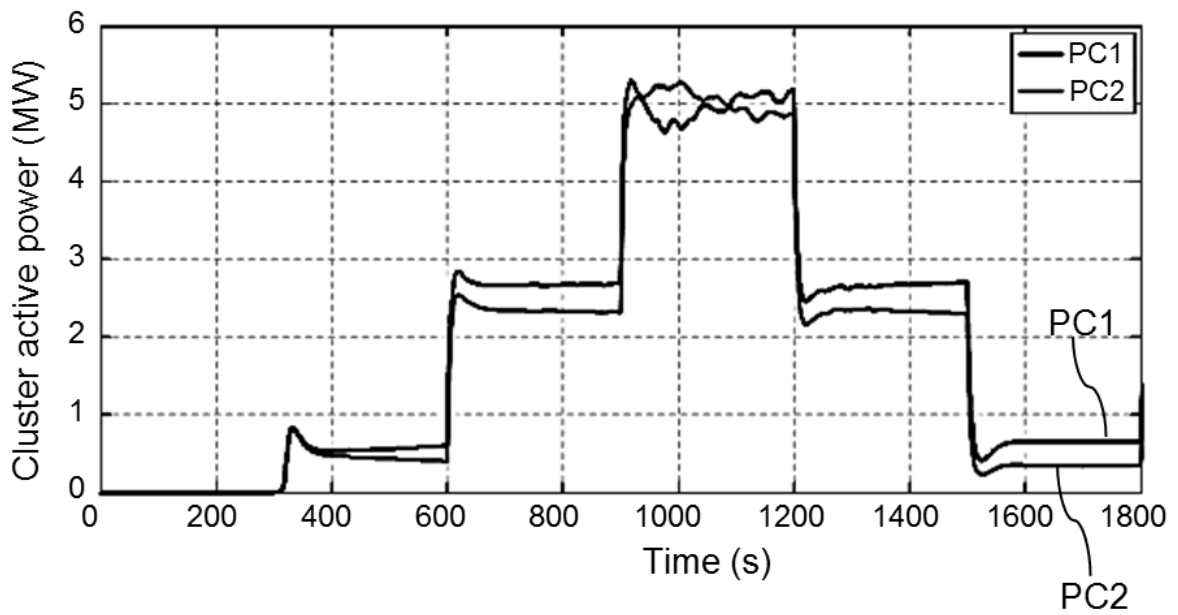


Fig. 10b

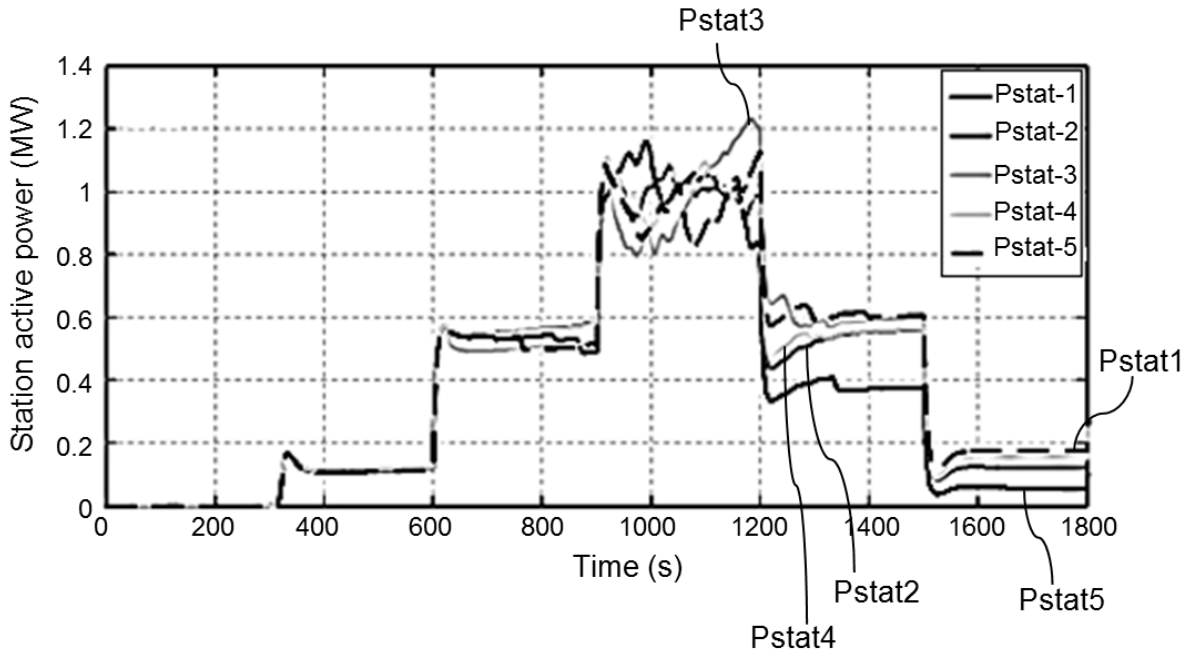


Fig. 10c

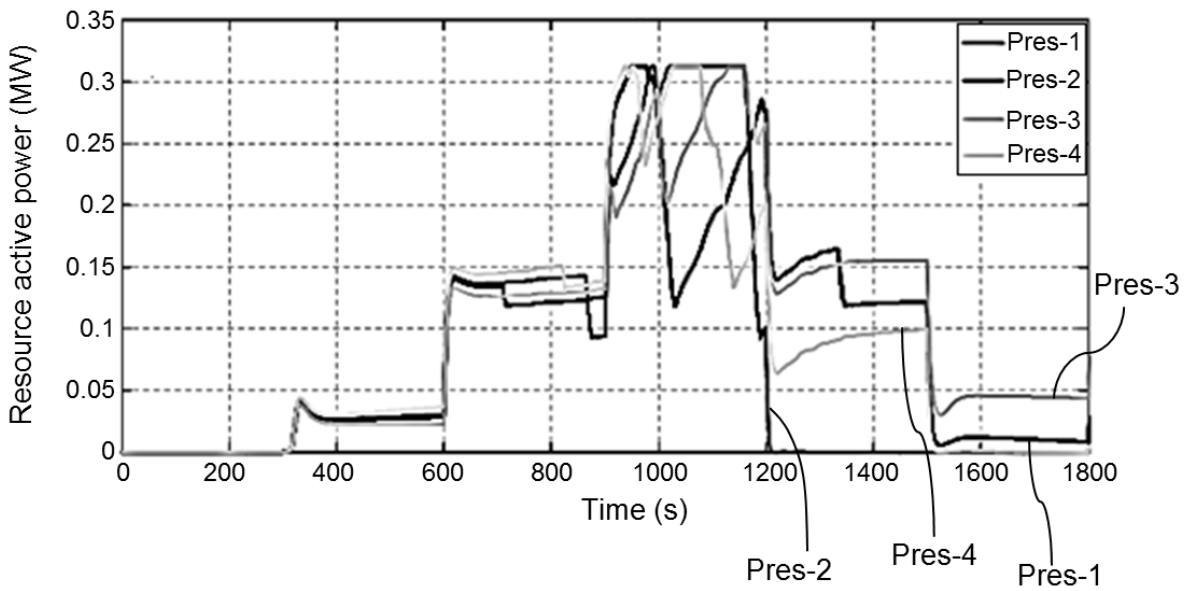


Fig. 10d



OFICINA ESPAÑOLA
DE PATENTES Y MARCAS

ESPAÑA

②① N.º solicitud: 201531918

②② Fecha de presentación de la solicitud: 28.12.2015

③② Fecha de prioridad:

INFORME SOBRE EL ESTADO DE LA TECNICA

⑤① Int. Cl.: **H02J3/00** (2006.01)
G06Q30/02 (2012.01)

DOCUMENTOS RELEVANTES

Categoría	⑤⑥ Documentos citados	Reivindicaciones afectadas
A	EP 2533396 A2 (ALSTOM GRID) 12/12/2012, Párrafos [0008],[0009],[0010], [0026]-[0040] Figuras 1-3	1-13
A	EP 2533398 A2 (ALSTOM GRID) 12/12/2012, Párrafos [0010]-[0015]Figura 1	1-13
A	WO 2011140840 A1 (ZHUHAI SINGYSE RENEWABLE ENERGY TECHNOLOGY LTD et al.) 17/11/2011, 17.11.2011 Resumen	1-13

Categoría de los documentos citados

X: de particular relevancia

Y: de particular relevancia combinado con otro/s de la misma categoría

A: refleja el estado de la técnica

O: referido a divulgación no escrita

P: publicado entre la fecha de prioridad y la de presentación de la solicitud

E: documento anterior, pero publicado después de la fecha de presentación de la solicitud

El presente informe ha sido realizado

para todas las reivindicaciones

para las reivindicaciones nº:

Fecha de realización del informe
10.04.2017

Examinador
L. J. García Aparicio

Página
1/4

Documentación mínima buscada (sistema de clasificación seguido de los símbolos de clasificación)

G06Q, H02J

Bases de datos electrónicas consultadas durante la búsqueda (nombre de la base de datos y, si es posible, términos de búsqueda utilizados)

INVENES, EPODOC

Fecha de Realización de la Opinión Escrita: 10.04.2017

Declaración

Novedad (Art. 6.1 LP 11/1986)	Reivindicaciones 1-13	SI
	Reivindicaciones	NO
Actividad inventiva (Art. 8.1 LP11/1986)	Reivindicaciones 1-13	SI
	Reivindicaciones	NO

Se considera que la solicitud cumple con el requisito de aplicación industrial. Este requisito fue evaluado durante la fase de examen formal y técnico de la solicitud (Artículo 31.2 Ley 11/1986).

Base de la Opinión.-

La presente opinión se ha realizado sobre la base de la solicitud de patente tal y como se publica.

1. Documentos considerados.-

A continuación se relacionan los documentos pertenecientes al estado de la técnica tomados en consideración para la realización de esta opinión.

Documento	Número Publicación o Identificación	Fecha Publicación
D01	EP 2533396 A2 (ALSTOM GRID)	12.12.2012
D02	EP 2533398 A2 (ALSTOM GRID)	12.12.2012
D03	WO 2011140840 A1 (ZHUHAI SINGYSE RENEWABLE ENERGY TECHNOLOGY LTD et al.)	17.11.2011

2. Declaración motivada según los artículos 29.6 y 29.7 del Reglamento de ejecución de la Ley 11/1986, de 20 de marzo, de Patentes sobre la novedad y la actividad inventiva; citas y explicaciones en apoyo de esta declaración

El documento D1 que se podría considerar como uno de los posibles representantes del estado de la técnica más cercano al objeto de la invención divulga un sistema de control de distribución eléctrica de varios niveles asociado con una rejilla de distribución eléctrica. Un sistema de control multi-nivel proporciona una topografía no plana para el control de la red de distribución eléctrica. Además, la estructura de red de árbol y malla, entre otros, se puede emplear en la topografía del sistema de control. Estas ricas topografías pueden proporcionar control de bucle cerrado en cada nivel del sistema de control, mayor confiabilidad del sistema de control a través de estructuras de red topográficas redundantes y características de manejo de datos deseables que pueden reducir la congestión de los datos y costos de computación distribuyendo el manejo de datos, Control a través de los niveles del sistema de control.

Sin embargo, no divulga una estructura de control para un sistema de potencia eléctrico distribuido que comprende al menos un controlador de potencia, un controlador de cabecera (FEC) y un controlador de estado (SSE) comunicado con el controlador de cabecera y al menos un controlado de subsistema y/o un actuador del sistema de distribución controlado con el controlador de cabecera.

Donde el controlador de subsistema comunicado con el controlador de cabecera (FEC) del nivel jerárquico superior constituye un nivel de control jerárquico inmediatamente inferior al nivel de control del CPC de cabecera. Cada controlador de subsistema es también un controlador de potencia competitivo CPC y comprende un controlador de cabecera y un estado de estado SSE comunicado con dicho FEC de subsistema y al menos un controlador de subsistema del nivel de control jerárquicamente inferior.

Además, el controlador de cabecera de cada controlador de potencia de cabecera está configurado para general al menos un asela de salida que comprende una señal de control y para transmitir dicha señal de salida al controlador de cabecera de al menos un CPC de un subsistema jerárquicamente inferior.

Donde también el controlador de potencia de cabecera del primer nivel está configurado para recibir al menos una señal de estimador de estado de acuerdo con un objetivo global y para generar al menos una señal de control correspondiente para el o los subsistema de control de potencia jerárquicamente inferiores.

Y cada controlador de cabecera FEC está comunicado con al menos un controlador de potencia de un nivel jerárquicamente inferior y está configurado para:

- Recibir al menos una señal de estimador de estado SES que comprende datos relacionados con el compartimiento eléctrico de la sección del sistema de potencia distribuido asociado a dicho controlador de potencia a través del correspondiente estimador de estado SSE del nivel de control inmediatamente inferior.
- Generar al menos una señal de control CS fijado por el controlador de cabecera FEC y con al menos señal de estado SES
- Transmitir dicha señal de control generada al correspondiente al menos un controlador de potencia de subsistema del nivel inmediatamente inferior comunicado con este y/o transmitir dicha al menos una acción de control generada a al menos un actuador de sistema distribuido asociado.

Por lo tanto la materia de esta reivindicación primera relativa a una estructura de control contaría con novedad según lo establecido en el Art 6.1 de la LP 11/86 y no parece que de dicha divulgación del documento D1 se pueda derivar una estructura de control como la reivindicada sin intervención de actividad inventiva, por lo que contaría con Actividad Inventiva según el art 8.1 de la LP 11/86.

Respecto de las reivindicaciones 8 y 9 relativas a un sistema de potencia y aun método de control respectivamente ambas relativas a un sistema de control según cualquiera de las reivindicaciones 1 a 7 contaría también con novedad y actividad inventiva según lo establecido en los Art 6.1 y Art 8.1 respectivamente de la Ley 11/86.