

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 621 470**

51 Int. Cl.:

H04B 1/00 (2006.01)

H03D 3/00 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **30.11.2011 PCT/IB2011/002879**

87 Fecha y número de publicación internacional: **21.06.2012 WO12080795**

96 Fecha de presentación y número de la solicitud europea: **30.11.2011 E 11802527 (9)**

97 Fecha y número de publicación de la concesión europea: **04.01.2017 EP 2652875**

54 Título: **Demodulador, filtro y diezrador (DFD) integrados para un receptor de radio**

30 Prioridad:

16.12.2010 US 970151

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

04.07.2017

73 Titular/es:

**TELEFONAKTIEBOLAGET LM ERICSSON (PUBL)
(100.0%)
164 83 Stockholm, SE**

72 Inventor/es:

LAPORTE, PIERRE-ANDRÉ

74 Agente/Representante:

LINAGE GONZÁLEZ, Rafael

ES 2 621 470 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Demodulador, filtro y diezmadador (DFD) integrados para un receptor de radio

5 Campo técnico

El campo técnico se refiere a comunicaciones por radio y, más particularmente, a receptores de radio.

Antecedentes

10 En las comunicaciones inalámbricas, los receptores de radio superheterodinos usan un mezclador para bajar la señal de radiofrecuencia (RF) a una frecuencia intermedia (IF) que se pueda procesar más fácilmente. La señal de IF se demodula entonces para extraer datos de banda base. Cuando la demodulación digital se usa en receptores de radio superheterodinos, la señal analógica de IF se convierte a forma digital usando un convertidor analógico a digital (ADC) en una frecuencia f_{adc} de muestreo de ADC. Una ventaja de seleccionar la frecuencia intermedia (IF) para corresponder a $f_{adc}/4$ es que las ondas seno y coseno usadas para la demodulación en cuadratura de la salida de ADC pueden representarse digitalmente usando sólo 1, 0 y -1, como se muestra en las siguientes ecuaciones.

$$\cos(2\pi f_{IF} t) = \cos\left(2\pi \frac{f_{adc}}{4} t\right) = \cos\left(2\pi \frac{f_{adc}}{4} (nT_s)\right) = \cos\left(\frac{2\pi}{4} \frac{1}{T_s} (nT_s)\right) = \cos\left(\frac{\pi}{2} \times n\right) = \{1, 0, -1, 0, 1, \dots\}$$

$$\sin(2\pi f_{IF} t) = \sin\left(2\pi \frac{f_{adc}}{4} t\right) = \sin\left(2\pi \frac{f_{adc}}{4} (nT_s)\right) = \sin\left(\frac{2\pi}{4} \frac{1}{T_s} (nT_s)\right) = \sin\left(\frac{\pi}{2} \times n\right) = \{0, 1, 0, -1, 0, \dots\}$$

20 donde

f_{adc} es la frecuencia de muestreo del convertidor analógico a digital,

25 f_{IF} es la frecuencia intermedia ($f_{IF} = f_{adc}/4$),

T_s es el periodo de muestreo del convertidor analógico a digital ($T_s = 1/f_{adc}$),

30 t es el tiempo en el dominio analógico,

n es el índice de muestra de las ondas seno y coseno en el dominio digital.

Un receptor superheterodino con su frecuencia intermedia ajustada a $f_{adc}/4$ requiere una función adicional de diezmar por dos después del filtro de paso bajo digital con el fin de reducir la frecuencia de muestreo para que el espectro de señal esté representado con propiedad usando la menor frecuencia posible de frecuencia de muestreo.

De acuerdo con el teorema de muestreo de Nyquist, la frecuencia del convertidor analógico a digital debe elegirse de manera que $f_{adc}/2$ sea mayor que el ancho B de banda de la señal recibida:

$$40 \quad \frac{f_{adc}}{2} > B.$$

En algunos sistemas de radiocomunicación, el ancho B de banda de señal recibida puede ser muy grande, lo que puede imponer una frecuencia f_{adc} grande de muestreo, y algunas grandes frecuencias de muestreo f_{adc} no pueden realizarse usando las tecnologías de equipo físico informático (hardware) existentes como ASIC y FPGA. Un enfoque para abordar este problema es duplicar el equipo físico informático y hacer funcionar los dos conjuntos de equipo físico informático en la mitad de la frecuencia con el fin de conseguir la frecuencia de muestreo prescrita. Pero las compensaciones indeseables con este enfoque incluyen mayores coste, complejidad, consumo de energía y área de circuito. Se desea un enfoque más óptimo que permita a los receptores de radio superheterodinos recibir señales con anchos de banda elevados pero sin una o más de estas contrapartidas indeseables, o con una o más de estas contrapartidas indeseables al menos reducidas significativamente. Las patentes de Estados Unidos 5.732.337 y 5.841.811 y la publicación de patente de Estados Unidos 2008/0152050 son técnica antecedente relevante.

Sumario

55 La tecnología en esta aplicación proporciona un enfoque tal que reduce los requisitos de procesamiento, así como el coste de equipo físico informático, la complejidad, el consumo de potencia y el área de circuito. Un aspecto de la

tecnología incluye un método para su uso en un receptor de radio que comprende los pasos de:

traducir la señal de radiofrecuencia (RF) recibida a una señal de frecuencia intermedia (IF);

5 convertir la señal de IF en una corriente de muestras digitales usando una frecuencia de muestreo que es cuatro veces la IF;

dividir la corriente de muestras digitales en un primer conjunto de muestras pares y un segundo conjunto de muestras impares;

10 demodular digitalmente la corriente de muestras digitales para producir una señal compleja con componentes real (I) e imaginaria (Q) en la mitad de la frecuencia de muestreo usando dos demoduladores paralelos en cuadratura, con un primer demodulador en cuadratura que demodula solamente el primer conjunto de muestras pares, y un segundo demodulador en cuadratura que demodula sólo el segundo conjunto de muestras impares; y

15 filtrar el primer conjunto de muestras pares demoduladas usando un primer conjunto de coeficientes de un filtro digital, y el segundo conjunto demodulado de muestras impares usando un segundo conjunto de coeficientes del filtro digital para producir una señal compleja de banda base.

20 Preferiblemente, pero no necesariamente, el paso de demodulación digital sólo requiere una operación por muestra de entrada.

En una realización de ejemplo, el filtrado produce la señal compleja de banda base mediante el filtrado solamente del primer conjunto demodulado de muestras pares usando un primer conjunto de coeficientes de un filtro digital y el
25 segundo conjunto demodulado de muestras impares usando un segundo conjunto de coeficientes del filtro digital.

En otra realización de ejemplo, el paso de filtrado implanta un filtro de respuesta de impulso finito (FIR) de N taps (siendo taps el orden de coeficientes más 1), donde N es un número entero positivo, usando el filtrado digital de bloque con dos trayectos paralelos de filtrado, con uno de los trayectos de filtrado funcionando en la mitad de la frecuencia de muestreo en el primer conjunto de muestras pares usando coeficientes pares del filtro de FIR de N taps, y el otro de los trayectos de filtrado funcionando en la mitad de la frecuencia de muestreo en el segundo conjunto de muestras impares usando coeficientes impares del filtro de FIR de N taps. En un ejemplo de variación de esta realización, sólo se usan coeficientes pares N_0 del filtro de FIR de N taps para filtrar el primer conjunto de muestras pares, y sólo se usan coeficientes impares N_1 del filtro de FIR de N taps para filtrar el segundo conjunto de
30 muestras impares, donde $N_0 = N/2$ si N es un número par, y $N_0 = (N + 1)/2$ si N es un número impar, y $N_1 = N/2$ si N es un número par y $N_1 = (N-1)/2$ si N es un número impar. El filtrado en una implantación de ejemplo, sólo requiere, ventajosamente, N multiplicadores y N-2 sumadores, donde N es configurable.

En otra realización de ejemplo, el método incluye retrasar uno de los conjuntos primero y segundo de muestras antes de filtrar mediante un período de tiempo de la frecuencia de muestreo. En una realización de ejemplo alternativa, el primer conjunto de coeficientes del filtro digital corresponde a coeficientes impares del filtro digital y el segundo conjunto de coeficientes del filtro digital corresponde a coeficientes pares del filtro digital. En este caso, no se necesita retraso.

45 En otra realización de ejemplo, la demodulación incluye el uso de señales de seno y coseno que tienen una frecuencia correspondiente a la frecuencia de muestreo dividida por cuatro y la diezma de la señal compleja de banda base se realiza dentro del paso de filtrado.

Otro aspecto de la tecnología incluye un aparato para su uso en una cadena de receptor superheterodino de radio. La cadena de receptores de radio incluye un convertidor analógico a digital para convertir una señal de frecuencia intermedia (IF) a una corriente de muestras digitales a una frecuencia de muestreo que es cuatro veces la IF. El aparato incluye un partidor configurado para partir la corriente de muestras digitales en un primer conjunto de muestras pares y un segundo conjunto de muestras impares. Un primer demodulador en cuadratura está configurado para demodular sólo el primer conjunto de muestras pares para producir una de las componentes real (I) e imaginaria (Q) de una señal compleja en la mitad de la frecuencia de muestreo. (La señal compleja incluye imágenes alrededor de la mitad de la frecuencia de muestreo). Un segundo demodulador en cuadratura está configurado para funcionar en paralelo con el primer demodulador en cuadratura para demodular sólo el segundo conjunto de muestras impares para producir la otra de las componentes I y Q de la señal compleja en la mitad de la frecuencia de muestreo. Un primer filtro digital está configurado para filtrar el primer conjunto demodulado de muestras pares usando un primer conjunto de coeficientes, y un segundo filtro digital está configurado para filtrar el segundo conjunto de muestras impares demodulado usando un segundo conjunto de coeficientes. La salida de los filtros digitales primero y segundo corresponde a una señal compleja de banda base.

Otro aspecto de esta tecnología es un receptor de radio superheterodino que incluye este aparato.

65 En una realización de ejemplo, el primer filtro digital está configurado para filtrar solamente el primer conjunto

demodulado de muestras pares usando el primer conjunto de coeficientes, y el segundo filtro digital está configurado para filtrar solamente el segundo conjunto demodulado de muestras impares usando el segundo conjunto de coeficientes.

5 En otra realización de ejemplo, cada uno de los demoduladores de cuadratura primero y segundo realiza sólo una operación por muestra de entrada.

Preferiblemente, pero no necesariamente, los filtros primero y segundo de FIR juntos están configurados con sólo N multiplicadores y N-2 sumadores.

10 En otro ejemplo de realización, los filtros primero y segundo son filtros de respuesta de impulso finito (FIR) usados para implantar un filtro de FIR de N taps, donde N es un número entero positivo. Uno de los filtros primero y segundo está configurado para funcionar en una mitad de la frecuencia de muestreo en el primer conjunto de muestras pares usando coeficientes pares del filtro de FIR de N taps, y el otro de los filtros primero y segundo está configurado para
15 funcionar en la mitad de la frecuencia de muestreo en el segundo conjunto de muestras impares usando coeficientes impares del filtro de FIR de N taps. El primer filtro de FIR puede incluir sólo alrededor de N/2 coeficientes pares del filtro de FIR de N taps, y el segundo filtro de FIR sólo sobre N/2 coeficientes impares del filtro de FIR de N taps. N es preferiblemente configurable.

20 En otro ejemplo de realización, uno de los filtros de FIR primero y segundo incluye un retraso configurado para retrasar uno de los conjuntos de muestras en un período de tiempo de la frecuencia de muestreo antes de filtrar.

Aún en otro ejemplo de realización, los filtros de FIR primero y segundo corresponden a las fases primera y segunda de un filtro polifásico y están configurados para filtrar los conjuntos primero y segundo de muestras pares e impares
25 al mismo tiempo.

El primer demodulador está configurado preferiblemente para usar una señal de coseno que tiene una frecuencia correspondiente a la frecuencia de muestreo dividida por cuatro, y el segundo demodulador está preferiblemente configurado para usar una señal de seno que tiene una frecuencia correspondiente a la frecuencia de muestreo
30 dividida por cuatro.

Otro aspecto de la tecnología incluye un demodulador, un filtro y un diezmador integrados para su uso en una cadena de receptores de radio superheterodinos como la descrita anteriormente. El demodulador, el filtro y el
35 diezmador integrados consisten esencialmente en:

un primer demodulador en cuadratura configurado para demodular el primer conjunto de muestras pares para producir una de las componentes real (I) e imaginaria (Q) de una señal compleja en la mitad de la frecuencia de muestreo,

40 un segundo demodulador en cuadratura configurado para funcionar en paralelo con el primer demodulador en cuadratura para demodular el segundo conjunto de muestras impares para producir la otra de las componentes I y Q de la señal compleja en la mitad de la frecuencia de muestreo,

45 un primer filtro digital configurado para filtrar el primer conjunto de muestras pares demoduladas usando un primer conjunto de coeficientes, y

un segundo filtro digital configurado para filtrar el segundo conjunto demodulado de muestras impares usando un segundo conjunto de coeficientes;

50 donde la salida de los filtros digitales primero y segundo corresponde a una señal compleja de banda base.

Preferiblemente, el demodulador, el filtro y el diezmador integrados están configurados para funcionar en la mitad de la frecuencia de muestreo.

55 En un ejemplo de realización, el primer demodulador en cuadratura está configurado para demodular solamente el primer conjunto de muestras pares, y el segundo demodulador en cuadratura está configurado para demodular sólo el segundo conjunto de muestras impares. Alternativamente o adicionalmente, el primer filtro digital está configurado para filtrar solamente el primer conjunto de muestras pares demodulado usando el primer conjunto de coeficientes, y el segundo filtro digital está configurado para filtrar solamente el segundo conjunto de muestras impares demodulado
60 usando el segundo conjunto de coeficientes.

Otro aspecto de la tecnología incluye un receptor de radio superheterodino que incluye el demodulador, el filtro y el diezmador integrados.

65 **Breve descripción de los dibujos**

La figura 1 ilustra un ejemplo no limitativo de un receptor superheterodino con una $f_{IF} = f_{adc}/4$;

la figura 2 ilustra el espectro de una señal en diversos puntos de la cadena de receptor mostrada en la figura 1;

5 la figura 3 es un diagrama que muestra demodulación en cuadratura usando $f_{IF} = f_{adc}/4$;

la figura 4 es un diagrama que muestra la demodulación en cuadratura usando $f_{IF} = f_{adc}/4$ con demoduladores de cuadratura duplicados;

10 la figura 5 ilustra un ejemplo no limitativo de un filtro digital de FIR para su uso en el receptor superheterodino mostrado en la figura 1;

la figura 6 es un diagrama de ejemplo no limitativo de una porción de una demodulación digital, un filtrado y una diezma (DFD) del receptor superheterodino en la mitad de la frecuencia usando dos veces el equipo físico informático;

la figura 7 es un diagrama de ejemplo no limitativo de una porción de una demodulación digital, un filtrado y una diezma (DFD) del receptor superheterodino en la mitad de la frecuencia con una primera cantidad de optimización del procesamiento de datos;

20 la figura 8 es un diagrama de ejemplo no limitativo de una porción de una demodulación digital, un filtrado y una diezma (DFD) del receptor superheterodino en la mitad de la frecuencia con una segunda cantidad adicional de optimización del procesamiento de datos;

25 la figura 9 incluye diagramas de ejemplo no limitativo que muestran diferentes cantidades de complejidad de procesamiento de datos para diferentes implantaciones de la porción de demodulación, filtrado y diezma (DFD) para un receptor superheterodino;

30 la figura 10 ilustra un diagrama de gráfico de flujo con procedimientos de ejemplo no limitativo para procesar una señal recibida en un receptor superheterodino que usa la porción de demodulación digital, filtrado y diezma (DFD) de la figura 8; y

la figura 11 es una implantación de ejemplo no limitativo que puede usarse para el partidor usado en la porción digital de demodulación, filtrado y diezma (DFD) de la figura 8.

35 **Descripción detallada**

En la siguiente descripción, con fines de explicación y no limitación, se exponen detalles específicos, tales como nodos particulares, entidades funcionales, técnicas, protocolos, estándares, etc. con el fin de proporcionar una comprensión de la tecnología descrita. Será evidente para el experto en la técnica que se pueden practicar otras realizaciones aparte de los detalles específicos descritos a continuación. En otros casos, las descripciones detalladas de métodos, dispositivos, técnicas, etc. bien conocidos se omiten para no oscurecer la descripción con detalles innecesarios. Los bloques de función individuales se muestran en las figuras. Los expertos en la técnica apreciarán que las funciones de dichos bloques pueden implantarse usando circuitos de equipo físico informático individuales, usando programas y datos de equipo lógico informático (software) junto con un microprocesador programado adecuadamente o un ordenador de uso general, usando circuitería integrada específica de aplicaciones (ASIC), y/o usando uno o más procesadores de señal digital (DSP). Las instrucciones y datos de programa de equipo lógico informático pueden almacenarse en un medio de almacenamiento legible por ordenador, y, cuando las instrucciones son ejecutadas por un ordenador u otro control de procesador adecuado, el ordenador o procesador realiza las funciones.

De este modo, por ejemplo, los expertos en la técnica apreciarán que los diagramas de la presente memoria descriptiva pueden representar vistas conceptuales de circuitería ilustrativa u otras unidades funcionales. De manera similar, se apreciará que cualesquiera gráficos de corriente, diagrama de transición de estado, pseudocódigo y similares representan diversos procesos que pueden estar sustancialmente representados en un medio legible por ordenador y, así, ser ejecutados por un ordenador o procesador, esté o no dicho ordenador o procesador explícitamente mostrado.

Las funciones de los diversos elementos ilustrados pueden proporcionarse mediante el uso de equipo físico informático tal como equipo físico informático de circuito y/o equipo físico informático capaz de ejecutar equipo lógico informático en forma de instrucciones codificadas almacenadas en un medio legible por ordenador. De este modo, tales funciones y bloques funcionales ilustrados deben ser entendidos como siendo implantados por equipo físico informático y/o implantados por ordenador, y, de este modo, implantados en la máquina.

65 En términos de implantación de equipo físico informático, los bloques funcionales pueden incluir o abarcar, sin limitación, equipo físico informático de procesador de señales digitales (DSP), procesador de conjunto de

instrucciones reducido, circuitería de equipo físico informático (por ejemplo, digital o analógica) incluyendo pero no limitado a circuito/s integrados específicos de aplicación (ASIC) y/o matriz/ces de puerta programables en campo (FPGA/s), y (cuando sea apropiado) máquinas de estado capaces de realizar tales funciones.

5 En términos de la implantación del ordenador, se entiende generalmente que un ordenador comprende uno o más procesadores o uno o más controladores, y los términos ordenador, procesador y controlador pueden ser empleados indistintamente. Cuando son proporcionadas por un ordenador, un procesador o un controlador, las funciones pueden ser proporcionadas por un único ordenador o procesador o controlador dedicado, por un solo ordenador o procesador o controlador compartido, o por una pluralidad de ordenadores individuales o procesadores o controladores, algunos de los cuales pueden ser compartidos o distribuidos. Lo que es más, el término "procesador" o "controlador" también se refiere a otro equipo físico informático capaz de realizar tales funciones y/o a otro equipo lógico informático de ejecución, tal como el ejemplo de equipo físico informático antes mencionado.

15 La figura 1 ilustra un ejemplo no limitativo de un receptor superheterodino 10 con $f_{IF} = f_{adc}/4$ con el fin de obtener las ventajas identificadas en el fondo, es decir, de manera que las ondas seno y coseno usadas para la demodulación en cuadratura de la salida ADC se pueda representar digitalmente usando sólo 1, 0 y -1. La figura 2 ilustra el espectro de una señal en diversos puntos (1) - (6) identificados en la cadena receptora 10 mostrada en la figura 1. Obsérvese que el espectro de señal no es simétrico respecto a su frecuencia central.

20 La entrada del receptor 10 puede provenir bien de una antena o bien de la salida de un amplificador de potencia (PA), dependiendo de si la cadena de procesamiento se usa en un receptor de comunicación o en un receptor de retroalimentación para la linealización del PA. En el caso en que la cadena de procesamiento se use en un receptor de comunicaciones, el/los componente/s analógico/s 12 incluye/n un amplificador de bajo ruido; en caso contrario, el/los componente/s analógico/s 12 incluye/n un atenuador. Un mezclador 14 recibe la salida del bloque 12 de componente analógico para bajar la señal de radiofrecuencia (RF) (véase la señal (1) de la figura 2) a una frecuencia intermedia (IF) usando una señal 16 de oscilador local (LO). La frecuencia (LOF) del oscilador local se elige de modo que el espectro esté centrado en $RF - LOF = f_{adc}/4$ a la salida del mezclador. Algunas imágenes no deseadas también se crean a una frecuencia correspondiente a $RF + LOF$. La salida del mezclador se filtra en un filtro 18 de paso bajo para retirar las imágenes no deseadas alrededor de $RF + LOF$ y extraer la señal de IF (véase la señal (2) de la figura 2) antes de ser convertida en una señal digital por el convertidor analógico-digital (ADC) 20 que funciona a una frecuencia de muestreo o frecuencia de f_{adc} (véase la señal (3) de la figura 2). En el equipo físico informático digital, la señal IF se demodula en un demodulador 22 en cuadratura usando ondas de coseno y de seno de frecuencia $f_{adc}/4$ MHz para producir componentes real (I) e imaginaria (Q) de una señal compleja (véase la señal (4) de la figura 2). Después, un filtro 24 de paso bajo digital retira las imágenes alrededor de la $f_{adc}/2$ generadas por el proceso de demodulación (véase la señal (5) de la figura 2), y una función/circuito 26 de diezmadador por dos baja los datos complejos demodulados a la banda base para generar una señal compleja de banda base (véase la señal (6) en la figura 2). Esta función/circuito de diezma por dos reduce la frecuencia de muestreo de modo que el espectro de señal esté representado adecuadamente usando la menor frecuencia de muestreo posible.

40 Como se explica en los antecedentes de la invención, un ancho B grande de banda de señal recibido impone una f_{adc} grande de frecuencia de muestreo que puede o no ser adecuada para el equipo físico informático de procesamiento digital existente. Un enfoque para abordar este problema es duplicar el equipo físico informático de procesamiento digital y hacer funcionar los dos conjuntos de equipo físico informático en paralelo en la mitad de la frecuencia, de modo que se consiga de manera conjunta la frecuencia de muestreo prescrita. El inventor descubrió 45 maneras en las que el equipo físico informático duplicado puede usarse muy ventajosamente.

Primero, considérese la duplicación del demodulador en cuadratura. El demodulador multiplica la corriente de muestra entrante con una onda de seno y una onda de coseno a una frecuencia de $f_{adc}/4$. La figura 3 es un diagrama que muestra demodulación en cuadratura usando $f_{IF} = f_{adc}/4$. Desde la perspectiva del dominio de tiempo, para 50 generar los valores reales de la muestra (los I), la corriente de datos entrantes se multiplica por la secuencia de coseno {1 0 - 1 0 1 0 - 1 0, etc.} de la ecuación coseno dada en los antecedentes, que también corresponde a

$$\cos\left(\frac{\pi \times n}{2}\right)$$

. Una realización clave hecha por el inventor es que las muestras impares en la corriente real demodulada para I son todas ceros. De forma similar, para generar los valores imaginarios de la muestra (los Q), la corriente de datos entrante se multiplica por la secuencia {0 1 0 - 1 0 1 0 - 1 etc.} de la ecuación de seno dada en los

$$\text{sen}\left(\frac{\pi \times n}{2}\right)$$

55 antecedentes, que también corresponde a . El inventor se dio cuenta además de que todas las muestras pares en la corriente demodulada para Q son ceros. Estas dos realizaciones forman la base para simplificar el equipo físico informático duplicado que ahora se explica en un proceso paso a paso hacia la consecución de una configuración más óptima.

60 Cuando se usa la duplicación de equipo físico informático para conseguir una frecuencia de muestreo dada, el proceso de demodulación en cuadratura se puede implantar usando un demodulador en cuadratura duplicado similar al presentado en la figura 4. Un partidor 28 de corriente divide la corriente de salida de ADC de muestras digitales en

corrientes par e impar en la mitad de la frecuencia de ADC, es decir, $f_{adc}/2$. Un primer demodulador 34 en cuadratura incluye un multiplicador par 36 para multiplicar la corriente par por la secuencia alternante 1 - 1 1 - 1, y un multiplicador impar 38 para multiplicar la corriente impar por una secuencia de 0 debido a las propiedades especiales de usar $f_{IF} = f_{adc}/4$. Un segundo demodulador 40 en cuadratura incluye un multiplicador par 36 para multiplicar la corriente par por una secuencia de 0, y un multiplicador impar 38 para multiplicar la corriente impar por la secuencia alternante 1-1 1-1, de nuevo debido a las propiedades especiales de usar $f_{IF} = F_{adc}/4$. No se requieren multiplicadores de equipo físico informático reales para realizar estas operaciones. En su lugar, la corriente de I_{par} puede generarse negando una de cada dos muestras de la corriente de muestras par, y la corriente de I_{impar} puede generarse por puesta a cero de la corriente de muestras impares. De forma similar, la corriente de Q_{par} puede generarse mediante la puesta a cero de la corriente de muestras pares, y la corriente de Q_{impar} al negar una de cada dos muestras de la corriente de muestras impar.

A continuación, se dirige el filtrado digital 24. Un filtro de Respuesta de Impulso Finito (FIR) se puede implantar usando M veces el equipo físico informático a una frecuencia de 1/M usando una técnica llamada filtrado digital de bloque. Dos referencias explican esta técnica y proporcionan ejemplos no limitativos de implantaciones de filtros: (1) Ing-Song Lin, Sanjit K. Mitra, "Overlapped Block Digital Filtering" (Filtrado digital de bloques superpuestos), IEEE Transactions on Circuits and Systems-II: Analog and Digital Signal Processing, Vol. 43, nº 8, agosto de 1996, páginas 586-596 y (2) Ramin Khoini-Poorfard; Lysander B. Lim; David A. Johns, "Time-Interleaved Oversampling A/D Converters: Theory and Practice" (Conversores A/D de sobremuestreo con interpolación de tiempo: teoría y práctica), Transactions on Circuits and Systems-II: Analog and Digital Signal Processing, vol. 44, Nº 8, agosto de 1997, páginas 634-645.

Un filtro de FIR implanta la convolución descrita por la siguiente ecuación:

$$y(m) = \sum_{n=0}^{N-1} h(n)x(m-n), m \in [0: L_x - 1],$$

donde:

y es la corriente de salida del filtro,

x es la corriente de entrada del filtro,

m es el índice de la muestra para ambas corrientes de entrada y salida

h es la respuesta al impulso del filtro, es decir, los coeficientes del filtro,

n es el índice de tap del filtro,

N es el número total de tap de FIR,

L_x es la longitud de la corriente de entrada en las muestras.

Para el caso en que $M = 2$, la convolución realizada por el filtro de FIR puede ser reescrita de la siguiente manera usando sustituciones variables, donde la primera ecuación representa los cálculos para las muestras de salida pares, y la segunda ecuación representa los cálculos para las muestras de salida impares.

$$y_{par}(k) = y(2k) = \sum_{n=0}^{N-1} h(n)x(2k-n), k \in \left[0: \frac{L_x}{2} - 1\right],$$

$$y_{impar}(k) = y(2k-1) = \sum_{n=0}^{N-1} h(n)x((2k-1)-n), k \in \left[0: \frac{L_x}{2} - 1\right].$$

Las convoluciones anteriores pueden expandirse adicionalmente introduciendo una suma para los coeficientes pares ($h(2n_0)$) y otra suma para los coeficientes impares ($h(2n_1+1)$):

$$y_{par}(k) = y(2k) = \sum_{n_0=0}^{N_0-1} h(2n_0)x(2k-2n_0) + \sum_{n_1=0}^{N_1-1} h(2n_1+1)x(2k-(2n_1+1)),$$

$$y_{impar}(k) = y(2k-1) = \sum_{n_0=0}^{N_0-1} h(2n_0)x(2k-1-(2n_0)) + \sum_{n_1=0}^{N_1-1} h(2n_1+1)x(2k-1-(2n_1+1)).$$

Obsérvese que $N_0 = N_1 = N/2$ cuando N es un número par. En el caso en el que N es un número impar, $N_0 = (N + 1)/2$ y $N_1 = (N - 1)/2$.

5 Mediante la reorganización de los términos, las ecuaciones anteriores se pueden reescribir como sigue:

$$y_{\text{par}}(k) = y(2k) = \sum_{n_0=0}^{N_0-1} h(2n_0)x(2(k-n_0)) + \sum_{n_1=0}^{N_1-1} h(2n_1+1)x(2(k-n_1)-1),$$

$$y_{\text{impar}}(k) = y(2k-1) = \sum_{n_0=0}^{N_0-1} h(2n_0)x(2(k-n_0)-1) + \sum_{n_1=0}^{N_1-1} h(2n_1+1)x(2(k-n_1-1)).$$

10 Debido a que los términos $(k-n_0)$ y $(k-n_1-1)$ de las ecuaciones anteriores son valores enteros, las expresiones $2x(k-n_0)$ y $2x(k-n_1-1)$ siempre serán iguales a valores pares. De manera similar, las expresiones $2x(k-n_1)-1$ y $2x(k-n_0)-1$ de las ecuaciones anteriores serán siempre iguales a valores impares. De este modo, pueden hacerse las siguientes asociaciones:

15 $h(2n_0)$: coeficientes pares (fase 0),

$h(2n_1+1)$: coeficientes impares (fase 1),

$x(2(k-n_0))$: muestras de entrada pares,

20 $x(2(k-n_1)-1)$: muestras de entrada impares,

$x(2(k-n_0)-1)$: muestras de entrada impares,

25 $x(2(k-n_1-1))$: muestras de entrada pares retrasadas por una muestra.

En la puesta en marcha inicial, cuando $k = 0$, las ecuaciones anteriores requieren un valor para $x(-1)$ que no existe. Con el fin de satisfacer este requisito, la corriente de muestra de entrada impar se retrasa por un ciclo de reloj adicional en la entrada del filtro de modo que $x(-1) = 0$. De manera similar, la primera muestra de salida del filtro de y_{impar} siempre corresponderá a $y(-1) = 0$.

30 El filtro 24 de FIR incluye un registro 50 de cambio que introduce efectivamente una serie de retrasos (Z^{-1}) 56 para la muestra de datos de entrada a medida que la muestra se registra en reloj a través del registro. El filtro de FIR es un filtro de N taps, donde N es un número entero positivo, por lo que el registro de cambio incluye retrasos $N-1$ 56. La muestra de entrada y cada muestra de salida retrasada son enviadas a un multiplicador 52 correspondiente y multiplicado por un coeficiente de filtro correspondiente, T , o peso $h(n)$, donde n es un número entero que corresponde al índice de registro, y n está en el intervalo de $[0: N-1]$. Las salidas de todos los N multiplicadores 52 se suman en sumadores 54 para generar una salida filtrada.

40 En base a la técnica de filtrado de bloques descrita anteriormente, el filtro 24 de FIR puede ser implantado como un filtro polifásico 25, en el que P_0 y P_1 representan la fase 0 y la fase 1. La fase 0 comprende los coeficientes de filtro pares de la respuesta de impulso de filtro, y la fase 1 comprende los coeficientes de filtro impares de la respuesta de impulso de filtro. En la situación en la que el filtro de FIR original 24 tiene N coeficientes de filtro, los filtros P_0 y P_1 pueden implantarse como filtros de FIR 58 y 59 más pequeños, con coeficientes $N/2$. Si N es un número impar, entonces el filtro P_0 incluye $(N + 1)/2$ coeficientes, y el filtro P_1 incluye $(N - 1)/2$ coeficientes. Se incluye un retraso 56 para todos los datos de entrada impares y los datos de entrada pares suministrados al filtro P_1 59 en la ramificación de datos impares. Los sumadores respectivos 60 suman las salidas de filtro P_0 (58) y P_1 (59) para las ramificaciones de datos pares e impares, para generar salida de datos pares y salida de datos impares.

50 En base a las dos realizaciones hechas por el inventor con respecto a la simplificación de la demodulación en cuadratura para una implantación de equipo físico informático duplicada, la sección de demodulación digital, filtrado y diezma del receptor superheterodino puede representarse como se muestra en la figura 6, es decir, combinando elementos de figuras 4 y 5. En la figura 6, todas las líneas punteadas representan corrientes de ceros. Por consiguiente, el inventor reconoció adicionalmente que todas las funciones de línea punteada sólo procesan ceros, y, como resultado, podrían retirarse, para mejorar la implantación de la figura 6.

55 La figura 7 es un diagrama de ejemplo no limitativo de una porción de una demodulación digital, un filtrado y una diezma (DFD) del receptor superheterodino en la mitad de la frecuencia con esta primera cantidad de mejora del procesamiento de datos. Con el procesamiento de cero retirado, el demodulador 70 en cuadratura demodula solamente las muestras pares, el demodulador 72 en cuadratura demodula sólo las muestras impares, el filtro digital

25a de bloque filtra a pase bajo sólo las muestras demoduladas usando un filtro de fase P0 y un filtro de retraso/P1, y el filtro digital 25b de bloque filtra a pase bajo sólo las muestras demoduladas Q_{impar} retrasadas por un retraso usando un filtro de fase P0 y un filtro de fase P1. El filtro 25a emite dos corrientes al diezmador 60a: I_{salida_0} e I_{salida_1} . El filtro 25b envía dos corrientes al diezmador 60b: Q_{salida_0} y Q_{salida_1} .

5 La figura 8 es un diagrama de ejemplo no limitativo de una porción de una demodulación digital, un filtrado y una diezma (DFD) del receptor superheterodino en la mitad de la frecuencia con una segunda cantidad adicional de mejora del procesamiento de datos. En las salidas de los filtros digitales 25a y 25b de bloque de la figura 7, la frecuencia de muestreo agregada corresponde a $2f_{\text{adc}}/2$ muestras por segundo. El papel de la función de diezma por dos es llevar esta frecuencia de muestreo agregada a $f_{\text{adc}}/2$ muestras por segundo. En otras palabras, los bloques 60a y 60b de diezma por dos seleccionan una de cada dos muestras y descartan la otra muestra. Una alternativa a este enfoque que elimina la necesidad de los diezmadores 60a, 60b es eliminar una ramificación dentro de los filtros digitales 25a y 25b de bloque de la figura 7, de manera que las frecuencias de muestreo de salida del filtro estén ya a $f_{\text{adc}}/2$ muestras por segundo, con el beneficio adicional de que la complejidad del filtro se reduce en la mitad. Puede seleccionarse cualquier pareja (I_{salida_0} , Q_{salida_0}) o (I_{salida_1} , Q_{salida_1}) de salida.

15 La implantación de ejemplo de la figura 8 usa I_{salida_0} y Q_{salida_0} (véase la figura 7) de manera que la corriente de Q_{impar} se retrasa por el retraso 56. Alternativamente, I_{salida_1} y Q_{salida_1} pueden seleccionarse de manera que el conjunto par de coeficientes de filtro filtre la corriente de datos impar, y el conjunto impar de coeficientes filtre la corriente de datos par. En esta implantación alternativa se necesita retraso en ambas ramificaciones antes de los filtros polifásicos (P1 y P0), como puede verse en la figura 7. Dado que ambas corrientes de datos I_{salida_1} y Q_{salida_1} pasan por un elemento de retraso correspondiente, dichos elementos de retraso se pueden retirar sin afectar al rendimiento, simplificando adicionalmente el equipo físico informático y/o el procesamiento.

25 La reducción en equipo físico informático y procesamiento conseguida usando la tecnología descrita en esta solicitud es sustancial. La figura 9 ayuda a ilustrar esta reducción con diagramas de ejemplo no limitativos que muestran diferentes cantidades de complejidad de procesamiento de datos para diferentes implantaciones de la porción de demodulación, filtrado y diezma (DFD) de un receptor superheterodino. El diagrama (1) representa un demodulador en cuadratura, un filtro digital de pase bajo, una porción de procesamiento digital diezmador por dos donde no se reduce la frecuencia de muestreo de ADC, por ejemplo, f_{adc} . El procesamiento de demodulación para (1) requiere dos operaciones por muestra de entrada, y el filtrado requiere $2 \times N$ multiplicadores y $2 \times (N-1)$ sumadores. Pero para situaciones en las que dicha frecuencia de muestreo de ADC es demasiado alta, por ejemplo, un ancho de banda de señal grande recibido, la frecuencia de procesamiento puede ser cortada por la mitad ($f_{\text{adc}}/2$) dando como resultado una implantación de equipo físico informático duplicada en el diagrama (2). El procesamiento de demodulación para (2) requiere dos operaciones por muestra de entrada, y el filtrado requiere $4 \times N$ multiplicadores y $4 \times (N-1)$ sumadores. Obsérvese la mejora significativa del diagrama (3), que muestra el demodulador, el filtro y el diezmador (DFD) integrados 80 (el proceso de diezma se ha propagado en el filtro como se ha explicado anteriormente), funcionando en la mitad de la frecuencia de muestreo ADC, pero que sólo requiere una operación por muestra de entrada para el procesamiento de demodulación, así como N multiplicadores y $(N-2)$ sumadores para filtrar y diezmar.

30 En otras palabras, la complejidad global del equipo físico informático y la frecuencia de funcionamiento de la implantación (3) que funcionan en $f_{\text{adc}}/2$ se reducen en un factor dos en comparación con la implantación (1) que funciona a f_{adc} , e incluso más en comparación con la implementación (2) funcionando en $f_{\text{adc}}/2$. El resultado también proporciona un ahorro significativo en coste, área de circuito y energía. El hecho de que el DFD integrado pueda funcionar en la mitad de la frecuencia de muestreo de ADC permite que el equipo físico informático soporte anchos de banda de señal más grandes, sin entrar en comercio de consumo de energía y área de circuito. Esta tecnología también deriva en un equipo físico informático más simple para procesar anchos de banda más pequeños.

35 La figura 10 ilustra un diagrama de gráfico de flujo con procedimientos de ejemplo no limitativos para procesar una señal recibida en un receptor superheterodino que usa la porción de demodulación digital, filtrado y diezma (DFD) de la figura 8. Una señal de radiofrecuencia (RF) recibida se convierte en una señal de frecuencia intermedia (IF) (paso S1), y la señal IF se convierte en una corriente de muestras digitales usando una frecuencia de muestreo que es cuatro veces la IF (paso S2). La corriente de muestras digitales se divide en un primer conjunto de muestras pares y un segundo conjunto de muestras impares (paso S3). La corriente de muestras digitales se demodula entonces digitalmente para producir una señal compleja con componentes real (I) e imaginaria (Q) en la mitad de la frecuencia de muestreo usando dos demoduladores en cuadratura paralelos, con un primer demodulador en cuadratura que demodula solamente el primer conjunto de muestras pares, y un segundo demodulador en cuadratura que demodula sólo el segundo conjunto de muestras impares (paso S4). El primer conjunto de muestras pares demoduladas se filtra usando un primer conjunto de coeficientes de un filtro digital, y el segundo conjunto demodulado de muestras impares usando un segundo conjunto de coeficientes del filtro digital para producir una señal compleja de banda base (paso S5).

40 La figura 11 es una implantación de ejemplo no limitativo que puede usarse para el partidor 28 usado en la porción de demodulación digital, filtrado y diezma (DFD) de la figura 8. El partidor 28 de corriente se implanta en este ejemplo como una memoria intermedia con un puntero de escritura `Write_pointer` que funciona al doble de la frecuencia de reloj de dos punteros de lectura: `Read_pointer_par` y `Read_pointer_impar`. El puntero de escritura

almacena las muestras de ADC en la memoria intermedia, y los dos punteros de lectura comienzan en una cierta dirección de desplazamiento entre sí. En el ejemplo de la figura 11, el desplazamiento es 1. Cada puntero de lectura avanza por dos direcciones en cada marca de reloj (media frecuencia). La tabla en la parte inferior de la figura 11 muestra un ejemplo del funcionamiento de memoria intermedia y puntero sobre varios ciclos de reloj de lectura y escritura. Esta implantación de memoria intermedia es sólo un ejemplo, y los expertos en la técnica apreciarán que se puede realizar cualquier operación de partición de corriente adecuada que incluya operaciones de partición que no utilicen una memoria intermedia.

Existen múltiples ventajas proporcionadas por esta tecnología, incluyendo, por ejemplo, requisitos de computación reducidos en demodulación y filtrado en general, implantación compacta y optimizada, complejidad de filtro reducida específicamente en cuatro en comparación con la implantación (2) de la figura 9 en $f_{adc}/2$, o reducida en dos en comparación con la implantación (1) de la figura 9 a f_{adc} , y menores frecuencias de muestreo que facilitan la implantación del equipo físico informático y permiten ahorrar energía durante el funcionamiento. Puede usarse un número menor de taps por filtro ($N/2$ en lugar de N), de manera que el ancho interno de bitio permanezca más pequeño a través de la cadena de sumador dentro de los filtros de fase 0 y fase 1. Por lo tanto, la pérdida de precisión debido al redondeo y truncamiento se reduce. El DFD integrado puede usarse también ventajosamente incluso cuando la frecuencia inicial (f_{adc}) de muestreo se pueda conseguir usando las tecnologías existentes.

Aunque se han mostrado y descrito en detalle diversas realizaciones, las reivindicaciones no están limitadas a ninguna realización o ejemplo particular. Ninguna de las descripciones anteriores debe ser interpretada como implicando que cualquier elemento particular, paso, intervalo o función sea esencial, tal que deba ser incluido en el alcance de las reivindicaciones. El alcance de la materia patentada está definido únicamente por las reivindicaciones. Lo que es más, no es necesario que un dispositivo o método solucione todos y cada uno de los problemas que se pretenden resolver, mediante la tecnología descrita, para que sea abarcado por las presentes reivindicaciones. Además, ninguna realización, característica, componente o paso de esta memoria descriptiva está destinada a ser dedicada al público, independientemente de que la forma de realización, característica, componente o paso se recite en las reivindicaciones.

REIVINDICACIONES

1. Un método para su uso en un receptor (10) de radio, que comprende los pasos de:
- 5 traducir una señal de radiofrecuencia, RF, recibida a una señal de frecuencia intermedia, IF,
convertir la señal de IF en una corriente de muestras digitales usando una frecuencia de muestreo que es cuatro veces la IF,
- 10 dividir la corriente de muestras digitales en un primer conjunto de muestras pares y un segundo conjunto de muestras impares,
demodular digitalmente la corriente de muestras digitales para producir una señal compleja con componentes real, Q, e imaginaria, I, en la mitad de la frecuencia de muestreo usando dos demoduladores paralelos (70, 72) en cuadratura, con un primer demodulador (70) en cuadratura que demodula solamente el primer conjunto de muestras pares, y un segundo demodulador (71) en cuadratura que sólo demodula el segundo conjunto de muestras impares,
15 y
filtrar el primer conjunto de muestras pares demoduladas usando un primer conjunto de coeficientes de un filtro digital y el segundo conjunto demodulado de muestras impares usando un segundo conjunto de coeficientes del filtro digital para producir una señal compleja de banda base;
20 caracterizado además porque:
- 25 el paso de filtrado implanta un filtro (24) de respuesta de impulso finito (FIR) de N taps, donde N es un número entero positivo, usando el filtrado digital de bloque con dos trayectos de filtrado paralelos con una de las trayectorias de filtrado funcionando en la mitad de la frecuencia de muestreo en el primer conjunto de muestras pares usando coeficientes pares del filtro de FIR de N taps, y, el otro de los trayectos de filtrado que operan a una mitad de la frecuencia de muestreo en el segundo conjunto de muestras impares, usando coeficientes impares del filtro de FIR
30 de N taps, y
retardar el segundo conjunto de muestras impares antes de filtrar, mediante un período de tiempo de la frecuencia de muestreo.
- 35 2. El método de la reivindicación 1, en el que el filtrado produce la señal compleja de banda base filtrando solamente el primer conjunto demodulado de muestras pares usando un primer conjunto de coeficientes de un filtro digital, y el segundo conjunto demodulado de muestras impares usando un segundo conjunto de coeficientes del filtro digital.
- 40 3. El método de la reivindicación 1, en el que el paso de demodulación digital sólo requiere una operación por muestra de entrada.
4. El método de la reivindicación 1, que comprende adicionalmente el uso sólo de N_0 coeficientes pares del filtro de FIR de N taps para filtrar el primer conjunto de muestras pares, y sólo N_1 coeficientes impares del filtro de FIR de N taps para filtrar el segundo conjunto de muestras impares, donde $N_0 = N/2$ si N es un número par y $N_0 = [N + 1]/2$ si N es un número impar, y $N_1 = N/2$ si N es un número par y $N_1 = [N - 1]/2$ si N es un número impar.
- 45 5. El método de la reivindicación 1, en el que el filtrado sólo requiere N multiplicadores y N-2 sumadores.
6. El método de la reivindicación 1, en el que N es configurable.
- 50 7. El método de la reivindicación 1, en el que la demodulación incluye usar señales de seno y de coseno que tienen una frecuencia que corresponde a la frecuencia de muestreo dividida entre cuatro.
8. El método de la reivindicación 1, que comprende adicionalmente realizar la diezma de señal compleja de banda base dentro del paso de filtrado.
- 55 9. Aparato para su uso en una cadena (10) de receptor de radio superheterodino, donde la cadena de receptor de radio incluye un convertidor analógico-digital (20) para convertir una señal de frecuencia intermedia IF en una corriente de muestras digitales a una frecuencia de muestreo que es cuatro veces la IF, comprendiendo el aparato:
- 60 un partidor (28) configurado para partir la corriente de muestras digitales en un primer conjunto de muestras pares y un segundo conjunto de muestras impares,
un primer demodulador (70) en cuadratura configurado para demodular sólo el primer conjunto de muestras pares para producir una de las componentes real (I) e imaginaria (Q) de una señal compleja en la mitad de la frecuencia de muestreo,
65

- un segundo demodulador (72) en cuadratura configurado para funcionar en paralelo con el primer demodulador en cuadratura para demodular solamente el segundo conjunto de muestras impares para producir la otra de las componentes I y Q de la señal compleja en la mitad de la frecuencia de muestreo,
- 5 un primer filtro digital (58) configurado para filtrar el primer conjunto demodulado de muestras pares usando un primer conjunto de coeficientes, y
- 10 un segundo filtro digital (59) configurado para filtrar el segundo conjunto de muestras impares demodulado usando un segundo conjunto de coeficientes;
- en el que la salida de los filtros digitales primero y segundo corresponde a una señal compleja de banda base, estando el aparato caracterizado adicionalmente porque:
- 15 los filtros primero y segundo son filtros de respuesta de impulso finito (FIR) usados para implantar un filtro de FIR de N taps, donde N es un número entero positivo, con uno de los filtros primero y segundo configurado para funcionar en la mitad de la frecuencia de muestreo en el primer conjunto de muestras pares usando coeficientes pares del filtro de FIR de N taps, y el otro de los filtros primero y segundo configurado para funcionar en la mitad de la frecuencia de muestreo en el segundo conjunto de muestras impares usando coeficientes impares del filtro de FIR de N taps, y
- 20 uno de los filtros primero y segundo de FIR incluye un retraso (56) configurado para retrasar el segundo conjunto de muestras impares mediante un período de tiempo de la frecuencia de muestreo anterior al filtrado.
10. El aparato de la reivindicación 9, en el que la señal compleja demodulada, anterior al filtrado, incluye imágenes alrededor de la mitad de la frecuencia de muestreo.
- 25 11. El aparato de la reivindicación 9, en el que el primer filtro digital está configurado para filtrar solamente el primer conjunto demodulado de muestras pares usando el primer conjunto de coeficientes, y el segundo filtro digital está configurado para filtrar solamente el segundo conjunto demodulado de muestras impares usando el segundo conjunto de coeficientes.
- 30 12. Un receptor (10) de radio superheterodino que incluye el aparato de la reivindicación 9.
13. El aparato de la reivindicación 9, en el que cada uno de los demoduladores en cuadratura primero y segundo realiza solamente una operación por muestra de entrada.
- 35 14. El aparato de la reivindicación 9, en el que el primer filtro de FIR incluye N_0 coeficientes pares de filtro de FIR de N taps, y el segundo filtro de FIR incluye N_1 coeficientes impares de filtro de FIR de N taps, donde $N_0 = N/2$ si N es un número par y $N_0 = [N + 1]/2$ si N es un número impar, y $N_1 = N/2$ si N es un número par y $N_1 = [N-1]/2$ si N es un número impar.
- 40 15. El aparato de la reivindicación 9, en el que los filtros primero y segundo de FIR se implantan con sólo N multiplicadores y N-2 sumadores.
- 45 16. El aparato de la reivindicación 9, en el que N es configurable.
17. El aparato de la reivindicación 9, en el que los filtros primero y segundo de FIR corresponden a las fases primera y segunda de un filtro polifásico (25) y están configurados para filtrar los conjuntos primero y segundo de muestras pares e impares al mismo tiempo.
- 50 18. El aparato de la reivindicación 9, en el que el primer demodulador (70) está configurado para usar una señal de coseno que tiene una frecuencia correspondiente a la frecuencia de muestreo dividida entre cuatro, y el segundo demodulador (72) está configurado para usar una señal de seno que tiene una frecuencia correspondiente a la frecuencia de muestreo dividida entre cuatro.
- 55 19. Un demodulador, un filtro y un diezmadador integrados que incluyen el aparato de la reivindicación 9.
20. Un receptor (10) de radio superheterodino que incluye el demodulador, el filtro y el diezmadador integrados de la reivindicación 19.

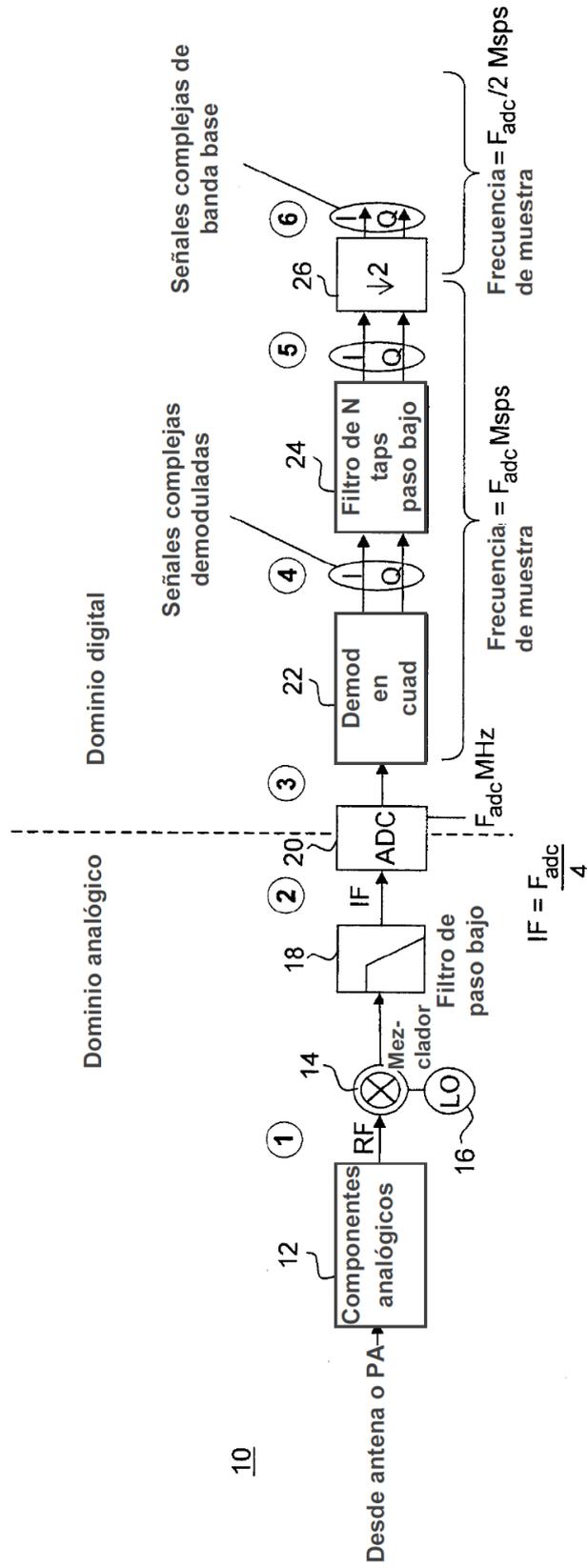


Figura 1

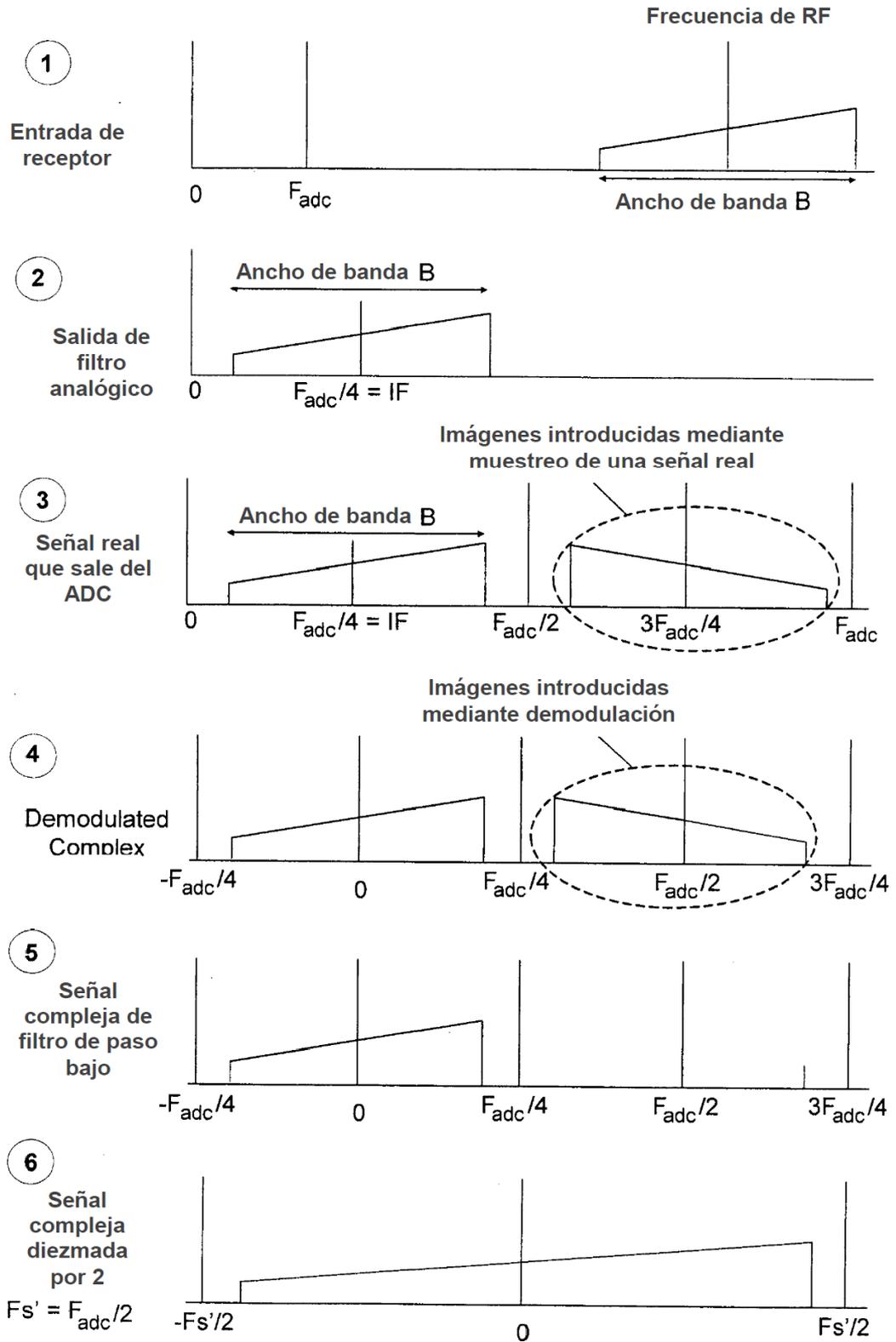


Figura 2

22

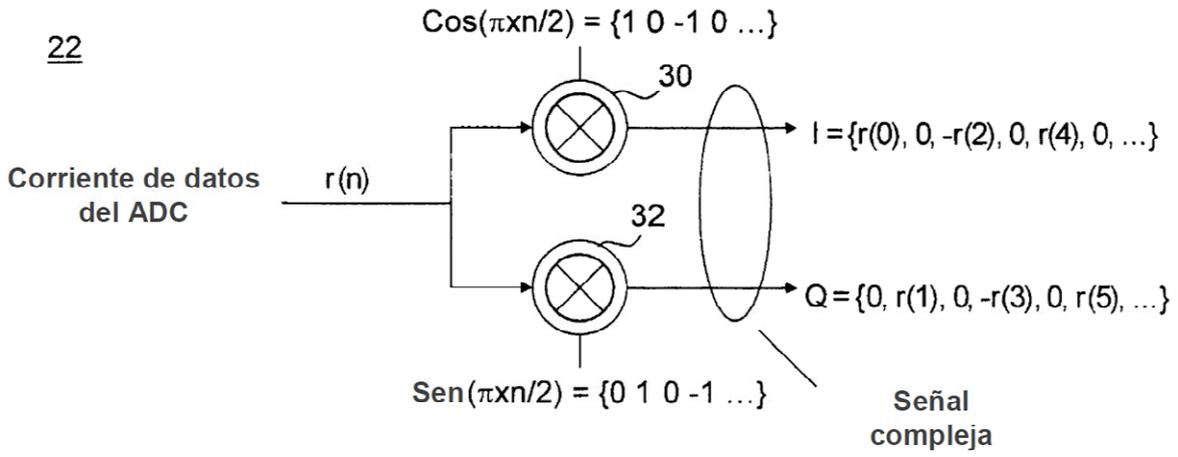


Figura 3

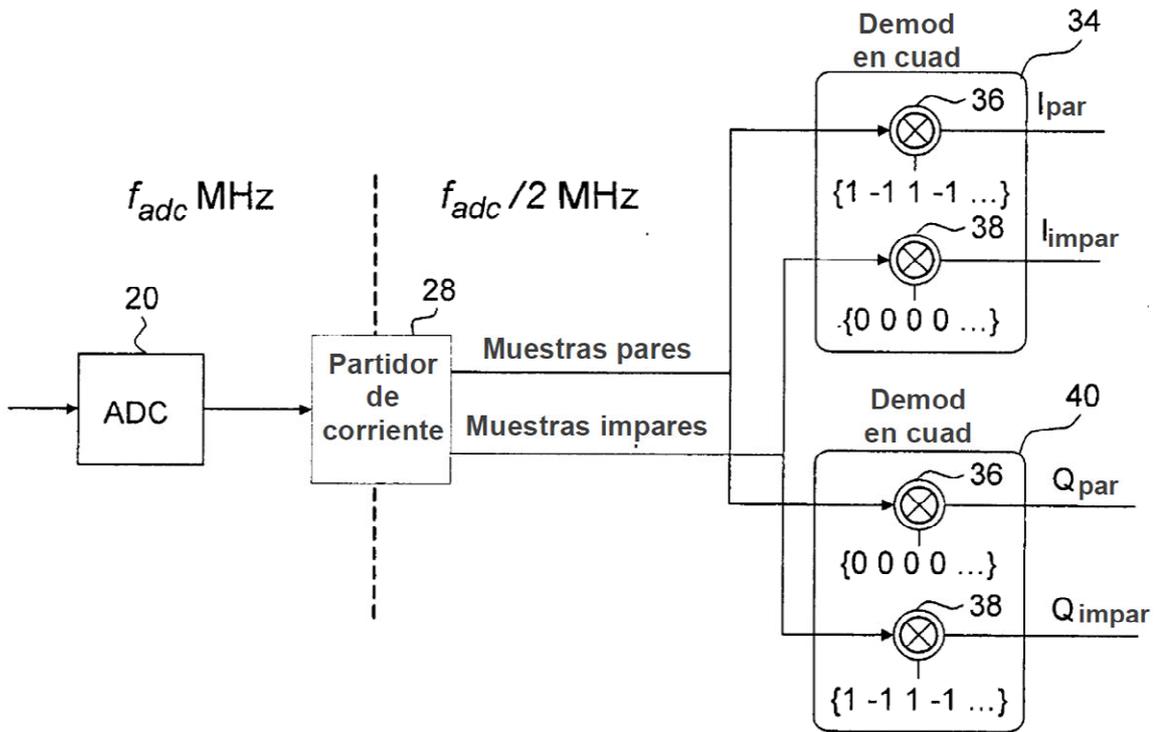


Figura 4

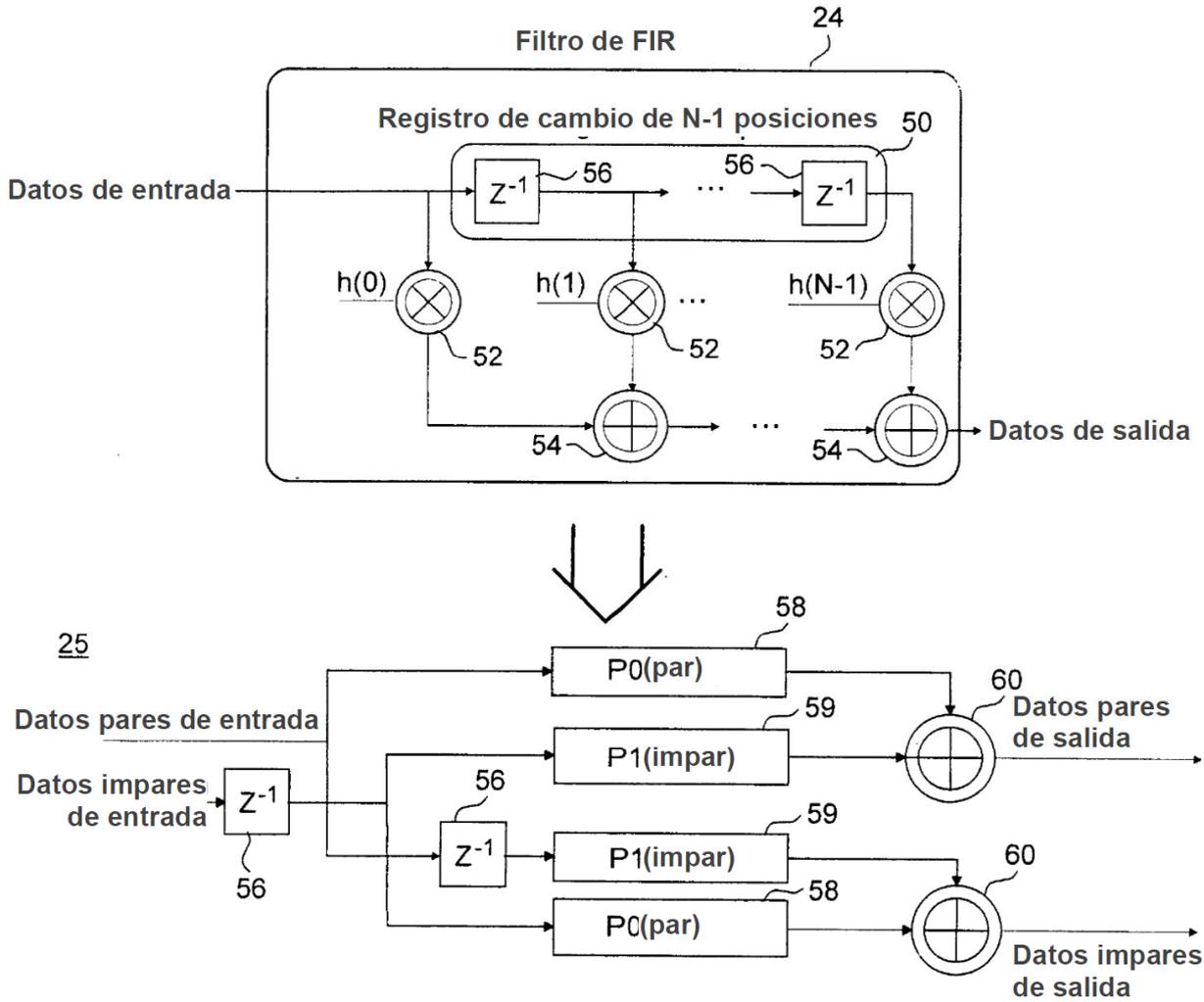


Figura 5

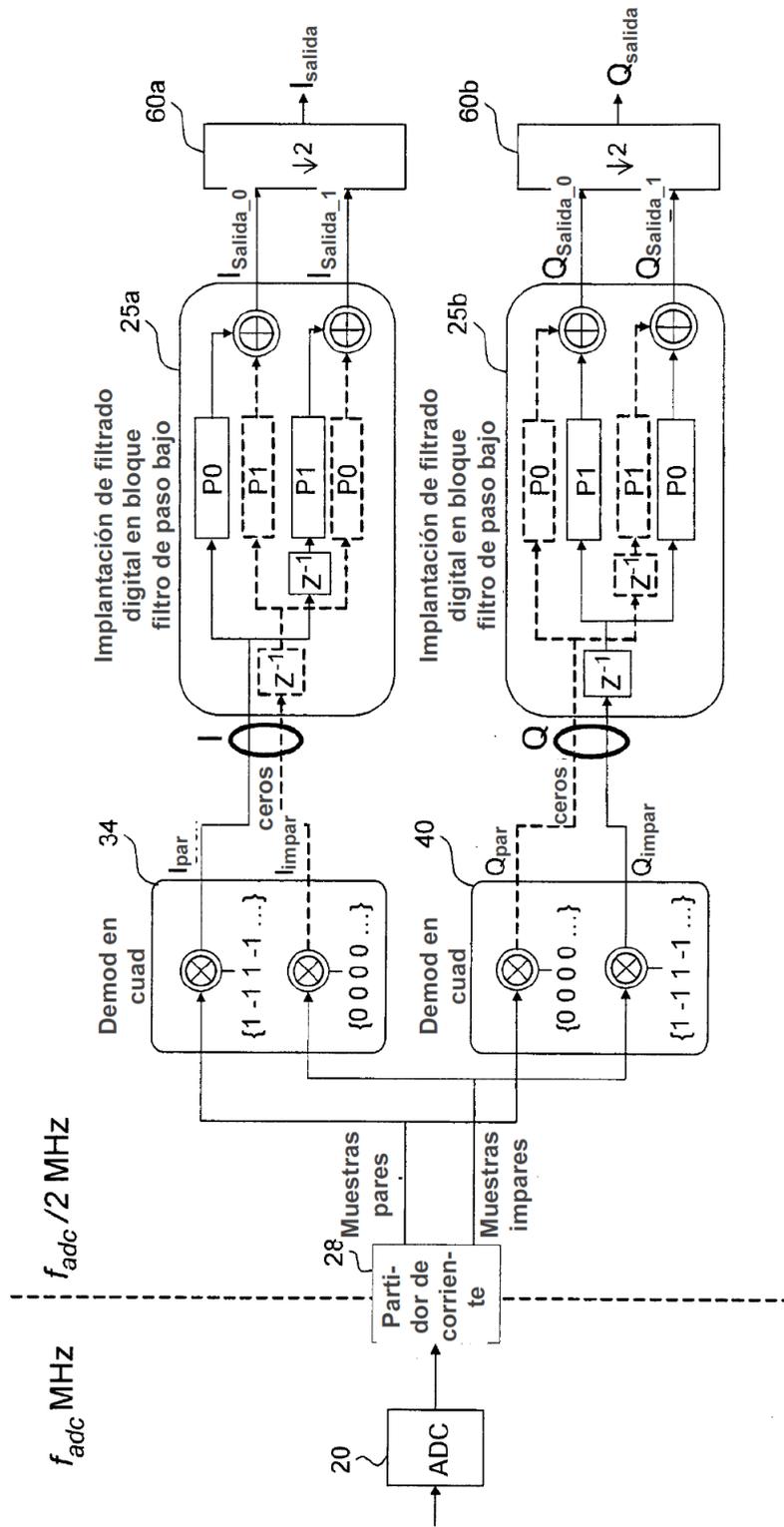


Figura 6

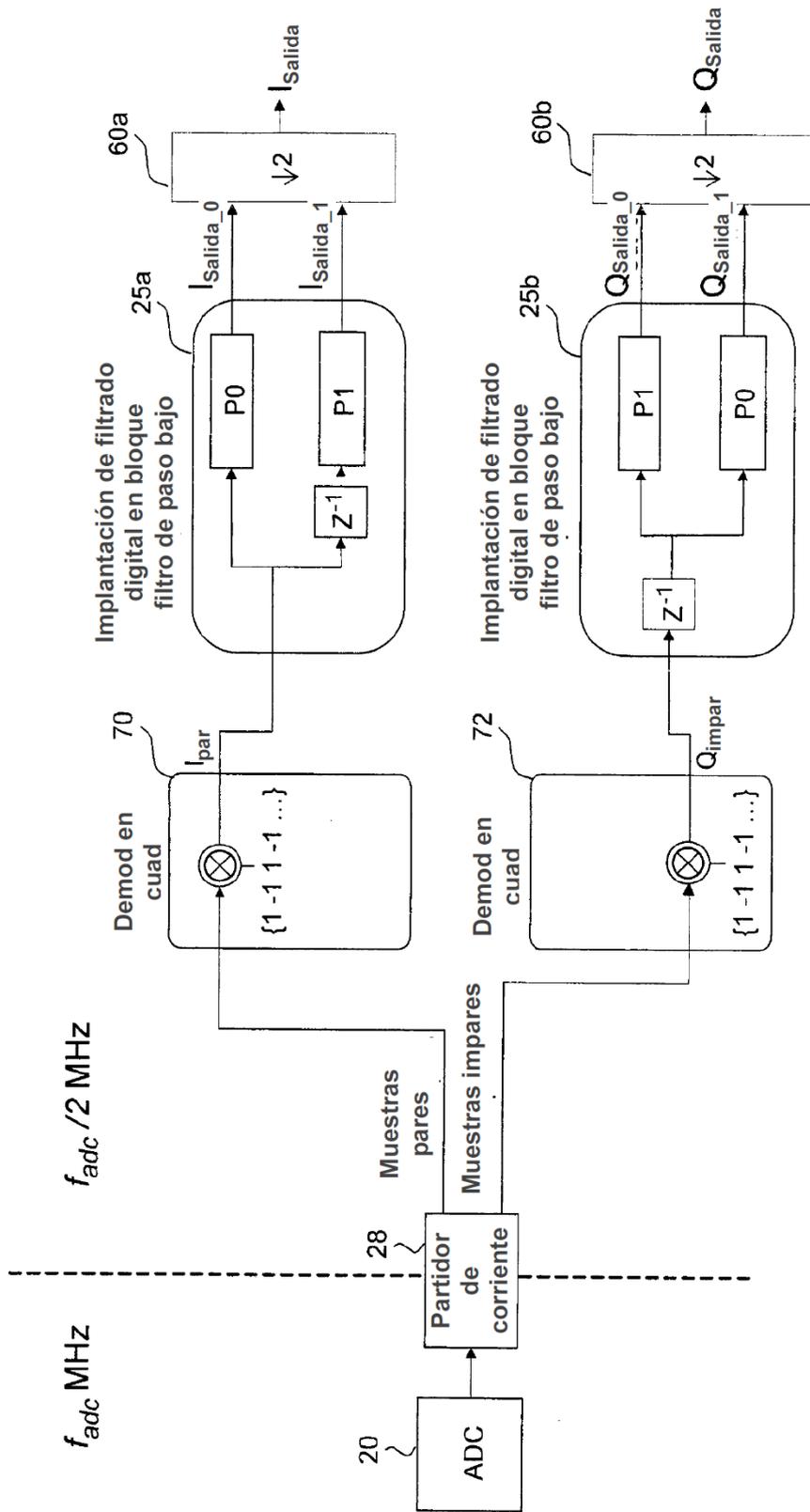


Figura 7

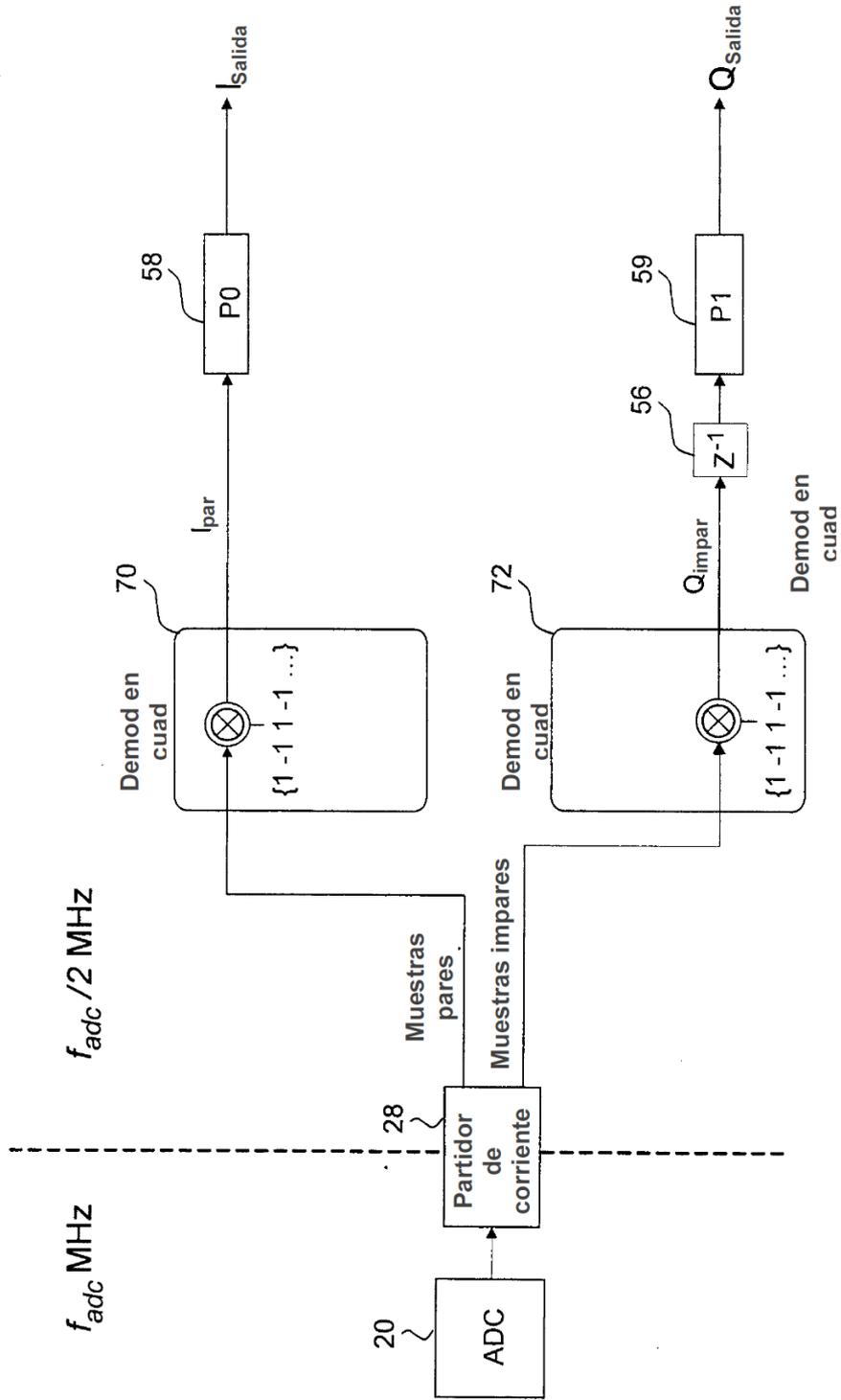
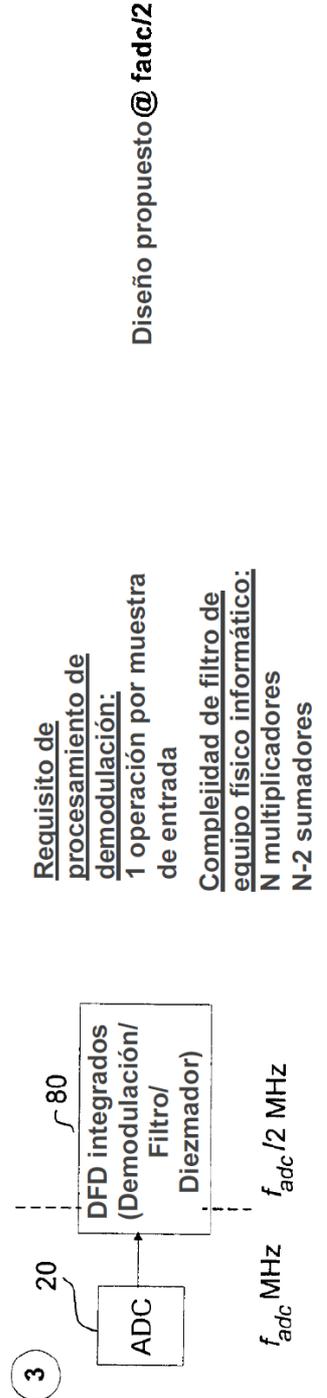
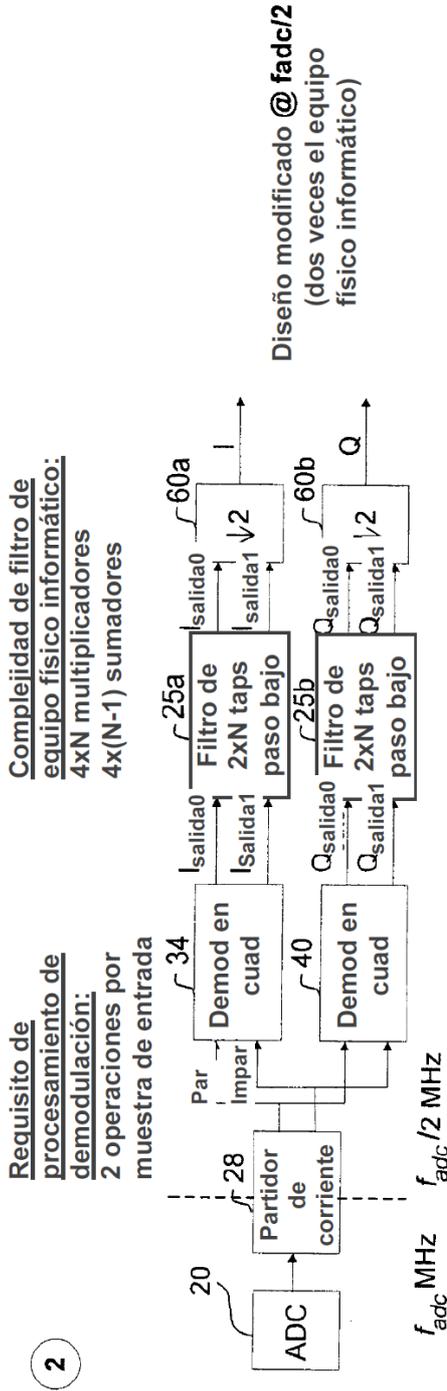
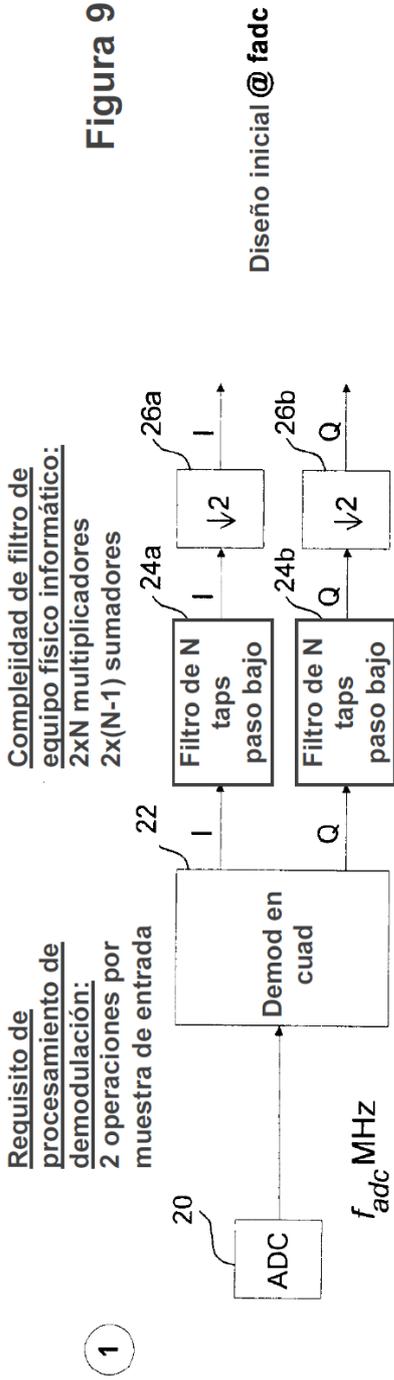


Figura 8

Figura 9



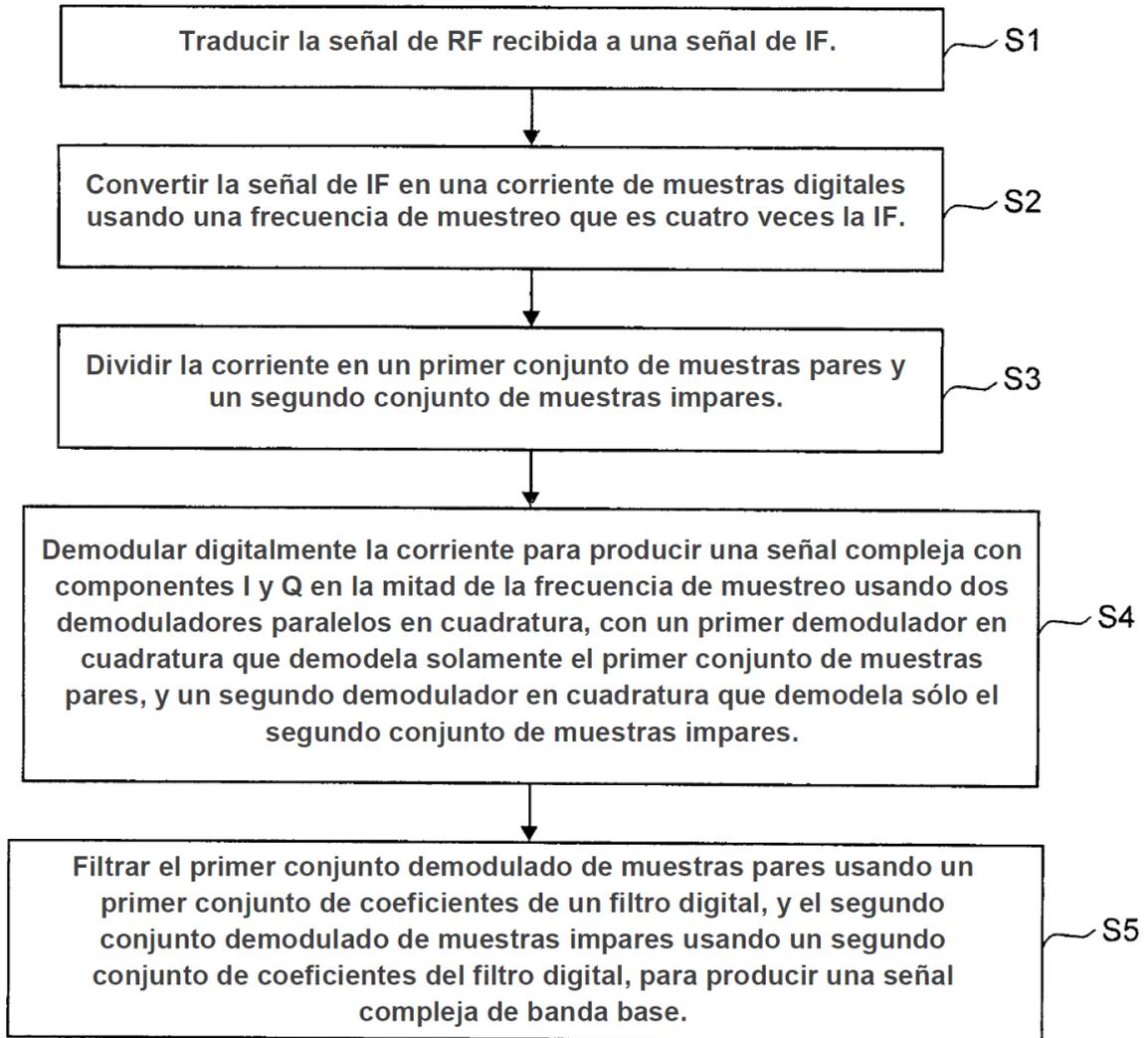


Figura 10

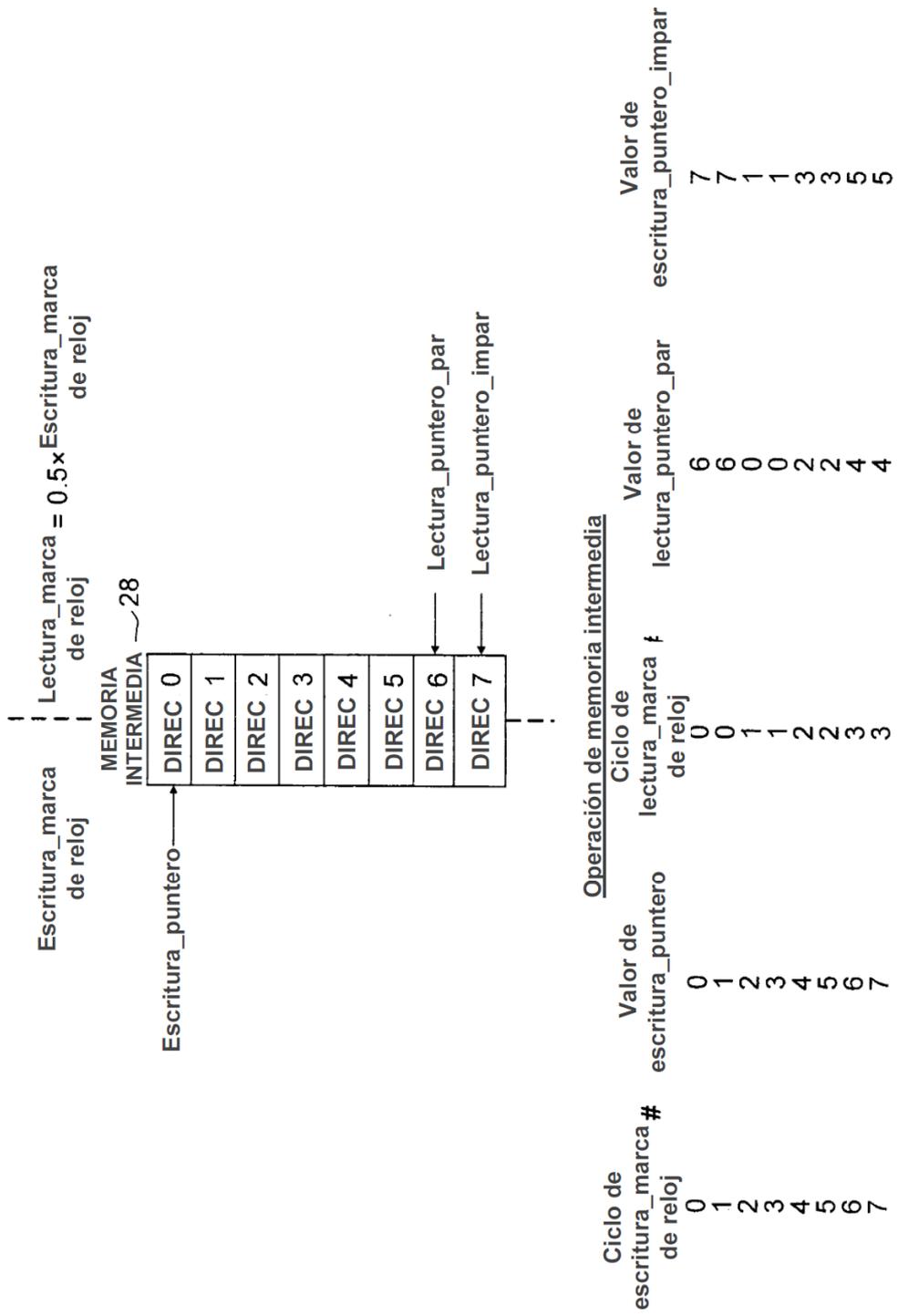


Figura 11