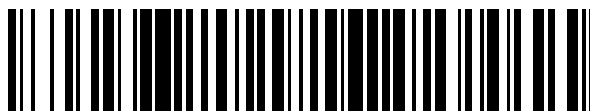


19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 622 145**

51 Int. Cl.:

H03M 3/04 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **22.10.2009 PCT/US2009/061599**

87 Fecha y número de publicación internacional: **29.04.2010 WO10048362**

96 Fecha de presentación y número de la solicitud europea: **22.10.2009 E 09741547 (5)**

97 Fecha y número de publicación de la concesión europea: **18.01.2017 EP 2351228**

54 Título: **Procedimiento y aparato de adición de una señal aleatoria en convertidores de digital a analógico Sigma-Delta de bit múltiple**

30 Prioridad:

23.10.2008 US 107820 P
01.10.2009 US 571892

45 Fecha de publicación y mención en BOPI de la traducción de la patente:
05.07.2017

73 Titular/es:

MICROCHIP TECHNOLOGY INCORPORATED
(100.0%)
2355 West Chandler Boulevard
Chandler, Arizona 85224-6199, US

72 Inventor/es:

DEVAL, PHILIPPE;
QUIQUEMPOIX, VINCENT y
BARRETO, ALEXANDRE

74 Agente/Representante:

CARPINTERO LÓPEZ, Mario

ES 2 622 145 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Procedimiento y aparato de adición de una señal aleatoria en convertidores de digital a analógico Sigma-Delta de bit múltiple

5 La presente descripción se refiere a convertidores de digital a analógico (DAC) y, más particularmente, a un DAC Sigma-Delta con un cuantificador resolución M-bit que tiene entradas digitales que son redondeados con respecto a una secuencia aleatoria o pseudoaleatoria para proporcionar dinámica automática de adición de una señal aleatoria para la eliminación de los tonos de inactividad no deseados en la salida analógica de un DAC Sigma-Delta.

10 Los convertidores de digital a analógico (DAC) son de uso generalizado hoy en aplicaciones electrónicas de consumo, médicas, industriales, etc. Típicamente, los DACs incluyen circuitos para recibir un valor digital y emitir una señal analógica que se determina por el valor digital. El valor de salida digital es típicamente en la forma de una palabra en paralelo o en una cadena de bits digitales en serie. Hay muchos tipos de esquemas de conversión de señal digital a analógica y, cada uno de estos esquemas de conversión tiene sus ventajas y desventajas.

15 Un tipo de DAC que ha visto el aumento de uso es el DAC Sigma-Delta (Sigma-Delta y Delta-Sigma se utilizarán indistintamente en el presente documento). El DAC Sigma-Delta utiliza un modulador Sigma-Delta, donde los valores digitales se introducen en el modulador Sigma-Delta y la salida del mismo se filtra para producir la señal analógica y eliminar el ruido, por ejemplo, un amplificador de potencia de clase D de audio. Un modulador Sigma-Delta en un DAC típicamente convierte los valores digitales de entrada a una cadena de serie digital de "unos" y "ceros" que tiene una amplitud media de tiempo proporcional a la señal analógica representada por los valores digitales. Esta cadena de serie digital se filtra con un filtro de paso bajo de circuitos analógicos para producir la señal analógica deseada. La modulación Sigma-Delta proporciona generalmente una alta precisión y amplio rango dinámico en comparación con las técnicas de modulación delta anteriores. La modulación Sigma-Delta se refiere a menudo como una arquitectura de convertidor sobremuestreada y es típicamente inmune a algunos de los efectos de segundo orden no deseados anteriores de modulación delta.

25 Todos los moduladores Sigma-Delta, que trabajan en un modo continuo, producen tonos de inactividad en sus salidas si se proporciona una cierta entrada periódica o DC. Estos tonos de inactividad son debido al procedimiento de cuantificación y son inherentes en el diseño de la arquitectura del modulador Sigma-Delta.

30 Estos tonos de inactividad no son deseados y crean un comportamiento no deseado en la salida del DAC, por ejemplo, los tonos altos no deseados en un dispositivo de audio. Estos tonos limitan el rango libre dinámico espurio (SFDR) y por lo tanto la señal a ruido y distorsión (SINAD) del dispositivo de DAC. Estos tonos tienen una amplitud y frecuencia que depende en gran medida de la señal de entrada que impide su eliminación con un simple filtrado de la señal de salida.

35 El documento US 6.304.608 desvela un convertidor Sigma-Delta de múltiples bits empleando un elemento dinámico a juego con los tonos de banda reducidos. El documento DE 3509777 desvela un sistema y un procedimiento para reducir los errores de redondeo del filtro. El documento US 2004160348 describe una variable de cuantificación adaptativa en moduladores sigma delta.

40 Por tanto, lo que se necesita es una mejor manera para eliminar tonos de línea libre desde la salida de un convertidor de digital a analógico (DAC). Este y otros objetos se pueden lograr mediante el aparato y procedimiento para la reducción de los tonos de inactividad no deseados mediante la adición de una señal aleatoria a una señal digital en un convertidor de digital a analógico Sigma-Delta de múltiples bits como se define en las reivindicaciones independientes. Otras mejoras se caracterizan en las reivindicaciones dependientes. De acuerdo con las enseñanzas de esta descripción, la eliminación de los tonos de inactividad de la salida de un convertidor Sigma-Delta de digital a analógico (DAC) se lleva a cabo mediante el uso de técnicas de adición de una señal aleatoria para añadir una señal de error en el circuito modulador Sigma-Delta, con lo que decorrelacionando la salida del tono de inactividad para que los tonos de inactividad se atenúan o se cancelan. Esta señal de error es por lo general una señal de frecuencia alta aleatoria, con un promedio de cero de modo que se filtra por el bucle de Sigma-Delta. La aleatoriedad de la señal de error (su no correlación con la señal de entrada) determina la eficiencia del régimen de adición de una señal aleatoria. En un DAC Sigma-Delta, el modulador Sigma-Delta es puramente digital como en lo que sigue se describe más detalladamente.

45 Un Sigma-Delta DAC, de acuerdo con las enseñanzas de esta descripción, comprende un modulador Sigma-Delta M bit ($M > 1$) bit múltiple que tiene un generador de secuencia aleatoria o pseudoaleatoria que controla una secuencia de resolución N(n) y un bloque de redondeo/truncamiento que redondea una señal de entrada de resolución de L bit en una señal de N(n) bit con M-N(n) ceros de relleno. El generador pseudoaleatorio o aleatorio se puede elegir libremente, y en función de la probabilidad para generar números grandes N(n), la función de interpolación será la introducción de errores más o menos grandes en el bucle del modulador. Si la secuencia de resolución está generando grandes números de N(n), la función de error de adición de una señal aleatoria estará introduciendo pequeños errores, no importa cuál sea la entrada digital del cuantificador. Una de las ventajas y desventajas preferidas entre la cantidad de adición de una señal aleatoria y la cantidad de error que se introduce en el bucle se encuentra cuando la secuencia de resolución generada es un número entero entre 1 y M con una probabilidad de 1/M.

60 De acuerdo con un ejemplo de realización específico de esta descripción, un aparato para la reducción de los tonos

de inactividad no deseados por la adición de una señal aleatoria a una señal digital en un Sigma-Delta bit múltiple de digital a analógico (DAC) comprende: un modulador Sigma-Delta de múltiples bits que tiene una entrada de señal digital y una salida de resolución variable, el modulador Sigma-Delta de M bit ($M > 1$) de múltiples bits que comprende: un filtro de bucle digital, un generador de secuencia aleatoria y cuantificador de resolución variable, en el que el filtro de bucle digital recibe una señal digital en la entrada de señal digital y convierte la señal digital a las palabras digitales L bit, el generador de secuencia aleatoria crea una pluralidad de números aleatorios $N(n)$ en una secuencia, donde $N(n)$ son números enteros aleatorios entre 1 y M , y el cuantificador de resolución variable reduce las palabras digitales de L bit a palabras digitales $N(n)$ bits y luego añade ceros a palabras digitales $N(n)$ bit para formar palabras digitales de M bit, donde M es mayor que $N(n)$ y $M-N(n)$ bit menos significativos de las palabras digitales M bit son ceros; un convertidor de digital a analógico bit múltiple (DAC); y un filtro de paso bajo analógico.

De acuerdo con otro ejemplo de realización específico de esta descripción, un aparato para la reducción de los tonos de inactividad no deseados por la adición de una señal aleatoria a de una señal digital en un Sigma-Delta de digital a analógico (DAC) bit múltiple (bit M , $M > 1$) comprende: un modulador Sigma-Delta de múltiples bits tiene una entrada de señal digital y una pluralidad de salidas de resolución variable, el modulador Sigma-Delta de bit múltiple, que comprende: un filtro de bucle digital, una pluralidad de generadores de secuencias aleatorias, y una pluralidad de cuantificadores de resolución variables, en el que el filtro de bucle digital, recibe una señal digital en la entrada de señal digital y convierte la señal digital a palabras digitales de L bit, cada uno de la pluralidad de generadores de secuencias aleatorias creando una pluralidad de números aleatorios $N(n)$ en una secuencia, donde $N(n)$ son números enteros aleatorios entre 1 y M , y cada uno de la pluralidad de cuantificadores de resolución variable reduce las palabras digitales de L bit a palabras digitales de $N(n)$ bits y luego añade ceros a las palabras digitales $N(n)$ bits para formar palabras digitales de M bit, donde M es mayor que $N(n)$ y $M-N(n)$ bits menos significativos de las palabras digitales de M bit son ceros; una pluralidad de los convertidores de digital a analógico de bits múltiples (DACs), cada uno de la pluralidad de DACs de múltiples bits teniendo una salida analógica y una entrada digital acoplada a una respectiva de la pluralidad de salidas de resolución variable del modulador Sigma-Delta bit múltiple; y un filtro de paso bajo analógico tiene una pluralidad de entradas analógicas acopladas a respectivas salidas de la pluralidad de DACs de varios bits.

De acuerdo con otro ejemplo de realización específico de esta descripción, un procedimiento para reducir los tonos de inactividad no deseados por la adición de una señal aleatoria a una señal digital en un modulador Sigma-Delta bit múltiple M bit, comprendiendo dicho procedimiento las etapas de: convertir señales digitales en palabras digitales de L bit con un filtro de bucle digital; la generación de secuencias de números aleatorios de $N(n)$ con un generador de secuencia aleatoria, donde $N(n)$ son números enteros aleatorios entre 1 y M ; la generación de palabras digitales de $N(n)$ bits de las palabras digitales de L bit; la generación de palabras digitales de M bit añadiendo ceros a palabras digitales de $N(n)$ bits para crear las palabras digitales de M bit, donde m es mayor que $N(n)$, y $M-N(n)$ bits menos significativos de las palabras digitales M -bit son cero.

Una comprensión más completa de la presente descripción se puede adquirir por referencia a la siguiente descripción tomada en unión con los dibujos adjuntos en los que:

La figura 1 ilustra un diagrama de bloques esquemático de un solo bucle Sigma-Delta de digital a analógico (DAC) con un cuantificador de bit múltiple;

La figura 2 ilustra un diagrama de bloques esquemático de un solo bucle de un DAC Sigma-Delta con un cuantificador de resolución variable y un generador de secuencias aleatorias, de acuerdo con un ejemplo de realización específico de la presente descripción;

La figura 3 ilustra un diagrama de bloques esquemático de un cuantificador de resolución variable y un generador de secuencia aleatoria, de acuerdo con el ejemplo de realización específico de la presente descripción;

La figura 4 ilustra un diagrama de bloques esquemático más detallado del generador de secuencia aleatoria que se muestra en las figuras 2 y 3, de acuerdo con el ejemplo de realización específico de la presente descripción; y

La figura 5 ilustra un diagrama de bloques esquemático de un Sigma-Delta DAC de truncamiento de bit múltiple dual con dos cuantificadores de resolución variable y dos generadores de secuencias aleatorias, de acuerdo con otro ejemplo de realización específico de esta descripción.

Aunque la presente divulgación es susceptible de diversas modificaciones y formas alternativas, realizaciones de ejemplo específicas de la misma se han mostrado en los dibujos y se describen en el presente documento en detalle. Debe entenderse, sin embargo, que la presente descripción de las realizaciones de ejemplo específicas no pretende limitar la divulgación a las formas particulares descritas en el presente documento, sino que por el contrario, esta descripción se hace para cubrir todas las modificaciones y equivalentes tal como se define mediante las reivindicaciones adjuntas.

Con referencia ahora a los dibujos, los detalles de las realizaciones específicas de ejemplo se ilustran esquemáticamente. Como elementos de los dibujos estarán representados por números similares, y elementos similares estarán representados por números similares con un sufijo de una letra minúscula diferente.

Haciendo referencia a la figura 1, se muestra es un diagrama de bloques esquemático de un convertidor de digital a analógico Sigma-Delta (DAC) de un solo bucle con un cuantificador de bits múltiples. El Sigma-Delta DAC, representado generalmente por el número 100, comprende un modulador Sigma-Delta de M bit de un solo bucle 102, un convertidor de digital a analógico de M bit 104 y un filtro de paso bajo analógico 106. El modulador Sigma-Delta 102 comprende un filtro de bucle digital 110 y un cuantificador de resolución fija 108. El modulador Sigma-Delta 102 también puede utilizar múltiples bucles de realimentación en su diseño.

El cuantificador de resolución fija 108 procesa una palabra de L bit en su entrada(s) y proporciona una palabra de M bit en su salida(s) (donde $L \geq M$). El cuantificador de resolución fija 108 típicamente hace un truncamiento de M bit simple truncando la palabra de entrada L bit en una palabra de salida de M bit mediante la anulación de los bits L-M menos significativos, mientras que los bits más significativos M se dejan sin cambios. M es la resolución del cuantificador de resolución fijada 108. Cuando $M > 1$, la salida del cuantificador es de varios bits y por lo tanto el Sigma-Delta DAC también es de bit múltiple (M bit). El Sigma-Delta DAC puede incorporar uno o más cuantificadores (arquitecturas de cascada), uno o más bucles de retroalimentación y de alimentación de avance, etc. Un solo bucle de varios bits en el modulador Sigma-Delta 102 se ilustra en la figura 1. El procedimiento de cuantificación de L a M bit puede ser, pero no se limita a, una operación de truncamiento o de redondeo. Se prefiere una operación de redondeo, ya que reduce el error de cuantificación, pero requiere más circuitos para llevarse a cabo (por lo general requiere un sumador mientras que una operación de truncamiento no requiere ningún sumador).

Haciendo referencia a la figura 2, se muestra un diagrama de bloques esquemático Sigma-Delta DAC de un solo bucle con un cuantificador de resolución variable y un generador de secuencias aleatorias, de acuerdo con un ejemplo de realización específico de esta descripción. El Sigma-Delta DAC, representado generalmente por el número 200, comprende un modulador Sigma-Delta M bit ($M > 1$) de bucle único 202, un convertidor de digital a analógico de M bit (DAC) 104, y un filtro de paso bajo análogo 106. El modulador Sigma-Delta 202 comprende un filtro de bucle digital 110, un cuantificador de resolución variable 208 y un generador de secuencia aleatoria 214. El modulador Sigma-Delta 202 también puede utilizar bucles de realimentación múltiples en su diseño y la operación de bucle múltiple de retroalimentación se contempla en el presente documento. El cuantificador de resolución variable 208 puede ser un truncador o redondeador de M bit y tiene una salida de M bit como se describe más detalladamente en el presente documento.

El DAC Sigma-Delta de bit múltiple (bit M, $M > 1$) 200 puede tener al menos un cuantificador de resolución variable de varios bits 208 cuya resolución varía con respecto a una secuencia aleatoria o pseudoaleatoria generada por el generador de secuencia aleatoria 214. La secuencia de resolución del cuantificador de resolución variable 208 actúa como un algoritmo de interpolación y proporciona una adición de una señal aleatoria dinámica automática que permite de manera efectiva la eliminación de los tonos de inactividad no deseados en la salida analógica del Sigma-Delta DAC 200. El Sigma-Delta DAC 200 puede ser una arquitectura de bucle único (por ejemplo, como se muestra en la figura 1), de múltiples bucles o en cascada. Se contempla y dentro del alcance de esta descripción que el Sigma-Delta DAC 200 puede estar compuesto de uno o más cuantificadores resolución múltiples bits variables 208 impulsados por uno o más secuencias aleatorias o pseudoaleatorias a partir de uno o más generadores de secuencias aleatorias 214. La salida del cuantificador 208 de resolución variable que se muestra en la figura 2 tiene M bits. Sin embargo, cualquier número de bits de salida puede ser utilizado y se contempla en el presente documento.

Con referencia ahora a la figura 3, se representa un diagrama de bloques esquemático más detallado de un cuantificador de resolución variable y un generador de secuencias aleatorias, de acuerdo con un ejemplo de realización específico de esta descripción. El cuantificador de resolución variable, representado generalmente por el número 208, comprende un truncador o redondeador de N bit 316, y un bloque de función de relleno cero 318. En cada muestra n, un número entero aleatorio entre 1 y M llamado $N(n)$ sigue una secuencia aleatoria o pseudoaleatoria. La secuencia de números aleatorios $N(n)$ se denomina una secuencia de resolución. La secuencia de resolución, $N(n)$, se determina por un generador de secuencia aleatoria o pseudoaleatoria 214, por ejemplo, registro de desplazamiento de retroalimentación lineal de Galois (LFSR), comparadores digitales y un sumador como más adelante se describe con más detalle (figura 4).

Una palabra de L bit desde el filtro de bucle 110 (figura 2) es cronometrada a una frecuencia f_s determinada en una entrada del truncador o redondeador de N bit 316 del cuantificador de resolución de la variable 208. En cada muestra a la frecuencia f_s , el truncador o redondeador de N bit 316 redondea (o trunca) la palabra digital de L bit en una palabra digital de $N(n)$ bit. La salida del truncador o redondeador de N bit 316 a continuación se rellena con ceros en el bloque de función de relleno de ceros 318 para formar palabras digitales de M bit para ser enviadas al DAC de M bit 104 (figura 2). El bloque de función de relleno de ceros 318 obliga a los bits menos significativos $M - N(n)$ de cada entrada de palabra digital de M bit a cero. De este modo la formación de nuevas palabras de M bit que contienen la información de la señal (palabras digitales a ser convertidas a valores de señales analógicas) con una resolución de $N(n)$ bit. Así, las palabras digitales de L bit se codifican en palabras digitales de M bit que tienen una secuencia de resolución variable $N(n)$.

En comparación con un cuantificador de resolución fijada de M bit (figura 1), la resolución del cuantificador variable con una secuencia de resolución $N(n)$ introduce un error de cuantificación adicional dependiente de $N(n)$. La señal de error es la diferencia entre la señal de entrada (L) redondeada a M bit y la señal de entrada redondeado a $N(n)$

bits en cada muestra. Dado que $N(n)$ es aleatoria o pseudoaleatoria, no se correlaciona con la señal de entrada. Dado que el error medio de cuantificación del procedimiento de redondeo es 0 en todo el rango de entrada dinámica, y puesto que la cuantificación se realiza en la frecuencia máxima de muestreo f_s , la resolución variable del procedimiento de redondeo añade una señal no correlacionada, de alta frecuencia, de promedio cero que efectivamente introduce la adición de una señal aleatoria a la señal digital. Por interpolación de la señal digital, los tonos de inactividad son "rotos" y "codificados" por la adición de una señal de error aleatorio o pseudoaleatorio en la entrada digital del cuantificador Sigma-Delta, con lo que la señal aleatoria o pseudoaleatoria será filtrada por el bucle modulador Sigma-Delta y la etapa de salida analógica del filtro de paso bajo, por lo que no se necesita ningún filtrado adicional en la salida analógica para recuperar la señal deseada menos los tonos de inactividad no deseados.

La operación de redondeo puede ser un truncamiento, un redondeo o una operación de suelo. La operación de suelo o redondeo requiere un sumador, en el que la operación de truncamiento requiere la menor cantidad de circuitos con el fin de cambiar los bits de $M-N(n)$ a 0. Sin embargo, se prefiere el régimen de redondeo debido a que minimiza la señal de error y por lo tanto reduce al mínimo la adición de error en la señal de salida, mientras que mantiene el mismo nivel de descorrelación con la entrada como las operaciones de truncamiento o de suelo.

Un ejemplo específico, de acuerdo con las enseñanzas de esta descripción, elimina la señal de error inducido por el cuantificador variable para señales de entrada grandes sin importar cuál sea la secuencia de resolución y por lo tanto lleva a cabo la adición de una señal aleatoria dinámica automática. Cuando $M > 2$ y la codificación de la señal de salida es el complemento a 2 con un bit de desbordamiento (que a menudo se utiliza para el esquema de codificación del Sigma-Delta DAC), la señal de salida digital puede ir desde $110...0$ a $010...0$, o en decimal de $-2M-2$ a $+2M-2$, teniendo $2M-1 + 1$ valores posibles. En este caso, los valores más grandes en la entrada del cuantificador no cambian al redondear a N bits ($N > 1$) no importa cuál sea el valor N . Esto significa que la adición de una señal aleatoria realizada también es automáticamente dinámico, ya que el error de cuantificación es sustancialmente invariable para grandes entradas de valor digital absoluto al cuantificador sin importar la secuencia que sea, y por lo tanto proporciona un rendimiento muy estable.

Un ejemplo de las salidas de cuantificador variables para una secuencia de 3 muestras es como sigue para la secuencia $L = 4$; $N(n)$ para las 3 primeras muestras: 1, 2, 3; $M = 3$, y el procedimiento de truncamiento para el redondeador:

Entrada digital de L bit = XXXX, YYYY, ZZZZ
 Producción de truncador N bit en $N(n)$ bits: X, YY, ZZZ
 Salida digital del cuantificador de resolución de variable sobre M bits: X00, YY0, ZZZ

Con referencia a la figura 4, se representa un diagrama de bloques esquemático más detallado de un generador de secuencias como se muestra en las figuras 2 y 3, de acuerdo con un ejemplo de realización específico de esta descripción. Un generador de secuencia aleatoria simple 214 puede comprender un LFSR Galois R -bits (registro de desplazamiento de retroalimentación lineal) 422, comparadores digitales paralelos $M-1$ 424 y un sumador sencillo 426. Este generador de secuencia aleatoria 214 tiene una distribución equiprobable y genera números enteros equiprobables $N(n)$ en una secuencia pseudoaleatoria, $N(n)$ estando entre 1 y M . El generador de secuencia aleatoria 214 es equiprobable si $(2^R - 1)$ es un múltiplo de M ya que todos los números enteros se toman en el registro LFSR desde 1 hasta $2^R - 1$ solo una vez por ciclo completo del LFSR 422. La longitud de la secuencia determinará la capacidad del algoritmo de adición de una señal aleatoria para cancelar los tonos de inactividad no deseados. Con una larga secuencia, incluso los tonos de inactividad de baja frecuencia serán aleatorizados, y cuando la secuencia es corta, solo las altas frecuencias serán tramadas. La aplicación de las enseñanzas de esta descripción en Sigma-Delta DAC es simple de poner en su lugar y no requiere mucha más circuitería adicional que un cuantificador estándar de varios bits al tiempo que proporciona el tono de reposo eficiente de aleatorización y la eliminación sustancial de la misma.

Haciendo referencia a la figura 5, se muestra un diagrama de bloques esquemático de un truncamiento dual de bit múltiple de un Sigma-Delta DAC con dos cuantificadores de resolución variable y dos generadores de secuencias aleatorias, de acuerdo con otro ejemplo de realización específica de esta descripción. El truncamiento de bits múltiples dual de un Sigma-Delta DAC, representado generalmente por el número 500, comprende un modulador Sigma-Delta de M bit ($M > 1$) de doble bucle 502, convertidores digital-analógico de bit múltiple (DACs) 504a y 504b, y un filtro de paso bajo análogo de entrada dual 506. El modulador Sigma-Delta 502 comprende un filtro digital de bucle 510, cuantificadores de resolución variable 508a y 508b, y generadores de secuencias aleatorias 514a y 514b. El modulador Sigma-Delta 502 utiliza múltiples bucles de retroalimentación en su diseño y la operación de bucle de retroalimentación múltiple se contempla en el presente documento. Los cuantificadores de resolución variable 508 pueden ser truncadores o redondeadores de múltiples bits y tienen salidas de múltiples bits como se describe más detalladamente en el presente documento.

El Sigma-Delta DAC 500 puede ser de bucle múltiple o tener una arquitectura en cascada. Se contempla y dentro del alcance de esta descripción que el Sigma-Delta DAC 500 puede estar compuesto de una pluralidad de cuantificadores de resolución de bits múltiples variable 508, cada uno impulsado por una o más secuencias aleatorias o pseudoaleatorias de uno o más generadores de secuencia aleatoria 514.

5 El Sigma-Delta DAC de bit múltiple (M bit, $M > 1$) 500 puede tener al menos dos cuantificadores de resolución variable de bits múltiples 508 cuya resolución varía con respecto a una secuencia aleatoria o pseudoaleatoria generada por los generadores de secuencias aleatorias 514. La secuencia de resolución a partir de los cuantificadores de resolución variable 508 actúan como algoritmos de adición de una señal aleatoria y proporcionan adición de una señal aleatoria dinámica automática que permite de manera efectiva la eliminación de los tonos de inactividad no deseados en la salida analógica del DAC Sigma-Delta 500.

10 Las salidas de los cuantificadores de resolución variable 508a y 508b que se muestran en la figura 5 tiene M1 y M2 bits, respectivamente. Los cuantificadores de resolución variable 508a y 508b pueden tener el mismo o diferente número de salidas de bits, por ejemplo, $M1 = 3$ y $M2 = 4$, y cualquier número de salidas de bits pueden ser utilizados y se contemplan en este documento. Las entradas de bits múltiples de los DACs 504a y 504b se corresponderían con el número de salidas de bits de los cuantificadores de resolución variable 508a y 508b, respectivamente. También uno de los cuantificadores 508 puede ser de resolución fija y el otro cuantificador 508 puede ser de resolución variable.

15 Aunque se han representado realizaciones de esta descripción, se describe y se define por referencia a realizaciones ejemplares de la divulgación, tales referencias no implican una limitación de la divulgación, y no se infiere tal limitación. El tema que se describe es capaz de modificación considerable, alteración, y los equivalentes de forma y función, como se les ocurrirán a los expertos en la técnica pertinente y que tiene el beneficio de esta divulgación.

REIVINDICACIONES

1. Un aparato para la reducción de los tonos de inactividad no deseados mediante la adición de una señal aleatoria a una señal digital en un convertidor de digital a analógico Sigma-Delta de bit múltiple (DAC), que comprende: un modulador de bits múltiples Sigma-Delta (202; 502) que tiene una entrada y una salida de señal digital (212; 512), el
5 modulador Sigma-Delta de bit múltiple (202; 502) comprendiendo: un filtro de bucle digital (110; 510) que recibe la señal de entrada digital, y que convierte la señal a palabras digitales de L bit en secuencia; y el cuantificador de resolución variable (208; 508) que recibe las palabras digitales de L bit en una secuencia y que emite una palabra digital respectiva de M bit; en donde $M > 1$ y $L > M$; el aparato comprendiendo además un convertidor de digital a analógico de bit múltiple (DAC) que tiene una salida analógica y una entrada digital que recibe la palabra digital
10 respectiva de M bit; y un filtro analógico de paso bajo (106; 105) que tiene una entrada analógica acoplada a la salida analógica del DAC de bit múltiple; el filtro de paso bajo analógico emite una señal de salida analógica respectiva;
el aparato **se caracteriza porque**,
el modulador de múltiples bits sigma delta (202; 502) comprende además un generador de secuencia aleatoria (214;
15 514), el generador de secuencia aleatoria (214; 514) genera una pluralidad de números aleatorios $N(n)$ en una secuencia, en donde cada número aleatorio $N(n)$ es un número entero aleatorio entre 1 y M;
y el cuantificador de resolución variable (208; 508) se controla por el generador de secuencia aleatoria (214; 514) y adaptado para reducir la resolución de la palabra digital respectiva de L bit a una palabra digital respectiva de $N(n)$
20 bits en función del respectivo número aleatorio $N(n)$; y cuando M es mayor que el respectivo número aleatorio $N(n)$, añadir $M-N(n)$ bits menos significativos, comprendiendo cada uno un cero, a esta palabra digital respectiva de $N(n)$ bits para generar la palabra de M-bit respectiva.
2. El aparato de acuerdo con la reivindicación 1, en el que el modulador de bit múltiple sigma delta (202) comprende, además:
una pluralidad de salidas adicionales (512a, 512b),
25 una pluralidad de otros generadores de secuencias aleatorias (514a, 514b), y
una pluralidad de cuantificadores adicionales de resolución variable (508a, 508b) estando cada uno controlado por uno respectivo de la pluralidad de otros generadores de secuencia aleatoria (514a, 514b),
en el que
el filtro de bucle digital (510) está configurado para convertir la señal digital en una pluralidad de palabras digitales
30 adicionales de L bit (L_1, L_2) en una secuencia, cada palabra digital adicional de L bit respectiva r siendo alimentada a uno de la pluralidad de cuantificadores de resolución variable adicionales (508a, 508b), cada uno de la pluralidad de otros generadores de secuencia aleatoria (514a, 514b) crea uno respectivo de la pluralidad de números aleatorios $N(n)$ en una secuencia, y
cada uno de la pluralidad de cuantificadores de resolución variable adicional (508a, 508b) reduce la resolución de la
35 respectiva de la pluralidad de palabras digitales de L bit (L_1, L_2) a una respectiva palabra digital de $N(n)$ bits y cuando M es mayor que el número aleatorio respectivo $N(n)$ añade $M-N(n)$ bits menos significativos a la respectiva palabra digital de $N(n)$ bits para generar una palabra digital de M bit respectiva, en el que los $M-N(n)$ bits menos significativos de la palabra digital respectiva de M bit son ceros;
y en el que el aparato comprende: una pluralidad de otros convertidores de digital a analógico de múltiples bits (DAC) (504a, 504b), cada uno de la pluralidad de otros DACs de múltiples bits (504a, 504B) teniendo una salida analógica y una entrada digital acoplada a una respectiva de la pluralidad de otras salidas (512a, 512b) del
40 modulador de múltiples bits Sigma-Delta (502); y en el que el filtro de paso bajo analógico (506) comprende una pluralidad de otras entradas analógicas acopladas a respectivas salidas de la pluralidad de DACs de múltiples bits adicionales (504a, 504b).
3. El aparato de acuerdo con la reivindicación 2, en el que para cada uno de la pluralidad de cuantificadores de resolución variable (508a, 508b) M es diferente.
4. El aparato de acuerdo con la reivindicación 2, en el que para cada uno de la pluralidad de cuantificadores de resolución variable (508a, 508b) M es el mismo.
5. El aparato de acuerdo con la reivindicación 3, en el que para uno de la pluralidad de cuantificadores de resolución
50 variable (508a; 508b) M es tres y para otro de la pluralidad de cuantificadores de resolución variable (508b; 508a) M es cuatro.
6. El aparato de acuerdo con una de las anteriores reivindicaciones, en el que cada generador de secuencias de números aleatorios (214; 514a, 514b) comprende:
un registro de desplazamiento de retroalimentación lineal (422), en particular un registro de desplazamiento de
55 realimentación lineal Galois, que tiene una salida de R bit;
una pluralidad de comparadores digitales (424a..m), cada uno de la pluralidad de comparadores digitales (424a..m) teniendo un umbral digital diferente, una entrada digital de R bits acoplada al registro de desplazamiento de retroalimentación lineal (422), y una salida digital; y

un sumador digital (426) que tiene entradas acopladas a las salidas digitales de la pluralidad de comparadores digitales (424a..m), y una salida acoplada al cuantificador de resolución variable r respectiva (208; 508a, 508b).

7. El aparato de acuerdo con una de las reivindicaciones anteriores, en el que cada cuantificador de resolución variable (208; 508a, 508b) comprende:

5 un truncador de N bit (316) que tiene una entrada de L bit, una entrada de $N(n)$ bits y una salida de $N(n)$ bits, en el que la entrada de L bit recibe la palabra digital de L -bit respectiva y la entrada N bit del truncador (316) está acoplada al generador de secuencia aleatoria respectivo (214; 514a, 514b); y recibe el número aleatorio $N(n)$ respectivo;
 10 una función de relleno de ceros (318) acoplada a la salida de $N(n)$ bits del truncador de N bit (316), en el que la función de relleno de ceros añade ceros a los $M-N(n)$ bits menos significativos para generar la palabra digital de M bit respectiva.

8. El aparato de acuerdo con una de las reivindicaciones anteriores 1 a 3, en el que cada cuantificador de resolución variable (208; 508a, 508b) comprende:

15 un redondeador de N bit (316) que tiene una entrada de L bit, una entrada de $N(n)$ bits y una salida de $N(n)$ bits, en el que la entrada de L bit recibe la palabra de L -bit y la entrada de N bit respectiva
 el redondeador (316) está acoplada al generador de secuencia aleatoria respectivo (214, 514a, 514b); y
 una función de relleno de ceros (318) acoplada a la salida de $N(n)$ bits del redondeador de N bit (316), en el que la función de relleno de ceros añade ceros a $M-N(n)$ bits menos significativos para generar la palabra digital de M bit respectiva.

20 9. El aparato de acuerdo con una de las reivindicaciones anteriores, en el que el muestreo de la respectiva palabra digital r de L bit y la generación de las respectivas de las secuencias de número aleatorio de $N(n)$ se producen a intervalos de frecuencia predefinidos.

25 10. Un procedimiento para reducir los tonos de inactividad no deseados por la adición de una señal aleatoria a una señal digital en un convertidor de digital a analógico Sigma-Delta de bit múltiple, el procedimiento que comprende las etapas de:

convertir la señal digital en palabras digitales de L bit en una secuencia con un filtro de bucle digital (210; 510);
 generar r una pluralidad de números aleatorios $N(n)$ en una secuencia con un generador de secuencia aleatoria (214; 514), en el que cada número aleatorio $N(n)$ es un número entero aleatorio entre 1 y M , en el que $M > 1$ y $L > M$;
 30 cuantificar la respectiva palabra r digital de L bit de las palabras digitales de L bit en una secuencia y la reducción de la resolución r de la palabra digital respectiva de L bit a una palabra digital de $N(n)$ bits respectiva, dependiendo del respectivo número aleatorio $N(n)$; y cuando M es mayor que el número aleatorio respectivo $N(n)$, sumando $M-N(n)$ bits menos significativos que comprenden cada uno un cero a la respectiva palabra digital de $N(n)$ bits para generar una palabra digital de M -bit respectiva, convertir la respectiva palabra digital de M -bit
 35 en una señal analógica correspondiente mediante el uso de un convertidor de digital-analógico de bit múltiple(DAC) y el filtrado de paso bajo de la señal analógica mediante el uso de un filtro de paso bajo para emitir una señal de salida analógica respectiva.

40 11. El procedimiento de acuerdo con la reivindicación 10, en el que la etapa de generación de la palabra digital de $N(n)$ bits a partir de la palabra digital de L bit comprende la etapa de truncar la palabra digital de L bit en la palabra digital de $N(n)$ bit con un truncador de N bit.

12. El procedimiento de acuerdo con la reivindicación 10, en el que la etapa de generación de la palabra digital de $N(n)$ bit de la palabra digital de L bit comprende la etapa de rodear la palabra digital de L bit en la palabra digital de $N(n)$ bit con un redondeador (316).

45 13. El procedimiento de acuerdo con una de las reivindicaciones anteriores 10 a 12, en el que la etapa de añadir $M-N(n)$ bits menos significativos a la palabra digital de $N(n)$ Z bit se lleva a cabo con una función de relleno de ceros (318).

14. El procedimiento de acuerdo con una de las reivindicaciones anteriores 10 a 13, en el que la etapa de generación de los números aleatorios $N(n)$ comprende las etapas de:

50 proporcionar un registro de desplazamiento de retroalimentación lineal (422), en particular un registro de desplazamiento de realimentación lineal Galois, que tiene una salida de R -bit;
 proporcionar una pluralidad de comparadores digitales (424a..m), cada uno de la pluralidad de comparadores digitales (424a..m) teniendo un umbral digital diferente, una entrada digital de R bits acoplada al registro de desplazamiento de retroalimentación lineal (422), y una salida digital; y
 proporcionar un sumador digital (426) que tiene entradas acopladas a las salidas digitales de la pluralidad de comparadores digitales (424a..m), y una salida acoplada a la resolución del cuantificador variable (208; 508), con
 55 lo que se generan los números aleatorios $N(n)$.

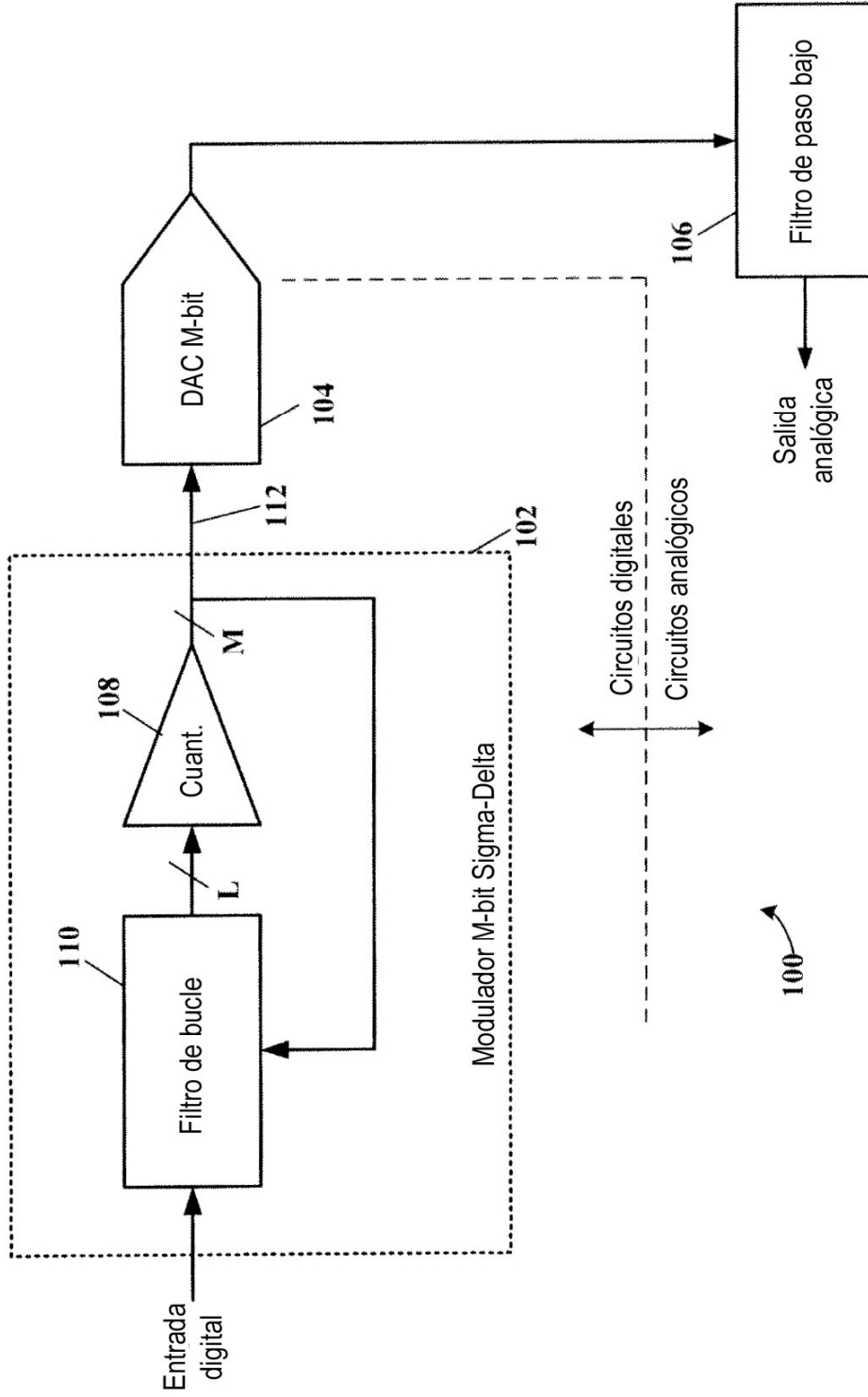


FIGURA 1

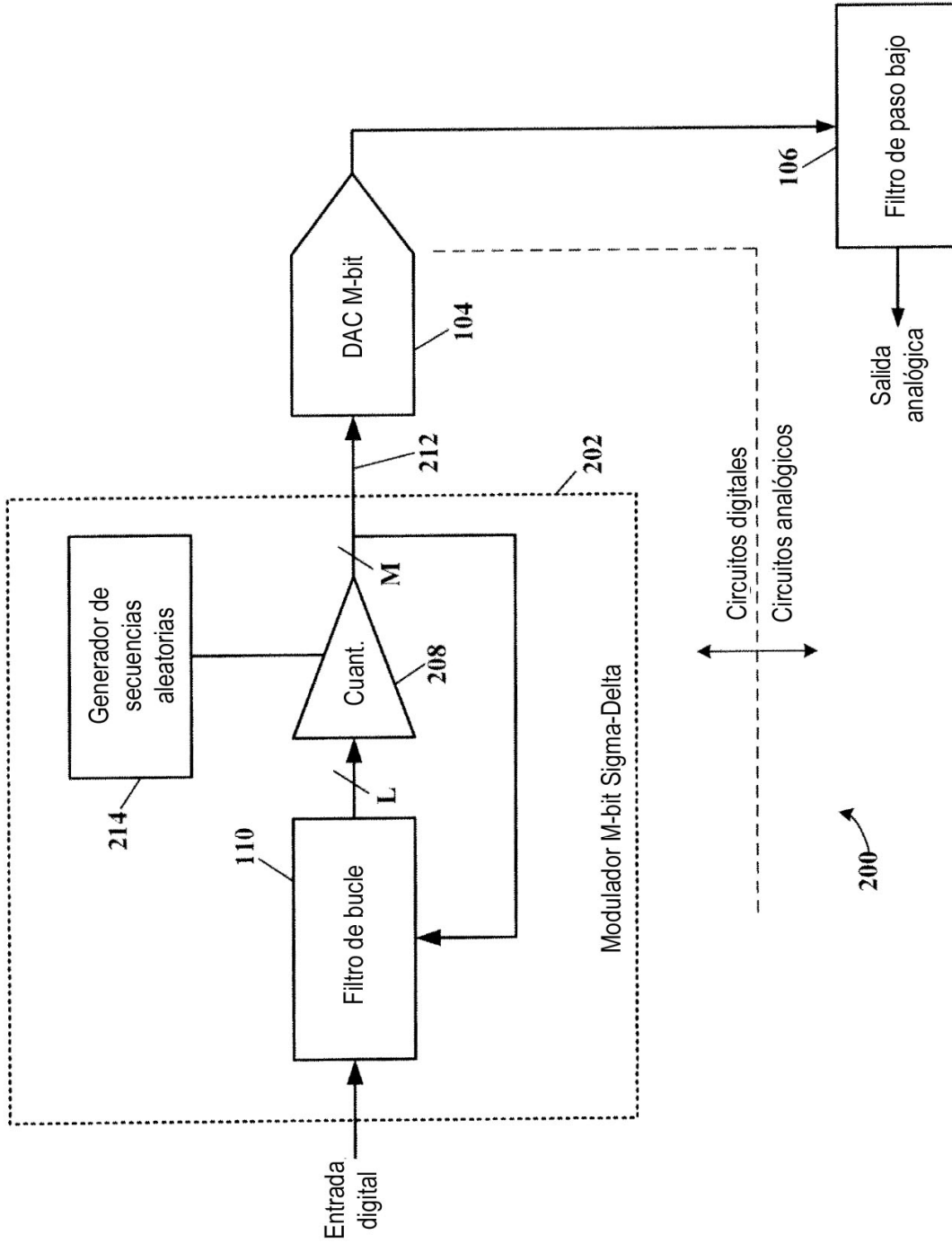


FIGURA 2

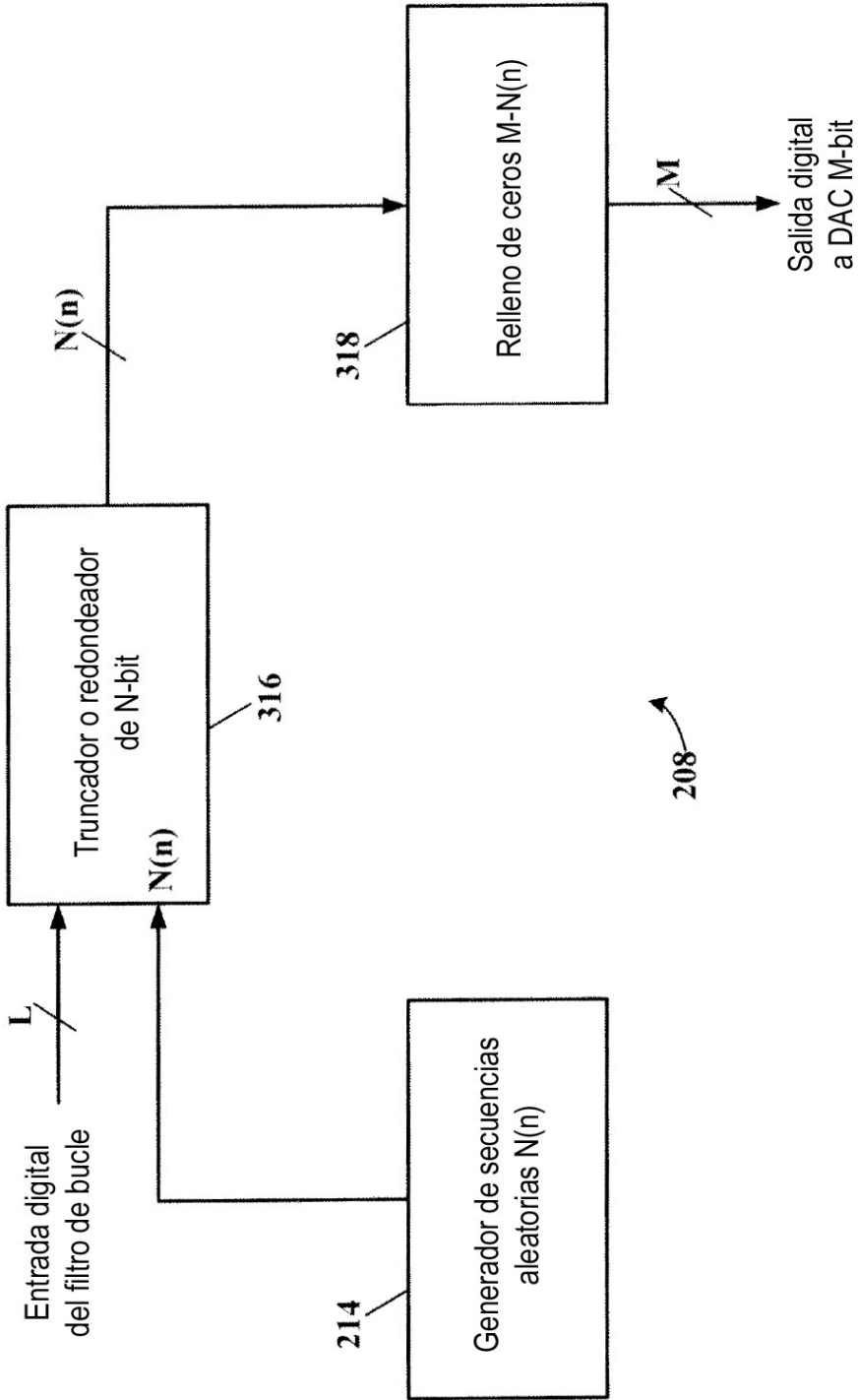


FIGURA 3

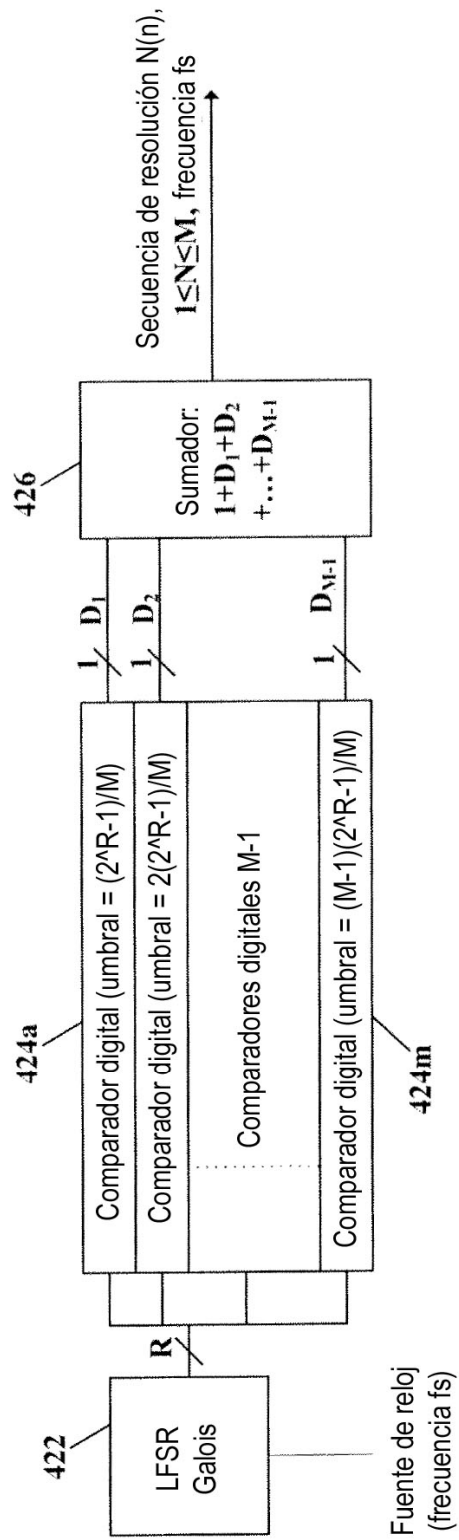


FIGURA 4

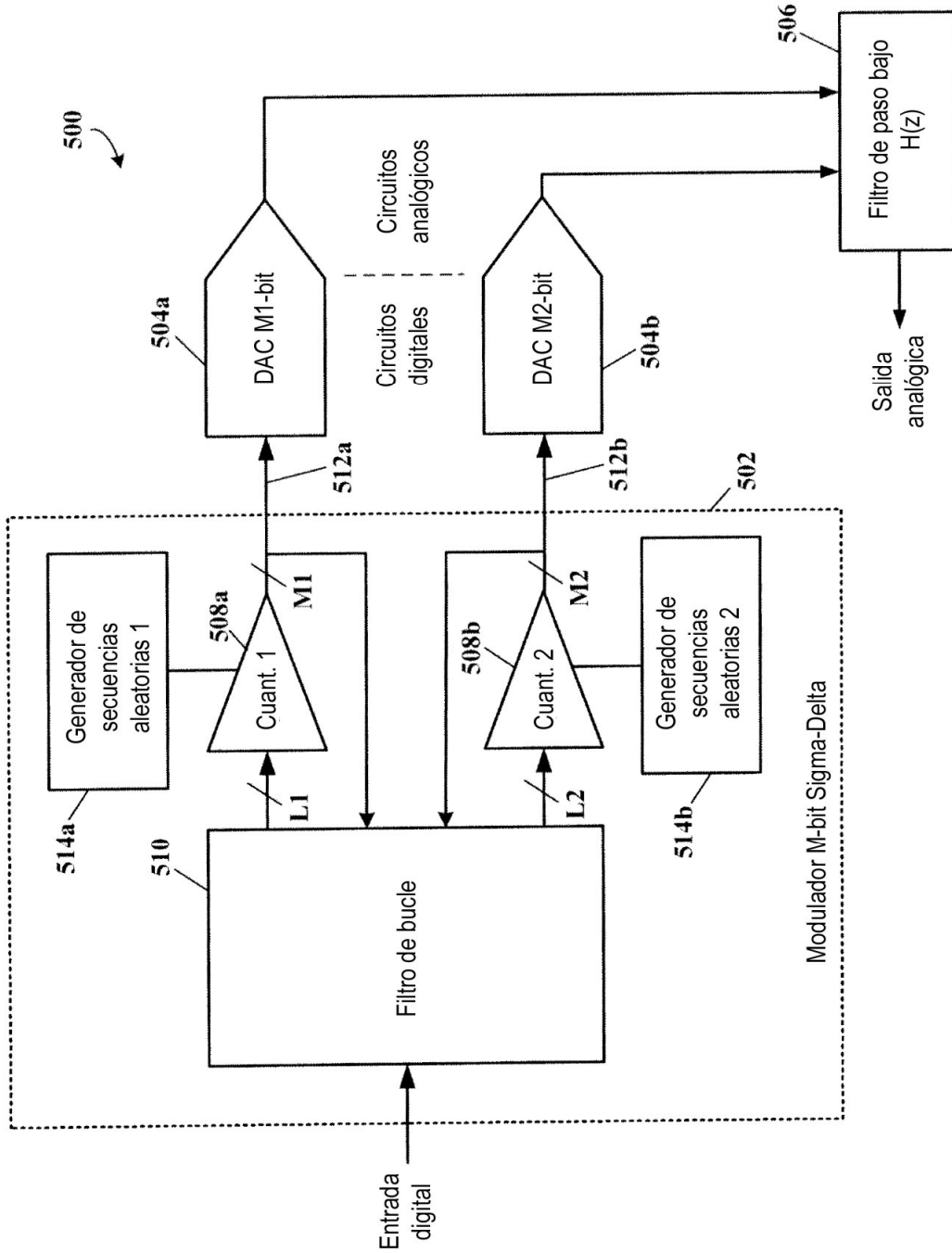


FIGURA 5