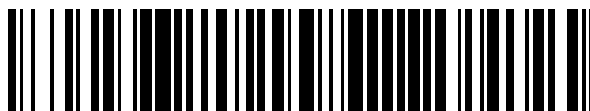


19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 622 867**

51 Int. Cl.:

G11C 7/00 (2006.01)

G11C 7/06 (2006.01)

G11C 7/08 (2006.01)

G11C 7/12 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **22.03.2011 PCT/US2011/029479**

87 Fecha y número de publicación internacional: **29.09.2011 WO11119643**

96 Fecha de presentación y número de la solicitud europea: **22.03.2011 E 11710992 (6)**

97 Fecha y número de publicación de la concesión europea: **18.01.2017 EP 2550654**

54 Título: **Amplificador de detección de corriente con cierre de doble detección**

30 Prioridad:

25.03.2010 US 731623

45 Fecha de publicación y mención en BOPI de la traducción de la patente:
07.07.2017

73 Titular/es:

**QUALCOMM INCORPORATED (100.0%)
Attn: International IP Administration 5775
Morehouse Drive
San Diego California 92121, US**

72 Inventor/es:

**CHEN, NAN y
CHABA, RITU**

74 Agente/Representante:

FORTEA LAGUNA, Juan José

ES 2 622 867 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Amplificador de detección de corriente con cierre de doble detección

5 **Campo de la divulgación**

Los modos de realización divulgados se refieren a circuitos y procedimientos de amplificadores de detección. En particular, los modos de realización se refieren a amplificadores de detección de corriente con cierre de doble detección.

10

Antecedentes

Los dispositivos de memoria incluyen convencionalmente matrices de celdas de bit que almacenan un bit de datos cada una. Cada bit de datos puede representar un bajo lógico ("0") o un alto lógico ("1"), que pueden corresponder a un estado de la celda de bit. Por ejemplo, durante una operación de lectura, un nivel de tensión de una celda de bit seleccionada próxima a tierra puede representar un bajo lógico o "0" y un nivel de tensión más alto puede representar un alto lógico o "1". Las líneas de bits están acopladas a varias celdas de bit de la matriz de memoria y acoplan las celdas de bit a otros componentes usados en las operaciones de lectura / escritura.

15

20

Por ejemplo, durante una operación de lectura, la tensión / corriente que representa un estado de una celda de bit seleccionada se puede detectar a través de las líneas de bits acopladas a la celda de bit seleccionada. Un amplificador de detección puede estar acoplado a las líneas de bits para amplificar la tensión / corriente diferencial y ayudar a determinar el estado lógico de la celda de bit.

25

Como se ha analizado anteriormente, un amplificador de detección (SA) es un componente básico que se utiliza para operaciones de dispositivos de memoria. Un amplificador de detección utilizado comúnmente es un amplificador de detección de corriente con cierre (CLSA).

30

La FIG. 1 ilustra un CLSA 100 convencional. Haciendo referencia a la FIG. 1, el CLSA 100 incluye unos transistores NMOS N1 a N5, unos transistores PMOS P1 a P4 y unos condensadores C1 y C2. El CLSA 100 recibe una línea de bits BIT y una línea de bits invertidos BITB de entrada diferenciales, una señal de detección SENSE y está acoplado a una tensión de fuente de alimentación Vdd.

35

Haciendo referencia a la FIG. 1, las entradas diferenciales BIT, BITB se aplican a las puertas de los transistores NMOS N1 y N2, respectivamente. La señal de detección SENSE se aplica al transistor NMOS N5 y a los transistores PMOS P1 y P4. Cuando la señal de detección SENSE es baja, los transistores P1 y P4 están conduciendo o están "activos" y permiten que los condensadores C1 y C2 se carguen. Cuando la señal de detección SENSE hace la transición a un nivel lógico superior (por ejemplo, "1"), la corriente a través de las puertas N1 y N2 será diferente si las tensiones de las entradas diferenciales BIT y BITB son diferentes. Un flujo de corriente diferente a través de N1/N3 y N2/N4 causará una diferencia de tensión entre los nodos de salida sout y south, puesto que los condensadores se descargarán a una velocidad diferente. Si la tensión de uno de los nodos de salida (sout o south) alcanza un valor de umbral para activar uno de los transistores P2 o P3 en acoplamiento cruzado, y para desactivar uno de los correspondientes transistores N3 o N4, entonces uno correspondiente de los nodos sout o south se acoplará a Vdd. El otro par de transistores P1/N3 o P2/N4 en acoplamiento cruzado con el nodo de salida (sout o south) y acoplado a Vdd permanecerá en un estado con el transistor PMOS apagado y el transistor NMOS en conducción. En consecuencia, uno de los nodos de salida sout o south se bloqueará en un estado alto y el otro nodo de salida se descargará, de tal modo que el diferencial de tensión entre sout y south se amplificará aún más.

40

45

50

La FIG. 2 ilustra otro CLSA 200 convencional. Haciendo referencia a la FIG. 2, el CLSA 200 incluye unos transistores NMOS N1 a N5, unos transistores PMOS P1 a P6 y unos condensadores C1 y C2. El CLSA 200 recibe unas entradas diferenciales BIT y BITB, una señal de detección SENSE y está acoplado a una tensión de fuente de alimentación Vdd. El funcionamiento del CLSA 200 es similar al del CLSA 100. Sin embargo, el CLSA 200 difiere del CLSA 100 en que las entradas diferenciales BIT y BITB están acopladas a unos nodos sa y sab a través de los transistores PMOS P5 y P6 (que no están presentes en el CLSA 100) antes de la activación de una operación de detección (cuando la señal de detección SENSE es baja), con lo cual puede aumentar una sensibilidad del CLSA 200 en comparación con el CLSA 100.

55

60

Por lo tanto, el CLSA 100 y el CLSA 200 están configurados para detectar diferenciales de tensión en diferentes maneras. Además, el CLSA 200 es capaz de lograr una mayor sensibilidad que el CLSA 100 pero solo a expensas de incluir transistores PMOS adicionales, que pueden aumentar el área de disposición, el consumo de energía y las fugas del amplificador de detección. El documento US 2004/0136253, en el que se basa el preámbulo de la reivindicación independiente, se refiere a un amplificador de detección de tipo cierre con un circuito de acoplamiento de líneas de bits para conectar selectivamente las entradas de dos inversores a una respectiva línea de bits para una matriz de memoria. El circuito detecta una diferencia de tensión entre las líneas de bits proporcionando una señal de habilitación de amplificador de detección retardada para pasar por los transistores con el fin de retardar la desconexión de las líneas de bits del amplificador hasta que se termine una acción de cierre. El documento

65

US2007/0109024 describe un amplificador de detección de tipo cierre en el que un nodo de almacenamiento de datos y el nodo de almacenamiento de datos complementarios se cargan o descargan de una manera insensible a un desajuste entre dos transistores NMOS.

5 **SUMARIO**

Los ejemplos de modo de realización se refieren a amplificadores de detección de corriente con cierre y a circuitos y procedimientos relacionados. De acuerdo con la presente invención, se proporciona: un amplificador de detección de corriente con cierre de acuerdo con las reivindicaciones adjuntas.

10 En consecuencia, un modo de realización puede incluir un amplificador de detección de corriente con cierre, que comprende: un primer y segundo transistores acoplados a una primera y segunda líneas de bits, respectivamente, estando configurados el primer y segundo transistores para acoplar la primera y segunda líneas de bits a un primer y segundo nodos de salida del amplificador de detección en una primera fase y para aislar el primer y segundo nodos de salida en una segunda fase; y un tercer y cuarto transistores que presentan unas puertas acopladas a la primera y segunda líneas de bits y acopladas a unas trayectorias de corriente del primer y segundo nodos de salida, respectivamente, y configurados para activarse durante la segunda fase.

20 Otro modo de realización se refiere a un procedimiento de detección de un diferencial entre dos líneas de bits, que comprende: acoplar una primera línea de bits a un primer nodo de salida de un amplificador de detección y una segunda línea de bits a un segundo nodo de salida del amplificador de detección, en una primera fase para suministrar una tensión diferencial inicial al amplificador de detección; desacoplar la primera línea de bits del primer nodo de salida y la segunda línea de bits del segundo nodo de salida durante una segunda fase; y amplificar la tensión diferencial inicial descargando el primer nodo de salida basándose en una tensión de la segunda línea de bits y el segundo nodo de salida basándose en una tensión de la primera línea de bits, en la segunda fase.

30 Otro modo de realización se refiere a un aparato para detectar un diferencial entre dos líneas de bits, que comprende: unos medios para acoplar una primera línea de bits a un primer nodo de salida de un amplificador de detección y una segunda línea de bits a un segundo nodo de salida del amplificador de detección, en una primera fase para suministrar una tensión diferencial inicial al amplificador de detección; unos medios para desacoplar la primera línea de bits del primer nodo de salida y la segunda línea de bits del segundo nodo de salida durante una segunda fase; y unos medios para amplificar la tensión diferencial inicial descargando el primer nodo de salida basándose en una tensión de la segunda línea de bits y el segundo nodo de salida basándose en una tensión de la primera línea de bits, en la segunda fase.

35 Otro modo de realización se refiere a un procedimiento de detección de un diferencial entre dos líneas de bits, que comprende: una etapa para acoplar una primera línea de bits a un primer nodo de salida de un amplificador de detección y una segunda línea de bits a un segundo nodo de salida del amplificador de detección, en una primera fase para suministrar una tensión diferencial inicial al amplificador de detección; una etapa para desacoplar la primera línea de bits del primer nodo de salida y la segunda línea de bits del segundo nodo de salida durante una segunda fase; y una etapa para amplificar la tensión diferencial inicial descargando el primer nodo de salida basándose en una tensión de la segunda línea de bits y el segundo nodo de salida basándose en una tensión de la primera línea de bits, en la segunda fase.

45 **BREVE DESCRIPCIÓN DE LOS DIBUJOS**

Los modos de realización y muchas de sus ventajas intrínsecas se entenderán más fácilmente haciendo referencia a la siguiente descripción detallada considerada en relación con los dibujos adjuntos que se presentan solamente para ilustrar y no limitar los modos de realización.

- 50 La FIG. 1 ilustra un amplificador de detección de corriente con cierre (CLSA) convencional.
- La FIG. 2 ilustra otro amplificador de detección de corriente con cierre (CLSA) convencional.
- 55 La FIG. 3 ilustra un amplificador de detección de corriente con cierre (CLSA) de acuerdo con al menos un modo de realización.
- La FIG. 4 ilustra un diagrama de flujo para un ejemplo de procedimiento.

60 **DESCRIPCIÓN DETALLADA**

En la siguiente descripción y dibujos relacionados se divulgan aspectos que se refieren a modos de realización específicos. Pueden concebirse modos de realización alternativos sin apartarse del alcance de la presente invención. Además, los elementos ampliamente conocidos no se describirán en detalle, o se omitirán, para no oscurecer los detalles importantes de los modos de realización divulgados.

El término "ejemplo" se usa en el presente documento en el sentido de "que sirve como ejemplo, caso o ilustración". No debe considerarse necesariamente que cualquier modo de realización descrito en el presente documento como "ejemplo" sea preferido o ventajoso con respecto a otros modos de realización. Asimismo, el término "modos de realización" no requiere que todos los modos de realización incluyan la característica, ventaja o modo de funcionamiento analizados.

La terminología usada en el presente documento solo tiene como objetivo describir modos de realización particulares y no pretende limitar los modos de realización. Tal y como se usan en el presente documento, las formas en singular "un", "una", "el" y "la" incluyen también las formas en plural, a menos que el contexto indique claramente lo contrario. Debe entenderse además que los términos "comprende", "que comprende", "incluye" y/o "que incluye", cuando se usan en el presente documento, especifican la presencia de características, entidades, etapas, operaciones, elementos y/o componentes indicados, pero no excluyen la presencia o adición de una o más características, entidades, etapas, operaciones, elementos, componentes y/o grupos de estos adicionales.

Además, muchos modos de realización se describen en términos de secuencias de acciones que llevarán a cabo, por ejemplo, unos elementos de un dispositivo informático. Debe reconocerse que varias acciones descritas en el presente documento pueden llevarse a cabo mediante circuitos específicos (por ejemplo, circuitos integrados de aplicación específica (ASIC)), mediante instrucciones de programa ejecutadas por uno o más procesadores o mediante una combinación de ambos. Además, puede considerarse que las secuencias de acciones descritas en el presente documento se incorporan por completo a cualquier forma de medios de almacenamiento legibles por ordenador en los que está almacenado un conjunto correspondiente de instrucciones de ordenador que, al ejecutarse, hacen que un procesador asociado desempeñe las funciones descritas en el presente documento. Por tanto, los diversos aspectos de los modos de realización pueden incorporarse de varias formas diferentes, las cuales se consideran comprendidas en su totalidad dentro del alcance del objeto reivindicado. Además, para cada uno de los modos de realización descritos en el presente documento, la forma correspondiente de cualquiera de dichos modos de realización puede describirse en el presente documento como, por ejemplo, "lógica configurada para" llevar a cabo la acción descrita.

La FIG. 3 ilustra un amplificador de detección de corriente con cierre de doble detección (DSCLSA) 300 de acuerdo con al menos un modo de realización. Haciendo referencia a la FIG. 3, el DSCLSA 300 incluye unos transistores NMOS N1 a N5, unos transistores PMOS P1 a P4 y unos condensadores C1 y C2. El DSCLSA 300 recibe unas entradas de línea de bits diferenciales BIT y BITB, una señal de detección SENSE y está acoplado a una tensión de alimentación Vdd. Como se analizado previamente, las líneas de bits pueden estar acopladas a una pluralidad de celdas de bit de una matriz de memoria. Una operación de lectura de memoria puede coordinarse con el DSCLSA 300 de tal modo que la señal de detección SENSE puede activarse en un momento apropiado después de que se haya seleccionado una celda de bit para su lectura. Los diversos circuitos de control para las operaciones de direccionamiento, lectura y escritura de memoria son bien conocidos y no se describirán en el presente documento.

Como se ilustra en la FIG. 3, se proporciona cualquier tensión diferencial entre BIT/BITB a los nodos sout y south de un terminal de drenaje de los amplificadores invertidos en acoplamiento cruzado P1/N3 y P2/N4 (que puede considerarse un amplificador diferencial) y a las puertas de los transistores PMOS P1 y P2, respectivamente, antes de que el DSCLSA 300 se active. La tensión diferencial de sout y south también se proporciona a las puertas de los transistores NMOS N3 y N4.

Haciendo referencia a la FIG. 3, el diferencial de tensión de línea de bits BIT, BITB se aplica también a las puertas de los transistores NMOS N1 y N2, respectivamente, y se aplica también a unas entradas de la fuente de los transistores PMOS P3 y P4, respectivamente. La señal de detección SENSE se aplica a las puertas del transistor NMOS N5 y de los transistores PMOS P3 y P4. Como se describirá a continuación con mayor detalle, el DSCLSA 300 es de "doble detección", porque el DSCLSA 300 es capaz de amplificar un diferencial de tensión en sout y south de dos maneras diferentes, que se refuerzan entre sí y aumentan la sensibilidad del DSCLSA 300.

Se apreciará que en una primera fase antes de la activación del DSCLSA 300, cuando la señal de detección SENSE está a un nivel lógico bajo o "0" lógico, puede haberse generado ya una tensión diferencial, al menos parcialmente, entre los nodos sout y south. Esto se debe a que los transistores PMOS P3 y P4 están activados cuando la señal de detección SENSE está establecida en el nivel lógico inferior, acoplando así BIT al nodo sout y BITB al nodo south.

En una segunda fase cuando el DSCLSA 300 se activa, la señal de detección SENSE hace la transición del nivel lógico inferior a un nivel lógico superior o "1". Los transistores PMOS P3 y P4 hacen la transición a un estado "desactivado", mientras que el transistor NMOS N5 hace la transición a un estado "activado". Como se ha señalado anteriormente, las entradas de línea de bits diferenciales BIT, BITB están acopladas a las puertas de los transistores NMOS N1 y N2. En consecuencia, cuando el transistor N5 se activa, la tensión diferencial aplicada a las puertas de los transistores NMOS N1 y N2 causa corrientes diferentes en N1 y N2, respectivamente. Las corrientes diferentes en los transistores NMOS N1 y N2 aumentan el diferencial de tensión en los nodos sout y south mediante la descarga de los condensadores C1 y C2 a través de los transistores N3 y N4, respectivamente.

En consecuencia, el diferencial de tensión en sout y south amplificado por el DSCLSA 300 se basa en una tensión

diferencial inicial que se genera antes de una transición de la señal de detección SENSE de un nivel lógico inferior a un nivel lógico superior que aumenta la tensión diferencial determinada cuando la señal de detección SENSE hace la transición al nivel lógico superior. Además, la sensibilidad mejorada del DSCLSA 300 se proporciona sin aumento del número de componentes y sin aumento del área usada en la disposición del DSCLSA 300, con respecto al CLSA 100 convencional. Además, no es necesario que un quinto y sexto transistores PMOS P5 y P6, que están presentes dentro del CLSA 200 de la FIG. 2, estén incluidos en el DSCLSA 300. En consecuencia, el DSCLSA 300 puede ocupar menos espacio físico, utilizar menos energía y presentar menos fugas en comparación con el CLSA 200 de la FIG. 2.

Por ejemplo, haciendo referencia a la FIG. 3, se va a suponer que una señal de detección SENSE se establece en el nivel lógico inferior y que una tensión de línea de bits en BITB es igual a una tensión de línea de bits en BIT. A continuación, se va a suponer que durante una operación de memoria la tensión de línea de bits en BITB experimenta un descenso de una cantidad determinada (por ejemplo, 20 mV). Las tensiones de línea de bits BIT y BITB pasan a través de unos transistores PMOS P4 y P3, respectivamente, hasta que una señal de detección SENSE hace la transición al nivel lógico superior. Por tanto, sout y south se establecen en diferentes tensiones antes de que la señal de detección SENSE haga la transición al nivel lógico superior. Por ejemplo, esto podría producirse durante una operación de lectura antes de que el DSCLSA 300 se active mediante la señal de detección SENSE y de que la salida (sout, south) se lea. Además, se apreciará que C1 y C2 no presentan una trayectoria de descarga a través de N1/N3 y N4/N2, respectivamente, puesto que el transistor N5 no estará conduciendo o estará "desactivado" antes de la transición de la señal de detección SENSE al nivel lógico superior.

Cuando la señal SENSE hace la transición al nivel lógico superior para activar el DSCLSA 300, los transistores P3 y P4 se desactivan y el transistor N5 se activa, proporcionando así una trayectoria de corriente a través del transistor N5 y unas trayectorias de descarga a través de los transistores N1/N3 y N2/N4 para los condensadores C1 y C2, respectivamente. Además, el diferencial de tensión que ya se ha generado entre sout y south se proporciona a las puertas de N1 y N2. Esta tensión diferencial en las puertas de N1 y N2 hace que fluyan unas corrientes diferentes a través de N1 y N2, lo que refuerza la diferencia de tensión inicial en sout y south debido a que la corriente a través de las puertas de N1 y N2 será diferente si las tensiones en las entradas diferenciales BIT y BITB son diferentes. Los diferentes flujos de corriente a través de N1/N3 y N2/N4 harán que la diferencia de tensión entre los nodos de salida sout y south aumente, puesto que los condensadores C1 y C2 se descargarán a velocidades diferentes.

Por ejemplo, en una primera fase, se supone que la diferencia entre BIT y BITB es 20 mV antes de que el DSCLSA 300 se active, como se ha analizado anteriormente. Este diferencial de tensión inicial se proporcionará a sout y south, porque ambos transistores P3 y P4 están activados. En concreto, la tensión de BIT se acoplará al nodo sout a través del transistor P4 y la tensión de BITB se acoplará a south a través del transistor P3. En la segunda fase, cuando el DSCLSA 300 se activa (es decir, SENSE hace la transición a un nivel alto), el transistor N5 se activa y la corriente puede fluir a través de N1 y N2. La corriente que fluye a través de N2 será mayor que la de N1, debido a la tensión más alta de BIT. Esto a su vez mejorará el diferencial ya establecido entre south y sout, debido a que la carga del C2 acoplado al nodo south se descargará a una velocidad mayor que la del C1 acoplado al nodo sout.

En consecuencia, el diferencial de tensión en sout y south puede generarse como respuesta a un diferencial de tensión de línea de bits mediante dos fases separadas (es decir, tanto antes como después de que SENSE haga la transición a un nivel alto). Esto se logra sin incluir transistores adicionales (por ejemplo, como en la FIG 2), que pueden aumentar el área de disposición del amplificador de detección.

Se apreciará que los modos de realización pueden incluir diversos procedimientos para llevar a cabo los procesos, funciones y/o algoritmos divulgados en el presente documento. Por ejemplo, como se ilustra en la FIG. 4, un modo de realización puede incluir un procedimiento de detección de un diferencial de tensión en un amplificador de detección. Por ejemplo, el procedimiento puede incluir acoplar una primera línea de bits (por ejemplo, BIT) a un primer nodo de salida (por ejemplo, sout) y una segunda línea de bits (por ejemplo, BITB) a un segundo nodo de salida (south), en una primera fase para suministrar una tensión diferencial inicial al amplificador de detección, bloque 402. Durante una segunda fase, la primera línea de bits se desacopla del primer nodo de salida y la segunda línea de bits se desacopla del segundo nodo de salida, bloque 404. A continuación, la tensión diferencial inicial (entre sout y south) se puede amplificar descargando el primer nodo de salida (sout), basándose en una tensión de la segunda línea de bits (BITB), y el segundo nodo de salida (south), basándose en una tensión de la primera línea de bits, en una segunda fase, bloque 406. Como se ha analizado anteriormente, en la segunda fase los transistores P3 y P4 desacoplan las líneas de bits de los nodos de salida / puertas de los inversores en acoplamiento cruzado (P1/N3 y P2/N4), lo que deja cualquier tensión diferencial en la salida / puertas comunes. Además, durante la segunda fase el transistor N5 se activa, activándose así el amplificador de detección en la medida en que la corriente puede fluir a través de los inversores o al menos a través de N3 / N4 para descargar los nodos de salida si P1 o P2 están desactivados. En esencia, el diferencial de tensión se amplificará, debido a que la tensión inferior (de la tensión diferencial inicial) se aplicará a la puerta del transistor (N1/N2) acoplado en serie al nodo de tensión superior (sout / south) y la tensión superior se aplicará a la puerta del transistor (N1/N2) acoplado en serie al nodo de tensión inferior (sout / south). En consecuencia, el diferencial inverso se aplica a las puertas de los transistores en la trayectoria de corriente de los nodos de salida.

Se apreciará que el procedimiento ilustrado en el diagrama de flujo de la FIG 4 es simplemente un modo de realización y que no pretende limitar los diversos modos de realización a los ejemplos ilustrados. Por ejemplo, pueden añadirse otros aspectos funcionales / secuencias de acciones analizadas en el presente documento a las acciones analizadas en relación con la FIG. 4, incluidas alternativas a las acciones ya descritas.

5 Los expertos en la materia apreciarán que la información y las señales pueden representarse mediante cualquiera de una diversidad de tecnologías y técnicas diferentes. Por ejemplo, los datos, instrucciones, mandatos, información, señales, bits, símbolos y chips que pueden haberse mencionado a lo largo de la descripción anterior pueden representarse mediante tensiones, corrientes, ondas electromagnéticas, campos o partículas magnéticas, campos o partículas ópticas o cualquier combinación de estos.

15 Además, se apreciará que los diversos bloques lógicos, módulos, circuitos y etapas de algoritmos ilustrativos descritos en relación con los modos de realización divulgados en el presente documento pueden implementarse como hardware electrónico, software informático o combinaciones de ambos. Para ilustrar claramente esta intercambiabilidad de hardware y software, se han descrito anteriormente diversos componentes, bloques, módulos, circuitos y etapas ilustrativos en general en términos de sus funciones. Que dichas funciones se implementen como hardware o software depende de las limitaciones de aplicación y diseño particulares impuestas al sistema completo. Los expertos en la materia pueden implementar las funciones descritas en diferentes maneras para cada aplicación particular, no debiéndose interpretar que dichas decisiones de implementación suponen apartarse del alcance de la presente invención.

25 En uno o más ejemplos de modos de realización, las funciones descritas pueden implementarse en hardware, software, firmware o cualquier combinación de estos. Si se implementan en software, las funciones pueden almacenarse o transmitirse como una o más instrucciones o códigos en o a través de unos medios legibles por ordenador. Los medios legibles por ordenador incluyen tanto medios de almacenamiento informático como medios de comunicación, incluido cualquier medio que facilite la transferencia de un programa informático de un lugar a otro. Unos medios de almacenamiento pueden ser cualquier medio disponible al que puede acceder un ordenador. A modo de ejemplo, y no de limitación, dichos medios legibles por ordenador pueden comprender RAM, ROM, EEPROM, CD-ROM, un dispositivo de memoria de estado sólido, tal como una unidad flash u otro tipo de almacenamiento en disco óptico, almacenamiento en disco magnético u otro tipo de dispositivos de almacenamiento magnético, o cualquier otro medio que pueda usarse para transportar o almacenar un código de programa deseado en forma de instrucciones o de estructuras de datos y al que pueda acceder un ordenador. Además, cualquier conexión recibe adecuadamente la denominación de medios legibles por ordenador. El término disco, como se usa en el presente documento, incluye un disco compacto (CD), disco láser, disco óptico, disco versátil digital (DVD), disco flexible y disco Blu-ray, de los cuales el disco flexible normalmente reproduce datos magnéticamente, mientras el resto de los discos reproducen datos ópticamente con láseres. Las combinaciones de lo anterior también deberían incluirse en el alcance de los medios legibles por ordenador.

40 Se apreciará que los amplificadores de detección, ilustrados por ejemplo en la FIG. 3, pueden estar incluidos en un teléfono móvil, un ordenador portátil, una unidad de sistema de comunicación personal (PCS) portátil, unas unidades de datos portátiles tales como asistentes personales de datos (PDA), dispositivos habilitados para GPS, dispositivos de navegación, decodificadores, reproductores de música, reproductores de vídeo, unidades recreativas, unidades de datos de localización fija, tales como equipos de lectura de contadores o cualquier otro tipo de dispositivo que almacene o recupere datos o instrucciones de ordenador, o cualquier combinación de estos. En consecuencia, los modos de realización pueden incluir cualquier dispositivo que incluya amplificadores de detección como los divulgados en el presente documento.

50 Además, se apreciará que varios de los dispositivos de memoria pueden incluir varios amplificadores de detección como los descritos en el presente documento. Por consiguiente, aunque en unas partes de la divulgación anterior se analiza el amplificador de detección aisladamente, se apreciará que varios modos de realización pueden incluir dispositivos en los que se integra el amplificador de detección, tales como dispositivos de memoria que comprenden matrices de celdas de memoria y una pluralidad de amplificadores de detección.

55 Los dispositivos y procedimientos divulgados anteriormente pueden diseñarse y configurarse como archivos de ordenador GDSII y Gerber, almacenados en unos medios legibles por ordenador. Estos archivos se proporcionan a su vez a los fabricantes que fabrican los dispositivos basándose en estos archivos. Los productos resultantes son obleas semiconductoras que, a continuación, se cortan como una microplaqueta semiconductor y se presentan como un chip semiconductor. Los chips se emplean entonces en los dispositivos descritos anteriormente.

60 En consecuencia, los modos de realización pueden incluir unos medios legibles por máquina o unos medios legibles por ordenador que incorporan instrucciones que al ejecutarse mediante un procesador transforman el procesador y cualquier otro elemento cooperador en una máquina para desempeñar las funciones descritas en el presente documento conforme a lo dispuesto por las instrucciones. En consecuencia, el alcance de la presente invención no se limita a los ejemplos ilustrados, y cualquier medio para desempeñar las funciones descritas en el presente documento está incluido en los modos de realización.

Aunque la divulgación anterior representa unos modos de realización ilustrativos, debe observarse que pueden realizarse diversos cambios y modificaciones en estos sin apartarse del alcance de la invención definido en las reivindicaciones adjuntas. No es necesario que las funciones, etapas y/o acciones de las reivindicaciones de procedimiento de acuerdo con los modos de realización descritos en el presente documento se realicen en ningún orden particular. Además, aunque los elementos de los modos de realización pueden describirse o reivindicarse en singular, también se contempla el plural a no ser que se indique explícitamente la limitación al singular.

REIVINDICACIONES

1. Amplificador de detección de corriente con cierre (300), que comprende:

5 un primer y un segundo inversores en acoplamiento cruzado (P1, P2, N3, N4)

10 un primer transistor (P4) que presenta una primera fuente acoplada a una primera línea de bits (BIT) y una primera puerta configurada para recibir una señal de detección desde una entrada de detección (SENSE), en el que el primer transistor está configurado para acoplar la primera línea de bits a un primer nodo de salida (sout) de dicho primer inversor (P1, N3) para suministrar una primera tensión al primer nodo de salida desde la primera línea de bits cuando la señal de detección presenta un primer nivel lógico y para aislar el primer nodo de salida de la primera línea de bits cuando la señal de detección presenta un segundo nivel lógico;

15 un segundo transistor (P3) que presenta una segunda fuente acoplada a una segunda línea de bits (BITB) y una segunda puerta configurada para recibir la señal de detección, en el que el segundo transistor está configurado para acoplar la segunda línea de bits a un segundo nodo de salida (soutb) de dicho segundo inversor (P2, N4) para suministrar una segunda tensión al segundo nodo de salida desde la segunda línea de bits cuando la señal de detección presenta el primer nivel lógico y para aislar el segundo nodo de salida de la segunda línea de bits cuando la señal de detección presenta el segundo nivel lógico; caracterizado por que comprende

20 un tercer transistor (N1) que presenta una tercera puerta acoplada a la segunda línea de bits (BITB) y acoplada a la segunda fuente del segundo transistor, estando configurado el tercer transistor para recibir la segunda tensión desde la segunda línea de bits (BITB) cuando la señal de detección (SENSE) presenta el segundo nivel con el fin de descargar el primer nodo de salida (sout); y

25 un cuarto transistor (N2) que presenta una cuarta puerta acoplada a la primera línea de bits (BIT) y acoplada a la primera fuente del primer transistor, estando configurado el cuarto transistor para recibir la primera tensión desde la primera línea de bits (BIT) cuando la señal de detección (SENSE) presenta el segundo nivel con el fin de descargar el segundo nodo de salida (soutb).

- 30 2. Amplificador de detección (300) según la reivindicación 1, en el que el primer (P4) y segundo (P3) transistores son transistores PMOS.

- 35 3. Amplificador de detección (300) según la reivindicación 2, en el que el tercer (N2) y cuarto (N1) transistores son transistores NMOS.

- 40 4. Amplificador de detección (300) según la reivindicación 3, que comprende además:

45 un quinto transistor (N5) que presenta una puerta acoplada a la entrada de detección (SENSE) y acoplada al tercer (N2) y cuarto (N1) transistores y un bus de baja tensión de una tensión de alimentación, en el que el quinto transistor está configurado para impedir el flujo de corriente a través del tercer y cuarto transistores cuando la señal de detección presenta el primer nivel lógico y para permitir el flujo de corriente a través del tercer y cuarto transistores cuando la señal de detección presenta el segundo nivel lógico.

- 50 5. Amplificador de detección (300) según la reivindicación 4, que comprende además un primer y segundo inversores en acoplamiento cruzado, en el que el primer inversor está acoplado entre un bus de alta tensión de la tensión de alimentación y el tercer transistor (N2) y en el que el segundo inversor está acoplado entre el bus de alta tensión de la tensión de alimentación y el cuarto transistor (N1).

- 55 6. Amplificador de detección (300) según la reivindicación 5, en el que el primer y segundo inversores comprenden cada uno un transistor PMOS acoplado a un transistor NMOS que comparte una entrada de puerta común, en el que la puerta común del primer inversor está acoplada al primer transistor (P4) y al primer nodo de salida (sout) y en el que la puerta común del segundo inversor está acoplada al segundo transistor (P3) y al segundo nodo de salida (soutb).

- 60 7. Amplificador de detección (300) según la reivindicación 6, que comprende además:

un primer condensador (C1) acoplado al primer nodo de salida (sout) y al bus de baja tensión y un segundo condensador (C2) acoplado entre el segundo nodo de salida (soutb) y el bus de baja tensión.

- 65 8. Amplificador de detección (300) según la reivindicación 1, en el que el primer nivel lógico es un nivel lógico bajo y el segundo nivel lógico es un nivel lógico alto.

- 5
9. Amplificador de detección (300) según la reivindicación 1, en el que el amplificador de detección está integrado en un dispositivo electrónico, seleccionado del grupo que consiste en un decodificador, un reproductor de música, un reproductor de vídeo, una unidad recreativa, un dispositivo de navegación, un teléfono móvil, un ordenador portátil, unas unidades de sistema de comunicación personal (PCS) portátiles, un dispositivo de comunicaciones, un asistente personal digital (PDA), una unidad de datos de ubicación fija y un ordenador.
- 10
10. Amplificador de detección (300) según la reivindicación 1, en el que el amplificador de detección está integrado en una matriz de memoria que comprende una pluralidad de amplificadores de detección.

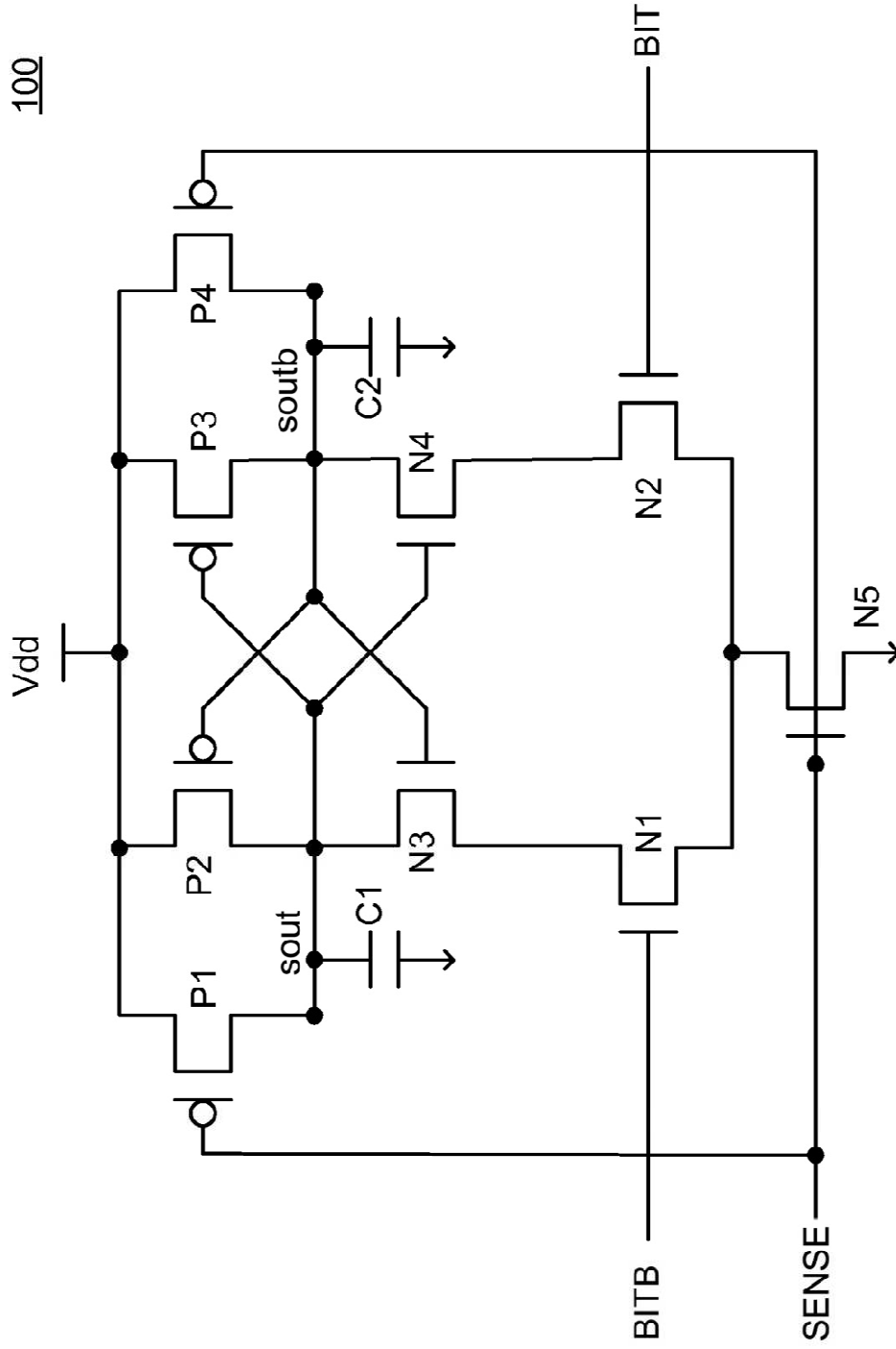
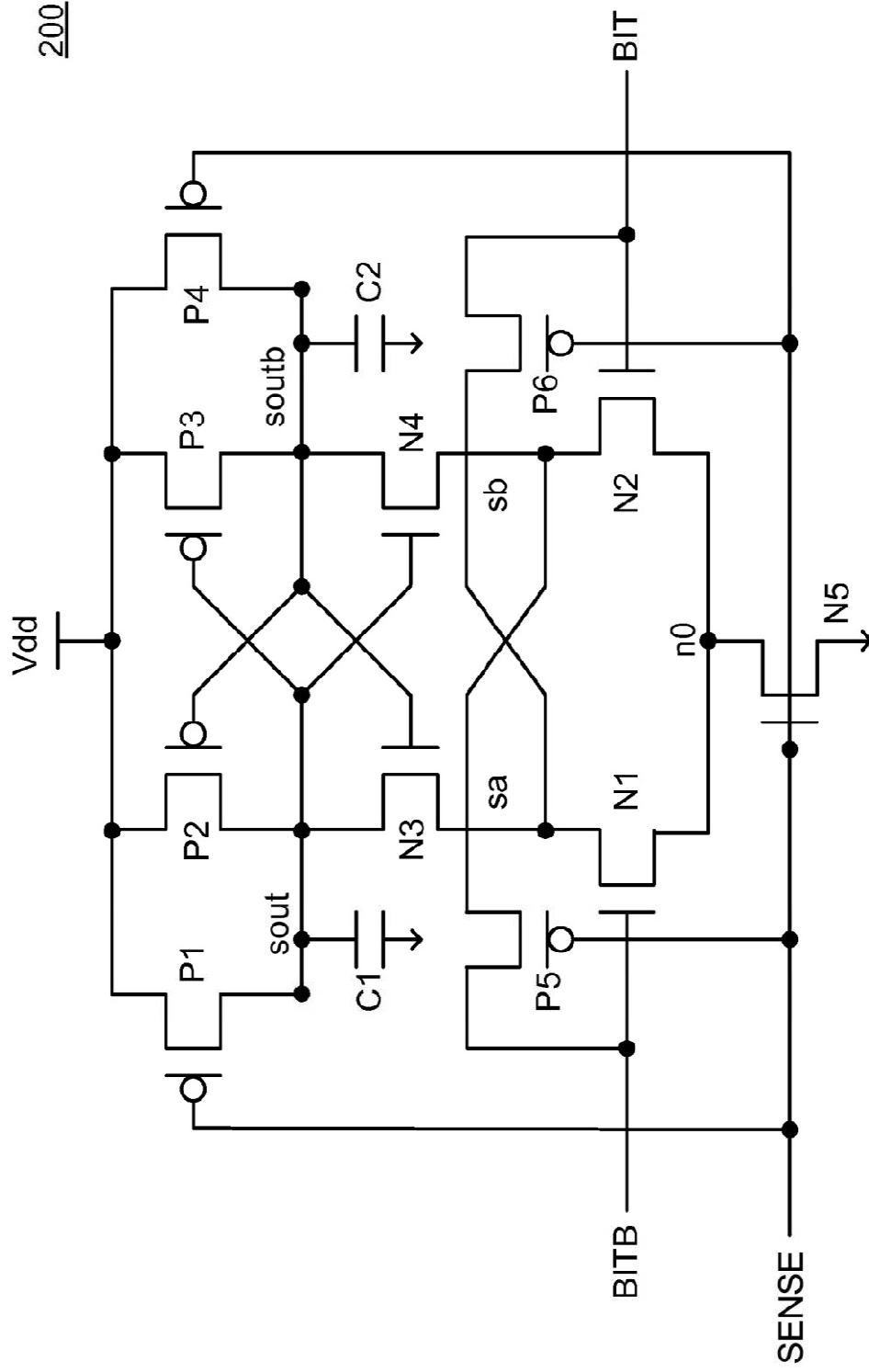


Fig. 1
Técnica anterior



200

Fig. 2
Técnica anterior

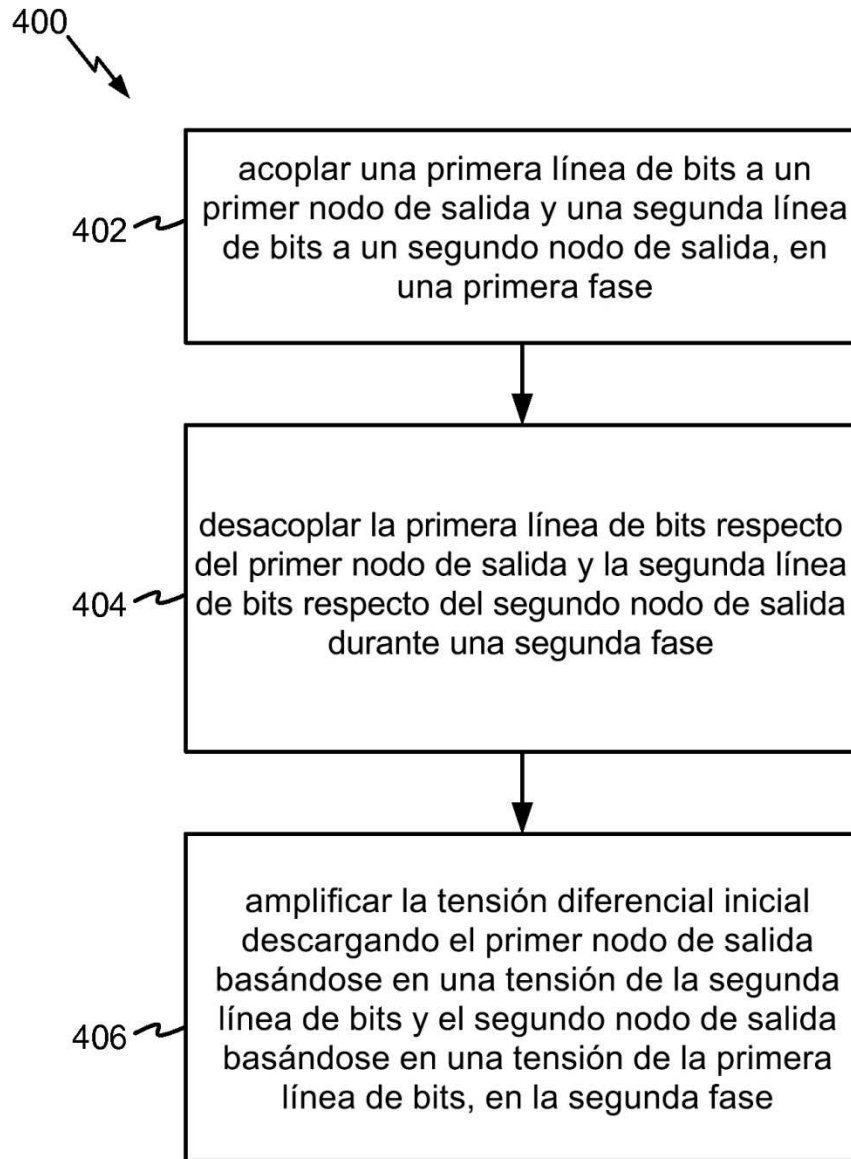


Fig. 4