

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 625 528**

51 Int. Cl.:

H04L 1/00 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **31.10.2011 PCT/CN2011/081552**

87 Fecha y número de publicación internacional: **06.12.2012 WO12163033**

96 Fecha de presentación y número de la solicitud europea: **31.10.2011 E 11866960 (5)**

97 Fecha y número de publicación de la concesión europea: **01.03.2017 EP 2775648**

54 Título: **Dispositivo de envío de datos, dispositivo de recepción de datos y método de sincronización de tramas**

45 Fecha de publicación y mención en BOPI de la traducción de la patente:
19.07.2017

73 Titular/es:
**HUAWEI TECHNOLOGIES CO., LTD. (100.0%)
Huawei Administration Building, Bantian
Longgang District, Shenzhen, Guangdong
518129, CN**

72 Inventor/es:
**YU, FAN;
CHANG, DEYUAN y
XIAO, ZHIYU**

74 Agente/Representante:
LEHMANN NOVO, María Isabel

ES 2 625 528 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Dispositivo de envío de datos, dispositivo de recepción de datos y método de sincronización de tramas

5 CAMPO DE LA INVENCION

La presente invención se refiere al campo de las comunicaciones y en particular, a un transmisor de datos, un receptor de datos y un método de sincronización de trama en el campo de las comunicaciones.

10 ANTECEDENTES DE LA INVENCION

Una red de transporte óptico (OTN), basada en las tecnologías de multiplexación por división de longitud de onda, de una red de organización de capas ópticas, será una red de transporte central de la siguiente generación. Un canal único de una OTU4 (Unidad de Transporte de Canal Óptico 4) definido por el Sector de Normalización de la Unión Internacional de Telecomunicaciones transmite datos de 112 Gbits por segundo, y una tecnología de corrección de error hacia delante (FEC) fuera de banda forzada se utiliza para mejorar la fiabilidad de la transmisión de datos. La corrección FEC fuera de banda recomendada por la OTU4 es una tecnología de decodificación FEC de decisión no programada con una sobrecarga del 7 %.

20 En un extremo de transmisión de un sistema de red OTN, un módulo de entramado de la unidad OTU completa el entramado de OTU4 y la codificación FEC del 7 % para datos y envía una palabra código de FEC a un módulo óptico para realizar la modulación de datos. En un extremo de recepción, después de ser demodulada por el módulo óptico, una señal procedente de un canal se procesa por un convertidor de analógico a digital (ADC), un procesador de señales digitales (Digital Signal Processor, DSP) y dispositivos similares, para obtener datos de tramas OTU4 y un módulo de decodificación de tramas OTU4 realiza la decodificación FEC del 7 % y la decodificación de tramas OTU4. En una capa de control de acceso al soporte del sistema, una palabra código de FEC y una trama de OTU4 comparten una cabecera de trama. Por lo tanto, después de que una señal se transmita desde una capa física a la capa de control de acceso al soporte, la capa de control de acceso al soporte necesita buscar primero información de cabecera de trama y luego, determinar una palabra código de FEC en función de la información de cabecera de trama y realizar el procesamiento de decodificación de FEC.

35 Con el desarrollo de un sistema de transmisión óptica, se establecen requisitos más estrictos para las tecnologías de FEC. En particular, el desarrollo de un sistema de transmisión óptica a larga distancia de 100 Gbps, en comparación con un sistema de 40 Gbps, requiere un aumento de un al menos 4 dB en el rendimiento de ganancia de FEC. Por lo tanto, una transmisión óptica a larga distancia de 100 Gbps o un sistema de tasa de transmisión más alta utilizará una tecnología FEC de más alto rendimiento, tal como una tecnología FEC de la decisión programada (Soft Decision, SD).

40 En un sistema de comunicaciones ópticas digitales a alta velocidad, una entrada FEC SD es información programada cuantizada de múltiples bits y por lo tanto, una tasa de interfaz de un módulo de algoritmo DSP se doblará varias veces en comparación con una tasa de línea de canal. A modo de ejemplo, si una FEC de SD cuantizada de 4 bits se aplica a un sistema de transmisión óptica de 100 Gbps, las tasas de transmisión de datos de la interfaz de un módulo de decodificación FEC de SD y un módulo DSP de extremo frontal alcanzará una tasa de 400 Gbps. Por lo tanto, la organización denominada Optical Internetworking Forum recomienda que se desarrolle un decodificador FEC de SD después de un módulo de algoritmo DSP y se integre por el módulo DSP en un extremo de módulo óptico para realizar la FEC en la capa física.

50 Si la decodificación FEC se procesa en la capa física, una manera de realizar la decodificación FEC mediante búsqueda de información de cabecera de trama en la capa de control de acceso al soporte en la técnica anterior, ya no es aplicable y no puede realizarse una decodificación FEC en la capa física. Además, un rendimiento de alta ganancia de SD FEC puede permitir que un sistema tenga un límite de rendimiento de FEC (FEC limit) relativamente alto, de modo que una tasa de error binaria hacia delante pueda alcanzar $2.5e-2$. Sin embargo, si se utiliza un mecanismo de alineación de trama de OTU, un tiempo medio para la ocurrencia de la pérdida de trama es corto, y el sistema resulta inestable.

55 Actualmente, para resolver el problema de decodificación FEC en la capa física, una cabecera de trama FEC adicional se inserta en la cabecera de cada palabra código de FEC de SD, con el fin de poner en práctica una alineación de trama utilizando la cabecera de trama FEC adicional. Después de la recepción de datos, un decodificador busca primero una cabecera de trama FEC adicional, realiza la sincronización de trama en conformidad con la cabecera de trama FEC y luego, realiza una decodificación FEC.

60 En un caso en donde la decodificación FEC se pone en práctica en la capa física, una cabecera de trama FEC necesita insertarse en el extremo de transmisión, lo que ocupará una sobrecarga adicional, que da lugar a un aumento en la tasa de transmisión de línea del sistema. La búsqueda de una cabecera de trama para realizar la alineación de tramas se requiere todavía antes de la decodificación FEC en el extremo de recepción y por lo tanto, un sistema de alto rendimiento todavía requiere una gran cantidad de recursos.

El documento US 2010/008678 A1 da a conocer sistemas y métodos para la transmisión y recepción de red de transporte óptico (OTN) de la norma ITU G.709 de múltiples canales. El método de transmisión acepta una trama de OTN canónica de ITU G.709 incluyendo una sección de sobrecarga (OH) de la unidad OTU, una sección de ODU y una sección de paridad de corrección de error hacia delante (FEC). Una envolvente de señal de formación se añade a la trama OTN de ITU G.709 y al menos una parte de una trama OTN de formación mejorada (TE) se memoriza en un soporte de memoria tangible en preparación para el desglose. El método desglosa la trama OTN de formación mejorada en n flujos paralelos para suministrar n tramas en paralelo de TE_OTN-PFs (Parallel Frames) en una salida.

SUMARIO DE LA INVENCION

Las formas de realización de la presente invención dan a conocer un transmisor de datos, un receptor de datos y un método de transmisión de trama, que puede utilizar una secuencia de formación originalmente existente para poner en práctica una sincronización de trama para una palabra código de FEC en una capa física, con lo que se impide que la sincronización de trama introduzca una sobrecarga adicional y para impedir que aumente una tasa de transmisión de línea del sistema.

En un aspecto de la idea inventiva, la presente invención da a conocer un receptor de datos, que incluye un módulo de procesamiento y un módulo de decodificación, en donde: el módulo de procesamiento está configurado para recibir primeros datos de recepción, adquirir, en función de una secuencia de formación que está en los primeros datos de recepción y para servir de ayuda en la estimación de canal o ecualización de canal, una señal de indicación que indica una posición límite de la secuencia de formación, y proporcionar, a la salida, segundos datos de recepción obtenidos después de que se retire la secuencia de formación desde los primeros datos de recepción y la señal de indicación para el módulo de decodificación, en donde los primeros datos de recepción se obtienen por un transmisor de datos insertando, en función de una posición límite de una palabra código de FEC de corrección de error hacia delante, la secuencia de formación en datos codificados de FEC; y el módulo de decodificación está configurado para determinar una posición límite de una palabra código de FEC en los segundos datos de recepción en función de la señal de indicación y realizar una decodificación FEC sobre la palabra código de FEC en función de la posición límite, y el módulo de decodificación comprende: una unidad de memorización intermedia, configurada para memorizar N bloques de datos continuos si secuencias de formación de N ciclos se insertan en una palabra código de FEC, en donde los datos incluidos en un bloque de datos es una parte entre las posiciones indicadas por las señales de indicación adyacentes en los segundos datos de recepción; una unidad de decodificación, configurada para realizar una decodificación FEC sobre los N bloques de datos continuos; una unidad de verificación, configurada para verificar si un resultado obtenido de la decodificación FEC es correcto; y una unidad de determinación, configurada para determinar, si un resultado de la verificación obtenido por la unidad de verificación es correcto, que una posición indicada por una primera señal de indicación correspondiente a los N bloques de datos continuos es la posición límite de la palabra código de FEC en los segundos datos de recepción, en donde N es un número entero mayor que 1.

En otro aspecto de la idea inventiva, la presente invención da a conocer un método de sincronización de trama, que incluye: la adquisición, en función de una secuencia de formación que está en los primeros datos de recepción, y para servir de ayuda en la estimación de canal o ecualización de canal, de una posición límite de la secuencia de formación, en donde los primeros datos de recepción se obtienen por un transmisor de datos insertando, en función de una posición límite de una palabra código de FEC de corrección de error hacia delante, la secuencia de formación en datos codificados de FEC, la determinación de una posición límite de una palabra código de FEC en segundos datos de recepción de conformidad con la posición límite de la secuencia de formación, en donde los segundos datos de recepción se obtienen después de que se elimine la secuencia de formación desde los primeros datos de recepción; y la realización de una decodificación FEC sobre la palabra código de FEC en función de la posición límite de la palabra código de FEC. La determinación de una posición límite de una palabra código de FEC en los segundos datos de recepción en función de la posición límite de la secuencia de formación que comprende: memorizar N bloques de datos continuos si las secuencias de formación de N ciclos se insertan en una palabra código de FEC, en donde los datos incluidos en un bloque de datos es una parte entre posiciones indicadas por señales de indicación adyacentes en los segundos datos de recepción, la realización de una decodificación FEC en los N bloques de datos continuos; la verificación de si un resultado obtenido de la decodificación FEC es correcto; y la determinación, si un resultado de la verificación es correcto, de que una posición límite de una primera secuencia de formación correspondiente a los N bloques de datos continuos es la posición límite de la palabra código de FEC en los segundos datos de recepción, en donde N es un número entero mayor que 1.

En conformidad con las soluciones técnicas, una secuencia de formación se inserta en una palabra código de FEC, y la secuencia de formación puede utilizarse para poner en práctica una sincronización de trama para la palabra código de FEC. Una secuencia de formación se utiliza originalmente, en la técnica anterior, para servir de ayuda en la ecualización del canal y operaciones similares y en las formas de realización de la presente invención, la secuencia de formación originalmente existente se utiliza para realizar una sincronización de trama. De este modo, no necesita insertarse ninguna cabecera de trama de FEC adicional. Por lo tanto, puede reducirse una sobrecarga adicional, puede mejorarse la eficiencia de utilización de la secuencia de formación y no se aumentará la tasa de

transmisión de línea del sistema.

BREVE DESCRIPCIÓN DE LOS DIBUJOS

- 5 Para describir las soluciones técnicas en las formas de realización de la presente invención con mayor claridad, a continuación se introducen brevemente los dibujos adjuntos requeridos para describir las formas de realización. Evidentemente, los dibujos adjuntos en la siguiente descripción ilustran algunas formas de realización de la presente invención y un experto en esta técnica puede derivar todavía otros dibujos a partir de estos dibujos adjuntos sin necesidad de esfuerzos creativos.
- 10 La Figura 1 es un diagrama de bloques estructural de un transmisor de datos en conformidad con una forma de realización de la presente invención;
- 15 La Figura 2 es un diagrama de bloques estructural de un receptor de datos en conformidad con una forma de realización de la presente invención;
- La Figura 3 es un diagrama esquemático de una primera forma de realización de un sistema que incluye un transmisor de datos y un receptor de datos;
- 20 La Figura 4 es un diagrama esquemático de una palabra código de FEC y una palabra código de FEC con una secuencia de formación insertada en conformidad con una primera forma de realización;
- La Figura 5 es un diagrama esquemático de una segunda forma de realización de un sistema que incluye un transmisor de datos y un receptor de datos;
- 25 La Figura 6 es un diagrama esquemático de una tercera forma de realización de un sistema que incluye un transmisor de datos y un receptor de datos;
- La Figura 7 es un diagrama esquemático de una palabra código de FEC y una palabra código de FEC con una secuencia de formación insertada en conformidad con una tercera forma de realización;
- 30 La Figura 8 es un diagrama de flujo de un método de sincronización de trama en conformidad con una forma de realización de la presente invención; y
- 35 La Figura 9 es un diagrama de flujo de otro método de sincronización de trama en conformidad con una forma de realización de la presente invención.

DESCRIPCIÓN DETALLADA DE LAS FORMAS DE REALIZACIÓN

- 40 A continuación se describen de forma clara y completa las soluciones técnicas en las formas de realización de la presente invención haciendo referencia a los dibujos adjuntos en las formas de realización de la presente invención. Evidentemente, las formas de realización descritas son solamente una parte y no la totalidad de las formas de realización de la presente invención. Todas las demás formas de realización obtenidas por un experto en esta técnica sobre la base de las formas de realización de la presente invención sin necesidad de esfuerzos creativos, deberán caer dentro del alcance de protección de la presente invención.
- 45 A continuación se describe primero un diagrama de bloques estructural de un transmisor de datos 100 en conformidad con una forma de realización de la presente invención haciendo referencia a la Figura 1.
- 50 Según se ilustra en la Figura 1, el transmisor de datos 100 incluye un módulo de codificación 110 y un módulo de procesamiento 120. El módulo de codificación 110 está configurado para realizar una codificación FEC sobre los datos enviados para obtener una palabra código de FEC, y proporcionar, a la salida, la palabra código de FEC y una señal de indicación para indicar una posición límite de la palabra código de FEC al módulo de procesamiento 120. El módulo de procesamiento 120 está configurado para insertar una secuencia de formación en la palabra código de FEC en conformidad con la señal de indicación, de modo que un receptor de datos determine la posición límite de la palabra código de FEC en conformidad con la secuencia de formación.
- 55 El módulo de codificación 110 proporciona, a la salida, simultáneamente, una palabra código de FEC obtenida mediante la codificación y la señal de indicación que indica la posición límite de la palabra código de FEC al módulo de procesamiento 120, de modo que el módulo de procesamiento 120 pueda determinar la posición límite de la palabra código de FEC en función de la señal de indicación e insertar la secuencia de formación en función de la posición límite de la palabra código de FEC. La secuencia de formación insertada necesita originalmente insertarse en la palabra código de FEC para servir de ayuda en la estimación de canal, equalización de canal y funciones similares. En la forma de realización de la presente invención, una manera de insertar la secuencia de formación se cambia para permitir que la secuencia de formación sirva de ayuda a la realización de la sincronización de trama, con lo que se mejora la eficiencia de utilización de la secuencia de formación. La inserción de la secuencia de
- 60
- 65

formación en función de la señal de indicación impide el problema de que aumente una tasa de transmisión de línea del sistema debido a la inserción de una cabecera de trama FEC adicional en la técnica anterior. Además, debido a la mejora de la utilización de la secuencia de formación, no se añade ninguna sobrecarga adicional a un sistema, se puede mejorar el rendimiento del sistema y se impide que un sistema de alto rendimiento consuma una gran cantidad de recursos para poner en práctica la sincronización de trama en una capa física.

La codificación FEC realizada por el módulo de codificación 110 puede ser una codificación FEC de decisión no programada o una codificación FEC de decisión programada, y la codificación FEC se pone en práctica en la capa física. La posición límite de la palabra código de FEC indicada por la señal de indicación puede ser una posición inicial de la palabra código de FEC o una posición final de la palabra código de FEC. Los datos incluidos en una palabra código de FEC pueden determinarse en función de una posición límite. A modo de ejemplo, si la longitud de una palabra código de FEC es conocida, los datos de palabra código de FEC pueden obtenerse directamente después de que se determine posición límite; y si la longitud de una palabra código de FEC es variable o desconocida, una parte entre dos señales de indicación adyacentes son los datos de una palabra código de FEC.

En conformidad con la longitud de una palabra código de FEC y la longitud de un ciclo de secuencia de formación, una secuencia de formación puede insertarse de múltiples maneras. La secuencia de formación insertada puede servir de ayuda a un extremo de recepción para adquirir una señal de indicación que indica una posición límite de la palabra código de FEC. Los datos de la secuencia de formación insertados en una palabra código de FEC pueden ser datos de secuencia de formación de un ciclo o datos de secuencia de formación de múltiples ciclos. También es posible que los datos de la secuencia de formación de un ciclo se inserten en múltiples palabras código de FEC. Debido a una diferencia en las maneras de transmitir las palabras código de FEC en canales físicos, es posible que una secuencia de formación insertada en una sola palabra código de FEC se inserte en múltiples canales físicos simultáneamente.

En conformidad con una forma de realización de la presente invención, el módulo de procesamiento 120 puede configurarse para insertar, en un caso en donde una palabra código de FEC se transmite en paralelo por intermedio de al menos dos canales físicos, una secuencia de formación en la palabra código de FEC en alineación en correspondencia con una señal de indicación. Para conocer más detalles, puede hacerse referencia a la descripción siguiente de la Figura 3 y Figura 4.

En conformidad con una forma de realización de la presente invención, el módulo de procesamiento 120 puede configurarse para alinear, en un caso en donde una palabra código de FEC se transmite en serie a través de uno de al menos dos canales físicos del módulo de procesamiento 120, la palabra código de FEC con otra palabra código de FEC que se transmite a través de otro canal físico en los al menos dos canales físicos, insertan una secuencia de formación en la palabra código de FEC en conformidad con una señal de indicación, e insertan, en alineación con la secuencia de formación, otra frecuencia de formación en la otra palabra código de FEC. En este caso, la secuencia de formación insertada en la palabra código de FEC y la otra secuencia de formación insertada en la otra palabra código de FEC constituye datos de secuencia de formación de un solo ciclo, o puede constituir datos de secuencia de formación de múltiples ciclos. Para conocer más detalles, puede hacerse referencia a la descripción sobre la Figura 5.

En conformidad con una forma de realización de la presente invención, haciendo caso omiso de si se transmite, o no, una palabra código de FEC por intermedio de un canal físico o múltiples canales físicos, las secuencias de formación de un número entero de ciclos puede insertarse en una palabra código de FEC. A modo de ejemplo, en donde secuencias de formación de múltiples ciclos se insertan en una palabra código de FEC, puede hacerse referencia a la descripción relativa a la Figura 6 y Figura 7.

La coincidencia de un ciclo de longitud de una palabra código de FEC con un ciclo de una secuencia de formación, es decir, hacer que una palabra código de FEC incluya secuencias de formación de un número entero de ciclos, permite a un extremo de recepción adquirir una posición límite de la palabra código de FEC en conformidad con las secuencias de formación.

A continuación se describe posteriormente un diagrama de bloques estructural de un receptor de datos 200 de conformidad con una forma de realización de la presente invención haciendo referencia a la Figura 2.

Según se ilustra en la Figura 2, el receptor de datos 200 incluye un módulo de procesamiento 210 y un módulo de decodificación 220. El módulo de procesamiento 210 está configurado para recibir primeros datos de recepción, adquirir, en conformidad con una secuencia de formación en los primeros datos de recepción, una señal de indicación que indica una posición límite de la secuencia de formación, proporcionar, a la salida, segundos datos de recepción obtenidos después de que la secuencia de formación se elimine desde los primeros datos de recepción y la señal de indicación para el módulo de decodificación 220, en donde los primeros datos de recepción se obtiene un transmisor de datos insertando, en conformidad con una posición límite de una palabra código de FEC de corrección de error hacia delante, la secuencia de formación en los datos codificados de FEC. El módulo de decodificación 220 está configurado para determinar una posición límite de una palabra código de FEC en los segundos datos de recepción en función de la señal de indicación y realizar la decodificación FEC sobre la palabra código de FEC en

conformidad con la posición límite.

Los primeros datos de recepción recibidos por el receptor 200 incluyen la secuencia de transmisión que se inserta en la palabra código de FEC por el transmisor de datos en conformidad con la posición limitación de la palabra código de FEC. El módulo de procesamiento 210 puede adquirir la posición límite de la secuencia de formación en función de la secuencia de formación en los primeros datos de recepción, en donde la posición límite de la secuencia de formación está relacionada con la posición límite de la palabra código de FEC. A continuación, el módulo de decodificación 220 determina la posición límite de la palabra código de FEC determina la posición límite de la palabra código de FEC en función de la señal de indicación. Además, los segundos datos de recepción que incluyen la palabra código de FEC pueden obtenerse después de que se elimine la secuencia de formación desde los primeros datos de recepción. El módulo de procesamiento 210 envía los segundos datos de recepción y la señal de indicación al módulo de decodificación 220, de modo que el módulo de decodificación 220 pueda determinar la palabra código de FEC en los segundos datos de recepción en conformidad con la señal de indicación y luego, puede realizar la decodificación SD FEC sobre la palabra código de FEC.

Puesto que una secuencia de formación que necesita originalmente insertarse en la palabra código de FEC para servir de ayuda en la estimación de canal, la ecualización de canal y funciones similares se utiliza por el receptor de datos 200 para determinar la posición límite de la palabra código de FEC, la secuencia de formación no puede proporcionar solamente una función en la técnica anterior, sino también puede servir de ayuda para realizar una sincronización de trama de la palabra código de FEC, con lo que se mejora la eficiencia de utilización de la secuencia de formación. Además, puesto que la posición límite de la palabra código de FEC puede adquirirse en función de la secuencia de formación, no ocurre un problema de que una tasa de transmisión de línea de sistema aumente debido a una cabecera de trama FEC adicional utilizada en la técnica anterior. Además, debido a la mejora de la utilización de la secuencia de formación, no se añade ninguna sobrecarga adicional a un sistema, puede mejorarse el rendimiento del sistema y se impide que un sistema de alto rendimiento consuma una gran cantidad de recursos para poner en práctica la sincronización de trama en una capa física.

En conformidad con la forma de realización de la presente invención, el módulo de procesamiento 210 puede realizar un cálculo pertinente para adquirir la señal de indicación en función de la secuencia de formación. El módulo de procesamiento 210 puede configurarse para realizar un cálculo de auto-correlación o de correlación cruzada en función de la secuencia de formación y adquirir la señal de indicación en conformidad con un resultado del cálculo.

A modo de ejemplo, en un cálculo de correlación cruzada, el receptor de datos 200 puede generar localmente una secuencia de formación local, que es la misma que la secuencia de formación insertada por el transmisor, utilizar la secuencia de formación local para atravesar los primeros datos de recepción para realizar un cálculo pertinente, y cuando se produce un máximo de correlación, determinar que la posición límite de la secuencia de formación se encuentra, con lo que se adquiere la señal de indicación. En un cálculo de auto-correlación, el receptor de datos 200 puede realizar un cálculo de auto-correlación en los primeros datos de recepción en función de una característica de la secuencia de formación por sí misma, y cuando se produce un máximo de correlación, determinar que la posición límite de la secuencia de formación se encuentra, con lo que se adquiere la señal de indicación, en donde la posición límite de la secuencia de formación puede ser una posición inicial de la secuencia de formación.

Después de que el módulo de procesamiento 210 adquiera la señal de indicación en función de la secuencia de formación, el módulo de decodificación 220 es capaz de determinar la posición límite de la palabra código de FEC en conformidad con la señal de indicación en múltiples maneras. Una manera para que el módulo de decodificación 220 determine la posición límite de la palabra código de FEC puede relacionarse con el número de ciclos de secuencia de formación insertados en la palabra código de FEC.

En conformidad con una forma de realización de la presente invención, el módulo de decodificación 220 puede configurarse para determinar, si se insertan las secuencias de formación de un ciclo en una palabra código de FEC, que una posición indicada por una señal de indicación es la posición límite de la palabra código de FEC en los segundos datos de recepción. Para conocer más detalles, puede hacerse referencia a la descripción ilustrada en la Figura 3 y en la Figura 5.

De conformidad con una forma de realización de la presente invención, el módulo de decodificación 220 puede incluir una unidad de memorización intermedia, una unidad de decodificación, una unidad de verificación y una unidad de determinación. La unidad de memorización intermedia está configurada para memorizar N bloques de datos continuos si las secuencias de formación de los N ciclos se insertan en una sola palabra código de FEC, en donde los datos incluidos en un bloque de datos es una parte entre las posiciones indicadas por las señales de indicación adyacentes en los segundos datos de recepción. La unidad de decodificación está configurada para realizar la decodificación FEC sobre los N bloques de datos continuos. La unidad de verificación está configurada para verificar si un resultado obtenido desde la decodificación FEC es correcto o no lo es. La unidad de determinación está configurada para determinar, si un resultado de verificación obtenido por la unidad de verificación es correcto, que una posición indicada por una primera señal de indicación correspondiente a los N bloques de datos continuos es la posición límite de la palabra código de FEC en los segundos datos de recepción, en donde N es un número entero mayor que 1. Para conocer más detalles, puede hacerse referencia a la descripción sobre la Figura 6

y la Figura 7.

A modo de ejemplo, puede establecerse una ventana de datos, y los datos para la decodificación FEC se seleccionan a partir de la unidad de memorización intermedia a través de la ventana de datos. La longitud de la
 5
 10
 15
 20
 25
 30
 35
 40
 45
 50
 55
 60
 65
 66
 67
 68
 69
 70
 71
 72
 73
 74
 75
 76
 77
 78
 79
 80
 81
 82
 83
 84
 85
 86
 87
 88
 89
 90
 91
 92
 93
 94
 95
 96
 97
 98
 99
 100
 101
 102
 103
 104
 105
 106
 107
 108
 109
 110
 111
 112
 113
 114
 115
 116
 117
 118
 119
 120
 121
 122
 123
 124
 125
 126
 127
 128
 129
 130
 131
 132
 133
 134
 135
 136
 137
 138
 139
 140
 141
 142
 143
 144
 145
 146
 147
 148
 149
 150
 151
 152
 153
 154
 155
 156
 157
 158
 159
 160
 161
 162
 163
 164
 165
 166
 167
 168
 169
 170
 171
 172
 173
 174
 175
 176
 177
 178
 179
 180
 181
 182
 183
 184
 185
 186
 187
 188
 189
 190
 191
 192
 193
 194
 195
 196
 197
 198
 199
 200
 201
 202
 203
 204
 205
 206
 207
 208
 209
 210
 211
 212
 213
 214
 215
 216
 217
 218
 219
 220
 221
 222
 223
 224
 225
 226
 227
 228
 229
 230
 231
 232
 233
 234
 235
 236
 237
 238
 239
 240
 241
 242
 243
 244
 245
 246
 247
 248
 249
 250
 251
 252
 253
 254
 255
 256
 257
 258
 259
 260
 261
 262
 263
 264
 265
 266
 267
 268
 269
 270
 271
 272
 273
 274
 275
 276
 277
 278
 279
 280
 281
 282
 283
 284
 285
 286
 287
 288
 289
 290
 291
 292
 293
 294
 295
 296
 297
 298
 299
 300
 301
 302
 303
 304
 305
 306
 307
 308
 309
 310
 311
 312
 313
 314
 315
 316
 317
 318
 319
 320
 321
 322
 323
 324
 325
 326
 327
 328
 329
 330
 331
 332
 333
 334
 335
 336
 337
 338
 339
 340
 341
 342
 343
 344
 345
 346
 347
 348
 349
 350
 351
 352
 353
 354
 355
 356
 357
 358
 359
 360
 361
 362
 363
 364
 365
 366
 367
 368
 369
 370
 371
 372
 373
 374
 375
 376
 377
 378
 379
 380
 381
 382
 383
 384
 385
 386
 387
 388
 389
 390
 391
 392
 393
 394
 395
 396
 397
 398
 399
 400
 401
 402
 403
 404
 405
 406
 407
 408
 409
 410
 411
 412
 413
 414
 415
 416
 417
 418
 419
 420
 421
 422
 423
 424
 425
 426
 427
 428
 429
 430
 431
 432
 433
 434
 435
 436
 437
 438
 439
 440
 441
 442
 443
 444
 445
 446
 447
 448
 449
 450
 451
 452
 453
 454
 455
 456
 457
 458
 459
 460
 461
 462
 463
 464
 465
 466
 467
 468
 469
 470
 471
 472
 473
 474
 475
 476
 477
 478
 479
 480
 481
 482
 483
 484
 485
 486
 487
 488
 489
 490
 491
 492
 493
 494
 495
 496
 497
 498
 499
 500
 501
 502
 503
 504
 505
 506
 507
 508
 509
 510
 511
 512
 513
 514
 515
 516
 517
 518
 519
 520
 521
 522
 523
 524
 525
 526
 527
 528
 529
 530
 531
 532
 533
 534
 535
 536
 537
 538
 539
 540
 541
 542
 543
 544
 545
 546
 547
 548
 549
 550
 551
 552
 553
 554
 555
 556
 557
 558
 559
 560
 561
 562
 563
 564
 565
 566
 567
 568
 569
 570
 571
 572
 573
 574
 575
 576
 577
 578
 579
 580
 581
 582
 583
 584
 585
 586
 587
 588
 589
 590
 591
 592
 593
 594
 595
 596
 597
 598
 599
 600
 601
 602
 603
 604
 605
 606
 607
 608
 609
 610
 611
 612
 613
 614
 615
 616
 617
 618
 619
 620
 621
 622
 623
 624
 625
 626
 627
 628
 629
 630
 631
 632
 633
 634
 635
 636
 637
 638
 639
 640
 641
 642
 643
 644
 645
 646
 647
 648
 649
 650
 651
 652
 653
 654
 655
 656
 657
 658
 659
 660
 661
 662
 663
 664
 665
 666
 667
 668
 669
 670
 671
 672
 673
 674
 675
 676
 677
 678
 679
 680
 681
 682
 683
 684
 685
 686
 687
 688
 689
 690
 691
 692
 693
 694
 695
 696
 697
 698
 699
 700
 701
 702
 703
 704
 705
 706
 707
 708
 709
 710
 711
 712
 713
 714
 715
 716
 717
 718
 719
 720
 721
 722
 723
 724
 725
 726
 727
 728
 729
 730
 731
 732
 733
 734
 735
 736
 737
 738
 739
 740
 741
 742
 743
 744
 745
 746
 747
 748
 749
 750
 751
 752
 753
 754
 755
 756
 757
 758
 759
 760
 761
 762
 763
 764
 765
 766
 767
 768
 769
 770
 771
 772
 773
 774
 775
 776
 777
 778
 779
 780
 781
 782
 783
 784
 785
 786
 787
 788
 789
 790
 791
 792
 793
 794
 795
 796
 797
 798
 799
 800
 801
 802
 803
 804
 805
 806
 807
 808
 809
 810
 811
 812
 813
 814
 815
 816
 817
 818
 819
 820
 821
 822
 823
 824
 825
 826
 827
 828
 829
 830
 831
 832
 833
 834
 835
 836
 837
 838
 839
 840
 841
 842
 843
 844
 845
 846
 847
 848
 849
 850
 851
 852
 853
 854
 855
 856
 857
 858
 859
 860
 861
 862
 863
 864
 865
 866
 867
 868
 869
 870
 871
 872
 873
 874
 875
 876
 877
 878
 879
 880
 881
 882
 883
 884
 885
 886
 887
 888
 889
 890
 891
 892
 893
 894
 895
 896
 897
 898
 899
 900
 901
 902
 903
 904
 905
 906
 907
 908
 909
 910
 911
 912
 913
 914
 915
 916
 917
 918
 919
 920
 921
 922
 923
 924
 925
 926
 927
 928
 929
 930
 931
 932
 933
 934
 935
 936
 937
 938
 939
 940
 941
 942
 943
 944
 945
 946
 947
 948
 949
 950
 951
 952
 953
 954
 955
 956
 957
 958
 959
 960
 961
 962
 963
 964
 965
 966
 967
 968
 969
 970
 971
 972
 973
 974
 975
 976
 977
 978
 979
 980
 981
 982
 983
 984
 985
 986
 987
 988
 989
 990
 991
 992
 993
 994
 995
 996
 997
 998
 999
 1000

Los datos entre posiciones indicadas por dos señales de indicación adyacentes en los segundos datos de recepción pueden referirse como un bloque de datos, un bloque de datos corresponde a un solo ciclo de secuencia de formación, y las secuencias de formación de un ciclo se insertan en un bloque de datos. La longitud de la ventana incluye las secuencias de formación de N ciclos. Por lo tanto, la ventana incluye N bloques de datos y N bloques de datos pueden seleccionarse desde la ventana cada vez. Si los N bloques de datos corresponden a una sola palabra código de FEC, la decodificación FEC de los N bloques de datos es correcta, de no ser así, la decodificación FEC es incorrecta. Si la decodificación FEC es incorrecta, la ventana necesita deslizarse hacia atrás para seleccionar nuevos bloques de datos para la decodificación FEC, con el fin de determinar si los nuevos bloques de datos constituyen una palabra código de FEC en función de un resultado de la decodificación FEC. Por lo tanto, en conformidad con una forma de realización de la presente invención, el módulo de decodificación 220 puede incluir, además, una unidad de deslizamiento de ventana, configurada para seleccionar, si el resultado de la verificación obtenido por la unidad de verificación es incorrecto, N nuevos bloques de datos continuos por intermedio del deslizamiento de la ventana y proporcionar, a la salida, los N nuevos bloques de datos continuos para la unidad de decodificación, de modo que la unidad de decodificación realice la decodificación FEC sobre los N nuevos bloques de datos continuos y la unidad de verificación verifique si un resultado de la decodificación FEC es correcto o no.

A modo de ejemplo, si N es 3, ello indica que las secuencias de formación de tres ciclos están insertados en una sola palabra código de FEC, y los tres bloques de datos se seleccionan desde la ventana para la decodificación FEC cada vez. Si la decodificación de los tres bloques de datos seleccionados es incorrecta cuando la posición inicial de la ventana se solapa con una primera señal de indicación, ello indica que la primera señal de indicación no indica una posición inicial de una palabra código de FEC. A continuación, se realiza una operación de deslizamiento de la ventana para permitir que la posición inicial de la ventana se solape con una segunda señal de indicación. Si la decodificación de los tres bloques de datos recientemente seleccionados es correcta cuando la posición inicial de la ventana se solapa con la segunda señal de indicación, ello indica que la segunda señal de indicación indica la posición inicial de la palabra código de FEC.

En un caso en donde las secuencias de formación de N ciclos se insertan en una sola palabra código de FEC, si el módulo de decodificación 220 ha determinado una señal de indicación que indica una posición límite de la palabra código de FEC, una posición límite de otra palabra código de FEC puede obtenerse directamente en conformidad con el número N de ciclos, y el módulo de decodificación 220 no necesita determinar de nuevo, en conformidad con un resultado de la verificación, que la señal de indicación corresponde a la posición límite de las palabra código de FEC. Por lo tanto, en conformidad con una forma de realización de la presente invención, el módulo de decodificación 220 puede configurarse, además, para determinar, en un caso en donde una señal de indicación que indica una posición límite de una palabra código de FEC en los segundos datos de recepción ha sido determinada, que una posición indicada por una señal de indicación que está separada de la señal de indicación por $MxN+N-1$ señales de indicación es una posición límite de otra palabra código de FEC en los segundos datos de recepción, en donde M es un número entero no inferior a 0. Para conocer más detalles, puede hacerse referencia a la descripción ilustrada en la Figura 6 y en la Figura 7.

A continuación se describen las operaciones pertinentes de un transmisor y de un receptor con referencia a las formas de realización específicas. En primer lugar, una primera forma de realización sobre la realización de la sincronización de trama utilizando una secuencia de formación se describe haciendo referencia a la Figura 3 y la Figura 4.

En un sistema 300 que incluye un transmisor de datos 310 y un receptor de datos 350 según se ilustra en la Figura 3, el sistema 300 utiliza la modulación coherente DP-QPSK (Dual Polarization Quaternary Phase Shift keying, desplazamiento de fase en cuaternaria de polarización dual) y se transmiten datos de 126 Gbps a través de cuatro canales físicos XI, XQ, YI e YQ, en donde un solo ciclo de secuencia de formación en los cuatro canales físicos corresponde a una palabra código de FEC de SD, de modo que la longitud de la palabra código de FEC de SD coincide con la longitud del ciclo de secuencia de formación. Si el sistema 300 es un sistema de modulación de orden superior, a modo de ejemplo, SP-16QAM, una palabra código de FEC de SD se transmite a través de ocho canales físicos y un solo ciclo de secuencia de formación en los ocho canales físicos, corresponde a una sola palabra código de FEC de SD.

En el transmisor de datos 310, un módulo de codificación FEC de SD 320 trata datos de OTU4 procedentes de un

módulo de entramado de OTU como una parte de carga de FEC de SD y realiza la codificación FEC de SD sobre los datos de OTU4. Después de la codificación, el módulo de codificación FEC de SD 320 proporciona, a la salida, los datos codificados y una señal de indicación que indica una posición límite de una palabra código de FEC obtenida después de la codificación a un módulo de procesamiento de DSP (Digital Signal Processing, procesamiento de señales digitales) 330. La señal de indicación puede expresarse utilizando una señal FP (Frame Pointer, puntero de trama) y la señal FP puede ser una señal de bit único para indicar una posición de cabecera de trama de la palabra código de FEC de SD.

Después de introducir el módulo de procesamiento DSP 330, una palabra código de FEC se distribuye a cuatro canales físicos para su transmisión. El módulo de procesamiento DSP 330 no solamente necesita insertar una secuencia de formación de conformidad con la manera descrita en la forma de realización de la presente invención, sino también necesita poner en práctica otras funciones, tales como una precodificación de modulación, según la técnica anterior.

La parte (a) de la Figura 4 ilustra una palabra código de FEC transmitida a través de cuatro canales físico. Una fila representa datos transmitidos a través de un canal físico. De los 990 bits ilustrados en la parte (a) de la Figura 4, 840 bits son una longitud de bits de información, y 150 bits son una sobrecarga de FEC. Por lo tanto, la longitud de bits de información de una palabra código de FEC de SD es 840×4 bits, la sobrecarga de FEC es 150×4 bits, la longitud de palabra de código total es 990×4 y la secuencia de formación necesita insertarse en los 990×4 bits.

El módulo de procesamiento DSP 330 inicia la inserción de una secuencia de formación en una posición límite de la palabra código de FEC en función de la señal FP. La Parte (b) de la Figura 4 ilustra la secuencia de formación insertada. En esta forma de realización, las secuencias de formación insertadas en una palabra código son datos en un solo ciclo de secuencia de formación. Por supuesto, un experto en esta técnica puede considerar también que los datos en un número entero de ciclos de secuencias de formación pueden insertarse también en una sola palabra de código.

Según se ilustra en la parte (b) de la Figura 4, el ciclo de secuencia de formación está constituido de una parte maestra y cuatro partes esclavas, y la longitud de la parte maestra y la longitud de cada parte esclava son ambas de 210 bits; para la parte maestra, la longitud de una secuencia de formación es de 20 bits y la longitud de sus bits de datos es 190 bits; para la parte esclava, la longitud de su secuencia de formación es 10 bits y la longitud de sus bits de datos es de 200 bits, y los bits de datos de la última parte esclava están constituidos de datos de OTU4 de 50 bits y una sobrecarga de FEC de 150 bits. La longitud de una palabra código de FEC de SD coincide con un ciclo de secuencia de formación de los cuatro canales físicos. Por lo tanto, una posición inicial de la secuencia de formación en los cuatro canales físicos es compatible con una posición de cabecera de trama de una palabra código de FEC de SD y una posición inicial de la palabra código de FEC de SD se encuentra si la posición inicial de la secuencia de formación se adquiere.

En esta forma de realización, la longitud de los datos de la palabras código de FEC y la longitud de datos de la secuencia de formación son solamente un ejemplo, una manera de insertar una secuencia de formación en una palabra código de FEC es también a modo de ejemplo solamente, y ambos no constituyen ninguna limitación sobre una manera de puesta en práctica de la presente invención.

Según se describió con anterioridad, el módulo de procesamiento DSP 330 procesa, en función con una manera de modulación del sistema, una palabra código de FEC en datos de múltiples canales físicos, a modo de ejemplo, cuatro canales físicos bajo una modulación DP-QPSK, inserta una secuencia de formación en la palabra código de FEC en función con una señal FP y luego, envía los datos de baja velocidad de múltiples canales procesados a un módulo óptico. El módulo óptico envía una señal a un extremo de recepción en conformidad con una manera de procesamiento en la técnica anterior.

En el receptor 350, un módulo de convertidor de analógico a digital (Analog-to-Digital, ADC) de los cuatro canales físicos realiza una conversión de analógico a digital sobre los datos recibidos y luego, un módulo de procesamiento DSP 360 realiza un procesamiento de señales digitales. Una señal en la que se realiza un procesamiento DSP se envía a un módulo de decodificación de FEC SD 370 para su decodificación.

Además de una interfaz para transmitir una palabra código de FEC, las interfaces entre el módulo de procesamiento DSP 360 y el módulo de decodificación FEC SD 370 incluyen, además, una interfaz de señal FP de bit único para transmitir una señal FP. El módulo de procesamiento DSP 360 puede indicar una posición límite de una secuencia de formación para el módulo de decodificación FEC SD 370 por intermedio de la señal FP, lo que sirve de ayuda al módulo de decodificación FEC SD 370 para determinar una posición límite de la palabra código de FEC. El módulo de procesamiento DSP 360 no solamente necesita adquirir, de conformidad con la manera de la forma de realización de la presente invención, una señal que indica una posición límite de una secuencia de formación, sino que también necesita realizar otras funciones, tales como procesamiento de señales digitales, de conformidad con la técnica anterior.

Más concretamente, en el receptor de datos 350, el módulo de procesamiento DSP 360 recibe señales desde

múltiples canales físicos y realiza, en conformidad con una secuencia de formación, la alineación de sincronización de trama sobre las señales utilizando un algoritmo de sincronización de símbolos de auto-correlación/correlación cruzada, con el fin de obtener una señal FP para indicar una posición límite del ciclo de secuencia de formación. En esta forma de realización, las secuencias de formación de un ciclo se insertan en una sola palabra código de FEC, y por lo tanto, la señal FP indica una cabecera de trama de la palabra código de FEC. Después de completar el procesamiento de la señal, el módulo de procesamiento DSP 360 envía la señal FP y una señal de datos en paralelo al módulo de decodificación FEC SD 370. El módulo de decodificación FEC SD 370 obtiene información de límite de trama, es decir, realiza un entramado, en función de la señal FP y realiza la decodificación FEC.

A continuación, una segunda forma de realización en la que se realiza la sincronización de trama utilizando una secuencia de formación se describe haciendo referencia a la Figura 5.

La segunda forma de realización es básicamente la misma que la primera forma de realización, y las diferencias son las siguientes: 1. La longitud de una palabra código de FEC en la segunda forma de realización es más corta y los datos en un solo ciclo de secuencia de formación en cada canal físico corresponden a una palabra código de FEC completa, mientras que la longitud de una palabra código de FEC en la primera forma de realización es más larga y los datos en el ciclo de secuencia de formación en los cuatro canales físicos corresponde a una palabra código de FEC completa; y 2. Un receptor de datos en la segunda forma de realización realiza la decodificación FEC sobre los datos de cada canal físico por separado, mientras que un receptor de datos en la primera forma de realización realiza la decodificación FEC después de combinar los datos de los cuatro canales físicos.

En un transmisor de datos 510 de un sistema 500, un módulo de codificación FEC SD 520 realiza la codificación FEC SD sobre los datos de OTU4 desde un módulo de entramado de OTU, y luego, envía una palabra código de FEC obtenida después de la codificación FEC SD y una señal FP para indicar una cabecera de trama de la palabra código de FEC en paralelo a un módulo de procesamiento DSP 530. El módulo de procesamiento DSP 530 transmite cada palabra código de FEC obtenida a partir del módulo de codificación FEC SD 520 por intermedio de uno de los cuatro canales físicos, XI, WQ, YI e YQ. De este modo, cuatro palabras código de FEC se transmiten en paralelo en los cuatro canales físicos. El módulo de procesamiento DSP 530 alinea las palabras código de FEC de SD a enviarse a través de los cuatro canales físicos e inserta, en función de la señal FP, las secuencias de formación en las cuatro palabras código de FEC que se transmiten a través de los cuatro canales físicos.

Las cuatro palabras código de FEC que se transmiten a través de los cuatro canales físicos pueden ser según se ilustra en la parte (a) de la Figura 4, pero cada palabra código de FEC en la segunda forma de realización corresponde a un solo canal. Cuatro palabras código de FEC, con secuencia de formación insertadas, pueden ser según se ilustra en la parte (b) de la Figura 4, pero los datos en un solo cilindro de secuencia de formación en la segunda forma de realización se insertan en cuatro palabras código de FEC; sin embargo, para cada canal físico, una palabra código de FEC incluye también solamente un ciclo de secuencias de formación. En la segunda forma de realización, los datos en un ciclo de secuencia de formación se inserta en cuatro palabras código de FEC en cuatro canales físicos; sin embargo, un experto en esta técnica puede considerar también que los datos en un número entero positivo de ciclos de secuencias de formación pueden insertarse en las cuatro palabras código de FEC en cuatro canales físicos.

En un receptor de datos 550 del sistema 500, un módulo de procesamiento DSP 560 puede realizar, en conformidad con una secuencia de formación, la alineación de sincronización de trama utilizando un algoritmo de sincronización de símbolos de auto-correlación/correlación cruzada para señales recibidas desde múltiples canales físicos, con el fin de obtener una señal FP que indica una posición límite de un ciclo de secuencia de formación, es decir, una señal de cabecera de trama de una palabra código de FEC en este ejemplo. Después de completar el procesamiento de la señal, el módulo de procesamiento DSP 560 envía la señal FP y una señal de datos de cada canal físico en paralelo a los cuatro módulos de decodificación FEC SD 570 y una señal de datos de un canal físico correspondiente a un solo módulo de decodificación FEC SD. Cada módulo de decodificación FEC SD 570 obtiene la información de límite de trama de una palabra código en un canal físico correspondiente a una señal FP y realiza la decodificación FEC por separado.

Una tercera forma de realización en la que se realiza la sincronización de trama utilizando una secuencia de formación se describe a continuación haciendo referencia a la Figura 6 y la Figura 7.

La tercera forma de realización es básicamente la misma que la primera forma de realización, y las diferencias son como sigue: 1. Una palabra código de FEC de SD en la tercera forma de realización es un código largo y los datos de al menos dos ciclos de secuencia de formación se insertan en una palabra código de FEC, mientras que los datos de un ciclo de secuencia de formación se insertan en una palabra código de FEC en la primera forma de realización; y 2. Una palabra código de FEC en la tercera forma de realización tiene múltiples ciclos de secuencia de formación y por lo tanto, un módulo de decodificación FEC SD necesita determinar una cabecera de trama de una palabra código de FEC en conformidad con la señal FP, mientras que una palabra código de FEC en la primera forma de realización tiene solamente un ciclo de secuencia de formación y por lo tanto, el módulo de decodificación FEC SD utiliza directamente la señal FP como una señal de indicación que indica una cabecera de trama de la palabra código de FEC.

En un transmisor de datos 610 de un sistema 600, un módulo de codificación FEC SD 620 envía una palabra código de FEC codificada y una señal FP que indica una cabecera de trama de una palabra código de FEC en paralelo a un módulo de procesamiento DSP 630. En el módulo de procesamiento DSP 630, cada palabra código de FEC de SD se transmite a través de cuatro canales físicos, WI, WQ, YI e YQ, las palabras código de FEC de SD a enviarse a través de los cuatro canales físicos están alineadas y los datos en al menos dos ciclos de secuencia de formación se insertan cada palabra código de FEC. De este modo, los datos en un solo ciclo de secuencia de formación corresponden a un sub-bloque de una palabra código de FEC, en donde el sub-bloque puede referirse también como un bloque de datos.

Se supone que los datos en dos ciclos de secuencia de formación se insertan en una sola palabra código de FEC, de modo que una palabra código de FEC de SD con secuencias de formación insertadas es según se ilustra en la Figura 7. Las secuencias de formación se ilustran en la Figura 7. El módulo de procesamiento DSP 630 inicia la inserción de datos en dos ciclos de secuencia de formación a partir de una cabecera de trama de la palabra código de FEC en conformidad con la señal FP.

En un receptor de datos 650 del sistema 600, un módulo de procesamiento DSP 660 obtiene, en conformidad con una secuencia de formación, una señal FP que indica una posición límite de un ciclo de secuencia de formación utilizando un algoritmo de sincronización de símbolos de auto-correlación/correlación cruzada. Después de completar el procesamiento de la señal, el módulo de procesamiento DSP 660 envía la señal FP y una señal de datos en paralelo al módulo de decodificación FEC SD 670.

En la tercera forma de realización, los datos en múltiples ciclos de secuencia de formación se insertan en una palabra código de FEC, y por lo tanto, el módulo de decodificación FEC SD 670 necesita determinar una cabecera de trama de la palabra código de FEC en conformidad con la señal FP.

El módulo de decodificación FEC SD 670 puede determinar una posición límite de una palabra código de FEC realizando las operaciones siguientes: a) Memorizar un sub-bloque de una palabra código de FEC recibida, determinar un sub-bloque utilizando una señal FP y seleccionar, de forma secuencial los N sub-bloques de palabras código para su decodificación, en donde N es el número de ciclos de secuencias de formación insertadas en una palabra código de FEC; b) Comprobar los bits de palabras código decodificados utilizando una matriz de verificación, a modo de ejemplo, realizar una operación de multiplicación de palabras código en conformidad con una matriz H; c) Si un resultado de la verificación es 0, considerar que la decodificación de palabras código es correcta y los N sub-bloques de palabras código son una palabra código de FEC completa; y si el resultado de la verificación no es 0, sucesivamente "deslizar una ventana" hacia atrás para seleccionar N sub-bloques de palabras código y retornar a la etapa b).

Después de que el módulo de decodificación FEC SD 670 haya determinado una señal FP para indicar una cabecera de trama de la palabra código de FEC, el módulo de decodificación FEC SD 670 puede determinar directamente la cabecera de trama de la palabra código de FEC en conformidad con la señal FP, sin la necesidad de realizar la manera precedente para determinar una palabra código de FEC completa. Más concretamente, después de que el módulo de decodificación FEC SD 670 encuentre una cabecera de trama de una palabra código de FEC, una señal FP que está separada de una señal FP que indica la cabecera de trama por $M \times N + N - 1$ señales FP indican una cabecera de trama de una palabra código de FEC. A modo de ejemplo, se supone que los datos en tres ciclos de secuencias de formación se insertan en una palabra código de FEC. Cuando el módulo de decodificación FEC SD 670 determina que una quinta señal FP indica una cabecera de trama de la palabra código de FEC, el módulo de decodificación FEC SD 670 puede determinar directamente que una señal FP que está separada de la quinta señal FP por 2, 5, 8 o las señales FP similares, indica una cabecera de trama de la palabra código de FEC, es decir, una octava, undécima, decimotercera o señal FP similar que indica las cabeceras de tema de las palabras código de FEC.

El módulo de decodificación FEC SD 670 puede obtener información de límite de trama de cada sub-bloque en conformidad con la señal FP y luego, obtener una cabecera de trama de una palabra código de FEC en una manera de verificación. De este modo, la decodificación FEC puede realizarse sobre una palabra código de FEC determinada. En general, la iniciación puede realizarse cuando el sistema 600 está con alimentación de energía, con el fin de obtener una señal FP que indique una cabecera de trama de una palabra código de FEC.

En conformidad con el transmisor de datos o el receptor de datos dados a conocer en la forma de realización de la presente invención, una manera de inserción de una secuencia de formación que se insertará originalmente en una palabra código de FEC se cambia en una palabra código de FEC, de modo que la secuencia de formación pueda no solamente realizar una función existente, sino que también sirva de ayuda para realizar una sincronización de tramas de la palabra código de FEC. De este modo, la sincronización de tramas de la palabra código de FEC puede ponerse en práctica sin necesidad de añadir una sobrecarga de entramado FEC adicional, y es mejor un grado de combinación del sistema, con el fin de que una secuencia de formación en un algoritmo DSP pueda utilizarse completamente. Además, insertando una secuencia de formación para servir de ayuda a la realización de una sincronización de tramas es simple con baja complejidad y puede soportar la alineación de tramas en un caso en

donde una tasa binaria de errores sea elevada, a modo de ejemplo, 2e-2.

Lo que antecede describe un transmisor de datos y un receptor de datos que se requieren para realizar una sincronización de tramas utilizando una secuencia de formación y a continuación se describe un diagrama de flujo de un método de sincronización de tramas en conformidad con una forma de realización de la presente invención haciendo referencia a la Figura 8 y la Figura 9.

Según se ilustra en la Figura 8, un método de sincronización de tramas 800 incluye las etapas siguientes.

S810: Realizar una codificación FEC sobre los datos enviados para obtener una palabra código de FEC.

S820: Determinar una posición límite de la palabra código de FEC.

S830: Insertar una secuencia de formación en la palabra código de FEC en conformidad con la posición límite, de modo que un receptor de datos determine la posición límite de la palabra código de FEC en función de la secuencia de formación.

Para las operaciones de S810 a S830 puede hacerse referencia a las operaciones del módulo de codificación 110 y el módulo de procesamiento 120 incluidos en el receptor de datos 100 en la Figura 1. Para evitar una repetición, no se proporcionan aquí detalles adicionales.

En conformidad con una forma de realización de la presente invención, en S830, en un caso en donde una palabra código de FEC se transmite en paralelo por intermedio de al menos dos canales físicos, una secuencia de formación se inserta en la palabra código de FEC en alineación en función de una posición límite. Para un ejemplo pertinente, puede hacerse referencia a la descripción ilustra en la Figura 3 y en la Figura 4.

En conformidad con una forma de realización de la presente invención, en S830, en un caso en donde una palabra código de FEC se transmite en serie a través de uno de los al menos dos canales físicos, la palabra código de FEC puede alinearse con otra palabra código de FEC que se transmite a través de otro canal físico en los al menos dos canales físicos, una secuencia de formación puede insertarse en la palabra código de FEC en conformidad con una posición límite, y otra secuencia de formación puede insertarse, en alineación con la secuencia de formación, en la otra palabra código de FEC. Para un ejemplo pertinente, puede hacerse referencia a la descripción ilustrada en la Figura 5.

En conformidad con la forma de realización de la presente invención, en S830, las secuencias de formación de N ciclos pueden insertarse en la palabra código de FEC en conformidad con la posición límite, en donde N es un número entero mayor que 0. Para un ejemplo pertinente, puede hacerse referencia a la descripción ilustrada en la Figura 6 y Figura 7.

En conformidad con el método de sincronización de tramas dado a conocer en la forma de realización de la presente invención, una secuencia de formación que se insertará originalmente en una palabra código de FEC se inserta en función de una señal de indicación para servir de ayuda a la realización de la sincronización de tramas. De este modo, el problema de que una tasa de transmisión de línea del sistema aumente debido a la inserción de una cabecera de trama FEC adicional en la técnica anterior, se impide en esta forma de realización; además, debido a la mejor utilización de la secuencia de formación, ninguna sobrecarga adicional se añade a un sistema, se puede mejorar el rendimiento del sistema y se impide que un sistema de alto rendimiento consuma una gran cantidad de recursos para realizar una sincronización de tramas en una capa física.

El método 800 en la Figura 8 es un método de sincronización de tramas descrito desde la vista de un extremo transmisor, y a continuación se describe un método de sincronización de tramas desde la perspectiva de un extremo receptor haciendo referencia a la Figura 9.

Según se ilustra en la Figura 9, un método de sincronización de tramas 900 incluye las etapas siguientes:

S910: En conformidad con una secuencia de formación en los primeros datos de recepción, adquirir una posición límite de la secuencia de formación, en donde los primeros datos de recepción se obtienen por el transmisor de datos insertando, en función de una posición límite de una palabra código de FEC, la secuencia de formación en los datos codificados de FEC.

S920: Determinar una posición límite de una palabra código de FEC en segundos datos de recepción recibidos en conformidad con la posición límite de la secuencia de formación, en donde los segundos datos de recepción se obtienen después de que se elimine la secuencia de formación desde los primeros datos de recepción.

S930: Realizar una decodificación FEC sobre la palabra código de FEC en conformidad con la posición límite de la palabra código de FEC.

Para las operaciones de S910 a S930, puede hacerse referencia a las operaciones del módulo de procesamiento 210 y el módulo de decodificación 220 incluidos en el receptor de datos 200 que se ilustra en la Figura 2, Para evitar una repetición, no se proporcionan aquí detalles adicionales.

5 En conformidad con una forma de realización de la presente invención, en S920, si las secuencias de formación de un solo ciclo están insertadas en una palabra código de FEC, una posición límite de una secuencia de formación puede determinarse como una posición límite de una palabra código de FEC en los segundos datos de recepción. A modo de un ejemplo pertinente, puede hacerse referencia a la descripción sobre la Figura 3, la Figura 4 y la Figura 5.

10 En conformidad con la forma de realización de la presente invención, en S930, si las secuencias de formación de N ciclos se insertan en una palabra código de FEC, pueden memorizarse N bloques de datos continuos y los datos incluidos en un bloque de datos es una parte entre las posiciones indicadas por las señales de indicación adyacentes en los segundos datos de recepción; la decodificación FEC se realiza en los N bloques de datos continuos; en donde se verifica que un resultado obtenido a partir de la decodificación FEC es correcto; si el resultado de la verificación es correcto, una posición límite de una primera secuencia de formación correspondiente a los N bloques de datos continuos se determina como una posición límite de una palabra código de FEC en los segundos datos de recepción, en donde N es un número entero mayor que 1.

20 Si el resultado de la verificación es incorrecto, se seleccionan N nuevos bloques de datos continuos mediante un deslizamiento de la ventana, se realiza una decodificación FEC sobre los N nuevos bloques de datos continuos y se verifica que un resultado de la decodificación FEC es correcto.

25 A continuación, en un caso en donde una posición límite de una secuencia de formación correspondiente a una posición límite de una palabra código de FEC se determina, una posición límite que está separada de la posición límite de la secuencia de formación por secuencias de formación de $M \times N + N - 1$ ciclos, puede determinarse como una posición límite de otra palabra código de FEC en los segundos datos de recepción, en donde M es un número entero no inferior a 0. Para un ejemplo pertinente, puede hacerse referencia a la descripción sobre la Figura 6 y la Figura 7.

30 En conformidad con una forma de realización de la presente invención, en S910, puede realizarse un cálculo de auto-correlación o correlación cruzada en conformidad con una secuencia de formación, y una señal de indicación se adquiere en función de un resultado del cálculo.

35 De conformidad con el método de sincronización de tramas dado a conocer en la forma de realización de la presente invención, una señal de indicación se adquiere en función de una secuencia de formación insertada en una palabra código de FEC, con lo que se determina una posición límite de la palabra código de FEC y se realiza una sincronización de tramas. De este modo, el problema de que una tasa de transmisión de línea del sistema aumente debido a la inserción de una cabecera de trama FEC adicional en la técnica anterior se impide en esta forma de realización; además, debido a la mejora de la utilización de la secuencia de formación, ninguna sobrecarga adicional se añade a un sistema, puede mejorarse el rendimiento del sistema y se impide que un sistema de alto rendimiento consuma una gran cantidad de recursos para realizar la sincronización de tramas en una capa física.

40 Un experto en esta técnica puede conocer que, en combinación con los métodos descritos en las formas de realización dadas a conocer en esta especificación, las etapas y unidades pueden realizarse mediante equipos electrónicos, programas informáticos o una de sus combinaciones. Para describir, con claridad, la intercambiabilidad entre el hardware y el software, lo que antecede ha descrito, en general, composiciones y etapas de cada forma de realización en conformidad con las funciones. Si estas funciones se realizan en un modo de hardware o de software dependerá de las aplicaciones particulares y de las condiciones de limitaciones de diseño de las soluciones técnicas. Un experto en esta técnica puede utilizar diferentes métodos para poner en práctica las funciones descritas para cada aplicación particular, pero no debe considerarse que la puesta en práctica va más allá del alcance de la presente invención.

45 Las etapas de los métodos descritos en combinación con las formas de realización pueden realizarse utilizando hardware, un programa informático ejecutado por un procesador, o una de sus combinaciones. El programa informático puede colocarse en una memoria de acceso directorio (RAM), una memoria, una memoria de solamente lectura (ROM), una memoria ROM eléctricamente programable, una memoria ROM eléctricamente programable y borrrable, un registro, un disco duro, un disco magnético extraíble, un CD-ROM, o un soporte de memorización de cualquier otra forma bien conocida en el campo técnico.

60 Aunque algunas formas de realización de la presente invención han sido ilustradas y descritas, un experto en esta técnica debe entender que se pueden realizar varias modificaciones para estas formas de realización sin desviarse por ello del principio de la presente invención y dichas modificaciones caerán dentro del alcance de la presente invención.

65

REIVINDICACIONES

1. Un receptor de datos (200, 350, 570, 650), que comprende un módulo de procesamiento (210, 360, 560, 660) y un módulo de decodificación (220, 370, 570, 670), en donde:
- 5 el módulo de procesamiento (210, 360, 560, 660) está configurado para recibir primeros datos de recepción, adquirir, en de conformidad con una secuencia de formación que está en los primeros datos de recepción y para facilitar la estimación de canal o la ecualización de canal, una señal de indicación que indica una posición límite de la secuencia de formación, y proporcionar, a la salida, segundos datos de recepción obtenidos después de que se retire la secuencia de formación de los primeros datos de recepción y la señal de indicación para el módulo de decodificación (220, 370, 570, 670), en donde los primeros datos de recepción se obtienen mediante un transmisor de datos (100, 310, 510, 610) insertando, en función de una posición límite de una palabra código de corrección de errores hacia adelante, FEC, de la secuencia de formación en los datos codificados por FEC; y
- 10 el módulo de decodificación (220) está configurado para determinar una posición límite de una palabra código de FEC en los segundos datos de recepción en función de la señal de indicación y para realizar una decodificación FEC sobre la palabra código de FEC en función de la posición límite, en donde el módulo de decodificación (220, 370, 570, 670) comprende:
- 15 una unidad de memorización intermedia, configurada para memorizar N bloques de datos continuos si las secuencias de formación de N ciclos se insertan en una sola palabra código de FEC, en donde los datos incluidos en un solo bloque de datos es una parte entre posiciones indicadas por señales de indicación adyacentes en los segundos datos de recepción;
- 20 una unidad de decodificación, configurada para realizar una decodificación FEC sobre los N bloques de datos continuos;
- 25 una unidad de verificación, configurada para comprobar si un resultado obtenido de la decodificación FEC es correcto; y
- 30 una unidad de determinación, configurada para determinar, si un resultado de verificación obtenido por la unidad de verificación es correcto, que una posición indicada por una primera señal de indicación correspondiente a los N bloques de datos continuos es la posición límite de la palabra código de FEC en los segundos datos de recepción, en donde N es un número entero mayor que 1.
- 35 2. El receptor de datos (200, 350, 570, 650) según la reivindicación 1, en donde el módulo de decodificación (220, 370, 570, 670) está configurado para determinar, si secuencias de formación de un solo ciclo se insertan en una palabra código de FEC, que una posición indicada por la señal de indicación es la posición límite de la palabra código de FEC en los segundos datos de recepción.
- 40 3. El receptor de datos (200, 350, 570, 650) según la reivindicación 1, en donde el módulo de decodificación (220, 370, 570, 670) comprende, además:
- 45 una unidad de deslizamiento de ventana, configurada para seleccionar, si el resultado de la verificación obtenido por la unidad de verificación es incorrecto, N nuevos bloques de datos continuos mediante un deslizamiento de ventana, y proporcionar, a la salida, los N nuevos bloques de datos continuos a la unidad de decodificación, de modo que la unidad de decodificación realice una decodificación FEC sobre los N nuevos bloques de datos continuos y que la unidad de verificación compruebe si un resultado de la decodificación FEC es correcto.
- 50 4. El receptor de datos (200, 350, 570, 650) según la reivindicación 1, en donde el módulo de decodificación (220, 370, 570, 670) está configurado para determinar que una señal de indicación separada de la primera señal de indicación por $M \times N + N - 1$ señales de indicación indica una posición límite de otra palabra código de FEC en los segundos datos de recepción, en donde M un número entero no inferior a 0.
- 55 5. El receptor de datos (200, 350, 570, 650) según cualquiera de las reivindicaciones 1 a 4, en donde el módulo de procesamiento (210, 360, 560, 660) está configurado para realizar un cálculo por auto-correlación o por correlación cruzada en función de la secuencia de formación y para adquirir la señal de indicación en función de un resultado del cálculo.
- 60 6. Un método de sincronización de tramas, que comprende:
- la recepción de primeros datos de recepción;
- 65 la adquisición (S910) de conformidad con una secuencia de formación que está en los primeros datos de recepción y para facilitar la estimación de canal o la ecualización de canal, de una señal de indicación que indica una posición límite de la secuencia de formación, en donde los primeros datos de recepción se obtienen por un transmisor de

- datos (100, 310, 510, 610) insertando, en conformidad con una posición límite de una palabra código de corrección de error hacia adelante FEC, la secuencia de formación en los datos codificados por FEC;
- 5 la determinación (S920) de una posición límite de una palabra código de FEC en los segundos datos de recepción en función de la posición límite de la secuencia de formación, en donde los segundos datos de recepción se obtienen después de que se elimine la secuencia de formación desde los primeros datos de recepción; y
- 10 la puesta en práctica (S930) de la decodificación FEC sobre la palabra código de FEC en función de la posición límite de la palabra código de FEC;
- en donde la determinación (S920) de una posición límite de una palabra código de FEC en los segundos datos de recepción en función de la posición límite de la secuencia de formación comprende:
- 15 la memorización intermedia de N bloques de datos continuos si secuencias de formación de N ciclos se insertan en una sola palabra código de FEC, en donde los datos incluidos en un bloque de datos es una parte entre posiciones indicadas por señales de indicación adyacentes en los segundos datos de recepción;
- la puesta en práctica de la decodificación de FEC sobre los N bloques de datos continuos;
- 20 la verificación de si un resultado obtenido a partir de la decodificación de FEC es correcto; y
- la determinación, si un resultado de la verificación es correcto, de que una posición límite de una primera secuencia de formación correspondiente a los N bloques de datos continuos es la posición límite de la palabra código de FEC en los segundos datos de recepción, en donde N es un número entero mayor que 1.
- 25 **7.** El método de sincronización de trama según la reivindicación 6, en donde la determinación (S920) de una posición límite de una palabra código de FEC en segundos datos de recepción en conformidad con la posición límite de la secuencia de formación comprende:
- 30 determinar, si secuencias de formación de un ciclo se insertan en una palabra código de FEC, que la posición límite de la secuencia de formación es la posición límite de la palabra código de FEC en los segundos datos de recepción.
- 8.** El método de sincronización de trama según la reivindicación 6, que comprende, además:
- 35 la selección, si el resultado de la verificación es incorrecto, de N nuevos bloques de datos continuos mediante un deslizamiento de ventana, la puesta en práctica de la decodificación FEC sobre los N nuevos bloques de datos continuos y la verificación de que es correcto un resultado de la decodificación FEC.
- 9.** El método de sincronización de trama según la reivindicación 6 que comprende, además:
- 40 la determinación de que una posición límite separada de la posición límite de la primera secuencia de formación por secuencias de formación de $M \times N + N - 1$ ciclos es una posición límite de otra palabra código de FEC en los segundos datos de recepción, en donde M un número entero no inferior a 0.
- 45 **10.** El método de sincronización de trama según cualquiera de las reivindicaciones 6 a 9, en donde la adquisición (S910), en conformidad con una secuencia de formación en los primeros datos de recepción, de una posición límite de la secuencia de formación comprende:
- 50 la realización de un cálculo de auto-correlación o correlación cruzada en función de la secuencia de formación, y la adquisición de la señal de indicación en función de un resultado del cálculo.

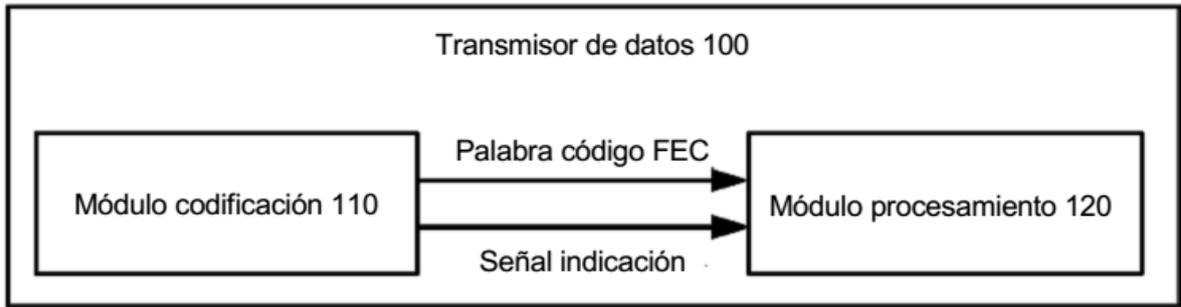


FIG. 1

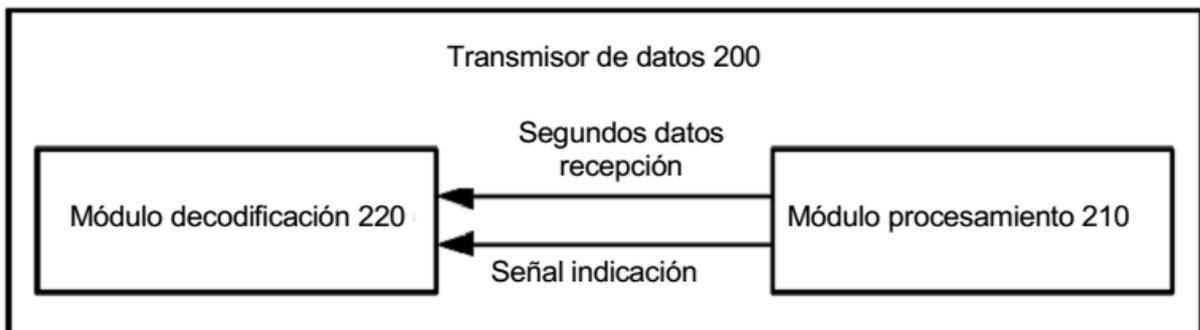


FIG. 2

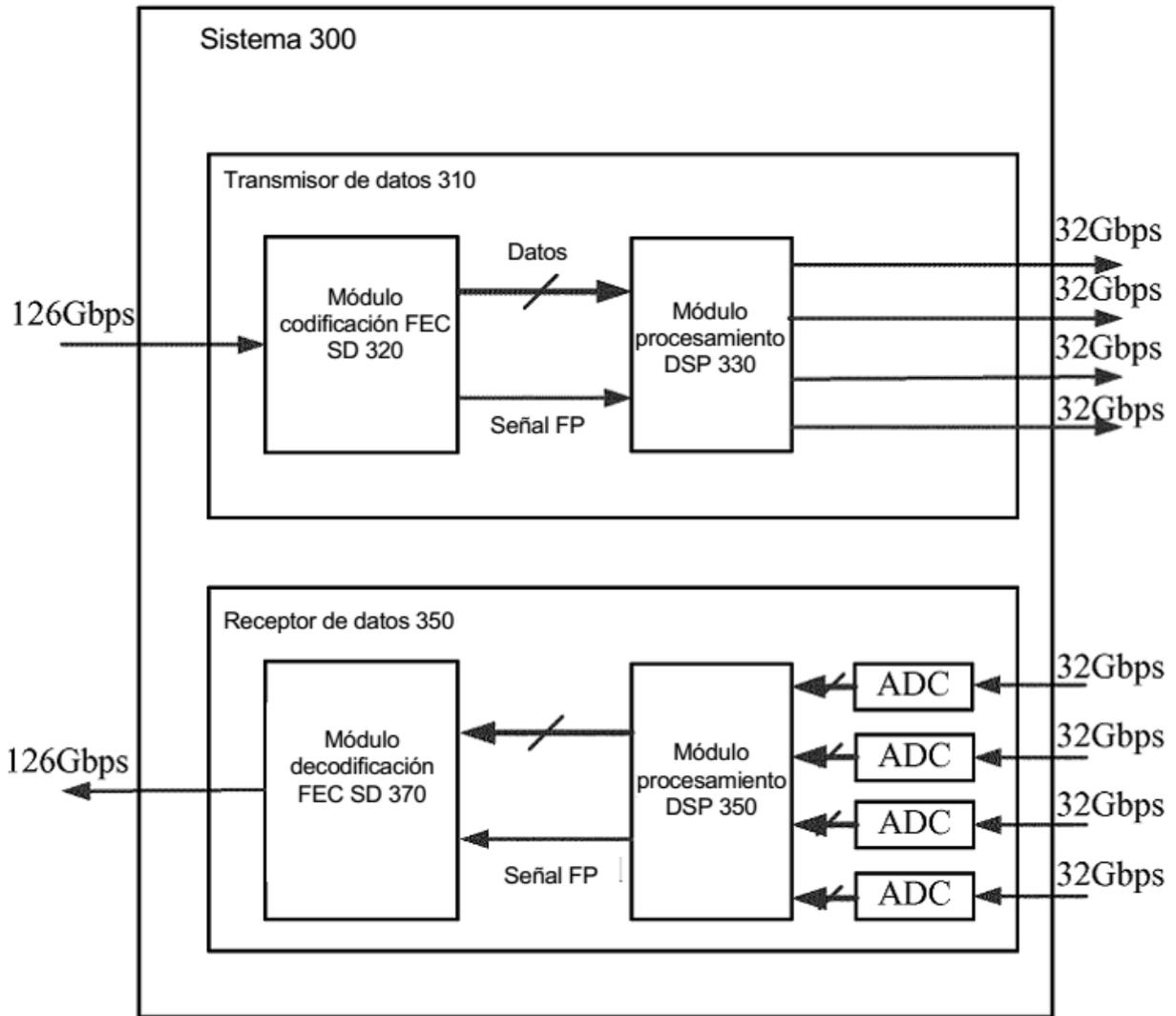
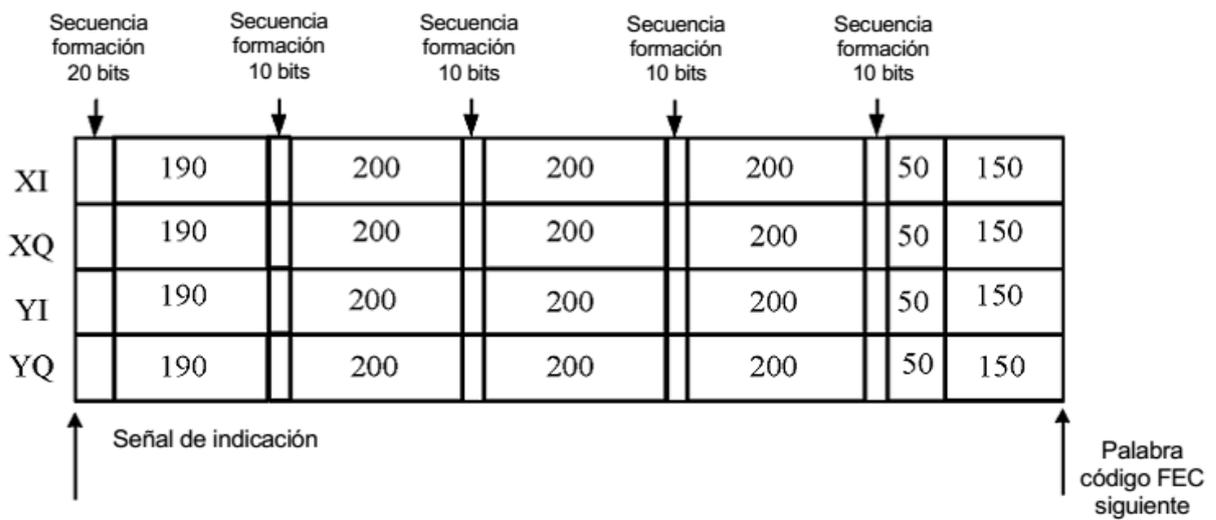


FIG. 3



(a)



(b)

FIG. 4

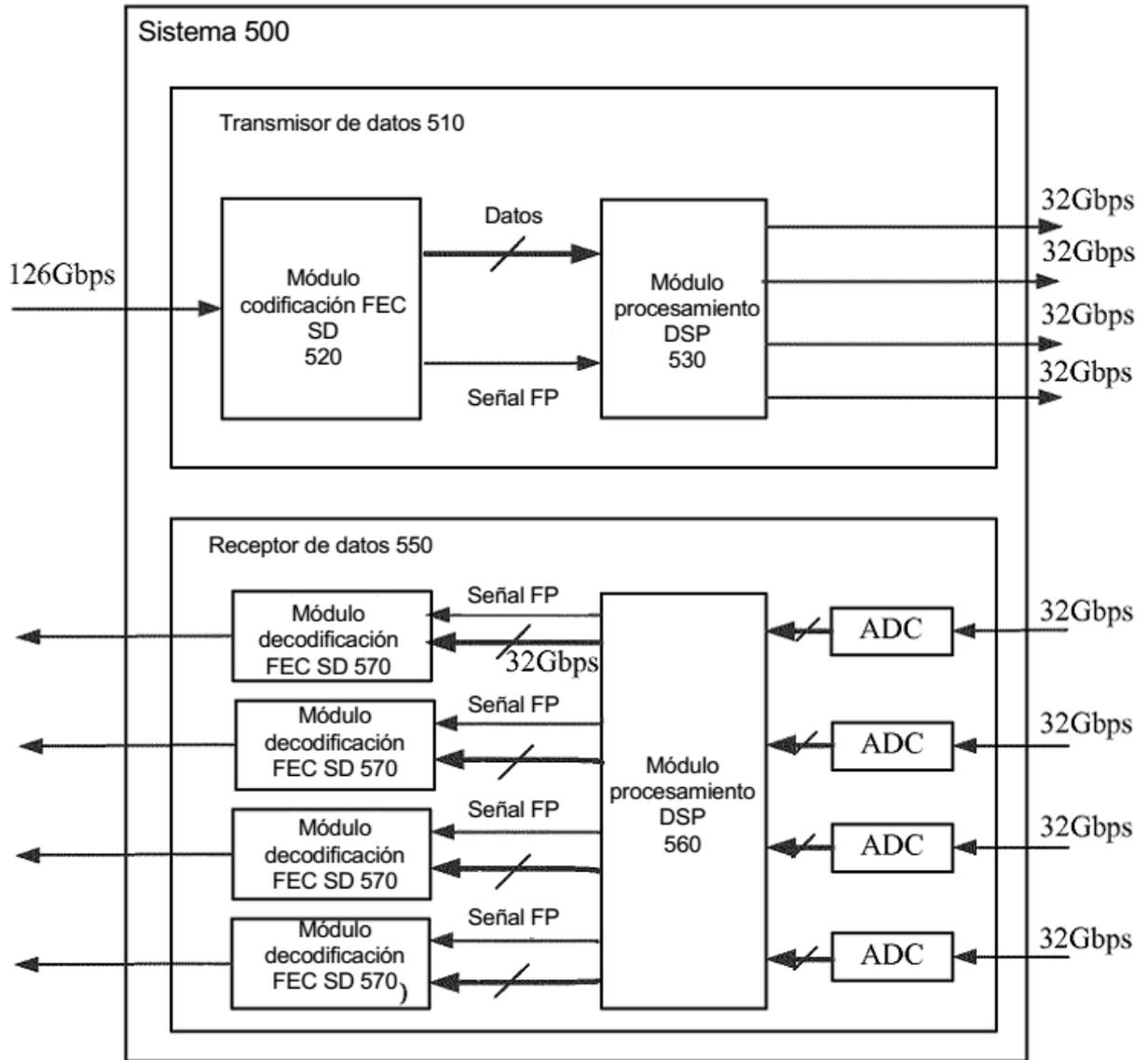


FIG. 5

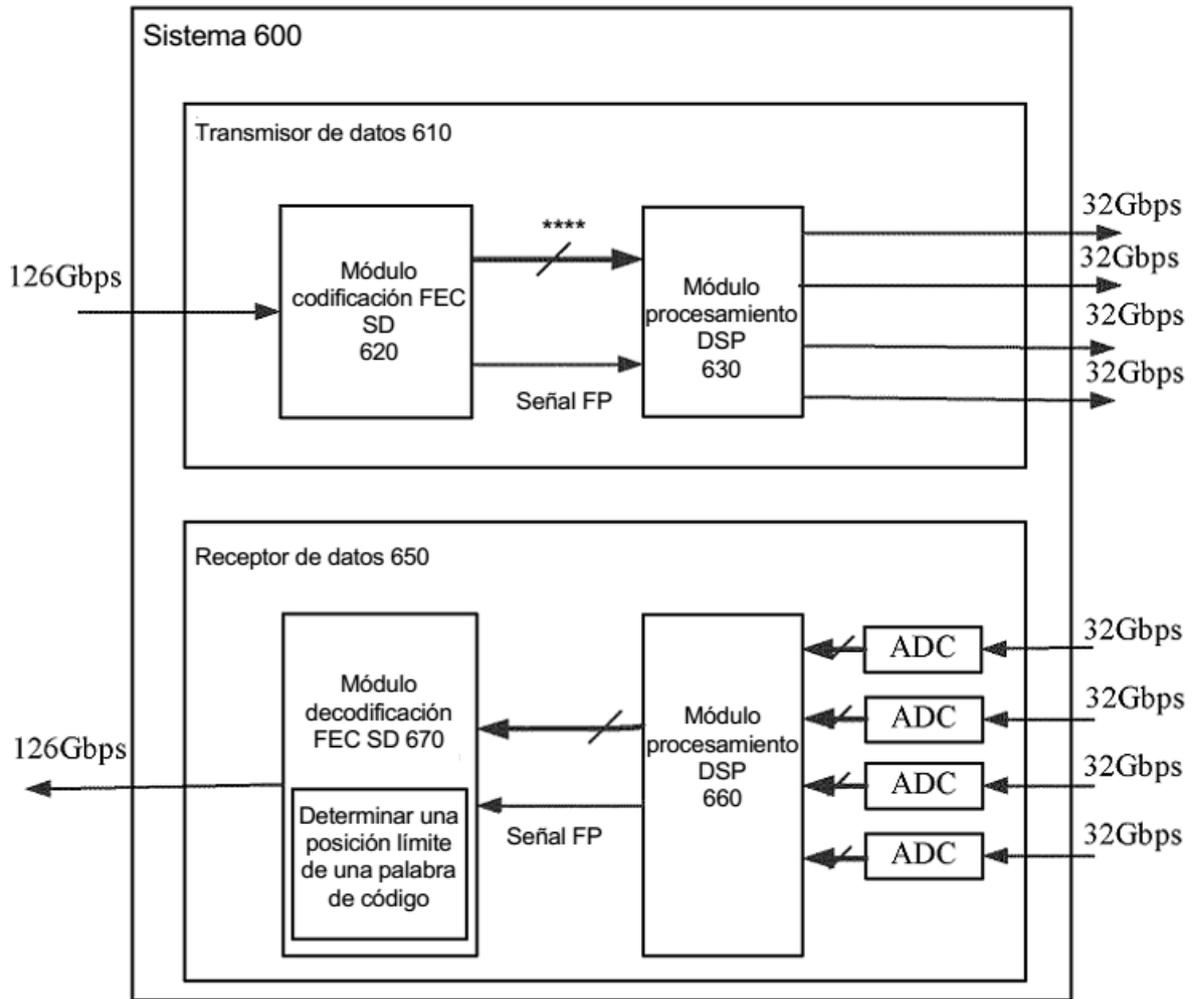


FIG. 6

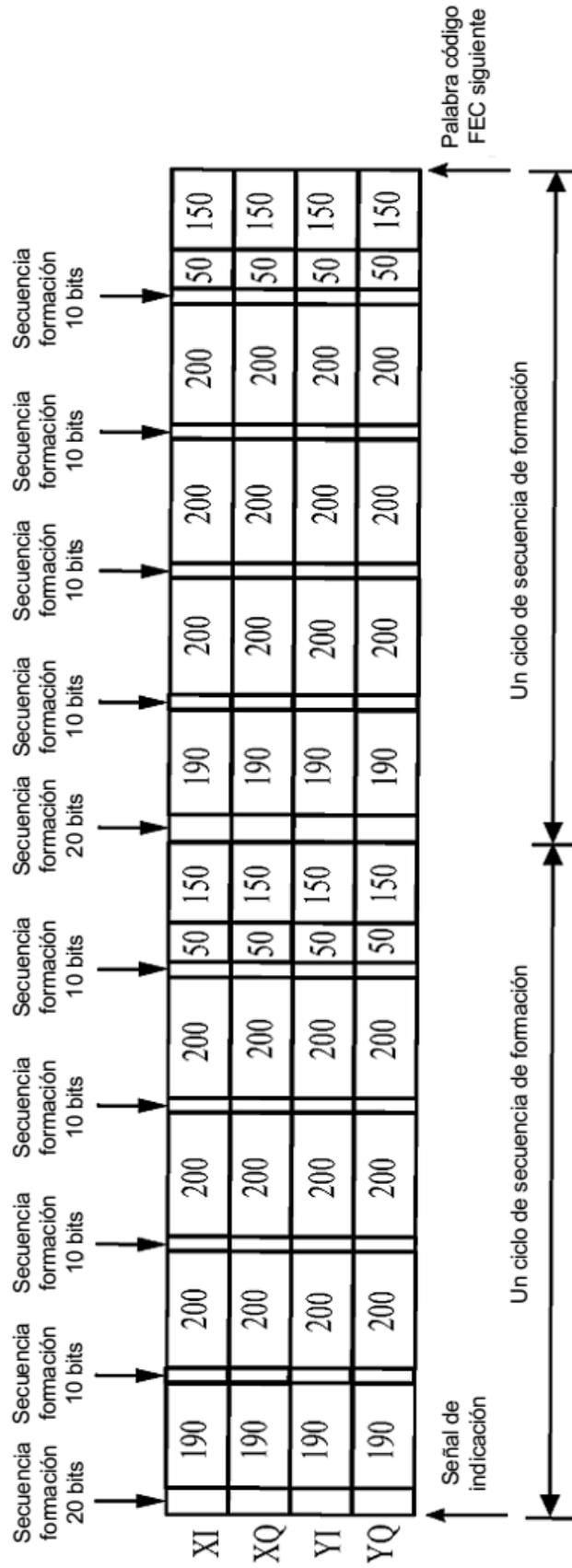


FIG. 7

800

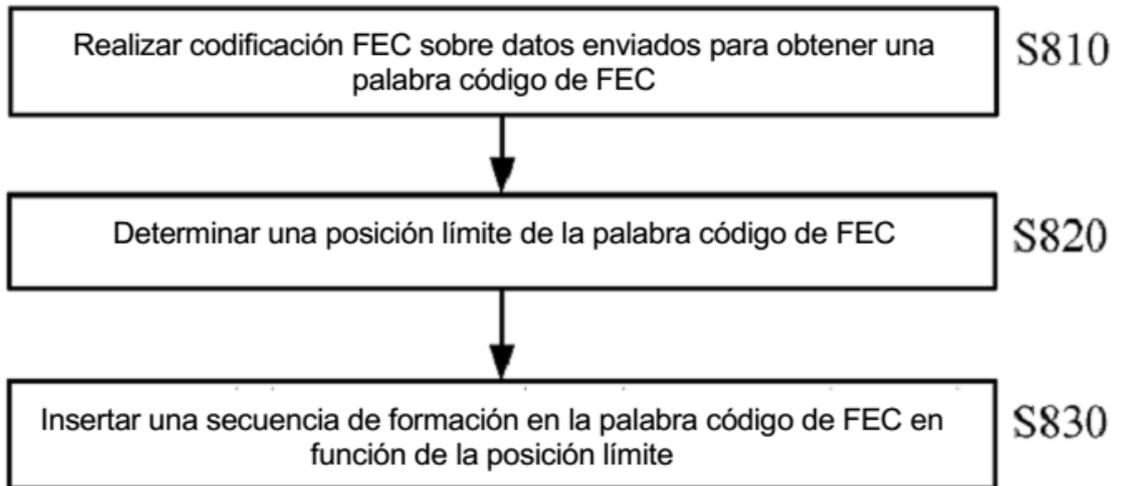


FIG. 8

900

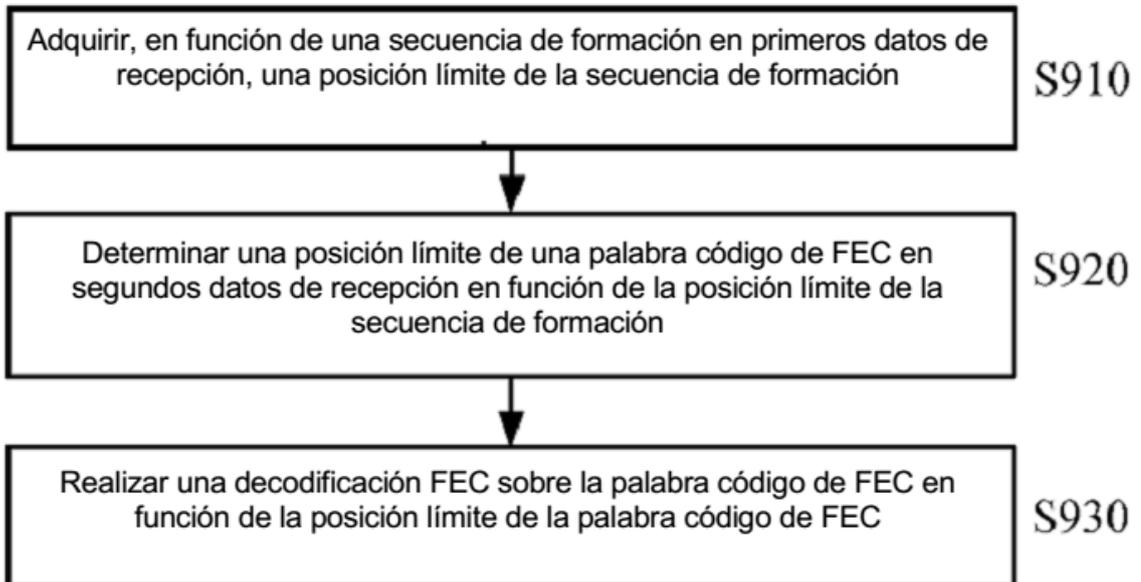


FIG. 9