

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 626 629**

51 Int. Cl.:

H03K 19/0185 (2006.01)

H03K 19/003 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **13.05.2008 PCT/US2008/063509**

87 Fecha y número de publicación internacional: **27.11.2008 WO08144300**

96 Fecha de presentación y número de la solicitud europea: **13.05.2008 E 08755376 (4)**

97 Fecha y número de publicación de la concesión europea: **15.03.2017 EP 2145388**

54 Título: **Pastilla de señal de circuito integrado con tolerancia a cinco voltios con asistencia de tres voltios**

30 Prioridad:
15.05.2007 US 748771

45 Fecha de publicación y mención en BOPI de la traducción de la patente:
25.07.2017

73 Titular/es:
**MICROCHIP TECHNOLOGY INCORPORATED
(100.0%)
2355 WEST CHANDLER BOULEVARD
CHANDLER, AZ 85224-6199, US**

72 Inventor/es:
**WANG, GUOLI;
THOMSEN, JOSEPH, A. y
COOPER, RUSSELL, E.**

74 Agente/Representante:
CARPINTERO LÓPEZ, Mario

ES 2 626 629 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Pastilla de señal de circuito integrado con tolerancia a cinco voltios con asistencia de tres voltios

Campo técnico

5 La presente revelación se refiere al desplazamiento de nivel para entradas / salidas de circuitos integrados (E / S) y, más en particular, a una pastilla de señal de E / S con tolerancia a cinco voltios con asistencia de tres voltios.

Antecedentes

10 Los circuitos integrados pueden funcionar a diferentes voltajes de operación dependiendo del proceso de fabricación utilizado y del propósito previsto del circuito integrado. Las entradas - salidas (E / S) de circuitos integrados legados operan típicamente ya sea a aproximadamente cero o a aproximadamente cinco voltios, por ejemplo, lógica 0 y lógica 1. Sin embargo, los circuitos integrados más nuevos y más pequeños de la tecnología de procesos operan típicamente ya sea a aproximadamente cero o a aproximadamente tres voltios, por ejemplo, V_{DD} de aproximadamente 3,3 voltios, debido a que los nuevos procesos de fabricación de alta densidad de circuitos producen transistores que no pueden operar con seguridad por encima de un voltaje V_{DD} de 3,3 voltios.

15 Cuando se encuentran en interfaz los dispositivos de circuitos integrados legados de cinco voltios con dispositivos de 3,3 voltios de tecnología más reciente, se pueden utilizar convertidores de nivel de voltaje externos o salidas de drenaje abierto. Los convertidores de nivel de voltaje externos agregan costos, complejidad y ocupan espacio en una pastilla de circuito impreso. Las salidas de drenaje abierto tradicionales tienen un rendimiento operativo limitado por la resistencia de elevación en combinación con la capacitancia de circuito inherente de cada salida de drenaje abierto.

20 El documento EP 1 628 399 revela un dispositivo semiconductor que incluye un circuito tampón de salida o un circuito tampón de entrada / salida en el que se puede aplicar un voltaje mayor que el voltaje de suministro de energía del dispositivo al terminal de salida o al terminal de entrada / salida.

El documento US 6.060.906 revela un tampón bidireccional con circuito activo de elevación para aplicaciones de voltaje mixto.

Sumario

25 Por lo tanto, existe la necesidad de una salida de circuito integrado con tolerancia a cinco voltios y un procedimiento para operar el mismo que tenga una elevación rápida inicial de hasta tres voltios y a continuación opere como salida de drenaje abierto con una resistencia externa para elevar la salida de aproximadamente tres voltios a aproximadamente cinco voltios. La elevación rápida inicial (activa) hasta aproximadamente tres voltios reduce el tiempo de elevación global de una salida de circuito integrado de nueva tecnología cuando se pasa de una lógica cero a una lógica 1.

Este objeto se puede conseguir mediante un circuito y un procedimiento como se definen en las reivindicaciones independientes. Otras mejoras están caracterizadas en las reivindicaciones dependientes.

35 De acuerdo con una realización ejemplar específica de esta revelación, un circuito integrado con una pastilla de señal y un circuito acoplado a la misma que tiene tolerancia a un mayor voltaje con menor asistencia de voltaje puede comprender: una pastilla de señal de circuito integrado; un primer transistor (142) semiconductor de óxido metálico de canal N (NMOS) que tiene un drenaje acoplado a la pastilla de señal de circuito integrado y una compuerta acoplada a un voltaje de operación; un segundo transistor NMOS (128) que tiene una fuente acoplada a una potencia común y un drenaje acoplado a una fuente del primer transistor NMOS (142); un primer transistor (126) de semiconductor de óxido metálico de canal P (PMOS) que tiene un drenaje acoplado a la pastilla de señal de circuito integrado y el drenaje del segundo transistor NMOS (128), un segundo transistor PMOS (124) que tiene un drenaje acoplado a una fuente del primer transistor PMOS (126), y una fuente del segundo transistor PMOS (124) acoplada al voltaje de operación; un tercer transistor PMOS (122) que tiene un drenaje acoplado a la pastilla de señal del circuito integrado y una fuente acoplada a una compuerta del segundo transistor PMOS (124); un cuarto transistor PMOS (114) que tiene un drenaje acoplado a la compuerta del segundo transistor PMOS (124) y la fuente del tercer transistor PMOS (122), teniendo el cuarto transistor PMOS (114) una fuente acoplada a una señal de control de cinco voltios; un tercer transistor NMOS (116) que tiene un drenaje acoplado a la compuerta del segundo transistor PMOS (124) y la fuente del tercer transistor PMOS (122), teniendo el tercer transistor NMOS (116) una compuerta acoplada al voltaje de operación y una fuente acoplada al control de cinco voltios; un cuarto transistor NMOS (120) que tiene una fuente acoplada a la pastilla de señal de circuito integrado y una compuerta acoplada al voltaje de operación; un quinto transistor PMOS (118) que tiene una fuente acoplada a la pastilla de señal de circuito integrado y una compuerta acoplada al voltaje de operación; estando acoplados los drenajes del cuarto transistor NMOS (120) y del quinto transistor PMOS (118) a una compuerta del cuarto transistor PMOS (114); una compuerta del primer transistor PMOS (126) está acoplada a una señal de salida de datos; una compuerta del segundo transistor NMOS

(128) está acoplada a una señal de validación de salida de datos; un primer diodo parásito (132), estando formado el primer diodo parásito (132) entre la fuente y el drenaje del primer transistor PMOS (126); y un segundo diodo parásito (134), estando formado el segundo diodo parásito (134) entre la fuente y el drenaje del segundo transistor PMOS (124), en el que el flujo de corriente a través del segundo diodo parásito (134) acciona la pastilla de señal de circuito integrado a sustancialmente el voltaje de operación cuando la señal de control de cinco voltios está en una lógica 1 y el segundo diodo parásito (134) evita sustancialmente el flujo de corriente desde la pastilla de señal de circuito integrado al voltaje de operación cuando la pastilla de señal de circuito integrado está a un voltaje más positivo que el voltaje de operación.

Breve descripción de los dibujos

Se puede adquirir una comprensión más completa de la presente revelación haciendo referencia a la descripción que sigue tomada en conjunto con los dibujos que se acompañan, en los que:

la figura 1 ilustra un diagrama esquemático de un circuito de entrada - salida tolerante de cinco voltios (E / S) acoplado a una pastilla de E / S de circuito integrado (conexión externa de E / S de circuito integrado), de acuerdo con una realización ejemplar específica de esta revelación.

Aunque la presente descripción es susceptible a diversas modificaciones y formas alternativas, se han mostrado ejemplos específicos de la misma en los dibujos y se describen en detalle en la presente memoria descriptiva. Se debe entender, sin embargo, que la descripción en la presente memoria descriptiva de ejemplos de realización específicos no pretende limitar la revelación a las formas particulares que se revelan en la presente memoria descriptiva, sino que, por el contrario, esta revelación debe cubrir todas las modificaciones y equivalentes como se definen en las reivindicaciones adjuntas.

Descripción detallada

Haciendo referencia a continuación al dibujo, se ilustran esquemáticamente los detalles de una realización de ejemplo específica. Los elementos similares en los dibujos se representarán con números similares, y los elementos similares serán representados por números similares con un sufijo de letra minúscula diferente.

Haciendo referencia a la figura 1, se representa un diagrama esquemático de un circuito de entrada - salida con tolerancia a cinco voltios (E / S) acoplado a una pastilla de E / S de circuito integrado (conexión de E / S de circuito integrado externo), de acuerdo con un realización de ejemplo específico de esta revelación. El circuito de E / S con tolerancia a cinco voltios, representado generalmente por el número 100, está acoplado a una pastilla de E / S de conexión externa de circuito integrado 140. La pastilla de E / S 140 se puede acoplar a una resistencia de elevación 138 que también se puede acoplar a una fuente de cinco voltios 136. La pastilla de E / S 140 puede ser capaz de operación bidireccional, por ejemplo, entrada y salida.

El transistor de semiconductor de óxido metálico de canal P (PMOS) 126, el transistor de semiconductor de óxido metálico de canal N (NMOS) 142 y el transistor de semiconductor de óxido metálico de canal N (NMOS) 128 forman un controlador de salida. El transistor PMOS 126 puede ser fabricado con un óxido de compuerta más gruesa que el óxido de compuerta del transistor PMOS 124 para una descarga electrostática mejorada (ESD) y protección de resistencia de voltaje. El transistor 142 de NMOS puede ser fabricado con un óxido de compuerta más gruesa que el óxido de compuerta del transistor 142 de NMOS para una descarga electrostática mejorada (ESD) y una protección de resistencia al voltaje, como se revela más completamente en la solicitud de patente de los Estados Unidos en tramitación junto con la presente y adquirida legalmente número de serie 11/215.775, titulada "Estructura de salida que tiene ESD y protección de resistencia de voltaje incrementada usando diferentes óxidos de grosor de compuerta", presentada el 30 de agosto de 2005; por Yach, et al.

Un transistor PMOS 124 se coloca en serie con el transistor PMOS 126 y el transistor NMOS 128, y un diodo parásito 134 evita sustancialmente el flujo de corriente no deseada desde la pastilla de entrada / salida 140 a V_{DD} cuando el voltaje sobre la misma es mayor que V_{DD} , por ejemplo, mayor de 3,3 voltios. Cuando un control de cinco voltios 108 está en una lógica 1, permitirá una salida de elevación rápida asistida de tres voltios en la pastilla de E / S 140. El control 108 de cinco voltios se puede usar en combinación con los circuitos lógicos que se han descrito en la presente memoria descriptiva para evitar eficazmente trayectorias de corriente de fuga no deseadas, al mismo tiempo que mantiene la funcionalidad de entrada / salida regular durante la operación de cinco voltios y la pastilla de E / S 140 como una salida durante la operación de tres voltios (por ejemplo, control de cinco voltios 108 en lógica 0).

Cuando el control de cinco voltios 108 está en una lógica 1, la pastilla E / S 140 se comporta como una entrada con tolerancia a cinco voltios o con la resistencia externa de elevación de cinco voltios 138 como una salida de 5 voltios. Por ejemplo, para iniciar un diodo interno, por ejemplo, el diodo parasitario 134, la asistencia para elevar a V_{DD} , la salida de datos 110 y la validación de salida de datos 112 estarán en la lógica 1, y harán que la compuerta del transistor PMOS 126 esté en una lógica 1. El diodo parásito 134 acciona rápidamente el nodo 150 a V_{DD} . El nodo 150 está acoplado a la fuente del transistor PMOS 126. Cuando la compuerta del transistor PMOS 126 pasa de una

lógica 1 a una lógica 0, por ejemplo, sustancialmente al mismo potencial que el común de suministro de energía 130, la trayectoria fuente - drenaje del transistor PMOS 126 se convierte en conductora y elevará rápidamente la pastilla E / S 140 a V_{DD} , por ejemplo 3,3 voltios. A continuación, la resistencia de elevación 138 continuará elevando la pastilla I / O 140 hacia la fuente de cinco voltios 136.

5 Cuando el voltaje en la pastilla de E / S 140 es más positivo que V_{DD} , el nodo 150 seguirá el voltaje en la pastilla de E / S 140 a través del diodo parásito 132 (que se encuentra en conducción). Sin embargo, el diodo 134 evitará sustancialmente cualquier flujo de corriente desde la pastilla de E / S 140 (mayor que V_{DD}) a la V_{DD} interna. Una vez que la pastilla de E / S 140 se vuelve más positiva que $V_{DD} + V_{tp}$, el transistor PMOS 122 será conductor y la compuerta del transistor PMOS 124 estará sustancialmente al mismo voltaje que el voltaje en la pastilla de E / S 140. Por lo
10 tanto, el transistor PMOS 124 se desconectará completamente, impidiendo cualquier corriente de fuga a su través.

Puesto que el voltaje en el nodo 150 sigue sustancialmente el voltaje en la pastilla de E / S 140 debido al diodo 132 que está polarizado hacia delante, no hay sustancialmente ninguna corriente de fuga a través del transistor PMOS 126. Cuando el voltaje en la pastilla de E / S 140 es más positivo que $V_{DD} + V_{tp}$, el transistor PMOS 118 conduce y la compuerta del transistor PMOS 114 está a un voltaje sustancialmente igual al voltaje en la pastilla de E / S 140. El
15 transistor PMOS 114 se desconecta completamente para evitar que el nivel de cinco voltios alcance la salida del tampón 102 y posiblemente produzca daños en el mismo.

Excepto por la elevación rápida inicial desde una lógica cero a V_{DD} en la pastilla de E / S 140 que requiere que la salida de datos 110 y la validación de la salida de datos 112 estén en la lógica 1, los estados lógicos de la salida de datos 110 y de la validación de la salida de datos 112 no hacen diferencia porque el transistor NMOS 128 está siempre desconectado por el control de cinco voltios 108, y el transistor PMOS 124 es desconectado por el control de
20 cinco voltios 108 (por ejemplo, cuando el voltaje en la pastilla de E / S 140 es menor o igual que $V_{DD} + V_{TP}$) o por el transistor PMOS 122 que está en conducción (por ejemplo, cuando el voltaje en la pastilla de E / S 140 es mayor que $V_{DD} + V_{TP}$) como se ha descrito más arriba en la presente memoria descriptiva. Por lo tanto, el nodo 150 seguirá siempre el voltaje en la pastilla de E / S 140, y el transistor PMOS 126 no tendrá sustancialmente ningún flujo de
25 corriente a su través. Los pocillos N de los transistores PMOS 114, 118, 122, 124 y 126 pueden estar todos sujetos al nodo 150 para mantener el mismo nivel de voltaje y evitar la polarización directa de estos transistores cuando el voltaje en la pastilla 140 es más positivo que V_{DD} .

REIVINDICACIONES

1. Un circuito integrado que opera a un voltaje de operación nominal (V_{DD}) con una pastilla de señal (140) y un circuito de control (100) acoplado a la pastilla de señal (140), comprendiendo el circuito de control (100):
 - 5 un primer transistor semiconductor de óxido metálico de canal N (NMOS) (142) que tiene un drenaje acoplado a la pastilla de señal de circuito integrado (140) y una compuerta acoplada al voltaje de operación nominal (V_{DD});
 - un segundo transistor NMOS (128) que tiene una fuente acoplada a un común de potencia (130) y un drenaje acoplado a una fuente del primer transistor NMOS (142);
 - 10 un primer transistor semiconductor de óxido metálico de canal P (PMOS) (126) que tiene un drenaje acoplado a la pastilla de señal (140) de circuito integrado;
 - un segundo transistor PMOS (124) que tiene un drenaje acoplado a una fuente del primer transistor PMOS (126), y una fuente del segundo transistor PMOS (124) acoplada al voltaje de operación nominal (V_{DD});
 - un tercer transistor PMOS (122) que tiene un drenaje acoplado a la pastilla de señal de circuito integrado (140) y una fuente acoplada a una compuerta del segundo transistor PMOS (124);
 - 15 un cuarto transistor PMOS (114) que tiene un drenaje acoplado a la compuerta del segundo transistor PMOS (124) y la fuente del tercer transistor PMOS (122), teniendo el cuarto transistor PMOS (114) una fuente acoplada a una señal de control (108);
 - un tercer transistor NMOS (116) que tiene un drenaje acoplado a la compuerta del segundo transistor PMOS (124) y la fuente del tercer transistor PMOS (122), teniendo el tercer transistor NMOS (116) una compuerta acoplada al voltaje de operación nominal y una fuente acoplada a la señal de control (108);
 - 20 un cuarto transistor NMOS (120) que tiene una fuente acoplada a la pastilla de señal de circuito integrado (140);
 - un quinto transistor PMOS (118) que tiene una fuente acoplada a la pastilla de señal de circuito integrado (140) y una compuerta acoplada al voltaje de operación nominal (V_{DD});
 - 25 los drenajes del cuarto transistor NMOS (120) y del quinto transistor PMOS (118) están acoplados a una compuerta del cuarto transistor PMOS (114);
 - una compuerta del primer transistor PMOS (126) está acoplada a una señal de salida de datos (110);

caracterizado porque

 - 30 la señal de control es una señal de control (108) que cuando se establece proporciona una tolerancia a cinco voltios de la pastilla de señal de circuito integrado (140);
 - la compuerta del cuarto transistor NMOS (120) está acoplada al voltaje nominal de operación (V_{DD});
 - una compuerta del segundo transistor NMOS (128) está acoplada a una señal de validación de salida de datos (112);
 - un primer diodo parásito (132) está formado entre la fuente y el drenaje del primer transistor PMOS (126); y
 - 35 un segundo diodo parásito (134) está formado entre la fuente y el drenaje del segundo transistor PMOS (124), en el que cuando la señal de control (108) está en una lógica 1, el circuito de control se controla de tal manera que el flujo de corriente a través del segundo diodo parásito (134) puede accionar la pastilla de señal del circuito integrado (140) hasta sustancialmente el voltaje de operación nominal (V_{DD}) mientras el segundo diodo parásito (134) evita sustancialmente el flujo de corriente desde la pastilla de señal de circuito integrado (140) hasta el voltaje de operación nominal (V_{DD}) cuando la pastilla de señal de circuito integrado (140) está a un voltaje superior al voltaje de operación nominal (V_{DD}).
 - 40
 2. El circuito integrado de acuerdo con la reivindicación 1, en el que la pastilla de señal de circuito integrado (140) es una pastilla de entrada cuando la señal de validación de salida de datos (112) está en una lógica 0 y la señal de control (108) está en una lógica 1.
 - 45 3. El circuito integrado de acuerdo con la reivindicación 1, en el que la pastilla de señal de circuito integrado (140) es una pastilla de salida cuando la señal de validación de salida de datos (112) está en una lógica 1 y la señal de control (108) está en una lógica 0.

4. El circuito integrado de acuerdo con la reivindicación 1, en el que la pastilla de señal de circuito integrado (140) está en una lógica 0 cuando la señal de salida de datos (110) está en una lógica 0, la señal de validación de salida de datos (112) está en una lógica 1 y la señal de control (108) está en una lógica 0.
5. El circuito integrado de acuerdo con la reivindicación 1, en el que la pastilla de señal de circuito integrado (140) está en una lógica 1 cuando la señal de salida de datos está en una lógica 1, la señal de validación de salida de datos (112) está en una lógica 1 y la señal de control (108) está en una lógica 0.
6. El sistema que comprende el circuito integrado de acuerdo con una de las reivindicaciones precedentes, que comprende además una resistencia de elevación (138) acoplada entre la pastilla de señal de circuito integrado (140) y una fuente de alimentación (136) que es más positiva que el voltaje de operación nominal (V_{DD}).
10. 7. El sistema de acuerdo con la reivindicación 6, en el que la pastilla de señal de circuito integrado (140) está sustancialmente en el voltaje (136) más positivo que el voltaje de operación nominal (V_{DD}) cuando la señal de control (108) está en una lógica 1, la señal de salida de datos (110) está en una lógica 1 y la señal de validación de salida de datos (112) está en una lógica 1.
15. 8. Un procedimiento de operación de un circuito integrado que funciona a un voltaje de operación nominal (V_{DD}) con una pastilla de señal (140) y un circuito de control (100) acoplado a la pastilla de señal (140), en el que el circuito de control comprende:
 - un primer transistor semiconductor de óxido metálico de canal N (NMOS) (142) que tiene un drenaje acoplado a la pastilla de señal de circuito integrado (140) y una compuerta acoplada al voltaje de operación nominal (V_{DD});
 - 20. un segundo transistor NMOS (128) que tiene una fuente acoplada a un común de potencia (130) y un drenaje acoplado a una fuente del primer transistor NMOS (142);
 - un primer transistor (126) de semiconductor de óxido metálico de canal P (PMOS) que tiene un drenaje acoplado a la pastilla (140) de señal de circuito integrado;
 - 25. un segundo transistor PMOS (124) que tiene un drenaje acoplado a una fuente del primer transistor PMOS (126), y una fuente del segundo transistor PMOS (124) acoplada al voltaje de operación nominal (V_{DD});
 - un tercer transistor PMOS (122) que tiene un drenaje acoplado a la pastilla de señal de circuito integrado (140) y una fuente acoplada a una compuerta del segundo transistor PMOS (124);
 - 30. un cuarto transistor PMOS (114) que tiene un drenaje acoplado a la compuerta del segundo transistor PMOS (124) y la fuente del tercer transistor PMOS (122), teniendo el cuarto transistor PMOS (114) una fuente acoplada a una señal de control (108);
 - un tercer transistor NMOS (116) que tiene un drenaje acoplado a la compuerta del segundo transistor PMOS (124) y la fuente del tercer transistor PMOS (122), teniendo el tercer transistor NMOS (116) una compuerta acoplada al voltaje de operación nominal y una fuente acoplada a la señal de control (108);
 - 35. un cuarto transistor NMOS (120) que tiene una fuente acoplada a la pastilla de señal de circuito integrado (140) y una compuerta acoplada al voltaje de operación nominal (V_{DD});
 - un quinto transistor PMOS (118) que tiene una fuente acoplada a la pastilla de señal de circuito integrado (140) y una compuerta acoplada al voltaje de operación nominal (V_{DD});
 - unos drenajes del cuarto transistor NMOS (120) y el quinto transistor PMOS (118) están acoplados a una compuerta del cuarto transistor PMOS (114);
 - 40. una compuerta del primer transistor PMOS (126) está acoplada a una señal de salida de datos (110);
 - una compuerta del segundo transistor NMOS (128) está acoplada a una señal de validación de salida de datos (112);
 - un primer diodo parásito (132), estando formado el primer diodo parásito (132) entre la fuente y el drenaje del primer transistor PMOS (126); y
 - 45. un segundo diodo parásito (134), estando formado el segundo diodo parásito (134) entre la fuente y el drenaje del segundo transistor PMOS (124), en el que el procedimiento comprende las etapas de:

cuando se aplica una lógica 1 como señal de control (108), el circuito de control es controlado de tal manera que el flujo de corriente a través del segundo diodo parásito (134) puede accionar la pastilla de señal de circuito integrado (140) sustancialmente al voltaje de operación (V_{DD}); y

- 5 cuando se aplica un voltaje más positivo que el voltaje de servicio (V_{DD}) a la pastilla de señal de circuito integrado (140), el segundo diodo parásito (134) evita sustancialmente el flujo de corriente desde la pastilla de señal de circuito integrado (140) al voltaje de operación (V_{DD}).
9. El procedimiento de acuerdo con la reivindicación 8, en el que la pastilla de señal de circuito integrado (140) es una pastilla de entrada cuando la señal de validación de salida de datos (112) está en una lógica 0 y la señal de control (108) está en una lógica 1.
- 10 10. El procedimiento de acuerdo con la reivindicación 8, en el que la pastilla de señal de circuito integrado (140) es una pastilla de salida cuando la señal de validación de salida de datos (112) está en una lógica 1 y la señal de control (108) está en una lógica 0.
- 15 11. El procedimiento de acuerdo con la reivindicación 8, en el que la pastilla de señal de circuito integrado (140) está en una lógica 0 cuando la señal de salida de datos (110) está en una lógica 0, la señal de validación de salida de datos (112) está en una lógica 1 y la señal de control (108) está en una lógica 0.
12. El procedimiento de acuerdo con la reivindicación 8, en el que la pastilla de señal de circuito integrado (140) está en una lógica 1 cuando la señal de salida de datos está en una lógica 1, la señal de validación de salida de datos (112) está en una lógica 1 y la señal de control (108) está en una lógica 0.
- 20 13. El procedimiento de acuerdo con la reivindicación 8, que comprende además una resistencia de elevación (138) acoplada a la pastilla de señal de circuito integrado (140) y el voltaje (136) es más positivo que el voltaje de operación (V_{DD}).
- 25 14. El procedimiento de acuerdo con la reivindicación 13, en el que la pastilla de señal de circuito integrado (140) está sustancialmente en el voltaje (136) más positivo que el voltaje de operación (V_{DD}) cuando la señal de control (108) está en una lógica 1, la señal de salida de datos (110) está en una lógica 1 y la señal de validación de salida de datos (112) está en una lógica 1.
15. El circuito integrado o procedimiento de acuerdo con una de las reivindicaciones precedentes, en el que el voltaje nominal es de aproximadamente 3,3 V.

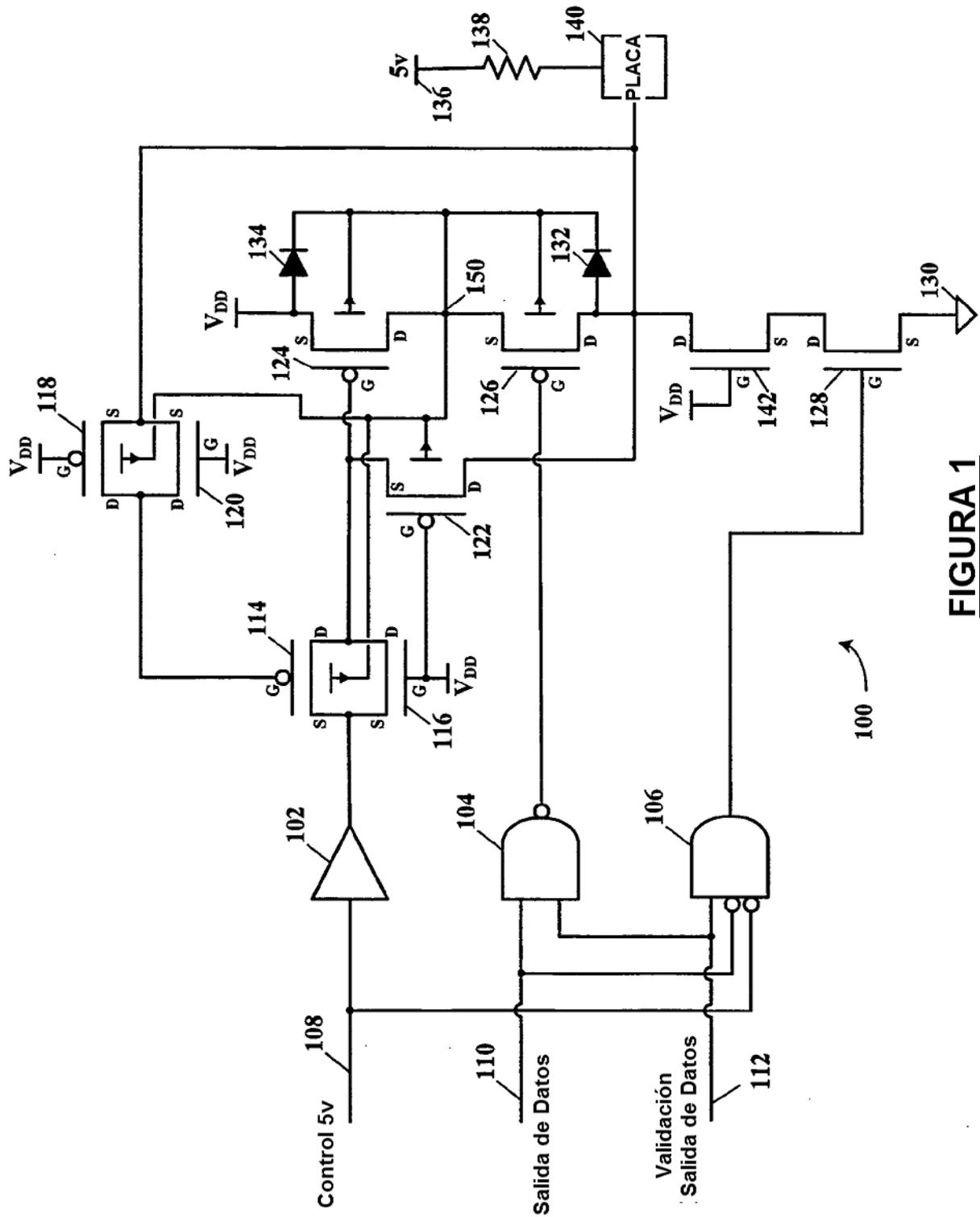


FIGURA 1