

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 628 540**

51 Int. Cl.:

G01S 19/37 (2010.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **09.03.2006 PCT/EP2006/002497**

87 Fecha y número de publicación internacional: **13.09.2007 WO07101454**

96 Fecha de presentación y número de la solicitud europea: **09.03.2006 E 06707601 (8)**

97 Fecha y número de publicación de la concesión europea: **03.05.2017 EP 1991881**

54 Título: **Un receptor y transmisor para uso en un sistema de navegación por satélite**

45 Fecha de publicación y mención en BOPI de la traducción de la patente:
03.08.2017

73 Titular/es:
**EUROPEAN SPACE AGENCY (100.0%)
8-10, RUE MARIO-NIKIS
F-75738 PARIS CEDEX 15, FR**

72 Inventor/es:
**HOLLREISER, MARTIN y
WEIGAND, ROLAND**

74 Agente/Representante:
ISERN JARA, Jorge

ES 2 628 540 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Un receptor y transmisor para uso en un sistema de navegación por satélite

5 Campo de la invención

La presente invención se refiere a un sistema de navegación por satélite o sistema de posicionamiento que comprende una constelación de múltiples satélites, y especialmente a un receptor para uso en conjunto con un sistema de navegación por satélite de este tipo.

10

Antecedentes de la invención

Los sistemas de navegación por satélite se están haciendo cada vez más importantes en una amplia gama de aplicaciones, incluyendo dispositivos portátiles para determinación de la posición, soporte de navegación en coches y así sucesivamente. El sistema de navegación por satélite principal en servicio en la actualidad es el sistema de posicionamiento global (GPS) operado por el Departamento de Defensa de Estados Unidos. Las ventas mundiales de equipos de GPS alcanzaron casi 3.500 millones de dólares en 2003, y esta cifra se espera que crezca de manera estable en los próximos años. Un sistema de navegación por satélite homólogo europeo, denominado Galileo, se está planeado para lanzamiento y disponibilidad de servicio a finales de esta década.

20

Un sistema de navegación por satélite comprende una constelación de satélites, cada uno de los cuales difunden una o más señales a la Tierra. Los componentes básicos de una señal de satélite son un código de ensanchamiento (también denominado como posicionamiento, sincronización o código de medida) que se combina con datos de navegación. La combinación resultante se modula a continuación en una portadora a una frecuencia establecida para transmisión a la Tierra. Cada satélite generalmente transmite a múltiples frecuencias, que puede ayudar a compensar los efectos ionosféricos, para mejorar la precisión y para difundir más datos.

25

En algunos casos, pueden modularse múltiples canales en una única portadora mediante algún esquema de multiplexación apropiado. Por ejemplo, está planeado que ciertas señales de Galileo comprendan un canal de datos combinado con un canal piloto. El canal piloto contiene únicamente un código de ensanchamiento, pero no datos de navegación, mientras que el canal de datos contiene tanto el código de ensanchamiento como los datos de navegación.

30

El componente de código de ensanchamiento de una señal de satélite típicamente comprende una secuencia predeterminada de bits (denominada como 'segmentos') y se usa para realizar dos tareas principales. En primer lugar, el código de ensanchamiento proporciona un mecanismo de sincronización y acceso (CDMA) para permitir a un receptor bloquearse en una señal de satélite. Por lo tanto cada satélite (y típicamente cada señal difundida desde ese satélite) tiene su propio código de sincronización. Cuando un receptor se conecta en primer lugar, no conoce qué señales de satélite pueden recibirse, puesto que ciertos satélites en la constelación estarán por debajo del horizonte para esa localización particular en ese tiempo particular. El receptor usa los códigos de sincronización para bloquearse en una señal desde un primer satélite. Una vez que esto se ha hecho, puede accederse a los datos de navegación en la señal. Esto a continuación proporciona datos de almanaque para los otros satélites en la constelación, y permite que se obtengan los satélites restantes que son visibles para el receptor de manera relativamente rápida.

35

40

45

Muchos receptores emplean un proceso de adquisición de dos fases. En la primera fase, el receptor realiza una correlación simultánea de la señal de entrada contra el conjunto de códigos de ensanchamiento de satélite. En particular, el receptor busca un código de ensanchamiento desde cualquier satélite, permitiendo cualquier compensación de temporización posible entre el satélite y el receptor, y para cualquier desplazamiento Doppler posible entre el satélite y el receptor (que es dependiente del movimiento del satélite en el espacio con relación al usuario). Si se halla un valor de correlación que supera un umbral predeterminado, entonces se realiza una segunda fase que implica un análisis más detallado para la combinación pertinente de código de ensanchamiento de satélite, compensación de temporización y desplazamiento Doppler. El análisis de la segunda fase verifica y confirma o, si fuera necesario, rechaza la adquisición basta inicial.

50

55

La segunda tarea principal de un código de ensanchamiento es proporcionar una estimación de distancia desde el satélite al receptor, basándose en el tiempo que ha tomado que la señal recorra desde el satélite al receptor. La posición del receptor se determina a continuación en espacio tridimensional usando un proceso de trilateración, dadas las posiciones conocidas de los satélites (como se especifica en los datos de navegación recibidos desde los satélites). En teoría, la trilateración puede realizarse con información de señal a partir de un mínimo de tres satélites, suponiendo que la compensación de temporización entre el reloj de receptor y los relojes de satélite es conocida. En la práctica, esta compensación de temporización generalmente es desconocida, excepto para receptores especializados, de modo que la información de señal se obtiene desde al menos un satélite adicional para compensar la compensación de tiempo desconocida en el receptor. Si hay disponibles señales desde satélites adicionales, puede realizarse una determinación de posición estadística usando cualquier algoritmo apropiado tal

60

65

como mínimos cuadrados. Esto puede proporcionar también alguna indicación del error asociado con una posición estimada.

Un parámetro importante para un código de ensanchamiento es la velocidad de segmento a la que se transmite el código de ensanchamiento, puesto que esta a su vez controla la precisión con la que puede realizarse la determinación posicional. Otro parámetro importante para un código de ensanchamiento es la longitud total, en otras palabras, el número de segmentos en el código de ensanchamiento antes de que se repita. Una razón para esto es que la longitud finita de un código de ensanchamiento puede conducir a ambigüedad en la determinación de la posición. Una longitud más larga para el código de ensanchamiento reduce tal ambigüedad, y también proporciona mejor separación de señales desde diferentes orígenes y robustez aumentada frente a interferencia. Por otra parte, tener una longitud de repetición más larga para el código de ensanchamiento puede retardar la adquisición inicial de la señal, así como requerir más capacidad de procesamiento en el receptor. En general, la longitud del código de ensanchamiento también impacta a la velocidad de datos que puede usarse para los datos de navegación, puesto que normalmente hay un único bit de datos de navegación para cada secuencia de código de ensanchamiento completa. Por lo tanto, cuanto más larga es la longitud de repetición para el código de ensanchamiento, menor es la velocidad de bits para los datos de navegación.

Una estrategia conocida es usar un código de ensanchamiento jerárquico o a niveles basado en códigos primarios y secundarios. Si suponemos que un código primario tiene N_1 segmentos y un código secundario tiene N_2 segmentos, entonces los primeros N_1 segmentos del código de ensanchamiento global corresponden a la secuencia primaria a la que se ha realizado la operación OR exclusivo con el primer segmento del código secundario, los siguientes N_1 segmentos del código de ensanchamiento comprenden una repetición de los N_1 segmentos del código primario, esta vez al que se ha realizado la operación OR exclusivo con el segundo segmento del código secundario, y así sucesivamente. Esto proporciona una longitud de repetición total para el código de $N_1 \times N_2$, sin embargo la adquisición inicial puede ser basándose en el código primario únicamente.

Los códigos de ensanchamiento de GPS se implementan usando registros de desplazamiento de realimentación lineales (LFSR), en los que las salidas seleccionadas desde un registro de desplazamiento de N etapas se derivan y se realimentan a la entrada. Las conexiones de realimentación en el LFSR pueden representarse como un polinomio binario en aritmética de módulo 2 de orden N , mediante la cual la operación de un LFSR se especifica completamente por su polinomio y el ajuste inicial del LFSR.

Los códigos de ensanchamiento de GPS son códigos de Gold, que tienen ciertas propiedades matemáticas especiales. Una de estas es que generan una salida de ruido pseudo-aleatorio (PRN) que tiene una longitud de repetición de $2^N - 1$, de modo que un LFSR relativamente compacto puede generar una salida con una longitud de repetición larga. Los códigos de Gold también tienen buenas propiedades de auto-correlación que soportan adquisición de código y posicionamiento preciso. En particular, la función de auto-correlación tiene un pico bien definido en la compensación de tiempo cero, y es relativamente pequeño para todas las demás compensaciones de tiempo (es decir distintas de cero). Al mismo tiempo es también importante seleccionar un conjunto de códigos de Gold que tenga buenas propiedades de correlación cruzada, mediante los cuales la función de correlación cruzada entre diferentes códigos es relativamente pequeña. Esto es importante para adquisición de señal, puesto que ayuda a evitar que un código de sincronización de un satélite se confunda accidentalmente para un código de sincronización de otro satélite. Un criterio práctico importante adicional para un código de ensanchamiento es tener igual (o casi igual) número de unos y ceros - esto se denomina como equilibrio.

Puede encontrarse información adicional acerca de sistemas de navegación por satélite en el documento: "Global Positioning System: Signals, Measurements and Performance", por Misra y Enge, Ganga-Jamuna Press, 2001, ISBN 0-9709544-0-9; "Global Positioning System: Theory and Applications", Vol 1 y Vol 2, por Bradford W. Parkinson y James J. Spilker Jr, ISBN 1-56347-106-X, publicado por el Instituto Americano para Aeronáutica y Astronáutica; "Galileo User Segment Overview" por Hollreiser et al, ION GPS/GNSS 2003, septiembre de 2003, Portland, Oregón, págs. 1914-1928; y "Galileo Test User Segment - First Achievements and Application", por Hollreiser et al, GPS World, julio de 2005.

Aunque el uso de códigos de Gold está bien establecido para los sistemas de navegación por satélite existentes, hay algunas limitaciones asociadas con tales códigos. Por ejemplo, están únicamente disponibles con ciertas longitudes de código ($2^N - 1$, y no todos los valores de N pueden usarse para el polinomio de LFSR). En general, la longitud de código se determina por la proporción de la tasa del segmento del código de ensanchamiento y la tasa de bits de los datos de navegación. Si la longitud de código se restringe a un código de Gold disponible, entonces esto implica una restricción en la tasa de segmento y la tasa de bits, que puede impactar a su vez a otras consideraciones, tales como el tiempo de adquisición y la precisión de posicionamiento. En algunos casos, la limitación en la longitud de código para códigos de Gold se ha superado usando códigos de Gold truncados, pero esta truncación tiene un impacto adverso en las propiedades matemáticas del conjunto de códigos (en términos de la función de autocorrelación, etc.).

Por consiguiente, se ha propuesto en las solicitudes PCT PCT/EP2004/014488 y PCT/EP2005/007235 usar secuencias de bits diseñadas personalizadas o hechas a medida como códigos de ensanchamiento de satélite. Esto

permite el desarrollo de códigos de ensanchamiento de longitud arbitraria, y también permite la optimización de diversas propiedades tales como auto-correlación y correlación cruzada independientes de otras restricciones. Un código de ensanchamiento de este tipo se describirá en el presente documento como código de "memoria", puesto que en general un receptor almacena el patrón de segmento entero del código. Esto es en contraste a generar el patrón de segmento de manera algorítmica, como para un código de Gold, que usa un LFSR para generar un código de manera algorítmica de acuerdo con su polinomio, en lugar de almacenar el patrón de segmento del código en su totalidad. Obsérvese que puesto que los códigos de memoria se crean típicamente a partir de (pseudo) secuencias de números aleatorios, normalmente no son susceptibles de técnicas de compresión de datos.

El conjunto de códigos de memoria para un receptor puede almacenarse en alguna forma de ROM tal como memoria flash. Estos códigos pueden a continuación cargarse en el conjunto de chips del receptor en tiempo de arranque para uso durante la detección de los códigos de ensanchamiento en las señales de satélite de entrada. Si se cargan los códigos de memoria completos en el mismo conjunto de chips del receptor, esto puede representar una tara muy significativa en términos de localizaciones de almacenamiento en el conjunto de chips del receptor. Como alternativa, los códigos pueden cargarse en una RAM (externa al conjunto de chips del receptor), donde representarían únicamente una adición comparativamente pequeña a los requisitos de programa globales y/o almacenamiento de datos para operaciones de receptor generales. Sin embargo, en este caso es probable que se requiera una interfaz de alta velocidad especializada para alimentar los códigos en tiempo real desde la RAM en el conjunto de chips del receptor, así como algún almacenamiento de memoria intermedia interno adicional en el mismo conjunto de chips del receptor.

La Figura 1 representa una implementación típica de un LFSR, como puede proporcionarse por ejemplo en un conjunto de chips de receptor de GPS convencional. El hardware básico incluye un registro de desplazamiento 11 de longitud N, más dos registros adicionales 12, 13, cada uno también de longitud N. El diseño del mismo registro de desplazamiento es genérico, en que las derivaciones de realimentación no son de conexión permanente. En su lugar, la realimentación entre las diversas etapas del registro de desplazamiento 11 se controlan mediante el valor polinomial que se carga en uno de los dos registros adicionales (el registro polinomial 12). El ajuste inicial del LFSR se determina a continuación mediante el valor almacenado en el otro registro adicional (el registro de patrón inicial 13). De esta manera, el LFSR de la Figura 1 puede personalizarse proporcionando valores apropiados en el registro polinomial y en el registro de patrón inicial.

El LFSR de la Figura 1 comprende 3N localizaciones de almacenamiento (puesto que el registro de desplazamiento 11, el registro polinomial 12 y el registro de patrón inicial 13 cada uno tiene N localizaciones de almacenamiento). Como se ha indicado anteriormente, para un código de Gold máximo el número de localizaciones de almacenamiento en el registro de desplazamiento de realimentación 11 está relacionado con la longitud del código de salida (L) por $N=2\log(L+1)$. Puesto que un código de Gold está basado en general en combinar las salidas desde 2 LFSR, el número total de localizaciones de almacenamiento T(S) para un código de Gold puede expresarse como: $T(S)=6*2\log(L+1)$. Además, un generador de códigos de LFSR convencional tiene alguna lógica combinatoria para proporcionar las derivaciones de realimentación (XOR), así como una pequeña máquina de estado/controlador en combinación con un contador (o comparador + registro) para resetear, recargar y reiniciar al final de la secuencia.

En contraste, una implementación sencilla de un código de memoria en un receptor puede implicar proporcionar que se almacene una memoria de longitud total para cada código en el receptor, incluyendo los decodificadores de dirección pertinentes. La memoria puede ser estática o dinámica, dependiendo de la tecnología de implementación elegida. Las tecnologías más extendidas (ASIC, FPGA) soportan memorias estáticas. Además, se usaría típicamente una pequeña máquina de estado o controlador para direccionar la generación para asegurar la lectura de la célula de memoria correcta. Suponiendo que la puerta-recuento equivalente de una célula de memoria estática es 1,5 NAND2 (NAND2 representa una puerta NAND de dos entradas y típicamente comprende 6 transistores), entonces para tecnología de 0,18 μm esto da como resultado un área de 18,75 μm^2 por célula de memoria. Incluyendo 200 puertas para la máquina de estado/controlador, y suponiendo un código de 4096 segmentos (que corresponde a la señal L1 de Galileo), esto es equivalente a 6344 puertas NAND2, con un área global de 79300 μm^2 . Como alternativa, para un código de 10230 segmentos, como para la señal E5a de Galileo, y basándose en las mismas suposiciones que antes, esto es equivalente a 15545 puertas NAND2, con un área global de 194312 μm^2 (despreciando cualquier ahorro debido a la regularidad de la estructura). Esto puede representar una tara significativa para el conjunto de chips del receptor.

Obsérvese también que para el caso del código de memoria, $T(S)\approx L$. En otras palabras, el número de localizaciones de almacenamiento se eleva en proporción directa a la longitud del código, en lugar de en proporción al logaritmo del código, como para una implementación de LFSR. Es evidente por lo tanto que a medida que la longitud del código de ensanchamiento aumenta, el uso de códigos de memoria exige significativamente más localizaciones de almacenamiento que un enfoque de LFSR convencional. Este problema se agrava, en que un receptor tiene que almacenar no un código de ensanchamiento, sino en su lugar el conjunto completo de códigos de ensanchamiento para todos los satélites y para todas las señales de interés.

El documento US 4642647 desvela un generador y método de señal mejorados para navegación de radio del tipo en el que se determina la localización de acuerdo con fijaciones de radio con respecto a múltiples puntos de referencia,

proporcionando cada uno de tales puntos una transmisión codificada. Se almacenan múltiples secuencias de bits codificadas en una memoria de sólo lectura direccionable. Las señales fantasma que comprenden una pluralidad de secuencias codificadas se generan direccionando la memoria de acuerdo con secuencias preseleccionadas.

5 Sumario de la invención

Por consiguiente, una realización de la invención proporciona un receptor para uso con un sistema de navegación por satélite que comprende una constelación de múltiples satélites, en la que cada satélite transmite una señal que incorpora un código de ensanchamiento. El receptor incluye al menos una unidad de almacenamiento de código que incluye lógica combinatoria para almacenar un código de memoria que comprende un patrón fijo de segmentos. El código de memoria almacenado corresponde a un código de ensanchamiento incorporado en una señal transmitida desde un satélite. La lógica combinatoria incluye funcionalidad de decodificación de dirección para recuperar una porción especificada del código de memoria almacenado, en el que la configuración de hardware interna de dicha lógica combinatoria almacenada se personaliza para el conjunto de datos almacenados y no comprende células de memoria normalizadas, y en el que la lógica combinatoria para almacenar el código de memoria y la funcionalidad de dirección están integradas en el nivel de componente físico con división no evidente entre las dos. El receptor incluye adicionalmente un correlador para realizar una correlación entre una señal de entrada y el código de memoria almacenado desde la unidad de almacenamiento de código.

Se apreciará que una implementación convencional de una célula de memoria, por ejemplo como un flip-flop o registro, está basada en lógica secuencial que mantiene el estado dependiendo de la entrada anterior, de modo que los datos a almacenarse se cargan como señales de entrada en el dispositivo. En contraste, un código de ensanchamiento puede considerarse como almacenado en la lógica combinatoria mediante la configuración de la conexión permanente de la lógica combinatoria.

Se apreciará también que un LFSR usado para generar un código de ensanchamiento en un receptor existente comprende lógica secuencial en lugar de combinatoria, puesto que su salida depende del estado interno en los registros. Además, los LFSR están limitados en los códigos que pueden generar a aquellos códigos definidos mediante ciertos algoritmos matemáticos. De hecho, un LFSR se considera mejora para almacenar un algoritmo matemático (que puede usarse a continuación para generar un código), en lugar de para almacenar un código per sé. En contraste, la lógica combinatoria puede usarse para almacenar un código de ensanchamiento genérico o arbitrario, por ejemplo uno sin ninguna propiedad matemática predeterminada, y uno que no se genere usando un algoritmo matemático predefinido. La lógica combinatoria puede por lo tanto usarse para almacenar un código de memoria hecho a medida o personalizado que se ha optimizado para un sistema de navegación por satélite particular. (Obsérvese que la lógica combinatoria no está limitada a un código de memoria personalizado de este tipo; puede usarse también para almacenar un código de memoria que corresponde a un código de Gold o alguna otra secuencia matemática).

En general, el receptor almacena un código de ensanchamiento diferente para cada señal desde cada satélite en la constelación de satélites de navegación (para los servicios soportados por el receptor). Esto puede incluir códigos de ensanchamiento para satélites de sustitución a usarse como repuestos, si fallara cualquier satélite en la constelación. Existen diversas maneras en la que el conjunto de códigos de ensanchamiento puede asignarse a la unidad o unidades de almacenamiento de código. Por ejemplo, en una implementación, puede usarse una única unidad de almacenamiento de código para mantener el conjunto completo de códigos de ensanchamiento para todos los satélites en la constelación. En otra realización, el código de ensanchamiento para cada señal desde cada satélite puede almacenarse en una unidad de almacenamiento de código separada. El experto en la materia tendrá conocimiento de muchas otras implementaciones intermedias posibles para asignar los códigos de memoria a las unidades de almacenamiento de código.

En una realización, el receptor incluye múltiples canales de recepción, y puede suministrarse un código de memoria almacenado para un satélite desde la unidad o unidades de almacenamiento de código a cualquiera de los canales de recepción para correlación con la señal de entrada en ese canal de recepción. Por lo tanto aunque los mismos códigos de memoria estén con conexión permanente mediante la lógica combinatoria, la asignación de los códigos de ensanchamiento a los diferentes canales de recepción puede ser flexible. Esta flexibilidad es útil como para cualquier tiempo o lugar dado en la Tierra, únicamente un subconjunto de los satélites de navegación es visible (otros pueden verse oscurecidos por construcciones o por debajo del horizonte). Por consiguiente, la capacidad para asignar de manera flexible los códigos de ensanchamiento desde la unidad o unidades de almacenamiento de código a los diversos canales de recepción permite que el número de canales de recepción en un receptor sea menor que el número total de satélites, puesto que en la operación, el sistema asigna a los canales de recepción los códigos de ensanchamiento para aquellos satélites que están actualmente visibles. Adicionalmente esta flexibilidad es útil si fallara un satélite en la constelación, y su lugar se tomara por uno de los satélites de repuesto (suponiendo que el código de ensanchamiento para este satélite de repuesto ya esté almacenado en el receptor).

Obsérvese que para receptores existentes, el número de canales de recepción para recibir una clase dada de señal también es normalmente menor que el número de satélites en la constelación. Esto se consigue configurando apropiadamente cada LFSR en un canal de recepción para una señal de satélite deseada (usando el polinomio y

registros de ajustes iniciales mostrados en la Figura 1). La lógica combinatoria de la unidad o unidades de almacenamiento de código no puede configurarse de manera flexible de esta manera durante la operación, pero se puede recuperar alguna flexibilidad en el nivel de arquitectura del receptor.

5 En una realización, la unidad de almacenamiento de código es direccionable para especificar un segmento particular de uno o más segmentos del código de memoria almacenado para salida. La capacidad para proporcionar una porción seleccionable del código de memoria permite que el código de memoria se emita a través de un número limitado de patillas de salida, y también coincide mejor con los patrones de recuperación para un código de memoria para uso normal. La unidad de almacenamiento de código puede incluir un secuenciador para permitir al dispositivo pasar secuencialmente uno o más segmentos a la vez a través del código producido mediante la lógica combinatoria y/o una facilidad de dirección para permitir que se seleccione una porción particular del código de memoria para salida. Obsérvese que un mecanismo de salida de este tipo puede implementarse en lógica secuencial (tal como para pasar a través del código), pero esta salida secuencial del código puede considerarse como lógicamente distinta del almacenamiento de código mediante la lógica combinatoria (incluso si el almacenamiento de código y la salida se integran a continuación en el nivel de componente físico de la unidad de almacenamiento de código).

La salida desde la unidad de almacenamiento de código puede comprender un único segmento a la vez, o cada salida puede comprender un conjunto de múltiples segmentos. Obsérvese que esta última opción refleja una diferencia adicional entre almacenar un código de ensanchamiento en lógica combinatoria en comparación con usar un LFSR, en que un LFSR emite únicamente un único segmento a la vez. En contraste, puesto que un bloque de lógica combinatoria almacena el patrón de segmento completo del código, por lo tanto pueden estar disponibles múltiples segmentos de código para salida simultánea en cualquier momento dado (si se desea así).

La unidad de almacenamiento de código es especialmente adecuada para implementación como un dispositivo de campo de matriz de puertas programables (FPGA) o como un circuito integrado específico de la aplicación (ASIC - matriz de puertas, célula convencional), aunque puede usarse cualquier tecnología de semiconductores apropiada (por ejemplo, personalización total, etc.). El uso de lógica combinatoria es en general compatible con la circuitería disponible en FPGA y/o ASIC, y por consiguiente la lógica combinatoria puede diseñarse e implementarse usando herramientas de desarrollo de semiconductores convencionales. Se apreciará que el uso de tecnologías convencionales tales como FPGA y ASIC también ayuda con la implementación de la lógica combinatoria como parte del conjunto de chips de receptor principal (evitando de esta manera la necesidad de una interfaz de alta velocidad entre la unidad o unidades de almacenamiento de código en un dispositivo y un conjunto de chips de receptor separado).

La unidad o unidades de almacenamiento de código pueden usarse para almacenar múltiples niveles de un código jerárquico. Por ejemplo, una unidad de almacenamiento de código puede usarse para almacenar un código primario y/o un código secundario. Obsérvese que si la unidad o unidades de almacenamiento de código mantienen tanto un código primario como un correspondiente código secundario, entonces estos pueden almacenarse como cualquiera de una secuencia larga (que representa el código combinado final para la salida), o como códigos primario y secundario separados. Se apreciará que la última configuración es más compacta, puesto que únicamente necesitan almacenarse N_1+N_2 segmentos, en comparación con $N_1 \times N_2$ para almacenamiento de la secuencia de código completa (combinada). En otras realizaciones, la lógica combinatoria puede únicamente usarse para almacenar un nivel de un código jerárquico, por ejemplo los códigos primarios.

Otra realización de la invención proporciona un satélite para uso en un sistema de navegación por satélite que comprende una constelación de múltiples satélites, en la que cada satélite transmite una señal que incorpora un código de ensanchamiento. El satélite incluye al menos una unidad de almacenamiento de código que incluye lógica combinatoria para almacenar un código de memoria que comprende un patrón fijo de segmentos y funcionalidad de decodificación de dirección para recuperar una porción especificada del código de memoria. La configuración de hardware interna de dicha lógica combinatoria almacenada se personaliza para el conjunto de datos almacenados y no comprende células de memoria normalizadas. La lógica combinatoria para almacenar el código de memoria y la funcionalidad de dirección están integradas en el nivel de componente físico con división no evidente entre las dos. El código de memoria corresponde a un código de ensanchamiento a incorporarse en una señal transmitida desde el satélite. Por lo tanto el enfoque usado para generar un código de ensanchamiento en un receptor para correlación con una señal de entrada puede usarse también para generar un código de ensanchamiento para difusión desde un satélite.

Otra realización de la invención proporciona un método para operar un receptor para uso con un sistema de navegación por satélite que comprende una constelación de múltiples satélites. Cada satélite transmite una señal que incorpora un código de ensanchamiento. El método incluye proporcionar al menos una unidad de almacenamiento de código que incluye lógica combinatoria para almacenar un código de memoria que comprende un patrón fijo de segmentos y funcionalidad de decodificación de dirección para recuperar una porción especificada del código de memoria. La configuración de hardware interna de dicha lógica combinatoria almacenada se personaliza para el conjunto de datos almacenados y no comprende células de memoria normalizadas. La lógica combinatoria para almacenar el código de memoria y la funcionalidad de dirección están integradas en el nivel de componente físico con división no evidente entre las dos. El código de memoria corresponde a un código de

ensanchamiento incorporado en una señal transmitida desde un satélite. El método incluye adicionalmente realizar una correlación entre una señal de entrada y el código de ensanchamiento almacenado en la lógica combinatoria.

Otra realización de la invención proporciona un método de producción de un receptor para uso con un sistema de navegación por satélite que comprende una constelación de múltiples satélites, en la que cada satélite transmite una señal que incorpora un código de ensanchamiento. El método incluye determinar un código de ensanchamiento de satélite a almacenarse en el receptor, y proporcionar al menos una unidad de almacenamiento de código que incluye lógica combinatoria para almacenar un patrón fijo de segmentos que corresponden al código de ensanchamiento de satélite y funcionalidad de decodificación de dirección para recuperar una porción especificada del código de memoria. La configuración de hardware interna de dicha lógica combinatoria almacenada se personaliza para el conjunto de datos almacenados y no comprende células de memoria normalizadas. La lógica combinatoria para almacenar el código de memoria y la funcionalidad de dirección están integradas en el nivel de componente físico con división no evidente entre las dos.

En una realización, la lógica combinatoria se genera produciendo una especificación del patrón fijo de segmentos en un lenguaje de descripción de hardware. Esta especificación puede a continuación implementarse en una plataforma deseada usando síntesis lógica. Obsérvese que la especificación de la lógica combinatoria en el lenguaje de descripción de hardware puede usar una constante para definir un código de salida deseado. Por consiguiente, el único cambio necesario para definir un código de ensanchamiento diferente es actualizar el valor de la constante.

Breve descripción de los dibujos

Se describirán ahora diversas realizaciones de la invención en detalle a modo de ejemplo únicamente con referencia a los siguientes dibujos:

la Figura 1 es un diagrama esquemático de una implementación de un registro de desplazamiento de realimentación lineal (LFSR) convencional;

la Figura 2 es un diagrama esquemático que muestra el almacenamiento de un código de memoria usando lógica combinatoria de acuerdo con una realización de la invención;

la Figura 3 es un diagrama esquemático que muestra la arquitectura de un receptor de acuerdo con una realización de la invención en la que todos los códigos de memoria se almacenan en una única unidad de almacenamiento de código;

la Figura 4 es un diagrama esquemático que muestra la arquitectura de un receptor de acuerdo con otra realización de la invención, en la que cada código de memoria se almacena en una unidad de almacenamiento de código separada;

la Figura 5 es un diagrama de flujo que ilustra un método para diseñar una unidad de almacenamiento de código para almacenar códigos de memoria de acuerdo con una realización de la invención; y

la Figura 6 es un ejemplo de un diagrama esquemático basándose en una lista de interconexiones producida por el método de la Figura 5 de acuerdo con una realización de la invención.

Descripción detallada

La Figura 2 es una ilustración esquemática de un generador de códigos 10 que incluye una unidad de almacenamiento de código 15 de acuerdo con una realización de la invención. El generador de códigos 10 se usa para almacenar y emitir uno o más códigos de memoria, y por lo tanto toma el lugar de una unidad tal como el LFSR de la Figura 1 en un receptor convencional.

El generador de códigos 10 puede considerarse lógicamente como que comprende dos componentes principales, una unidad de almacenamiento de código 15 y un secuenciador 25. La unidad de almacenamiento de código 15 comprende lógica combinatoria 20, que se usa para almacenar el código de memoria y para proporcionar decodificación de dirección. El secuenciador 25 se usa para especificar la dirección de la porción deseada del código de memoria para salida, cargando direcciones de inicio apropiadas e incrementando direcciones actuales. (Obsérvese que en una implementación física, la funcionalidad de estos dos componentes es probable que esté integrada, como se explica en mayor detalle a continuación, de modo que hay división no evidente entre la lógica combinatoria y el secuenciador; sin embargo, aunque desde una perspectiva lógica o funcional, los dos componentes pueden considerarse de manera separada).

En el ejemplo de la Figura 2, la lógica combinatoria 20 tiene un número de salidas de la Salida 50. Para una dirección definida 45, las salidas 50 se definen, dependiendo de la configuración particular de puertas en la lógica combinatoria 20. Mientras se activa la carga 40, una dirección de inicio 30 se carga en el secuenciador de direcciones 25. La dirección desde el secuenciador de direcciones 25 se suministra a continuación como la dirección 45 a la unidad de almacenamiento de código 15 y la correspondiente fracción del código de memoria aparece en las salidas 50 de la lógica combinatoria 20.

El secuenciador de direcciones incrementa la dirección 45 con cada pulso en el reloj 55 cuando se declara la entrada de activación 35. Esto provoca que aparezcan las correspondientes fracciones o porciones del código de

memoria en las salidas 50 de la lógica combinatoria 20. De otra manera, cuando no se evalúa la señal de activación, la dirección especificada 45 y por lo tanto las salidas de la lógica combinatoria 20 permanecen constantes.

Se apreciará que puesto que el bloque lógico 20 es combinatorio en lugar de secuencial, no almacena ninguna información de estado. Por lo tanto la lógica combinatoria no se considera normalmente como una forma de dispositivo de memoria. Sin embargo, la configuración de las puertas en la lógica combinatoria 20 puede observarse como una forma de almacenamiento (de conexión permanente), entonces las salidas 50 desde la lógica combinatoria 20 corresponden a un conjunto de bits almacenados. La lógica combinatoria puede considerarse por lo tanto como una forma de memoria de sólo lectura (ROM), que almacena un conjunto de bits para cada dirección 45.

Obsérvese que los "contenidos" de la lógica combinatoria están fijados (suponiendo que el bloque de lógica combinatoria sea de conexión permanente) y por lo tanto no pueda actualizarse, en contraste a muchas formas convencionales de "ROM", tal como memoria flash, EEPROM, que no soportan alguna forma de mecanismo de escritura. Además, la configuración interna de la lógica combinatoria 20 es particular (personalizada) al conjunto de bits almacenado, a diferencia de una Memoria de Acceso Aleatorio (RAM), que se forma normalmente de células de memoria normalizadas que se cargan a continuación con valores de datos. En otras palabras, en la mayoría de dispositivos de memoria convencionales, existe una separación lógica entre la estructura de hardware general del dispositivo de memoria, y los contenidos de datos que se están almacenando en el dispositivo (una separación análoga se cumple también para la arquitectura de LFSR de la Figura 1). Con la lógica combinatoria 20 sin embargo, no existe tal separación lógica, en que la estructura de hardware corresponde directamente a (es decir refleja o representa) los contenidos de datos reales que se están almacenando (más decodificación de dirección).

Las salidas 50 desde la lógica combinatoria 20 pueden disponerse para representar cualquier conjunto de bits dado para elegir una configuración apropiada de puertas en la lógica combinatoria (como se describe en más detalle a continuación). En consecuencia, la lógica combinatoria de la Figura 2 puede usarse para almacenar una secuencia de segmentos que corresponde a un código de memoria, entonces las salidas 50 desde el bloque lógico corresponden a la secuencia de segmentos del código de memoria. (Se apreciará que esto implica definir una ordenación adecuada para las salidas 50 desde la lógica combinatoria 20 para hacer coincidir la naturaleza secuencial del código de memoria. Esto puede conseguirse a través de la unión de la decodificación de dirección con el contenido de código de memoria real durante síntesis lógica, como se describe en más detalle a continuación).

Para una secuencia de código de memoria larga L que comprende unos pocos miles de segmentos (por ejemplo), normalmente no es conveniente emitir todos los segmentos de código de memoria en paralelo, puesto que esto implicaría un número muy grande de patillas de salida. Además, generalmente no se requiere para operaciones de receptor emitir un código de ensanchamiento completo de una sola vez. En su lugar, la lógica combinatoria 20 emite un subconjunto de uno o más segmentos desde el código de memoria para cada dirección especificada 45.

Por ejemplo, dependiendo de la arquitectura de receptor global

1. puede proporcionarse un único segmento por incremento de dirección 45. Este segmento a continuación se encamina a un único correlador de receptor. En este caso únicamente un código de memoria está contenido en la lógica combinatoria 20.

2. Si más de un código de memoria (por ejemplo códigos de memoria para más de una señal y/o más de un satélite) está contenido en la lógica combinatoria 20, entonces esta unidad tiene que compartirse en tiempo por varios correladores de receptor. En una implementación de este tipo, la lógica combinatoria 20 emite una primera sub-secuencia de un primer código de memoria cuando la dirección 45 se incrementa a un valor particular. Esta subsecuencia se encamina a un primer correlador de receptor correspondiente. Mientras el primer correlador de receptor está funcionando a través de su subsecuencia, se proporcionan otras subsecuencias de diferentes códigos de memoria mediante la lógica combinatoria 20 a diferentes correladores de receptor. Una vez que se ha servido a todos los correladores de receptor, el secuenciador retorna al primer correlador de receptor y proporciona la segunda subsecuencia del primer código de memoria al primer correlador de receptor.

La longitud de las subsecuencias individuales depende del número global de correladores de receptor a servirse por un generador de códigos individual 10. Los números de segmentos por subsecuencia típicos pueden ser N=8, 16, 32, 64 o 128. Por lo tanto para cada activación sucesiva de la señal de reloj 55 mientras la señal de activación 35 está activa, el secuenciador 25 incrementa la dirección 45 y la lógica combinatoria 20 emite los siguientes N segmentos a través de las salidas 50.

Por ejemplo, suponiendo que únicamente se almacena un código de memoria en la lógica combinatoria 20, si L=4096 y N=16, entonces el primer tictac del reloj 55 (mientras la señal de activación 35 está activa) emite los segmentos 0-15 del código de memoria almacenados en la lógica combinatoria 20, el siguiente tictac del reloj 55 emite los segmentos 16-31 del código de memoria almacenados en la lógica combinatoria 20, y así sucesivamente, hasta que se haya emitido el código de memoria completo (tras lo cual retrocedemos al segmento 0). En otra realización, N=1, caso en el que el código de memoria almacenado se emite segmento a segmento desde la unidad de almacenamiento de código 15.

Se apreciará que puesto que el secuenciador 25 mantiene la información de estado (su posición/dirección en la secuencia de código de memoria), el secuenciador 25 implica lógica secuencial en lugar de lógica combinatoria pura. Por ejemplo, si $L=4096$ y $N=16$, el secuenciador 25 puede implementarse en una realización como un contador de 8 bits.

5 En la realización de la Figura 2, el secuenciador 25 se proporciona también con un mecanismo de dirección en forma de señal de control de dirección 30. Esta señal de control de dirección 30 puede usarse para especificar una localización particular en la secuencia de código de memoria para emitir. Por lo tanto si continuamos con el ejemplo anterior, donde $L=4096$ y $N=16$, y el secuenciador 25 es un contador de 8 bits, entonces la señal de control de dirección 30 puede proporcionarse como un valor de 8 bits para cargar en el contador. En otras palabras, mientras la señal de activación 35 incrementa el secuenciador 25 a la siguiente localización de código, la señal de control de dirección 30 puede usarse para establecer el secuenciador 25 a cualquier localización deseada (nueva) en el código. En otra realización, la señal de control de dirección 30 se sustituye por una línea reset sencilla que devuelve el valor de contador en el secuenciador 25 a cero. Esta realización permite que la localización del secuenciador en el código se resetee, pero no permite que se especifique una localización arbitraria en la secuencia de memoria para el secuenciador.

20 Para un receptor que almacena múltiples códigos de memoria, tal como diferentes códigos de memoria para diferentes satélites, hay varias configuraciones posibles para almacenar los diferentes códigos. En una implementación, se proporciona una unidad de almacenamiento de código separada para cada código de memoria diferente. Como alternativa, podría usarse una única unidad de almacenamiento de código grande para almacenar todos los códigos de memoria, usándose el mecanismo de direccionamiento 30 a continuación para seleccionar tanto un código como una posición de código para emitir. Una posibilidad adicional es que hayan múltiples unidades de almacenamiento de códigos, almacenando cada unidad códigos de memoria algunos, pero no todos, los satélites o algunas, pero no todas, las señales - por ejemplo seis unidades de almacenamiento de códigos almacenando cada una códigos de memoria de cinco satélites o almacenando cada unidad de almacenamiento de código todos los códigos de memoria para un satélite, etc. Una posibilidad adicional es que un código de memoria único se divida o se segmente a través de múltiples unidades de almacenamiento de código.

30 El uso de la lógica combinatoria 20 para almacenar códigos de memoria incluyendo la decodificación de dirección aprovecha el hecho de que una vez que se han definido y consolidado los códigos, pueden considerarse en general como fijos - por lo tanto no necesitan almacenarse en memorias convencionales (actualizables). El uso de lógica combinatoria para almacenar o representar los códigos de memoria puede dar como resultado una reducción considerable en complejidad en términos de puertas y área del semiconductor, aunque a expensas de alguna flexibilidad. Sin embargo, alguna de esta flexibilidad puede mantenerse en el nivel de arquitectura, como se describe en más detalle a continuación.

40 La Figura 3 es un diagrama esquemático de un receptor 101 de acuerdo con una realización de la invención. En particular, la Figura 3 ilustra la porción de banda base de un receptor usada para obtener y rastrear una señal, mientras otras porciones convencionales (por ejemplo, antena, extremo frontal de RF, unidad de navegación, etc.) se omiten por claridad. El receptor 101 puede proporcionarse como una unidad independiente, o puede incorporarse en algún dispositivo mayor, por ejemplo un teléfono móvil (celular), un ordenador, un automóvil u otra forma de vehículo, una cama de hospital, una aeronave o barco, un contenedor de carga y así sucesivamente.

45 El receptor 101 incluye una unidad de almacenamiento de código 130, así como un procesador de señales digitales (DSP) 120 y múltiples canales de recepción (Rx) 110A, 110B, 110C, etc. Se apreciará que los diferentes canales de recepción procesan todos la misma señal de entrada, pero el procesamiento aplicado a la señal de entrada varía de un canal de recepción a otro, como se describe en más detalle a continuación. La unidad de almacenamiento de código 130 se usa para almacenar el conjunto de códigos de memoria para la constelación de satélites. En una realización, la unidad de almacenamiento de código 130, el DSP 120 y los canales de recepción 110 se implementan como un único dispositivo o conjunto de segmentos de semiconductores, aunque otras realizaciones pueden dividir estos componentes a través de múltiples dispositivos.

55 Se apreciará que el número de códigos en un conjunto de códigos dado (y por lo tanto a almacenarse en el bloque lógico 130) depende de los requisitos particulares del sistema de navegación por satélite pertinente. Tales sistemas se designan en general para operar con algunos, 24-30, satélites diferentes, normalmente con uno o más satélites adicionales proporcionados como repuestos potenciales en caso de fallo. Normalmente también hay múltiples señales por satélite. Además, algunas señales de Galileo comprenden un piloto y un componente de datos (que puede manejarse en un único canal de recepción).

60 Se supone que la arquitectura de la Figura 3 está diseñada para recibir una única señal por canal. Un canal puede asignarse de manera flexible a cualquier portadora y componente de señal de cualquier satélite que provenga desde el extremo frontal de RF. La unidad de almacenamiento de código 130 almacena los códigos usados en cualquier portadora y señal a través de la constelación de satélites.

65

En algunas realizaciones, el número de códigos en un conjunto de códigos puede aumentarse para adaptar las señales de "pseudo-satélite", que se emiten desde localizaciones terrestres, por ejemplo aeropuertos cercanos. Tales señales de pseudo-satélite aparecen a un receptor como señales de navegación de satélite adicionales y por lo tanto pueden proporcionar una determinación más precisa y fiable en tales localizaciones.

La operación general de un canal de recepción 110 es la de que la señal de frecuencia intermedia real de entrada se convierte en una señal de banda base compleja. La señal de banda base a continuación se mezcla con la salida de un oscilador controlado numéricamente (NCO) por portadora para eliminar efectos Doppler de la señal. A continuación la señal de entrada se correlaciona con un código de ensanchamiento local - es decir un código almacenado o generado en el receptor, la temporización del cual se controla mediante el código NCO. Los resultados de esta correlación están integrados para un tiempo predeterminado, y a continuación se pasan al DSP 120. En este punto los discriminadores y filtros de bucle cercanos al respectivo bucle de portadora (bucle enganchado en frecuencia (FLL), bucle enganchado en fase (PLL)) y bucle de código (bucle enganchado en retardo (DLL)) con los NCO pertinentes.

Se apreciará que la operación del receptor 101 hasta ahora descrita en general coincide con el comportamiento de receptores de navegación por satélite existentes, tales como se usan para GPS. Pueden encontrarse detalles adicionales sobre tales receptores en el libro anteriormente mencionado por Misra y Enge. (Se apreciará también que por razones de claridad, ciertos detalles con respecto al receptor 101 que no son directamente pertinentes a un entendimiento de la invención, tales como el manejo de los datos y códigos piloto, se omiten de la Figura 3).

En receptores existentes, el código de ensanchamiento local se genera mediante un LSFR, tal como se muestra en la Figura 1, que puede incorporarse en cada canal de recepción 110A, 110B, etc. En contraste, el receptor de la Figura 3 usa una unidad de almacenamiento de código 130 (tal como se muestra en la Figura 2) para almacenar los códigos de memoria. La unidad de almacenamiento de código 130 recibe una señal de dirección desde el DSP 120 que determina qué parte de los códigos almacenados emitir a los respectivos canales de recepción 110. Esta dirección de salida se especifica mediante una máquina de estado finito (FSM)/controlador incluido en el DSP 120.

En la realización de la Figura 3, se supone que cada dirección corresponde a un fragmento de 32 segmentos de código de memoria en la unidad 130. Este fragmento de código de memoria se carga a continuación en un registro con el canal de recepción apropiado 110 para uso en la correlación con la señal de entrada. La correlación de la porción de 32 segmentos del código de memoria almacenada en el registro se lleva a cabo bajo el control del código NCO en general de la misma manera que para sistemas existentes usando códigos de LFSR. (Un receptor existente puede considerarse como similar a la realización de la Figura 3, pero sin la unidad de almacenamiento de código 130, y con un código LFSR en lugar de un registro de memoria intermedia en cada canal de recepción). Obsérvese que otras realizaciones pueden usar una longitud de palabra diferente para lectura de datos desde la unidad de almacenamiento de código 130, dependiendo del número global de canales de recepción y el ancho de banda disponible en la interfaz de salida de la unidad de almacenamiento de código 130.

En general, la FSM/controlador en el DSP 120 controla la unidad de almacenamiento de código 130 para proporcionar un segmento de código de 32 segmentos a cada canal de recepción 110 a su vez. Por lo tanto una vez que se ha suministrado un segmento de código de 32 segmentos al canal de recepción 110A, la FSM/controlador realiza ciclos a través de cada uno de los otros canales de recepción 110B, 110C, ... 110N a su vez para proporcionales con su propio segmento de código. Mientras la unidad de almacenamiento de código 130 está suministrando segmentos de código a los otros canales de recepción, el canal de recepción 110A correlaciona el segmento de código de 32 segmentos almacenado en memoria intermedia en su registro con la señal de entrada (esto se realiza normalmente un segmento a la vez). La FSM/controlador a continuación provoca que la unidad de almacenamiento de código 130 emita el siguiente segmento de código de 32 segmentos del código de memoria apropiado en el registro del canal de recepción 110A, y el ciclo continúa. Por lo tanto la señal de dirección suministrada mediante la FSM/controlador a la unidad de almacenamiento de código 130 identifica en efecto tanto un canal de recepción particular, y también una localización en la secuencia de código de memoria especificada para suministro a ese canal de recepción.

En la mayoría de los receptores, el número de canales de recepción 110 es menor que el número de satélites en la constelación. Esto refleja el hecho de que únicamente una proporción limitada de los satélites son visibles en cualquier tiempo dado (el conjunto real de satélites por encima del horizonte desde cualquier localización dada cambia con el tiempo, a medida que los satélites progresan en sus órbitas).

Como se ilustra en la Figura 1, una implementación de LFSR típica es genérica, en que puede cargarse con el código polinomial para cualquier satélite deseado. Esto permite que el LFSR se incorpore en un canal de recepción sin atar el canal de recepción a un código de satélite dado. En su lugar, para una constelación de satélites que usa códigos de Gold, cualquier canal de recepción dado puede configurarse para recibir la señal desde cualquier satélite dado. Esto asegura que pueda mapearse un conjunto limitado de canales de recepción mapearse en el subconjunto de estos satélites actualmente visibles por el receptor.

En contraste, los códigos de ensanchamiento en la unidad de almacenamiento de código 130 se fijan o son de conexión permanente en la lógica combinatoria. Por lo tanto, para mantener la flexibilidad al asignar los canales de recepción a los diversos satélites, el receptor 101 puede suministrar un código de memoria almacenado en la unidad de almacenamiento de código 130 a cualquier canal de recepción dado 110 (como se especifica mediante el DSP 120). Esta facilidad conserva la capacidad de realizar una asignación flexible de los canales de recepción 110 a los satélites.

La Figura 4 representa una implementación de receptor 101A de acuerdo con otra realización de la invención. Obsérvese que muchos aspectos de la realización de la Figura 4 son los mismos que para la realización de la Figura 3, por lo que la siguiente descripción se centra en las diferencias entre las dos realizaciones.

La realización de la Figura 4 no tiene una única unidad de almacenamiento de código, sino que en su lugar tiene un conjunto de unidades de almacenamiento de códigos 130A, 130B, ... 130N. Cada unidad de almacenamiento de código 130A, 130B, etc., almacena el código de ensanchamiento para una señal desde el satélite. Cada canal de recepción 110 incluye un multiplexor 111, que está conectado a la salida de cada una de las unidades de almacenamiento de código 130A, 130B, etc. (Por simplicidad, se muestra únicamente las conexiones desde las unidades de almacenamiento de código 130A, 130B, etc., al canal de recepción 110A en la Figura 4; se proporcionan conexiones análogas desde las unidades de almacenamiento de código 130A, 130B, etc., a los otros canales de recepción 110B, 110C, y así sucesivamente). La salida desde el multiplexor 111 se pasa a continuación a un flip-flop en el canal de recepción 110, y desde allí, se carga el bit de código para correlación con la señal de entrada de conformidad con los receptores existentes.

Una señal de control se suministra al multiplexor 111 desde un controlador en el DSP 120, y esta señal de control se usa para seleccionar una salida desde las diversas entradas al multiplexor. Se apreciará que esta configuración permite que el controlador de DSP seleccione el código de memoria desde cualquier unidad de almacenamiento de código dada 130A, 130B, etc., para suministrar a un canal de recepción dado 110A, 110B, etc. Por lo tanto aunque los códigos de memoria puedan considerarse como de conexión permanente en las diversas unidades de almacenamiento de código 130, pueden asignarse de manera flexible al conjunto de canales de recepción (como para la realización de la Figura 3). En la operación, por lo tanto, el DSP 120 controla los multiplexores 111 usando esta señal de control de modo que cada canal de recepción 110 tiene en efecto una unidad de almacenamiento de código asignada 130.

El número de canales de recepción puede ser menor que el número de satélites en la constelación. Por lo tanto, para esta realización, el número de canales de recepción puede ser también menor que el número de unidades de almacenamiento de código 130 - es decir $M < N$. La asignación flexible entre el canal de recepción 110 y la unidad de almacenamiento de código 130 por lo tanto permite que el DSP asigne los canales de recepción 110 a aquellas unidades de almacenamiento de código que contienen códigos de ensanchamiento para los satélites que están actualmente visibles. El soporte de tal asignación flexible es también útil si uno o más satélites que fallaran se sustituyeran por satélites que usan códigos de memoria diferentes (suponiendo que los códigos de sustitución están también disponibles en las unidades de almacenamiento de código 130).

Cada unidad de almacenamiento de código 130A, 130B, etc., incluye un secuenciador que puede establecerse a una dirección de carga especificada (como se ha descrito anteriormente en relación con la Figura 2). El secuenciador recibe una señal de incremento (activación) para avanzar un segmento a través del código de memoria para salida al multiplexor 111. En la realización de la Figura 4, la señal de incremento a una unidad de almacenamiento de código 130A, 130B, etc., se recibe a través de un multiplexor correspondiente 131A, 131B, etc. Cada multiplexor 131A, 131B, etc., recibe una entrada desde el código NCO en cada uno de los canales de recepción 110A, 110B, etc. Una señal de control similar que se suministra al multiplexor 111 se usa también para seleccionar una entrada para pasar a través del multiplexor 131 como una señal de incremento a la unidad de almacenamiento de código 130. Por consiguiente, el código NCO en un canal de recepción 110 puede solicitar (activar) el siguiente segmento de código para que se recupere desde la unidad de almacenamiento de código 130 cuya salida está asignada a ese canal de recepción.

En el receptor 101A, se accede al código de ensanchamiento un único segmento a la vez (en lugar de 32 segmentos a la vez, como en la realización de la Figura 3), puesto que las diversas unidades de almacenamiento de código 130A, 130B, etc., pueden emitir a sus respectivos canales de recepción 110A, 110B, etc., en paralelo entre sí. Por lo tanto cada canal de recepción puede, en efecto, recibir un segmento de código bajo demanda desde su unidad de almacenamiento de código asignada. (En contraste, la unidad de almacenamiento de código 130 de la Figura 3 sirve al conjunto de canales de recepción de manera secuencial, en una manera de tiempo compartido, por lo que cada acceso proporciona un canal de recepción con suficientes segmentos hasta la siguiente vez que se sirve a ese canal de recepción). Esta configuración por lo tanto permite control independiente mediante el código NCO en cada canal de recepción de la velocidad a la que se suministran los segmentos al correlador.

Se apreciará que las realizaciones de la Figura 3, donde todos los códigos de memoria se mantienen en una única unidad de almacenamiento de código, y la Figura 4, donde cada código de memoria se mantiene en una unidad de almacenamiento de código separada, representan solamente dos posibles implementaciones. Por ejemplo, en otras

realizaciones puede haber múltiples unidades de almacenamiento de código almacenando cada una múltiples (pero no todos) códigos de memoria, mientras que en otras realizaciones, cada código de memoria puede extenderse a través de múltiples unidades de almacenamiento de código.

5 La Figura 5 es un diagrama de flujo que proporciona una vista general de alto nivel de producción de una unidad de almacenamiento de código 130 de acuerdo con una realización de la invención. El método comienza especificando el código de ensanchamiento deseado (510). Se apreciará que el método de la Figura 5 es genérico, en que puede usarse con una secuencia de segmentos arbitraria (por ejemplo personalizada o hecha a mano) para un código de ensanchamiento. Esto es en contraste, por ejemplo, a implementaciones de LFSR, que únicamente pueden proporcionar un conjunto restringido de códigos de ensanchamiento - es decir aquellos códigos que pueden expresarse mediante ciertos algoritmos matemáticos predeterminados.

15 La unidad de almacenamiento de código para el código de ensanchamiento deseado se describe usando un lenguaje de descripción de hardware (HDL) (520). Un ejemplo de un HDL es VHDL, el Lenguaje de Descripción de Hardware de Circuitos Integrados de Muy Alta Velocidad, que es el objeto de la Norma 1076 del IEEE. Otro ejemplo de un HDL es Verilog, que es el objeto de la Norma 1995 del IEEE. VHDL y Verilog son bien conocidos para el experto en la materia, y permiten la especificación de la función y estructura para circuitos integrados.

20 Una vez que se ha desarrollado y compilado una descripción de HDL de un circuito para generar el código de ensanchamiento deseado, puede realizarse (530) una simulación para confirmar que el circuito se comporta como se espera. Existen muchas herramientas comercialmente disponibles para realizar una simulación de este tipo. La descripción de HDL puede a continuación usarse como la entrada a un procedimiento de síntesis lógica (540), que transforma la descripción de HDL en una lista de interconexiones estructurales de componentes (elementos de biblioteca) para el circuito. La lista de interconexiones se usa como una entrada para la colocación apropiada y herramientas de encaminamiento para obtener la distribución para un dispositivo de semiconductores (550). Dependiendo de la tecnología seleccionada, el ASIC o dispositivo de semiconductores personalizado (560) puede fabricarse a continuación o puede configurarse un campo de matriz de puertas programables (FPGA). De nuevo, se apreciará que existen herramientas comerciales convencionales para realizar una síntesis lógica en un circuito descrito usando un HDL, y a continuación transformar este en una implementación real.

30 El Apéndice 1 proporciona un programa de VHDL de ejemplo para implementar una unidad de almacenamiento de código 130 de acuerdo con una realización de la invención. La unidad de almacenamiento de código (denominada como "código ca") emite la secuencia de 64 segmentos definida como la constante "ca". Se apreciará que pueden implementarse otras secuencias de código usando el mismo código VHDL ajustando adecuadamente el valor de la constante "ca" al patrón de segmentos deseado.

El VHDL para código ca especifica 5 entradas y una salida para realizar las siguientes funciones:

40 fase - esta entrada especifica la dirección inicial del primer segmento de salida, y comprende 6 segmentos, que corresponden al intervalo de direcciones de la secuencia de 64 segmentos para ca;
 phset - esta entrada activa el valor de fase
 clk - entrada de reloj;
 tictac - esta entrada se usa para indicar cuándo se requiere otra salida de código (para correlacionar contra la señal de entrada); obsérvese que el tictac tiene una frecuencia mucho inferior que clk;
 45 rstn - esta entrada resetea la dirección y la salida a cero;
 código - esta salida representa el valor de código ca en la dirección pertinente.

50 En la operación, el circuito especificado emite valores sucesivos desde la secuencia de segmentos para el código ca para cada valor de tictac, donde se usa la variable addr para mantener la dirección o posición actual en la secuencia de segmentos. Se apreciará que el componente de dirección de este circuito es secuencial (en lugar de puramente combinatorial), puesto que la dirección de salida actual se mantiene e incrementa para cada salida de segmento de código. Sin embargo, desde una perspectiva funcional, podemos considerar el circuito como que tiene una primera porción para almacenar el código de ensanchamiento incluyendo la decodificación de dirección, y una segunda porción para generar la dirección y por lo tanto controlar la salida del código de ensanchamiento. Desde esta perspectiva, la primera porción para almacenar el código de ensanchamiento y la decodificación de dirección es combinatorial, mientras que la segunda porción para generar la dirección y control de la salida del código de ensanchamiento es secuencial. Se apreciará que esta distinción entre porciones combinatorial y secuencial es evidente a un nivel funcional, pero al nivel de implementación física las dos porciones en general están integradas (véase a continuación).

60 El experto en la materia tendrá conocimiento de diversas otras posibles especificaciones para una unidad de almacenamiento de código. Por ejemplo, la realización del Apéndice 1 puede modificarse de modo que phset se define como siempre activa, caso en el que el circuito emitirá el segmento de código definido mediante la dirección especificada por fase. En una realización de este tipo, no hay información de estado en el mismo circuito, sino que en su lugar esta información con respecto a la posición en la secuencia de código debe mantenerse de manera externa, por ejemplo mediante el componente de circuito que proporciona la señal de fase (y que puede incrementar

a continuación la señal de fase en consecuencia). En teoría una implementación de este tipo permitiría a la unidad de almacenamiento de código que fuera puramente combinatorial, aunque en la práctica es probable que se proporcione un componente secuencial.

5 La Figura 6 es un ejemplo del diagrama esquemático basado en una lista de interconexiones derivada por la síntesis lógica del código de VHDL del Apéndice 1. Hay cinco entradas al circuito, que desde la parte superior hacia abajo son phset, tictac, fase (5:0), rstn y clk, más una única salida, código. El circuito comprende principalmente lógica combinatoria en forma de puertas (obsérvese que los rectángulos en la Figura 6 corresponden también a combinaciones de puertas). El circuito de la Figura 6 incluye también siete flip-flops (estos están conectados todos a la señal de reloj en su entrada de activación y a la entrada rstn por debajo). De estos siete flip-flops, seis se usan en efecto para mantener los seis bits de la dirección. El flip-flop restante se usa para almacenar en memoria intermedia el único segmento de la salida del código, aunque en otras realizaciones esto puede omitirse. (Los flip-flops de dirección comprenden una proporción relativamente alta de la distribución de la Figura 6 debido a que el código es corto - únicamente 64 segmentos; para códigos más largos los flip-flops de dirección comprenderían proporcionalmente menos del circuito). La lista de interconexiones de la Figura 6 puede usarse como entrada para una determinación de la colocación y encaminamiento del componente, seguido por una operación de producción de semiconductores (que corresponde a las operaciones 550 y 560 respectivamente en la Figura 5). La producción de semiconductores puede conseguirse mediante cualquier método apropiado, tal como litografía del dispositivo real, configuración de un FPGA, etc.

20 Se apreciará que el diagrama esquemático particular de la Figura 6 (incluyendo las combinaciones de puertas que corresponden a los rectángulos de circuito) es específico a la tecnología de un fabricante particular para un cierto tipo de dispositivo, según se especifica por diversas bibliotecas que pueden vincularse durante la síntesis lógica. (Las bibliotecas específicas de fabricante pueden usarse también para la colocación y encaminamiento de circuitos).
 25 Por lo tanto para la Figura 6, el fabricante es Amtel, una compañía que realiza fabricación por contrato de dispositivos de semiconductores, y la distribución está adaptada para un ASIC. Usar tecnología de otros fabricantes conducirá a una lista de interconexiones y distribución diferentes para implementar el circuito de VHDL del Apéndice 1. Por consiguiente, la Figura 6 se proporciona únicamente como un diagrama esquemático amplio para ilustrar un resultado de síntesis lógica, y su estructura detallada no es importante para un entendimiento de la presente invención.

30 El uso de lógica combinatoria para almacenar códigos de ensanchamiento puede conducir a un ahorro significativo en puertas en comparación con una implementación de memoria convencional basada en flip-flops o células de RAM estática u otras arquitecturas de memoria convencionales similares de este tipo.

35

Tabla 1: requisitos de circuito para almacenamiento de código

| Código | Registros | Área en μm^2 | Puertas NAND equivalentes |
|----------------------------|-----------|-------------------------|---------------------------|
| Gal L1 4096 memoria | 4096+12 | 79300 | 6344 |
| Gal L1 4096 combinatoria | 13 | 13745 | 1078 |
| Gal E5A 10230 memoria | 10230+14 | 194312 | 15545 |
| Gal E5A 10230 combinatoria | 15 | 27565 | 2514 |
| GPS 1023 código LFSR | 74 | 8282 | 663 |
| GPS 1023 combinatoria | 1023+10 | 21681 | 1735 |
| GPS 1023 combinatoria | 13 | 5400 | 432 |

40 La primera y tercera filas de la Tabla 1 corresponden a las estimaciones para una implementación de memoria "convencional" (RAM estática) para mantener un código de ensanchamiento, según se ha derivado anteriormente para las señales L1 y E5a de Galileo respectivamente. La segunda y cuarta filas de la Tabla 1 corresponden a una implementación basada en lógica combinatoria usando síntesis lógica, tal como se ha descrito anteriormente en relación con las Figuras 5 y 6. Se observará a partir de la Tabla 1 que el uso de lógica combinatoria proporciona un ahorro muy sustancial del 80 % o mayor en términos de registros (flip-flops), puertas y área de circuito en comparación con una implementación de memoria convencional.

45 Obsérvese que los números en las filas dos y cuatro de la Tabla 1 reflejan la salida desde síntesis lógica (suponiendo una implementación de ASIC), y debería considerarse de esta manera como implementaciones potenciales genuinas, en lugar de meras estimaciones. Se apreciará por supuesto que estos números variarán ligeramente para otras implementaciones potenciales, por ejemplo usando tecnología de diferentes fabricantes, FPGA en lugar de ASIC, y así sucesivamente. Por ejemplo, puede ser posible proporcionar una implementación incluso más compacta usando una implementación de VLSI completamente personalizada. Por supuesto, una implementación de VLSI personalizada de este tipo sería significativamente más cara que usar un FPGA o ASIC, aunque puede ser comercialmente viable para receptores de mercado masivo.

50

Las tres filas finales de la Tabla 1 se refieren a un código CA de 1023 segmentos usado para GPS. La sexta y séptima filas de la Tabla 1 representan almacenar este código en memoria convencional y usar lógica combinatoria respectivamente. De nuevo puede observarse que el uso de lógica combinatoria para almacenar los códigos de memoria da como resultado un ahorro significativo de puertas y área de circuito. La quinta columna de la Tabla 1 presenta cifras para una implementación real del código de ensanchamiento de 1023 segmentos usando un LFSR (puesto que los códigos de GPS son códigos de Gold). Se observará que la complejidad de implementación relacionada a la lógica combinatoria es del mismo orden que la implementación de LFSR (que requiere un número de registros relativamente alto), y en este caso específico, es incluso más compacta. Por consiguiente, es potencialmente atractivo el uso de lógica combinatoria para almacenar códigos de ensanchamiento incluso para códigos de Gold y otros códigos generados matemáticamente.

Se apreciará que usar lógica combinatoria para almacenar códigos da como resultado códigos que están, en efecto, con conexión permanente en el receptor. Sin embargo, en la práctica el conjunto de códigos de ensanchamiento para una constelación de satélites es probable que sea estable durante muchos años (este ha sido ciertamente el caso con GPS). En estas circunstancias, es en general más importante poder asignar de manera flexible los códigos de ensanchamiento a diferentes canales de recepción que poder cambiar los códigos de ensanchamiento ellos mismos. El primer aspecto puede adaptarse con receptores que incluyen lógica combinatoria para almacenar los códigos de ensanchamiento, como se ha descrito anteriormente en relación con las Figuras 3 y 4.

Un receptor puede proporcionarse con códigos almacenados para al menos un par de satélites que están designados como repuestos (además de los códigos para la constelación principal de satélites). Estos satélites de sustitución se pondrían a continuación en la constelación de navegación si cualquiera del conjunto original de satélites fallara. Suponiendo que los códigos asignados a los satélites de sustitución se conocen con antelación, pueden almacenarse también en el receptor usando lógica combinatoria, y conectarse según sea apropiado, por ejemplo como se ha descrito anteriormente en relación con las Figuras 3 y 4. En otras realizaciones, puede proporcionarse un receptor con memoria convencional, tal como PROM o RAM, que podría a continuación cargarse con cualquier código de ensanchamiento de satélite nuevo (para funcionar en conjunto con aquellos mantenidos en la unidad o unidades de almacenamiento de código descritas en el presente documento).

En algunas implementaciones, un receptor puede almacenar códigos de ensanchamiento para al menos dos constelaciones de satélites, por ejemplo Galileo y GPS, para proporcionar información de posición combinada. Aunque los códigos de ensanchamiento de GPS son códigos de Gold, y se generan normalmente en un receptor usando LFSR, los códigos podrían almacenarse en su lugar como patrones de segmento completos usando lógica combinatoria si así se desea (a diferencia de usar un LFSR, que en efecto almacena un algoritmo para generar un patrón de segmento, en lugar del propio patrón de segmento). Como se indica a partir de la Tabla 1, el uso de lógica combinatoria para almacenar códigos de GPS completos puede de hecho conducir a una implementación más compacta que una basada en LFSR. Por consiguiente, el uso de lógica combinatoria para mantener códigos de ensanchamiento es compatible con patrones de código específicos o hechos a mano así como patrones de código convencionales derivados de algoritmos matemáticos, tales como aquellos basados en códigos de Gold. Se apreciará también que la lógica combinatoria puede usarse para mantener las porciones de código primario y/o código secundario de un código de ensanchamiento, o para mantener una secuencia de bits completa que representa la combinación resultante de los códigos primario y secundario.

La lógica combinatoria para almacenar un código de ensanchamiento puede incorporarse no únicamente en un receptor, sino también en un satélite. En este caso, la lógica combinatoria se usa para almacenar el código de ensanchamiento para uso en la señal a difundirse a la Tierra. Sin embargo, en general el enfoque descrito en el presente documento es más atractivo para receptores que para satélites. Por lo tanto los satélites únicamente necesitan almacenar su propio código de ensanchamiento (en lugar de los códigos de ensanchamiento para toda la constelación), de modo que la presión en las instalaciones de almacenamiento es menos aguda para los satélites que para los receptores. Adicionalmente, cada satélite requeriría una unidad de almacenamiento de código diferente particular para su propio código de almacenamiento. Esto aumenta los problemas de complejidad adicionales para validación y fabricación de hardware, en comparación con una arquitectura de memoria convencional, en la que un conjunto convencional de células de memoria puede usarse en todos los satélites, y a continuación cargarse con el código de ensanchamiento deseado según sea apropiado. Además, los satélites no son dispositivos de mercado de masas, y por lo tanto no se ven sometidos a las mismas restricciones de coste que los receptores.

Se observará también que aunque el enfoque descrito en el presente documento se pretende principalmente para uso en sistemas de navegación por satélite, podría emplearse también en otros sistemas de navegación o de comunicación (satélite, terrestre marítima) que actualmente usan LFSR para generar códigos de sincronización, filtros, bancos de filtros y similares. Un ejemplo particular es un pseudo-satélite, como se ha mencionado anteriormente, que genera una señal de posicionamiento análoga a la de un satélite de navegación, pero es terrestre. Los pseudo-satélites se emplean típicamente en localizaciones donde se requiere alta precisión, por ejemplo alrededor de los aeropuertos, para aumentar (y emular) señales de posicionamiento desde satélites. Por consiguiente, los códigos de ensanchamiento para señales de pseudo-satélite podrían almacenarse en receptores (y/o posiblemente los mismos pseudo-satélites) usando lógica combinatoria como se describe en el presente documento.

En conclusión, aunque se ha descrito una diversidad de realizaciones en el presente documento, estas se proporcionan a modo de ejemplo únicamente, y muchas variaciones y modificaciones sobre tales realizaciones serán evidentes para el experto en la materia y caerán dentro del alcance de la presente invención, que se define mediante las reivindicaciones adjuntas y sus equivalentes.

5

Apéndice 1

```

-- Fichero : ca.vhd (códigos de memoria de Galileo)
-----
10 -- Descripción: LUT preprogramada para código ca
-----
library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_unsigned.all;
15 entity cacode is
    port (
        phase : in std_logic_vector(5 downto 0); -- fase de código inicial
        phset : in std_logic; -- preestablecer la fase
        clk : in std_logic; -- reloj
20        rstn : in std_logic; -- resetear
        tick : in std_logic; -- tictac de segmento
        code : out std_logic); -- salida de código
    end cacode;
    architecture rtl of cacode is
25        signal addr : std_logic_vector(5 downto 0); -- fase de código
        constant ca: std_logic_vector(0 to 63) := (
            '0', '0', '1', '1', '0', '1', '1', '1', '1', '1', '0', '0', '0', '1', '1',
            '0', '1', '0', '1', '1', '0', '1', '1', '0', '0', '0', '0', '1', '1', '0',
            '1', '0', '1', '1', '1', '0', '1', '1', '0', '0', '0', '0', '0', '1', '0',
30        '1', '0', '1', '0', '0', '1', '0', '1', '1', '1', '0', '1', '1', '1', '0',
            '1', '0', '1', '0');
        begin -- rtl (nivel de transferencia de registro)
            readcode: process (clk, rstn)
            begin -- código de lectura de proceso
35                if rstn = '0' then -- reseteo asíncrono (activo bajo)
                    addr <= (others => '0');
                    code <= '0';
                elsif clk'event and clk = '1' then -- elevar límite de reloj
                    if phset = '1' then -- preestablecer la fase de código
40                        addr <= phase;
                    elsif tick = '1' then
                        if addr >= 63 then -- ajustar contador
                            addr <= (others => '0');
                        else -- incrementar contador
45                            addr <= addr + 1;
                        end if;
                    end if;
                    code <= ca(conv_integer(addr));
                end if;
            end process readcode;
50        end rtl;

```

REIVINDICACIONES

1. Un receptor (101) para uso con un sistema de navegación por satélite que comprende una constelación de múltiples satélites en la que cada satélite transmite una señal que incorpora un código de ensanchamiento, incluyendo el receptor:
- al menos una unidad de almacenamiento de código (15) que incluye lógica combinatoria (20) para almacenar un código de memoria que comprende un patrón fijo de segmentos, correspondiendo dicho código de memoria almacenado a un código de ensanchamiento incorporado en una señal transmitida desde un satélite, en el que dicha lógica combinatoria incluye funcionalidad de decodificación de dirección para recuperar una porción especificada del código de memoria almacenado, en el que la configuración de hardware interna de dicha lógica combinatoria se personaliza para el conjunto de datos almacenados; y un correlador para realizar una correlación entre una señal de entrada y el código de memoria almacenado recuperado desde la al menos una unidad de almacenamiento de código;
- caracterizado por que la configuración de hardware interna de dicha lógica combinatoria no comprende células de memoria normalizadas y la lógica combinatoria para almacenar el código de memoria y la funcionalidad de dirección están integradas en el nivel de componente físico sin división evidente entre las dos.
2. El receptor de la reivindicación 1, en el que el receptor almacena un código de memoria diferente para cada satélite en la constelación de satélites.
3. El receptor de la reivindicación 2, en el que los diferentes códigos de memoria para los satélites se almacenan todos en una única unidad de almacenamiento de código.
4. El receptor de la reivindicación 2 o 3, en el que dicha al menos una unidad de almacenamiento de código almacena códigos de memoria para múltiples satélites y es direccionable para emitir un código de memoria para un satélite particular.
5. El receptor de la reivindicación 2, en el que cada código de memoria para una señal desde un satélite se almacena en una unidad de almacenamiento de código separada.
6. El receptor de cualquiera de las reivindicaciones 2 a 5, en el que el receptor incluye múltiples canales de recepción (110A, 110B), y un código de memoria almacenado para un satélite puede suministrarse a cualquier canal de recepción para correlación con la señal de entrada en ese canal de recepción.
7. El receptor de cualquier reivindicación anterior, en el que dicha al menos una unidad de almacenamiento de código incluye adicionalmente un secuenciador (25).
8. El receptor de la reivindicación 7, en el que dicho secuenciador es sensible a una señal de incremento para emitir el siguiente subconjunto de uno o más segmentos desde el código de memoria almacenado.
9. El receptor de cualquiera de las reivindicaciones 1 a 8, en el que cada salida desde la al menos una unidad de almacenamiento de código comprende un subconjunto que representa múltiples segmentos de dicho código de memoria almacenado.
10. El receptor de cualquier reivindicación anterior, en el que los códigos de ensanchamiento para los satélites comprenden secuencias de segmentos hechas a mano.
11. El receptor de cualquier reivindicación anterior, en el que dicha al menos una unidad de almacenamiento de código se forma en un dispositivo de campo de matriz de puertas programables (FPGA) o en un circuito integrado específico de la aplicación (ASIC).
12. El receptor de cualquier reivindicación anterior, en el que dicha al menos una unidad de almacenamiento de código se forma en el mismo dispositivo de semiconductores que dicho correlador.
13. El receptor de cualquier reivindicación anterior, en el que la lógica combinatoria en la al menos una unidad de almacenamiento de código almacena múltiples códigos de memoria, y se aplica una entrada diferente a la lógica combinatoria para seleccionar uno diferente de dichos múltiples códigos de memoria para emitir desde la unidad de almacenamiento de código.
14. Un satélite para uso en un sistema de navegación por satélite que comprende una constelación de múltiples satélites, en la que cada satélite transmite una señal que incorpora un código de ensanchamiento, incluyendo el satélite al menos una unidad de almacenamiento de código que incluye lógica combinatoria para almacenar un código de memoria que comprende un patrón fijo de segmentos, correspondiendo dicho código de memoria almacenado a un código de ensanchamiento a incorporarse en una señal transmitida desde el satélite, en el que

dicha lógica combinatoria incluye funcionalidad de decodificación de dirección para recuperar una porción especificada del código de memoria almacenado, en el que la configuración de hardware interna de dicha lógica combinatoria se personaliza para el conjunto de datos almacenados; caracterizado por que la configuración de hardware interna de dicha lógica combinatoria no comprende células de memoria normalizadas y la lógica combinatoria para almacenar el código de memoria y la funcionalidad de dirección están integradas en el nivel de componente físico sin división evidente entre las dos.

5

15. Un método para operar un receptor para uso con un sistema de navegación por satélite que comprende una constelación de múltiples satélites, en la que cada satélite transmite una señal que incorpora un código de ensanchamiento, incluyendo el método:

10

proporcionar al menos una unidad de almacenamiento de código que incluye lógica combinatoria para almacenar un código de memoria que comprende un patrón fijo de segmentos, correspondiendo dicho código de memoria almacenado a un código de ensanchamiento incorporado en una señal transmitida desde un satélite, en el que dicha lógica combinatoria incluye funcionalidad de decodificación de dirección para recuperar una porción especificada del código de memoria almacenado, en el que la configuración de hardware interna de dicha lógica combinatoria se personaliza para el conjunto de datos almacenados; y realizar una correlación entre una señal de entrada y el código de memoria almacenado recuperado desde la al menos una unidad de almacenamiento de código;

15

20

caracterizado por que la configuración de hardware interna de dicha lógica combinatoria no comprende células de memoria normalizadas y la lógica combinatoria para almacenar el código de memoria y la funcionalidad de dirección están integradas en el nivel de componente físico sin división evidente entre las dos.

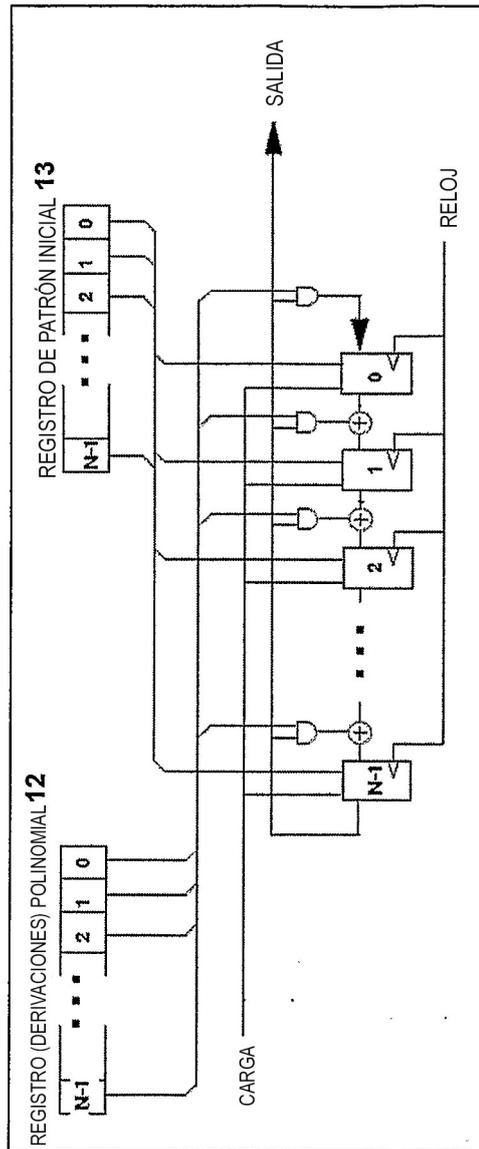


Figura 1

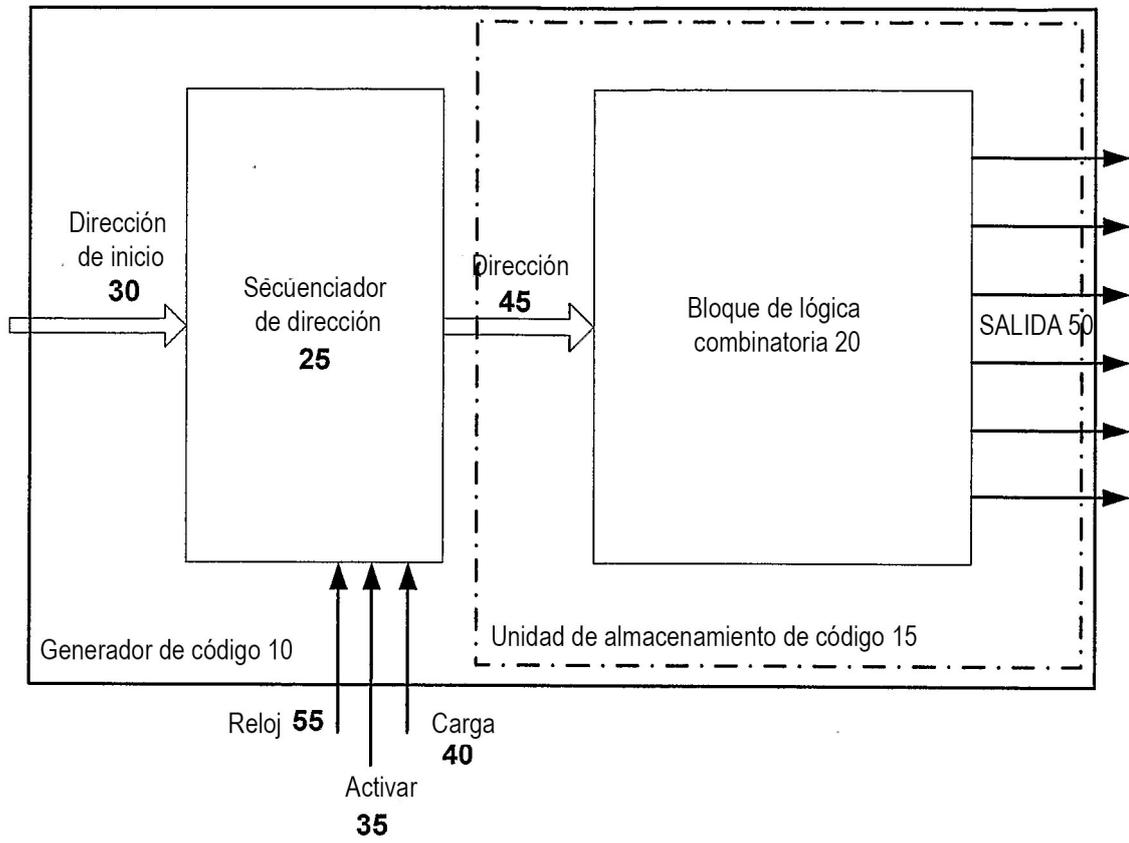


Figura 2

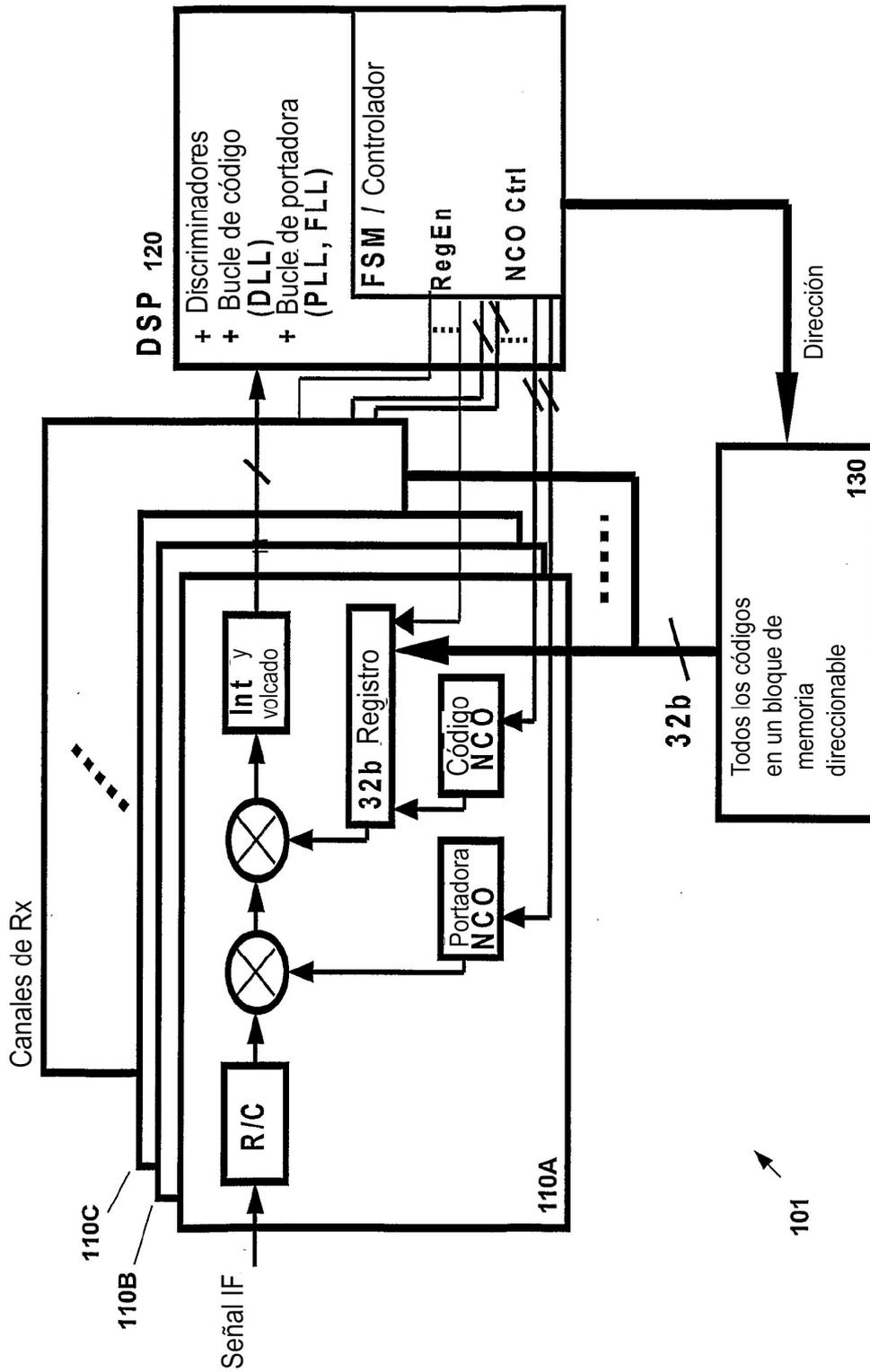


Figura 3

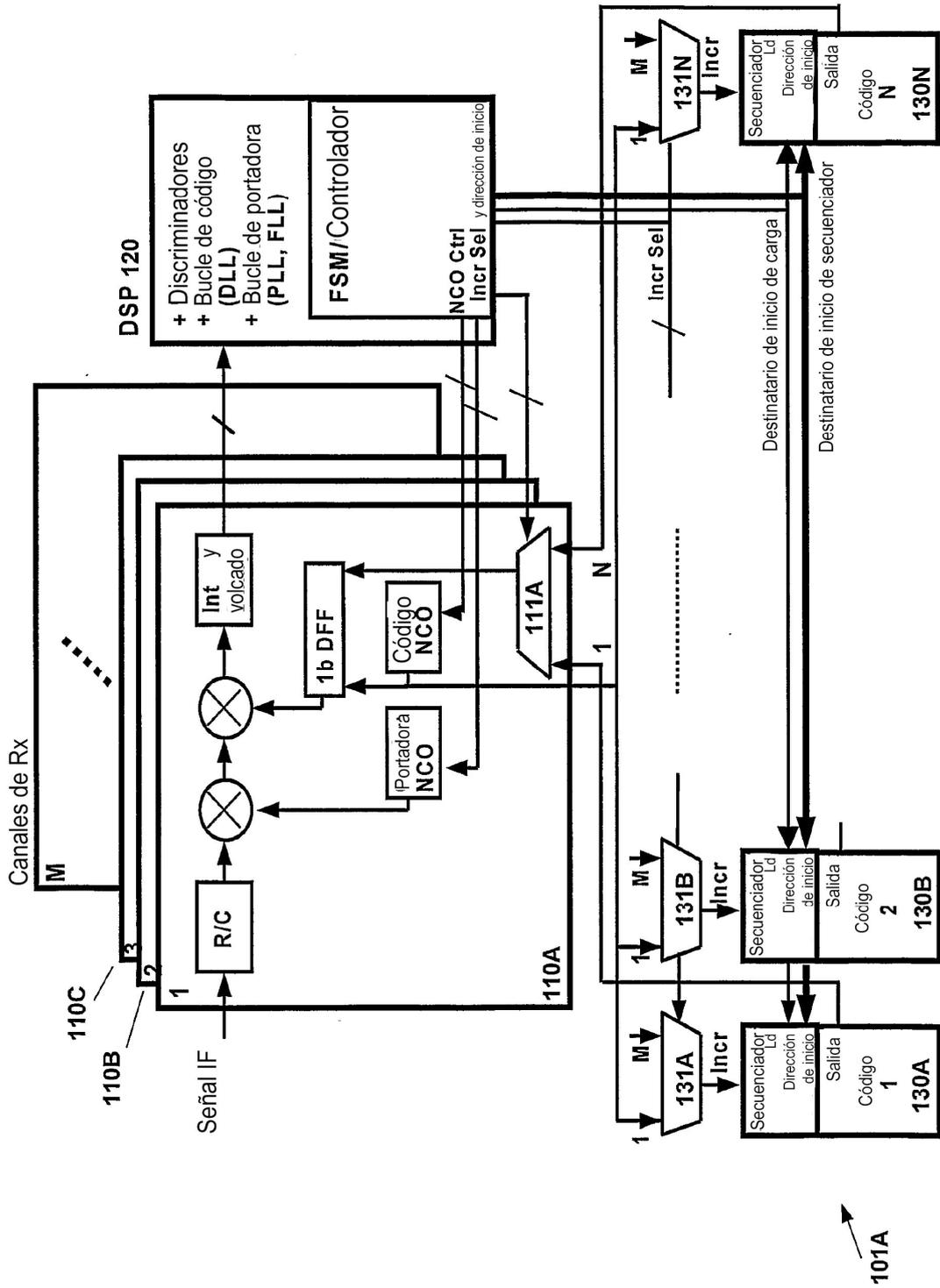


Figura 4

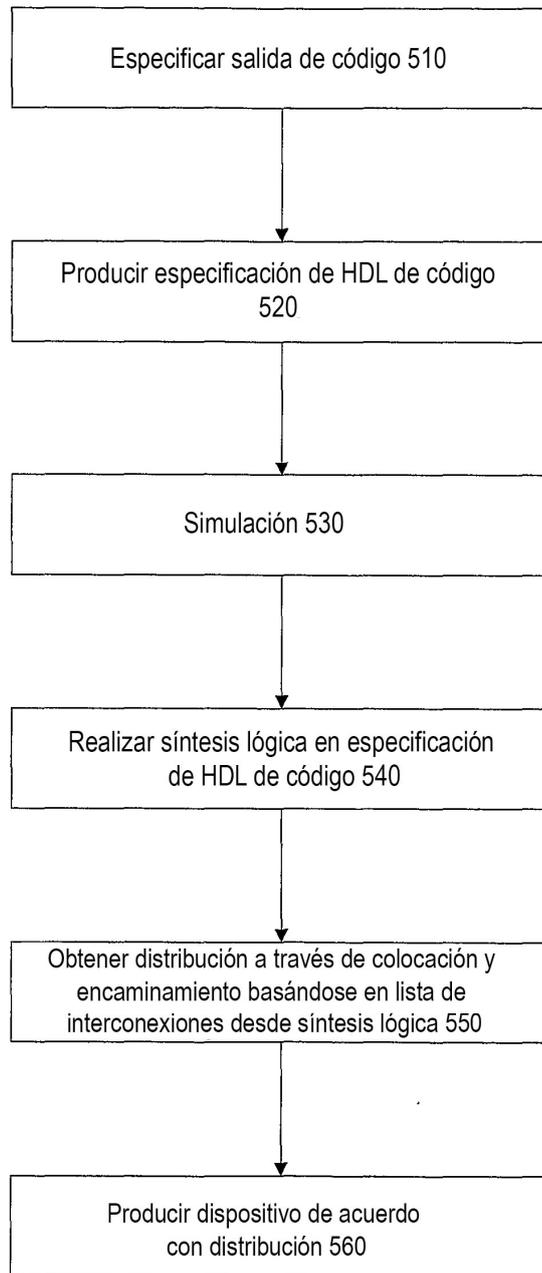


Figura 5

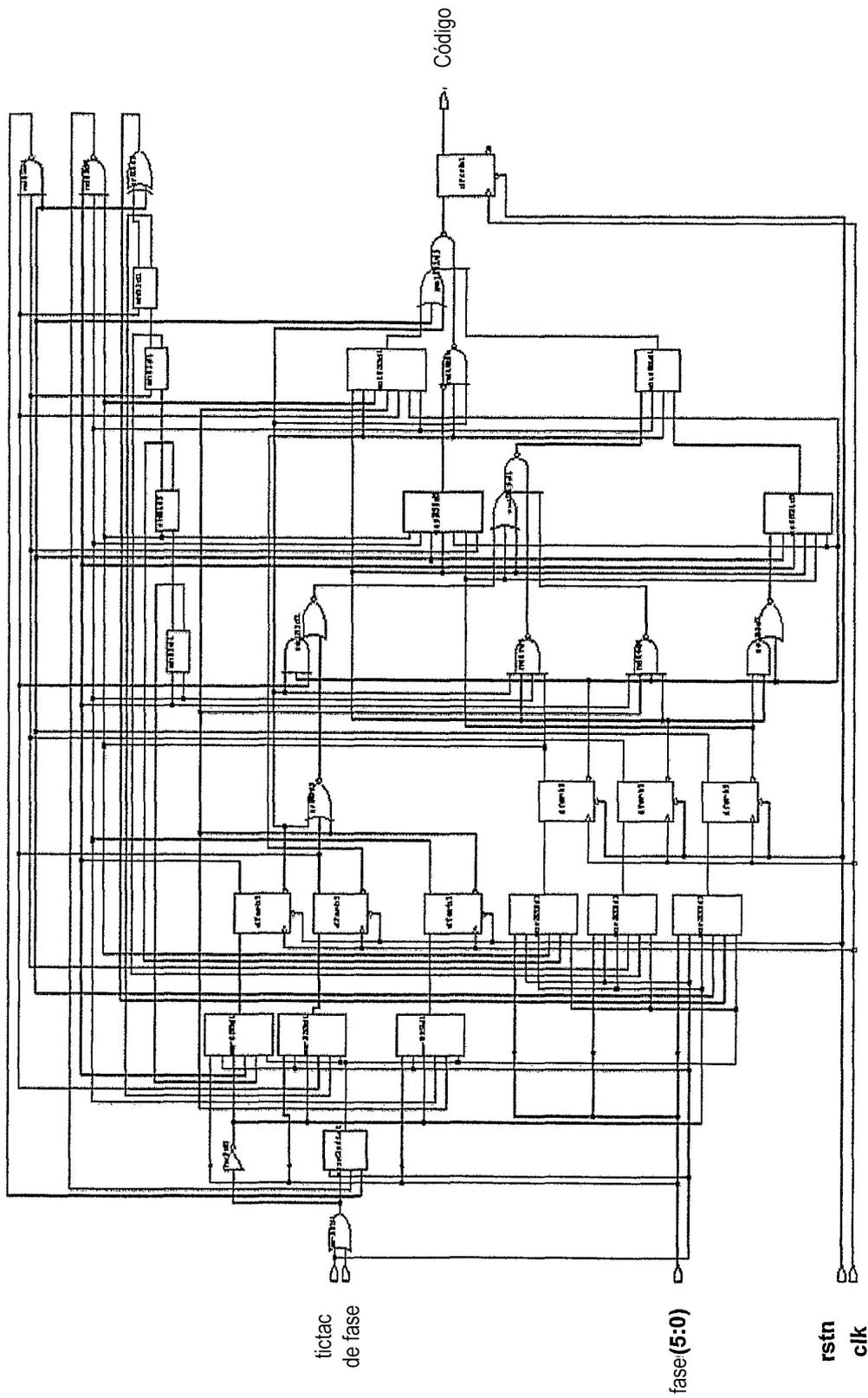


Figura 6